



(21) 申請案號：108133164 (22) 申請日：中華民國 108 (2019) 年 09 月 16 日
 (51) Int. Cl. : *H01L23/60 (2006.01)* *H01L27/02 (2006.01)*
 (30) 優先權：2018/09/17 美國 16/132,545
 (71) 申請人：美商半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES
 L.L.C. (US)
 美國
 (72) 發明人：邵翰忠 TAI, HAN-CHUNG (TW)
 (74) 代理人：陳長文
 申請實體審查：無 申請專利範圍項數：13 項 圖式數：9 共 32 頁

(54) 名稱

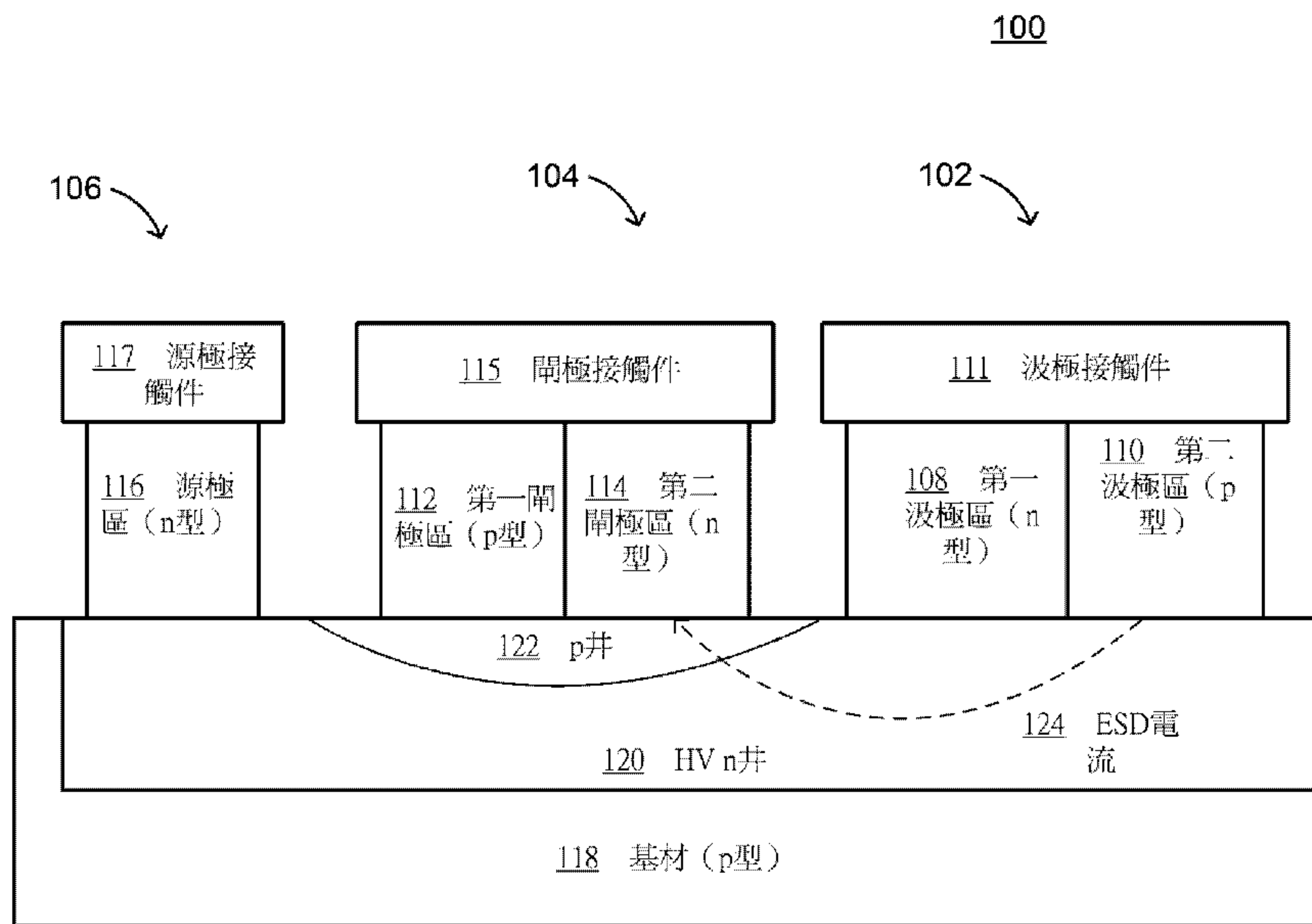
用於側向電晶體裝置之靜電放電處理

(57) 摘要

一半導體電晶體裝置包括一源極區；一閘極區，其具有一 p 型閘極區及一 n 型閘極區；及一汲極區，其具有一 p 型汲極區及一 n 型汲極區。該 p 型閘極區、該 n 型閘極區、該 p 型汲極區、及該 n 型汲極區經定位以回應於一靜電放電(ESD)電壓而提供一汲極至閘極 ESD 電流路徑，以至少部分地將該 ESD 電壓放電。

A semiconductor transistor device includes a source region, a gate region having a p-type gate region and an n-type gate region, and a drain region having a p-type drain region and an n-type drain region. The p-type gate region, the n-type gate region, the p-type drain region, and the n-type drain region are positioned to provide, in response to an electrostatic discharge (ESD) voltage, a drain-to-gate ESD current path to at least partially discharge the ESD voltage.

指定代表圖：



【圖 1】

符號簡單說明：

100:電晶體

102:汲極

104:閘極

106:源極

108:第一 n 型汲極區

110:第二 p 型汲極區

111:汲極接觸件

112:第一 p 型閘極區

114:第二 n 型閘極區

115:閘極接觸件

116:源極區

117:源極接觸件

118:基材

120:本體區

122:本體區

124:ESD 電流路徑



202025437

【發明摘要】

【中文發明名稱】

用於側向電晶體裝置之靜電放電處理

【英文發明名稱】

ELECTROSTATIC DISCHARGE HANDLING FOR LATERAL TRANSISTOR DEVICES

【中文】

一半導體電晶體裝置包括一源極區；一閘極區，其具有一p型閘極區及一n型閘極區；及一汲極區，其具有一p型汲極區及一n型汲極區。該p型閘極區、該n型閘極區、該p型汲極區、及該n型汲極區經定位以回應於一靜電放電(ESD)電壓而提供一汲極至閘極ESD電流路徑，以至少部分地將該ESD電壓放電。

【英文】

A semiconductor transistor device includes a source region, a gate region having a p-type gate region and an n-type gate region, and a drain region having a p-type drain region and an n-type drain region. The p-type gate region, the n-type gate region, the p-type drain region, and the n-type drain region are positioned to provide, in response to an electrostatic discharge (ESD) voltage, a drain-to-gate ESD current path to at least partially discharge the ESD voltage.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 100 電晶體
- 102 汲極
- 104 閘極
- 106 源極
- 108 第一n型汲極區
- 110 第二p型汲極區
- 111 汲極接觸件
- 112 第一p型閘極區
- 114 第二n型閘極區
- 115 閘極接觸件
- 116 源極區
- 117 源極接觸件
- 118 基材
- 120 本體區
- 122 本體區
- 124 ESD電流路徑

【發明說明書】

【中文發明名稱】

用於側向電晶體裝置之靜電放電處理

【英文發明名稱】

ELECTROSTATIC DISCHARGE HANDLING FOR LATERAL
TRANSISTOR DEVICES

【技術領域】

【0001】 本說明書係關於側向電晶體裝置中的靜電放電之處理。

【先前技術】

【0002】 靜電放電(electrostatic discharge, ESD)在半導體電晶體及相關裝置之製造及使用中係一普遍的難題。例如，ESD可歸因於由人或工具與電晶體之導電部分(諸如電晶體之汲極接觸件或引線)的非故意接觸所賦予之靜電電荷而發生。此類ESD具有損壞或破壞受影響之電晶體的電位，並破壞所連接之電路系統及裝置的操作。

【0003】 具體而言，為超高電壓(ultra high voltage, UHV)裝置的電晶體易受ESD損害影響。用於測試歸因於ESD的裝置失效的現有模型或標準(諸如人體放電模式(Human Body Mode, HBM))證明現有ESD保護方案提供至多約1.5千伏(kilovolts, kV)的保護，其在許多情況下可能不足以用於UHV裝置。

【發明內容】

【0004】 根據一個通常態樣，一半導體電晶體裝置包括一源極區；一閘極區，其具有一p型閘極區及一n型閘極區；及一汲極區，其具有一p型汲極區及一n型汲極區。該p型閘極區、該n型閘極區、該p型汲極區、

及該n型汲極區經定位以回應於一靜電放電(ESD)電壓而提供一汲極至閘極ESD電流路徑，以至少部分地將該ESD電壓放電。

【0005】 根據另一通常態樣，一半導體電晶體裝置包括一第一導電性類型的一基材、形成在該基材中之一第二導電性類型的一第一井區、及形成在該第一井區中之該第二導電性類型的一源極區。該半導體電晶體裝置進一步包括形成在該第一井區中之該第一導電性類型的一第二井區；一第一閘極區，其具有該第一導電性類型並形成在該第二井區中作為一閘極區之部分；及一第二閘極區，其具有該第二導電性類型並形成在該第二井區中作為該閘極區之部分。該半導體電晶體裝置進一步包括一第一汲極區，其具有該第二導電性類型並形成在該第一井區中作為一汲極區之部分；及一第二汲極區，其具有該第一導電性類型並形成在該第一井區中作為該汲極區之部分。至少該第二汲極區、該第一井區、該第二井區、及該第二閘極區形成一結構，該結構回應於由靜電放電(ESD)所引起的電壓而提供一汲極至閘極ESD電流路徑。

【0006】 於附圖及以下說明中提出一或多個實施方案之細節。可從說明及圖式以及申請專利範圍中明白了解其他特徵。

【圖式簡單說明】

【0007】

圖1係具有針對ESD的改良處理的代表性側向電晶體之部分的側剖面圖。

圖2A係用於提供用於圖1之電晶體的閘極至汲極ESD電流路徑的電路圖。

圖2B係繪示在一ESD事件期間的圖2A之電路圖之操作的電路示意

圖。

圖3係根據圖1之實例之半導體電晶體結構之實施方案的俯視圖。

圖4係圖3之電晶體結構的頂部金屬視圖。

圖5係繪示一蜂巢設計的圖3及圖4之電晶體結構之汲極區的實例拉近視圖。

圖6係圖5之蜂巢設計的進一步拉近俯視圖。

圖7係沿圖3之線A-B截取的圖3至圖6之電晶體結構之側剖面圖。

圖8係顯示圖3至圖6之電晶體結構與一實例電晶體結構相比較的ESD電流對汲極電壓之I-V曲線的圖表。

圖9係根據圖1至圖7繪示用於製作一電晶體結構之方法之實例操作的流程圖。

【實施方式】

【0008】 在本文中所述之電晶體裝置可包括一汲極至閘極電流路徑，該汲極至閘極電流路徑提供ESD電流的安全放電，該ESD電流可回應於一ESD事件而發生。可形成所得之PNPN結構，該PNPN結構界定例如一矽控整流器(silicon-controlled rectifier, SCR)，其建立用於ESD電流的汲極至閘極電流路徑。汲極至閘極ESD電流路徑保護電晶體免於損壞，否則將由ESD造成損害，該ESD包括高ESD電流位準，若使用現有的ESD保護技術，高ESD電流位準將係有害的。

【0009】 圖1係具有針對ESD的改良處理的代表性側向電晶體100之部分的側剖面圖。在圖1之實例中，電晶體100可代表各種類型之側向電晶體，其包括側向接面場效電晶體(junction field effect transistor, JFET)、或側向金屬氧化物半導體FET (metal oxide semiconductor FET,

MOSFET)。在圖1中，電晶體100係以簡化形式繪示，為了以包含其各種具體實施方案的方式，來清楚且簡潔地說明並描述相關特徵。

【0010】 例如，在此類實施方案中可包括的各種絕緣結構並未特別繪示於圖1中(諸如MOSFET之閘極氧化物)。藉由更具體實例的方式，圖3至圖7提供圖1之實例之JFET實施方案之實例結構，其等對於該等實例結構更詳細地繪示及描述。

【0011】 在圖1之實例中，電晶體100包括汲極102、閘極104、及源極106。如下文所詳細描述，電晶體100包括一汲極至閘極電流路徑(圖1中繪示為ESD電流124)，其提供可回應於一ESD事件而發生的ESD電流之安全放電，即使在ESD係例如2 kV或更高時。

【0012】 在圖1中，電晶體100可代表一NPN電晶體。然而，在其他實例實施方案中，導電性類型可相反。

【0013】 在圖1之NPN電晶體中，汲極102因此包括第一n型汲極區108。如下文所詳細解釋，汲極102亦包括第二p型汲極區110。汲極接觸件111電連接至汲極區108、110兩者。

【0014】 同時，閘極104包括第一p型閘極區112，其係NPN結構之部分。閘極104亦包括第二n型閘極區114。閘極接觸件115電連接至閘極區112、114兩者。

【0015】 源極106包括源極區116，其係n型，作為該NPN電晶體結構之部分。該源極亦包括源極接觸件117，其電連接至源極區116。進一步在圖1中，電晶體100係繪示為形成在p型之基材118上。

【0016】 因此，如可從圖1觀察者，汲極102及閘極104兩者皆含有n型區及p型區兩者，從而界定四個區108/110/112/114。在一ESD之事件

中，此等四個區經由電短路交互作用，介入電晶體結構100之本體區120、122，以提供ESD電流路徑124。雖然在如所示之四個區108/110/112/114繪示於圖1之實例中，但在其他實施方案中，可按不同順序來實作該等區亦係可行的。

【0017】 如下文所詳細描述(且如圖2A及圖2B中所繪示)，形成所得之PNPN結構，該PNPN結構定義一矽控整流器(SCR)，其建立用於ESD電流的參考汲極至閘極電流路徑124。汲極至閘極ESD電流路徑124保護電晶體100免於損壞，否則將由ESD造成損害，該ESD包括高ESD電流位準，若使用現有的ESD保護技術，高ESD電流位準將係有害的。

【0018】 更詳細而言，形成在p型基材118中的高電壓(high voltage, HV) n井120可代表一輕摻雜(n-)區，其亦可稱為磊晶區。在一ESD事件期間，HV n井120電短路至n型汲極區108，該n型汲極區可代表一重摻雜(n+)區。

【0019】 類似地，p井122可形成在HV n井120內(例如，作為一輕摻雜(p-)區)，且可電短路至第二閘極區114，其在一ESD事件期間可代表一重摻雜(p+)區。應理解的是，可取決於所實作的側向電晶體100類型，改變p井122之深度或側向範圍。例如，p井122可延伸更靠近汲極102，或更遠離汲極。

【0020】 如上文所參照，圖1代表半導體電晶體裝置之側剖面。在各種實施方案中(一些實施方案於下文繪示並描述)，汲極102可形成在半導體電晶體裝置之中心部分處，而閘極104可形成在汲極102周圍且環繞該汲極。再者，源極106可形成在閘極104周圍及環繞該閘極。例如，閘極104可形成為圓形、卵形、在汲極102周圍的同心形狀，而源極106可形

成為與閘極104相同的形狀並環繞(例如，以同心的方式環繞)閘極104。當然，此等形成將可在電晶體裝置100之俯視圖(例如，對應於圖3之俯視圖)中觀察到，但在圖1之側視圖中無法直接觀察到。

【0021】 在此等實施方案中，ESD防護環結構可提供於源極106周圍及環繞該源極。此ESD防護環結構可用以對汲極至閘極ESD電流路徑124提供一次級ESD電流路徑，如下文所詳細討論。

【0022】 在本說明書中，基材118可稱為界定了一水平面，使得p型閘極區112、n型閘極區114、n型汲極區108、及p型汲極區110可視為沿基材之水平面以平行方向延伸。因此，用語側向或側向電晶體或類似者應理解為係指以上述意義水平延伸的電晶體結構。再者，在本文中所述之PNPN結構之PN接面可理解為相對於基材118之水平方向至少部分地垂直對準。

【0023】 圖2A係用於提供用於圖1之電晶體的閘極至汲極ESD電流路徑124的電路圖。圖2B係繪示在一ESD事件期間的圖2A之電路圖之操作的電路示意圖。在圖2A中，如上文所述，p型第二汲極區110與HV n井120(其在一ESD事件期間電短路至n型第一汲極區108)形成第一p-n接面。再者，p井122(其在一ESD事件期間電短路至p型第一閘極區112)與n型第二閘極區114形成一第二p-n接面。此時，一NP接面係形成於區120、122之間(例如，形成於該等區之間的介面處)。

【0024】 圖2B係一電路示意圖，其繪示圖2A之電路之操作可使用一對耦接之雙極型接面電晶體(bipolar junction transistors, BJTs) 202、204來表示。在圖2B中，區110及114分別代表主要陽極及陰極端子，其等係跨所有四個PNPN層110/120/122/114。

【0025】大致而言，當陽極110相對於陰極114係在一正電位時(其中在電晶體204之閘極122處無施加電壓)，第一及第二PN接面兩者係順向偏壓，而中間NP接面係逆向偏壓(使得無導通發生)。在一ESD事件期間，在110處的陽極電壓增加超過一崩潰電壓，導致在N型層120與P型層122之間的介面處的中間NP接面崩潰，且從而導致圖2A/2B之電路導通。導通將繼續直到例如ESD事件結束(即，陽極電壓不復存在)。用於圖1之電晶體100之對應實施方案的具體實例值或值範圍係例如相對於圖8而提供於下文。

【0026】圖3係根據圖1之實例之半導體電晶體結構之實施方案的俯視圖。圖3繪示用於汲極302、閘極304、及源極306之實例構形。與上文圖1的描述一致，汲極302包括第一n型汲極區308，及第二p型汲極區310。

【0027】亦與圖1一致，閘極304包括p型閘極區112及n型閘極區114。p型閘極區112由接觸引線118部分覆蓋，而n型閘極區114由接觸引線116部分覆蓋。

【0028】類似地，源極306包括n型區319，且由接觸引線320部分覆蓋。圖4至圖7中進一步繪示各種接觸引線及相關接觸件(包括汲極區302之彼等)之實例細節。

【0029】又，在圖3中，ESD防護環結構包括n摻雜防護環322及相關接觸引線部分324，連同p摻雜防護環326及相關接觸引線328。ESD防護環322、326之進一步細節繪示並敘述於下文，包括在圖7之剖面中。

【0030】大致而言，除了參照上文之汲極至閘極ESD電流路徑124外，ESD防護環322、324提供一ESD事件中的額外或替代ESD電流路徑。

具體而言，如下文所述，防護環322、324提供一汲極至防護環ESD電流路徑，該汲極至防護環ESD電流路徑亦界定參照上文之PNPN結構之類型，其可視為使用n摻雜汲極區108及p摻雜汲極區110而形成一矽控整流器(SCR)。

【0031】 圖4係圖3之電晶體結構的頂部金屬視圖。如圖示，且可了解自圖3之實例，圖4繪示汲極金屬接觸件402、閘極金屬接觸件404、及源極金屬接觸件406。圖4亦繪示ESD防護環金屬接觸件408。

【0032】 圖3及圖4因此繪示一實例實施方案，其中電晶體結構100具有一圓形或一環形。當然，其他構形係可行的，諸如體育場形(stadium)、卵形、跑道形(racetrack)、或橢圓形構形。

【0033】 圖5係繪示一蜂巢設計502的圖3及圖4之電晶體結構之汲極區302的實例拉近圖。圖6係圖5之蜂巢設計502的進一步拉近俯視圖。雖然蜂巢設計502呈現為非限制實例且僅係舉實例而言來呈現，但圖6繪示汲極302包括(多個)n型部分602的實例實施方案，該等n型部分代表n型汲極區108之實例。在該實例中，N型區602可由代表p型汲極區110的六個p型區604所環繞。圖6亦繪示電接觸部分606及層608，電接觸部分及層在所繪示之汲極區602/604之各者處提供一共同電位(汲極電壓)。

【0034】 大致而言，可按經設計以最佳化所欲之ESD放電特性，來使用各種NPN/PNPN的比率。例如，包括更多p型材料(例如p型汲極區110、或p型閘極區112)可實現較大的ESD電流。各種p型材料之區域，以及在閘極區或汲極區之任一者或兩者中的P:N型區的比率亦可經最佳化。

【0035】 圖7係沿圖3之線A-B截取的圖3至圖6之電晶體結構之側剖面圖。在圖7中，元件符號標示係從稍早之圖3至圖6繼續，但以剖面顯

示。具體而言，圖6之實例p型汲極區604係以剖面顯示，但因為p型汲極區604在圖6中係一(隔離)島或柱結構，該島或柱結構包圍n型汲極區606(其具有類似島/柱結構)，圖7之剖面繪示在n型汲極區606之剖面圖之任一側上的區604之徑向部分604a、604b。因此，大致而言，在本文中所述之半導體裝置中，n型汲極區及p型汲極區可形成為一柱結構。

【0036】進一步於圖7中，基材區702經繪示為p型，並標示為 P_{sub} 。HV n井區704係容納在基材區702內，且大致上對應於圖1之HV n井120。類似地，p井706對應於圖1之p井122。

【0037】ESD防護環接觸件408，及相關ESD防護環區322、324、326、328亦以剖面繪示於圖7中。具體而言，p型區322經繪示為形成在p型基材702中，且n型區326經繪示為形成在n型井區708中。以此方式，可收集多數電荷載子及少數電荷載子兩者，且重摻雜區324、328可減少ESD防護環區中的電阻。

【0038】如所參照之上文，在一ESD事件期間，第二ESD放電電流路徑可發生在汲極302與圖7之ESD防護環結構之間。換言之，圖1之汲極至閘極電流路徑124、及圖3之類似電流路徑可與此第二汲極至ESD防護環電流結合發生。

【0039】例如，且類似於上述圖2A及圖2B之電路的描述的結構及操作，此額外的汲極至ESD防護環電流路徑可發生在矽控整流器(SCR)之範圍中。具體而言，圖2A及圖2B之對應PNPN結構可藉由p型汲極區604、HV n井區704、經電短路之p型區702及322、及經電短路之n型區708及326之組合來形成。

【0040】最後在圖7中，可包括各種絕緣結構，以促進圖7之各種裝

置區之形成及電分離。雖然未分開標記及討論，此類絕緣區係由絕緣區710所代表，其可係氧化物或任何適當類型的絕緣體。

【0041】圖8係顯示圖3至圖6之電晶體結構與一實例電晶體結構相比較的ESD電流對汲極電壓之I-V曲線的圖表。具體而言，I-V曲線802繪示現有的ESD保護方案類型之實例，其中針對ESD保護使用一汲極至閘極NP(逆向偏壓)二極體結構，且其中一JFET崩潰電壓BVDSS經設定在例如600至900V之具體範圍內發生，例如，約650V。

【0042】在該實例中，回應於一ESD事件而觀察到一崩潰過衝現象(breakdown overshoot phenomenon)，其中發生一突返(snapback)特性，在該突返特性中於突返發生之前達到約900V之電壓(對應於在圖8中標記為A1的一ESD電流，其可係例如約0.9A)。換言之，汲極與閘極之間形成的逆向偏壓二極體正在傳導電流時，可能已發生對JFET結構的損害。

【0043】相反的，如I-V曲線804中所顯示，在本文中所述的PNPN結構提供顯著減少的崩潰過衝。具體而言，回應於一ESD事件，該SCR結構比實例I-V曲線802中更快被導通及具導電性。

【0044】在更詳細的實例中，其可能發生在用於曲線804之JFET的一般電力供應係110V或220V，使得在正常操作期間任何電壓尖峰不高於約500V，且不發生JFET崩潰。又，如所參照之上文，在此正常操作區中，p型汲極區(例如，圖1中的110、或圖6及圖7中的604)不傳導電流，或傳導一最小/可忽略的電流。此時，對應的n型汲極區(例如，圖1中的108、或圖6及圖7中的606)執行正常汲極功能以將電流傳導至圖1之源極106或圖3、圖6、圖7之306。

【0045】藉由其本質，一ESD事件的特徵在於非常快速的電壓上

升，導致p型汲極區110/604之電位對應地快速上升。此電位上升比相關HV n井區(例如，圖1之120、或圖7之704)之電位的對應上升快速。因此，在該中介的PN接面處產生0.7V電位差，並產生一順向偏壓。此順向偏壓作用以導通圖2A及圖2B之結構。

【0046】 換言之，對於曲線802，例如2kV之ESD電壓將於650V之BVDSS處導致崩潰，但不足的能量將被賦予以起始該突返情況，直到已發生顯著的過衝之後，如上文所描述及繪示。

【0047】 對於對應於圖1至圖7的曲線804，接著例如650V之BVDSS後，突返被更早地起始。即使對於例如2kV至4kV之極高的ESD電壓，圖2A及圖2B之SCR結構將被啟用，並將傳導電流至多約例如2.8A(對應於在圖8中之電流A2之實例)。作為圖2A及圖2B之PNPN結構因此具有用於汲極至閘極ESD電流路徑的一較高電流增益(例如，至多高於三倍、或更多)，可將汲極至閘極ESD電流路徑實作為主要或多數的溢流傳導路徑，而涉及上述ESD防護環類型的電流路徑可用作次級或溢流電流路徑。

【0048】 最後相對於圖1至圖8，在一些實施方案中，假設源極(例如，106、308)針對晶圓級或其他測試場景之目的被保留浮動(例如，未連接)。在此等場景中，在汲極102、302處的ESD電流在本文描述中僅具有用於放電的兩個電流路徑，即，汲極至閘極或汲極至ESD防護環。

【0049】 圖9係根據圖1至圖8繪示用於製作一電晶體結構之方法之實例操作的流程圖。圖9係一實例方法之高階描述。雖然將圖9繪示為一組順序操作，但亦將理解的是，在各種實施方案中，可將圖9之二或更多的操作一起實施成一單一步驟，或彼此平行。類似地，可將圖9之任何單一操作實作為二或更多個子操作，其等可彼此串聯或並聯。再者，該等操作

可按不同於所顯示之順序實施，且亦可包括額外或替代的操作。

【0050】 在圖9之實例中，參照圖1及圖7，HV n井120、704經形成在p型基材118、702中(902)。p井122/706經形成在HV n井120、704中(904)。接著可形成絕緣區710 (906)。

【0051】 N型區可經形成在汲極102、302、閘極104、304、及源極106、306之對應區中，以及用於ESD防護環結構(908)。具體而言，如所參照的上文，n型汲極區108、606可經形成為在HV n井120、704之表面上的柱或島區。閘極、源極、及ESD防護環之各種n型區314、319、328可形成為上文所參照的構形之圓形或跑道形類型。

【0052】 類似地，p型區可經形成在汲極102、302、閘極104、304、及ESD防護環結構之對應區中(918)。具體而言，如所參照的上文，p型汲極區110、604可經形成為在HV n井120、704之表面上的柱或島區，並環繞n型柱108、606。閘極及ESD防護環之各種p型區312、324分別可形成為上文所參照的構形之圓形或同心類型。

【0053】 最後在圖9中，可形成對應的接觸結構(912)。舉例而言，上文提供引線及金屬接觸件之各種實例，但將理解的是，對於接觸層之構形及組成物亦可製成其他合適選擇。

【0054】 有利地，將理解的是，圖9之方法提供包含在汲極區與閘極區兩者內之p型區與n型區兩者，以從而形成在本文中所述之PNPN SCR結構及功能之類型。具體而言，此等裝置結構可以些許或不需要分開或額外的遮罩操作而得到，且在可實作之各種側向電晶體裝置中不需要額外層。

【0055】 應理解，在前面描述中，當元件(諸如層、區、基材、或組

件)被稱為在另一元件上、連接至另一元件、電連接至另一元件、耦接或電耦接至另一元件時，其可直接在另一元件上、連接或耦接至另一元件、或可存在一或多個中間元件。相反地，當元件被稱為直接在另一元件或層上、直接連接至或直接耦接至另一元件或層時，則無中間元件或層存在。雖然用語直接在...上(directly on)、直接連接至(directly connected to)、或直接耦接至(directly coupled to)可能不在實施方式各處使用，但可如此稱呼顯示為直接在...上、直接連接至、或直接耦接至的元件。本申請案之申請專利範圍(若有)可經修改成敘述在本說明書中描述或圖式中所展示之例示性關係。

【0056】 當用於本說明書中及申請專利範圍時，單數形式可包括複數形式，除非在內文中明確指示特定情況。除了圖式中所描繪之定向之外，空間相對用語(例如，之上(over)、上方(above)、上部(upper)、下(under)、底下(beneath)、下方(below)、下部(lower)等)旨在涵蓋裝置在使用中或操作中的不同定向。在一些實施方案中，相對用語上方(above)及下方(below)分別地包括垂直上方及垂直下方。在一些實施方案中，用語相鄰(adjacent)可包括側向相鄰於或水平相鄰於。

【0057】 一些實施方案可使用各種半導體處理及/或封裝技術來實作。一些實施方案可使用與半導體基材相關聯的各種類型半導體處理技術來實作，包括但不限於例如矽(Si)、砷化鎵(GaAs)、氮化鎵(GaN)、碳化矽(SiC)、及/或等等。

【0058】 雖然所描述之實施方案的某些特徵已如本文所描述而說明，但所屬技術領域中具有通常知識者現將想到許多修改、替換、改變及均等物。因此，應當理解，隨附申請專利範圍旨在涵蓋落於實施方案範圍

內的所有此類修改及改變。應當理解，其等僅以實例(非限制)方式呈現，並且可進行各種形式及細節改變。本文所描述之設備及/或方法之任何部分可以任何組合進行組合，除了互斥組合之外。本文所描述之實施方案可包括所描述之不同實施方案之功能、組件及/或特徵的各種組合及/或子組合。

【符號說明】

【0059】

100	電晶體/電晶體結構/電晶體裝置
102	汲極
104	閘極
106	源極
108	第一汲極區/汲極區/區/n型汲極區/n型第一汲極區/n摻雜汲極區/n型柱
110	第二汲極區/p型汲極區/汲極區/區/p型第二汲極區/PNPN層/陽極/p摻雜汲極區
111	汲極接觸件/p摻雜汲極區
112	第一閘極區/區/p型閘極區/p型第一閘極區
114	第二閘極區/區/第二閘極區/n型閘極區/n型/PNPN層/陰極/n型第二閘極區
115	閘極接觸件
116	源極區/接觸引線
117	源極接觸件
118	基材/接觸引線/p型基材

- 120 本體區/高壓電(HV) n井/PNPN層/N型層
- 122 本體區/p井/PNPN層/閘極/P型層
- 124 ESD電流/ESD電流路徑/汲極至閘極電流路徑/汲極至閘極
ESD電流路徑
- 202 雙極型接面電晶體
- 204 雙極型接面電晶體/電晶體
- 302 汲極/汲極區
- 304 閘極
- 306 源極
- 308 第一n型汲極區
- 310 第二p型汲極區
- 312 p型區
- 314 n型區
- 319 n型區
- 320 接觸引線
- 322 n摻雜防護環/ESD防護環/防護環/ESD防護環區/p型區
- 324 接觸引線部分/ESD防護環/防護環/ESD防護環區/重摻雜
區/p型區
- 326 p摻雜防護環/ESD防護環/ESD防護環區/n型區
- 328 接觸引線/ESD防護環區/重摻雜區/n型區
- 402 汲極金屬接觸件
- 404 閘極金屬接觸件
- 406 源極金屬接觸件

408	ESD防護環金屬接觸件
502	蜂巢設計
602	n型區/汲極區
604	p型區/汲極區/p型汲極區/區
604a	徑向部分
604b	徑向部分
606	電接觸部分/n型汲極區/n型柱
608	層
702	基材區/p型基材/p型區
704	HV n井區/HV n井
706	p井
708	n型井區/n型區
710	絕緣區
802	I-V曲線
804	I-V曲線/曲線
902	步驟
904	步驟
906	步驟
908	步驟
910	步驟
912	步驟
918	步驟
A1	ESD電流
A2	電流

【發明申請專利範圍】

【第1項】

一種半導體電晶體裝置，其包含：

一源極區；

一閘極區，其具有一p型閘極區及一n型閘極區；及

一汲極區，其具有一p型汲極區及一n型汲極區，

其中該p型閘極區、該n型閘極區、該p型汲極區、及該n型汲極區經定位以回應於一靜電放電(ESD)電壓而提供一汲極至閘極ESD電流路徑，以至少部分地將該ESD電壓放電。

【第2項】

如請求項1之半導體電晶體裝置，其中該p型閘極區、該n型閘極區、該p型汲極區、且該n型汲極區形成一矽控整流器(SCR)之一部分，且進一步其中該p型汲極區大於該n型汲極區。

【第3項】

如請求項2之半導體電晶體裝置，其中該p型閘極區、該n型閘極區、該p型汲極區、及該n型汲極區形成該SCR之一PNPN結構之一部分。

【第4項】

如請求項3之半導體電晶體裝置，其中該SCR之該PNPN結構包括：

一p井，其至少部分地形成在該閘極區下方，且在該ESD期間電短路至該p型閘極區；及

一高電壓n井，其形成在該源極區、該閘極區、該p井、及該汲極區下方，且在該ESD期間電短路至該n型汲極區。

【第5項】

如請求項1之半導體電晶體裝置，其中：

該汲極區形成在該半導體電晶體裝置之一中心部分處，

該閘極區形成於該汲極區周圍並環繞該汲極區；且

該源極區形成於該閘極區周圍並環繞該閘極區。

【第6項】

如請求項5之半導體電晶體裝置，其進一步包括：

一ESD防護環結構，其於該源極區周圍並環繞該源極區，其中該ESD防護環結構對該汲極至閘極ESD電流路徑提供一次級ESD電流路徑。

【第7項】

如請求項1之半導體電晶體裝置，其中該半導體電晶體裝置包括一側向接面場效電晶體(側向JFET)及一側向金屬氧化物半導體場效電晶體(側向MOSFET)中之至少一者。

【第8項】

一種半導體電晶體裝置，其包含：

一第一導電性類型之一基材；

一第二導電性類型之一第一井區，其形成在該基材中；

該第二導電性類型之一源極區，其形成在該第一井區中；

該第一導電性類型之一第二井區，其形成在該第一井區中；

一第一閘極區，其具有該第一導電性類型並形成在該第二井區中作為一閘極區之部分；

一第二閘極區，其具有該第二導電性類型並形成在該第二井區中作為該閘極區之部分；

一第一汲極區，其具有該第二導電性類型並形成在該第一井區中作為一汲極區之部分；及

一第二汲極區，其具有該第一導電性類型並形成在該第一井區中作為該汲極區之部分，

其中至少該第二汲極區、該第一井區、該第二井區、及該第二閘極區形成一結構，該結構回應於由靜電放電(ESD)所引起的電壓而提供一汲極至閘極ESD電流路徑。

【第9項】

如請求項8之半導體電晶體裝置，其中該結構包括：

該第一井區，其至少部分地在該閘極區下方，且在該ESD期間電短路至該第一閘極區；及

該第二井區，其包括一高電壓井，該高電壓井形成在該源極區、該閘極區、該第一井區、及該汲極區下方，且在該ESD期間電短路至該第二汲極區。

【第10項】

如請求項8之半導體電晶體裝置，其中：

該汲極區形成在該半導體電晶體裝置之一中心部分處，

該閘極區形成於該汲極區周圍並環繞該汲極區；且

該源極區形成於該閘極區周圍並環繞該閘極區。

【第11項】

一種製作一半導體電晶體裝置之方法，該方法包含：

在一第一導電性類型之一基材中形成一第二導電性類型之一第一井區；

在該第一井區中形成該第二導電性類型之一源極區；

在該第一井區中形成該第一導電性類型之一第二井區；

形成一第一閘極區，其具有該第一導電性類型，並在該第二井區中，作為一閘極區之部分；

形成一第二閘極區，其在該第二井區中具有該第二導電性類型，作為該閘極區之部分；

形成一第一汲極區，其在該第一井區中具有該第二導電性類型，作為一汲極區之部分；及

形成一第二汲極區，其在該第一井區中具有該第一導電性類型，作為該汲極區之部分，

其中至少該第二汲極區、該第一井區、該第二井區、及該第二閘極區回應於一靜電放電(ESD)電壓而形成一結構，並組織一汲極至閘極ESD電流路徑以至少部分地將該ESD電壓放電。

【第12項】

如請求項11之方法，其包含：

在該半導體電晶體裝置之一中心部分處形成該汲極區，

將該閘極區形成於該汲極區周圍並環繞該汲極區；且

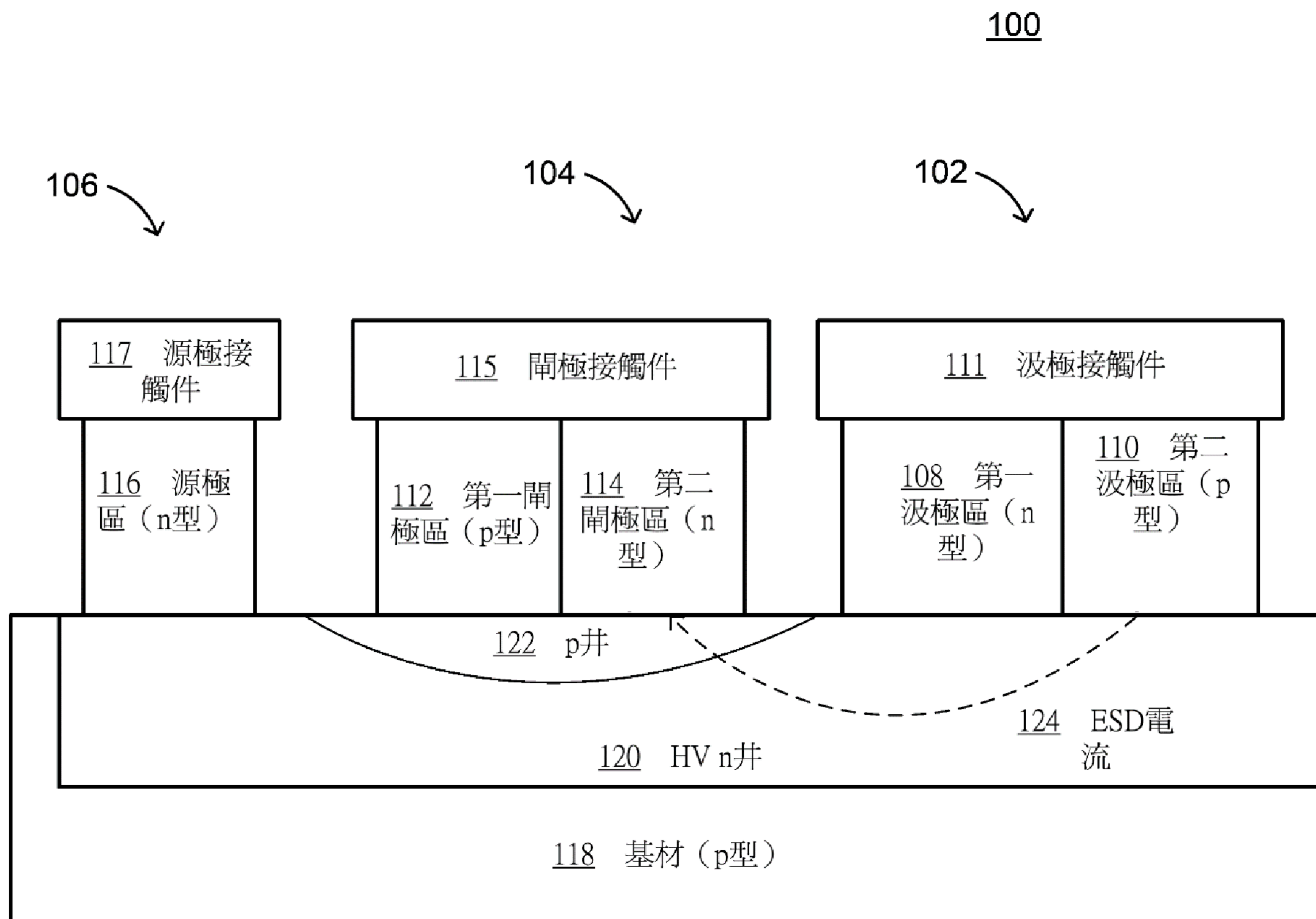
將該源極區形成於該閘極區周圍並環繞該閘極區。

【第13項】

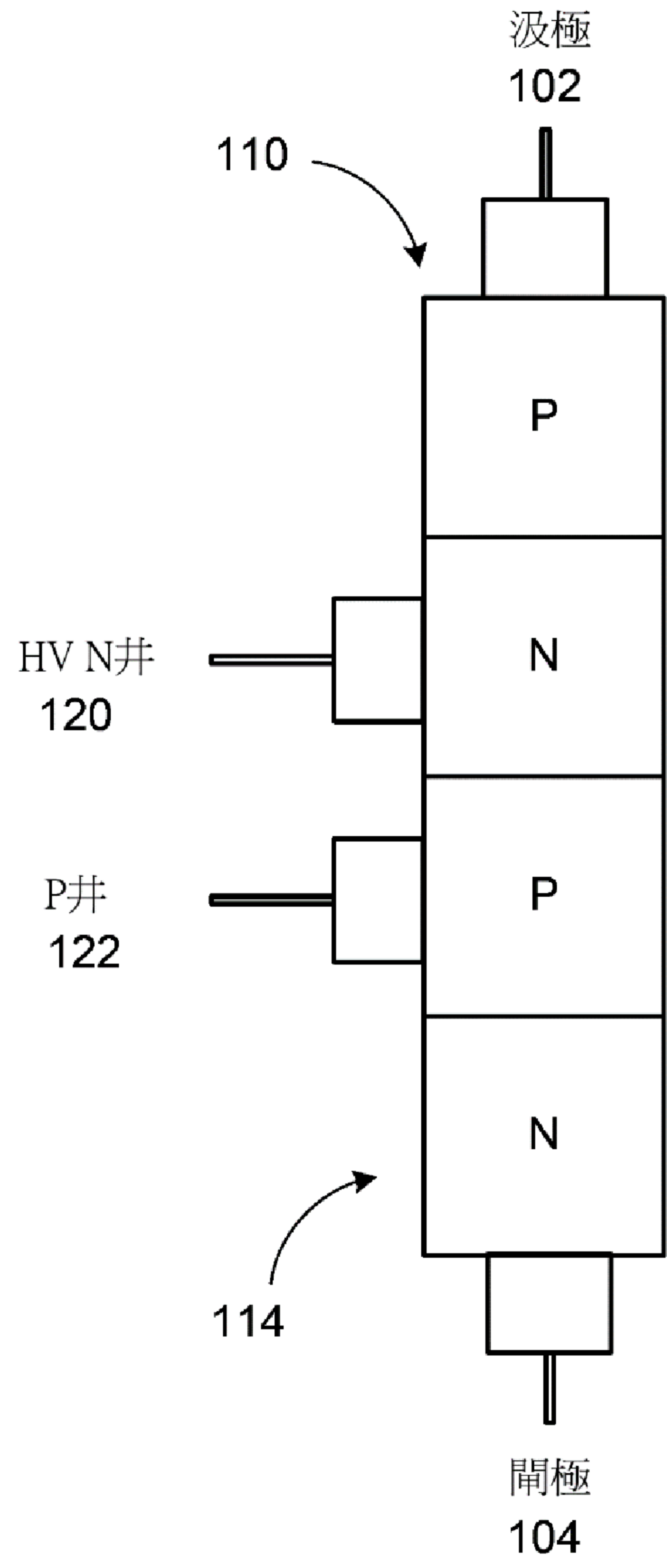
如請求項11之方法，其包含：

將一ESD防護環結構形成於該源極區周圍並環繞該源極區，其中該ESD防護環結構對該汲極至閘極ESD電流路徑提供一次級ESD電流路徑。

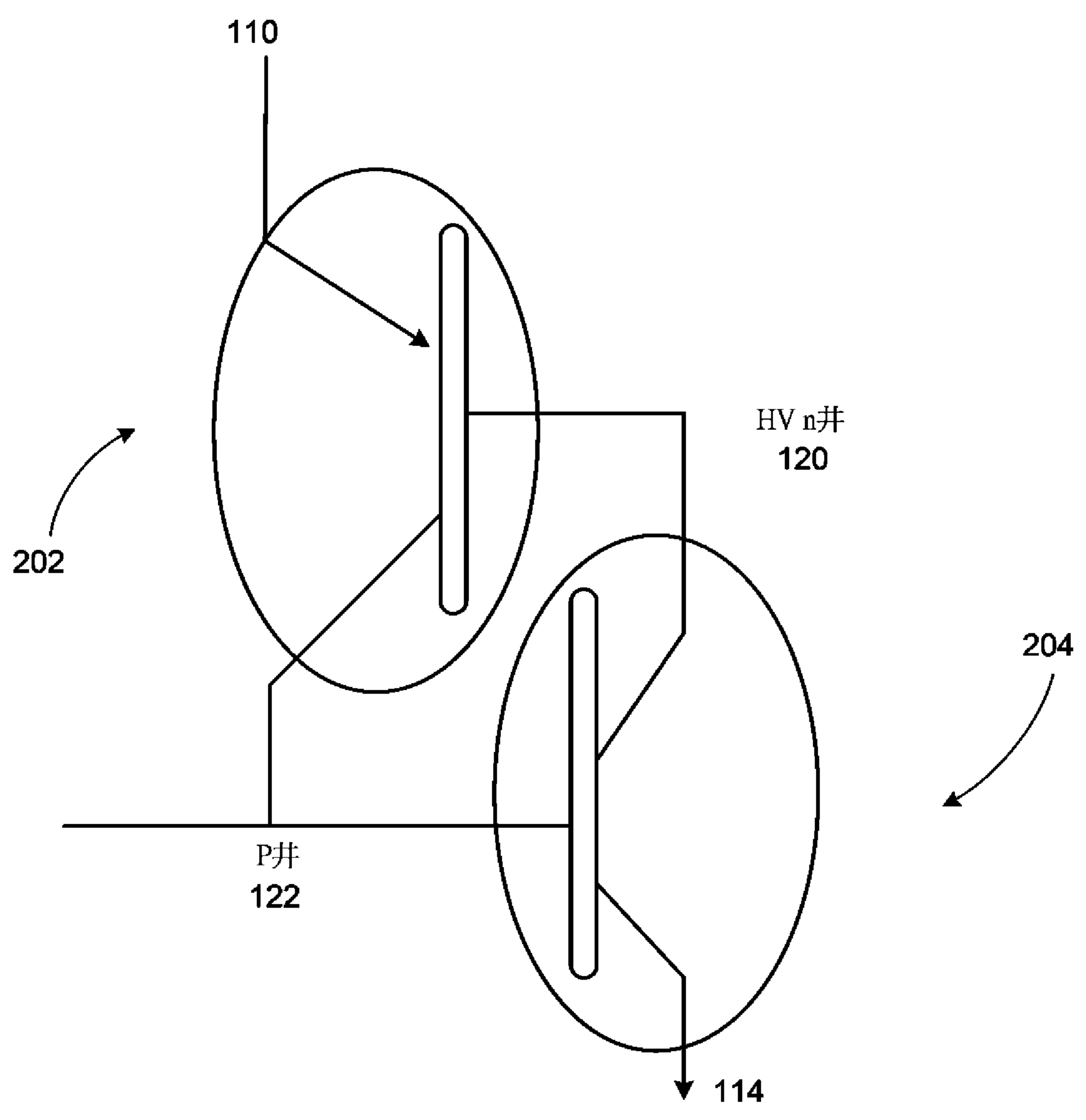
【發明圖式】



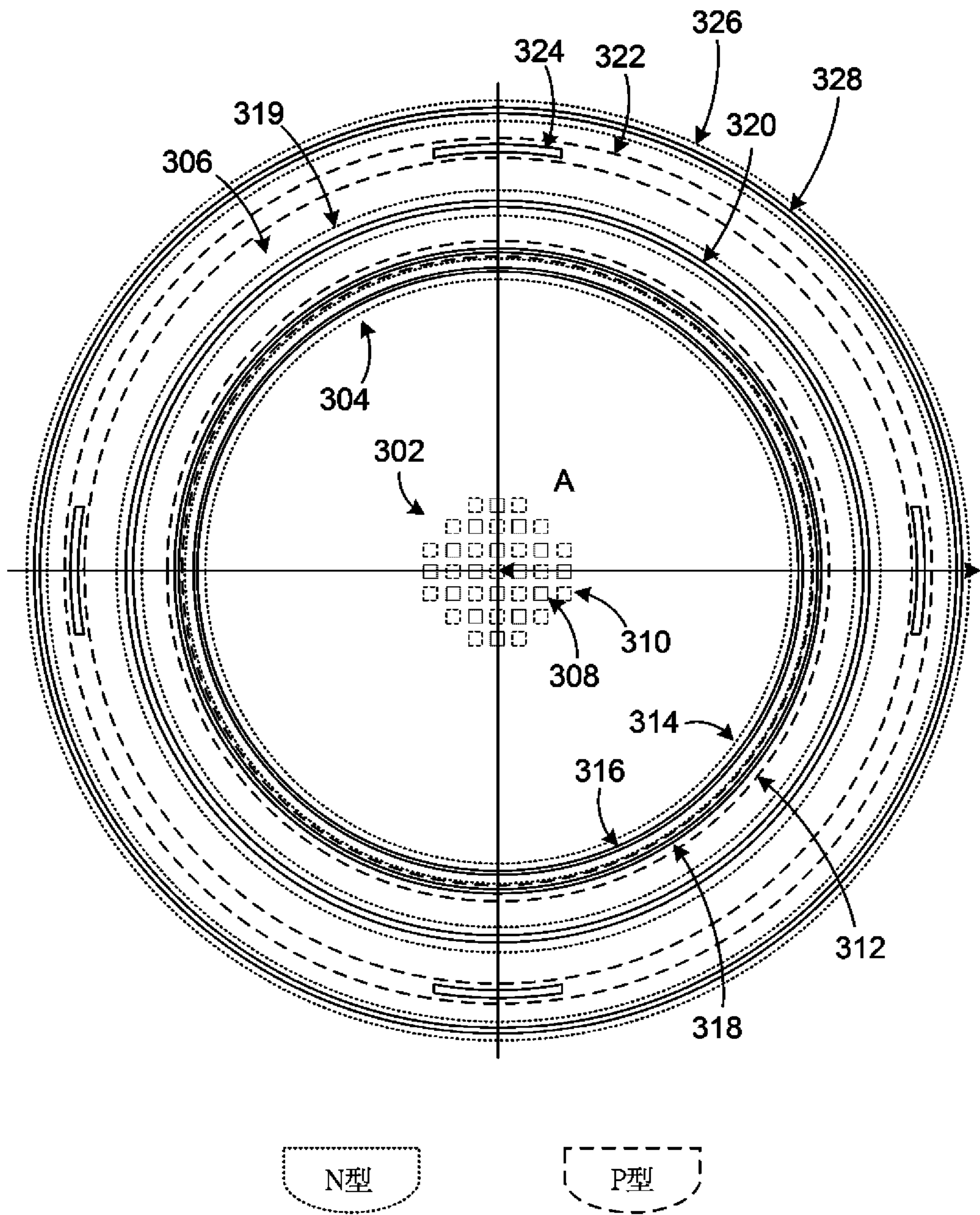
【圖 1】



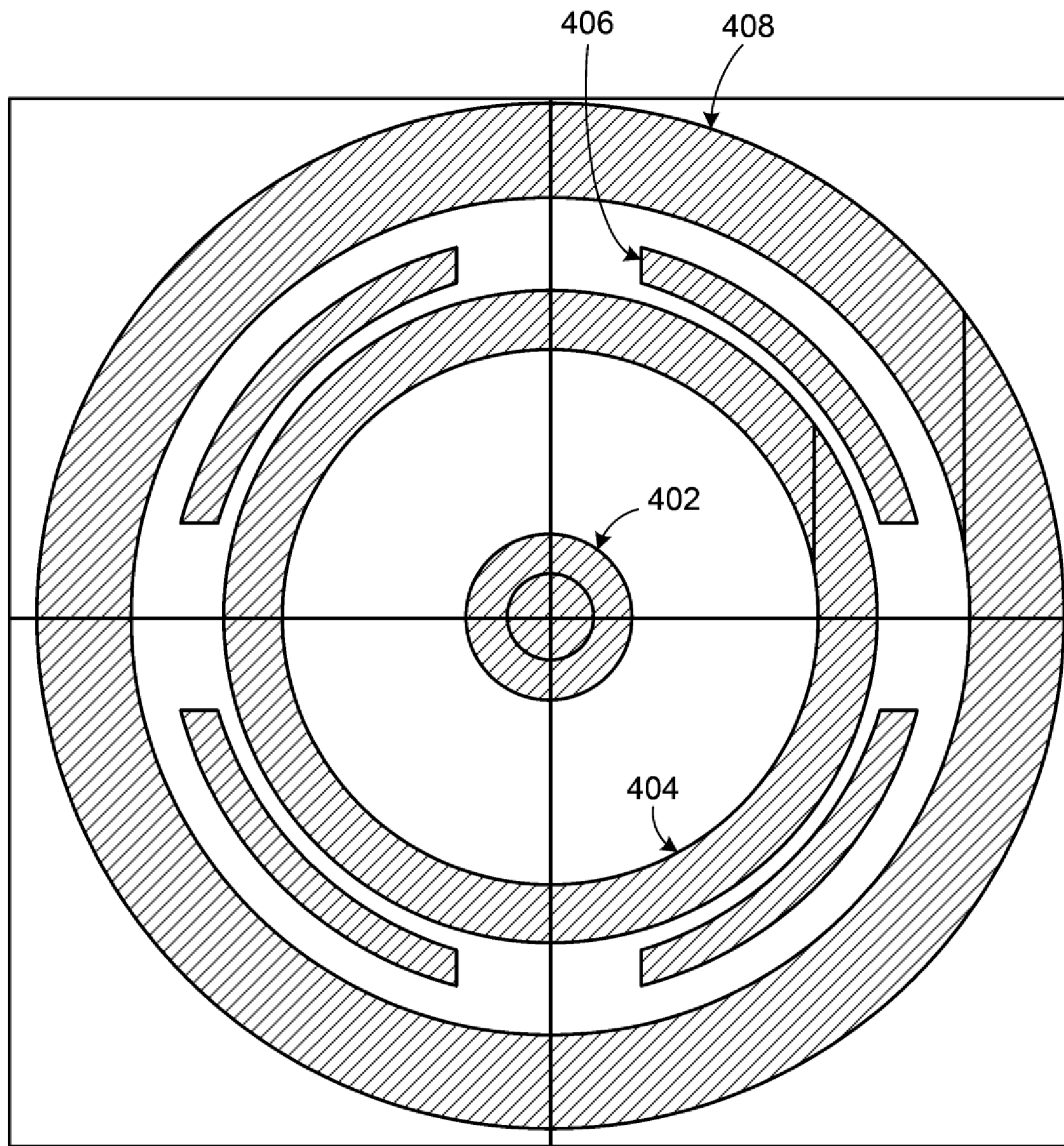
【圖 2A】



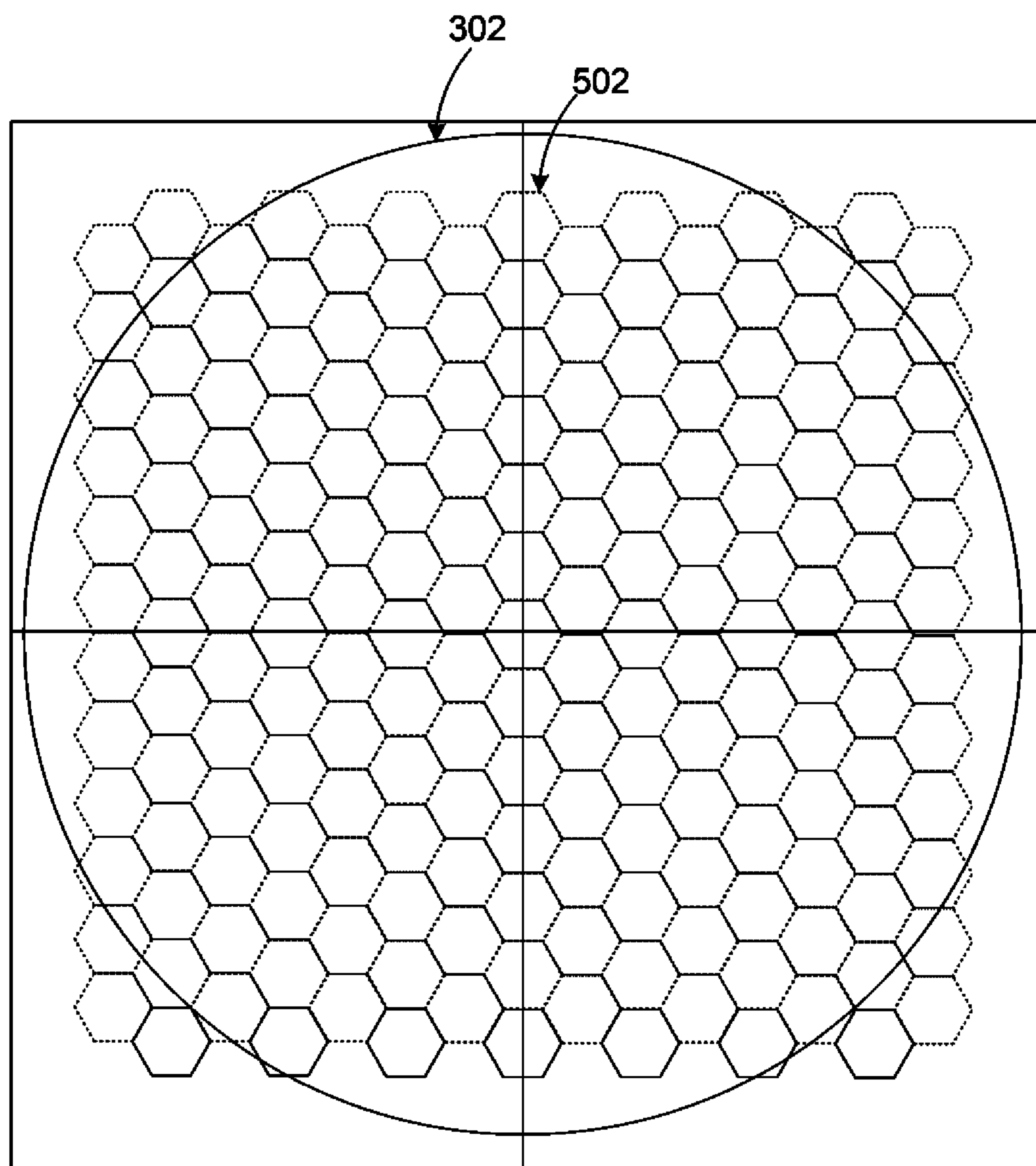
【圖 2B】



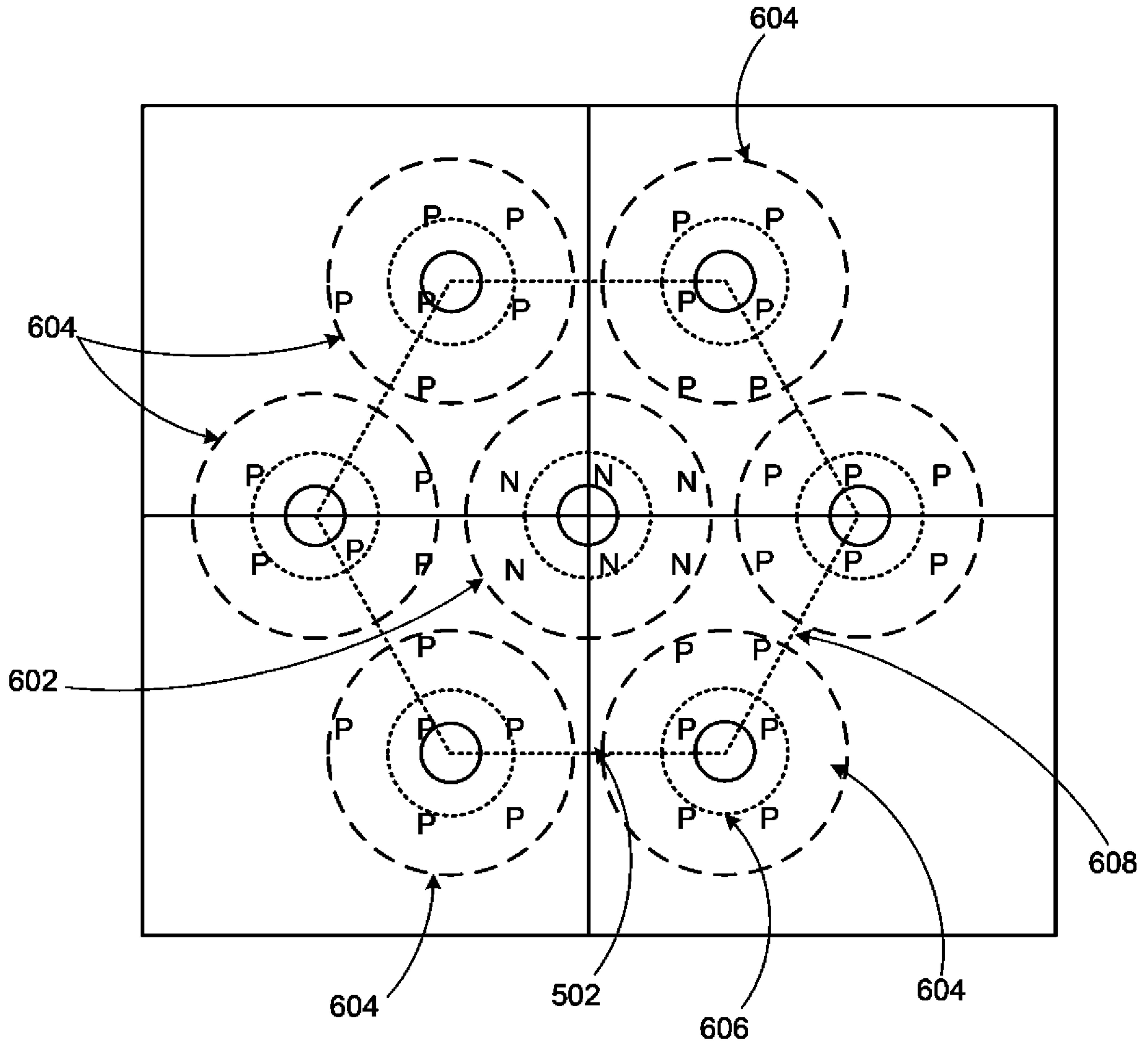
【圖 3】



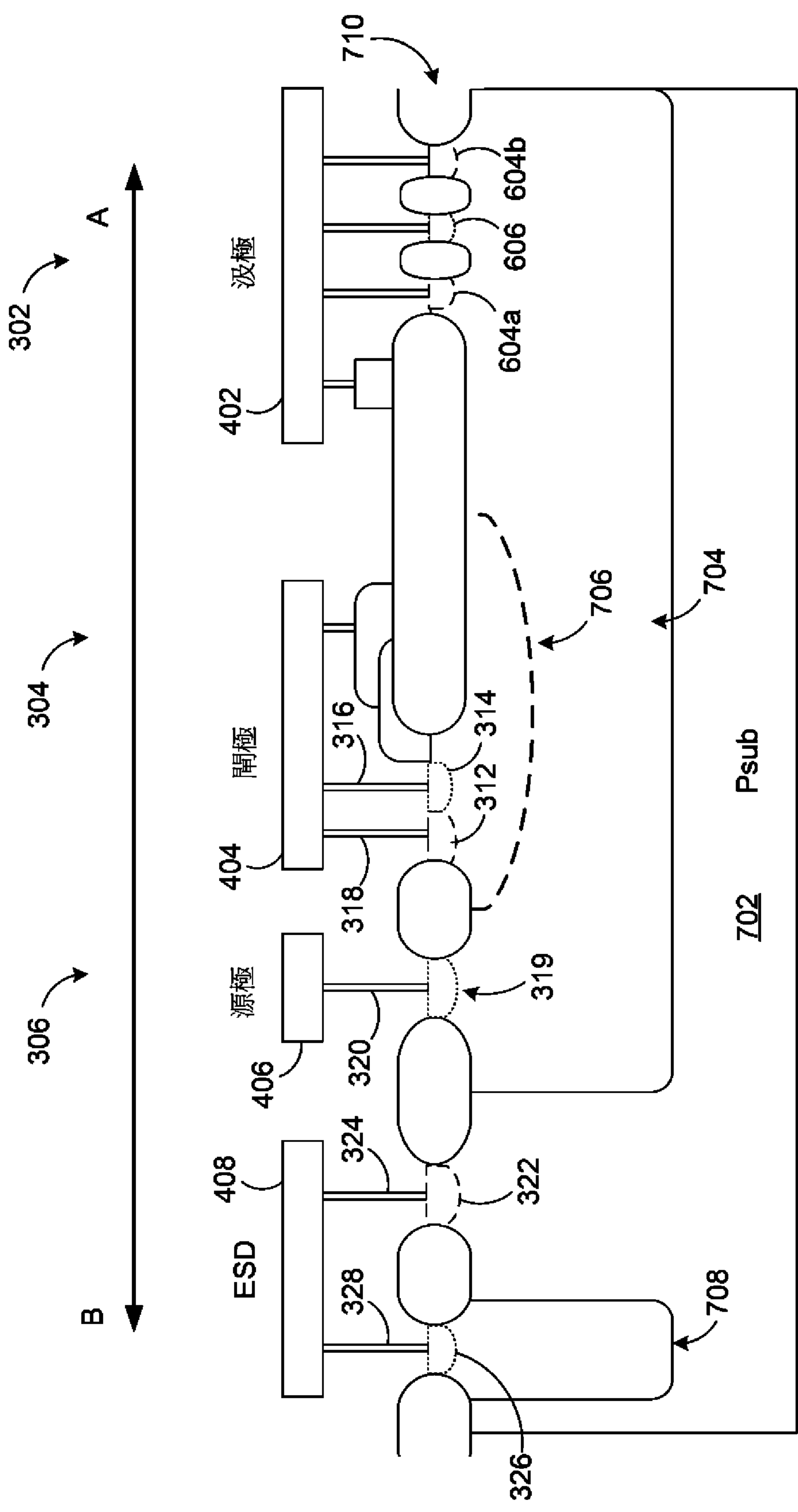
【圖 4】



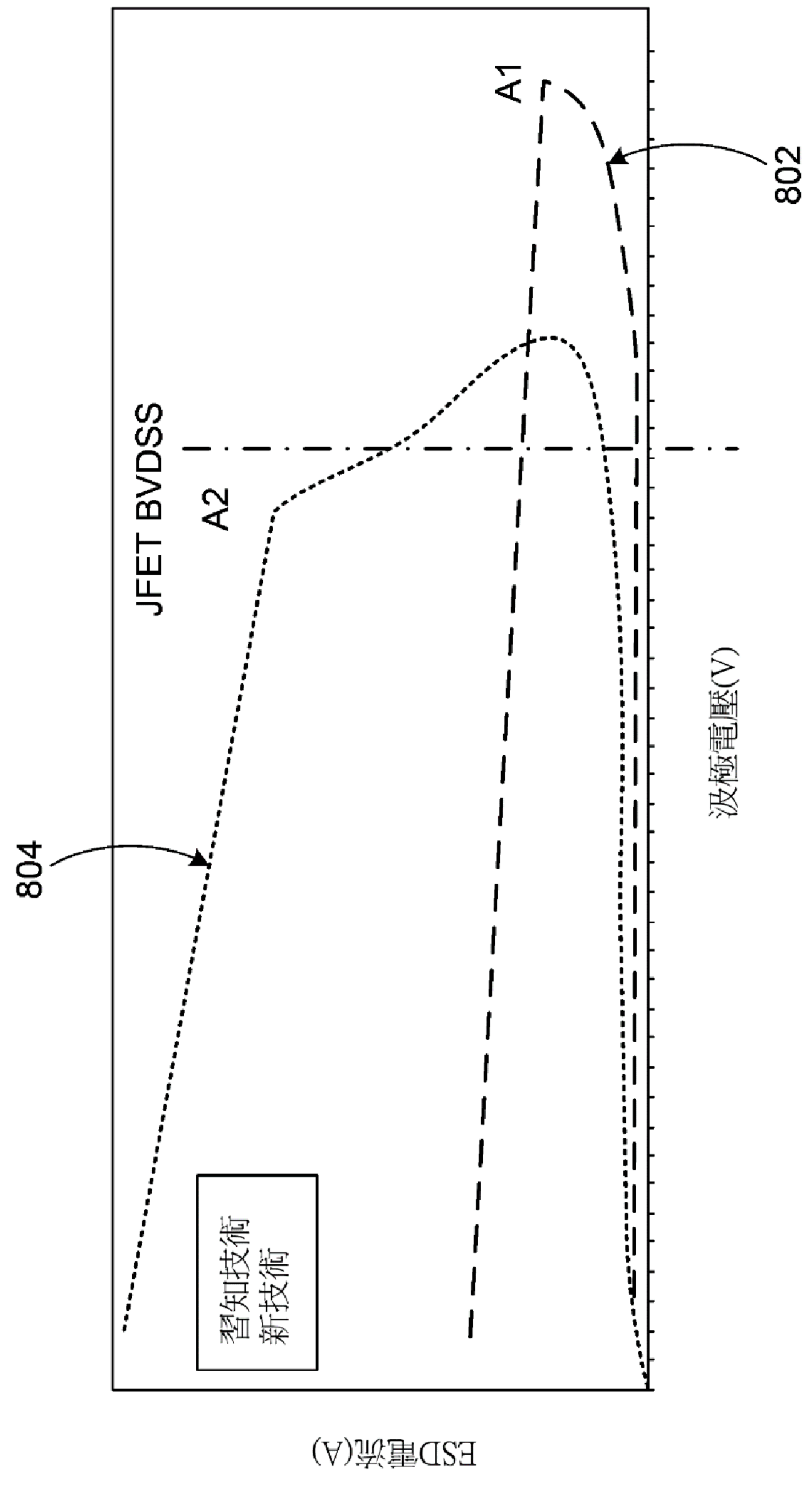
【圖 5】



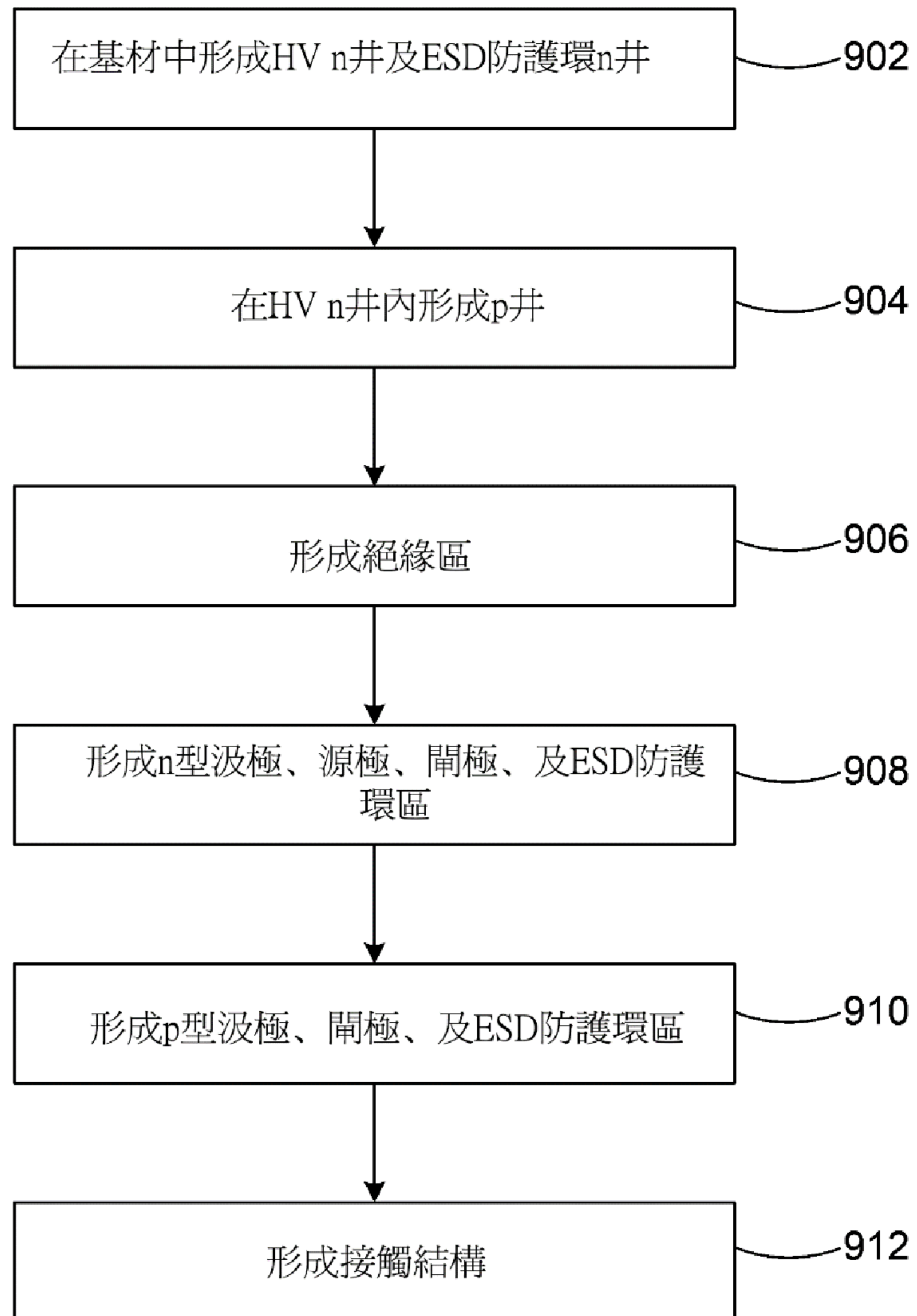
【圖 6】



【圖 7】



【圖 8】



【圖 9】