

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5094232号
(P5094232)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.

F 1

GO6K 19/077	(2006.01)	GO6K 19/00	K
HO1L 29/786	(2006.01)	HO1L 29/78	613Z
HO1L 21/336	(2006.01)	HO1L 29/78	627D
HO1L 21/822	(2006.01)	HO1L 27/04	U
HO1L 27/04	(2006.01)	HO1L 27/04	L

請求項の数 4 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2007-164594 (P2007-164594)
 (22) 出願日 平成19年6月22日 (2007.6.22)
 (65) 公開番号 特開2008-33907 (P2008-33907A)
 (43) 公開日 平成20年2月14日 (2008.2.14)
 審査請求日 平成22年4月9日 (2010.4.9)
 (31) 優先権主張番号 特願2006-175678 (P2006-175678)
 (32) 優先日 平成18年6月26日 (2006.6.26)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 道前 芳隆
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 青木 智幸
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 高橋 秀和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山田 大幹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】半導体装置を内包する用紙およびその作製方法

(57) 【特許請求の範囲】

【請求項 1】

半導体装置が内包された用紙であって、
 前記半導体装置は、封止層と、素子層と、可撓性の基材とを有し、
 前記素子層は、薄膜トランジスタを有する回路と、前記回路に電気的に接続されたアンテナとを有し、
 前記素子層は、前記封止層と、前記可撓性の基材とに挟まれており、
 前記アンテナは、導体表面に凹凸を有し、
 前記凹凸は、前記アンテナの導体表面と重なる領域において、外光が乱反射するよう¹⁰
 設けられることを特徴とする半導体装置を内包する用紙。

【請求項 2】

半導体装置が内包された用紙であって、
 前記半導体装置は、第1の紙層と第2の紙層の間に挟まれ、封止層と、素子層と、可撓性の基材とを有し、
 前記素子層は、薄膜トランジスタを有する回路と、前記回路に電気的に接続されたアンテナとを有し、
 前記素子層は、前記封止層と、前記可撓性の基材とに挟まれており、
 前記アンテナは、導体表面に凹凸を有し、
 前記凹凸は、前記アンテナの導体表面と重なる領域において、外光が乱反射するよう²⁰
 設けられることを特徴とする半導体装置を内包する用紙。

【請求項 3】

請求項 2 において、

前記半導体装置の厚さは、前記第 1 の紙層の厚さ又は前記第 2 の紙層の厚さより薄いことを特徴とする半導体装置を内包する用紙。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記半導体装置が内包された用紙の少なくとも一方の表面は、平坦性を有していることを特徴とする半導体装置を内包する用紙。

【発明の詳細な説明】

10

【技術分野】**【0001】**

本発明は半導体装置を内包する用紙およびその作製方法に関する。

【背景技術】**【0002】**

近年、個々の対象物に ID (個体識別番号) を与えることで、その対象物の履歴等の情報を明確にし、生産、管理等に役立てるといった個体認識技術が注目されている。その中でも、非接触でデータの送受信が可能な半導体装置の開発が進められている。このような半導体装置として、RFID (Radio Frequency Identification) (ID タグ、 IC タグ、 IC チップ、 RF タグ (Radio Frequency) 、無線タグ、電子タグ、無線チップとも呼ばれる。) 等が企業内、市場等で導入され始めている。

20

【0003】

また、 IC チップを紙に埋め込むことが提案されており、 IC チップの組み込みが容易なことから、製紙プロセスの過程で IC チップを紙に抄き込むことが求められている。例えば、特許文献 1 には、円網抄紙機を用いて、 IC チップを紙層の間に抄き込むことが記載されている。また、特許文献 2 には、水に溶かした紙原料中に IC チップを沈下させ、ローラで加圧しながら紙原料を乾燥させることで、 IC チップが埋め込まれた紙を作製している。

【0004】

30

特許文献 1 では、単純に IC チップを多層抄き合わせ紙の間に、単に IC チップを埋め込んだだけであり、 IC チップを埋め込んだ部分の平坦性や曲げやすさについては何ら考慮されていない。特許文献 2 では、シリコンウエハから切り出した IC チップを用いているため、 IC チップを埋め込んだ部分の柔軟性は損なわれてしまう。

【特許文献 1】特開 2002-298118 号公報

【特許文献 2】特開 2001-230269 号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

そこで、本発明は、半導体装置が抄き込まれた用紙を提供するにあたり、紙本来の品質を落とさないようにすることを課題とする。さらに、紙の厚さを 130 μm 以下の薄い紙に、表面の平滑性を損なわずに半導体装置を抄き込むことも課題とする。

40

【課題を解決するための手段】**【0006】**

上記課題を解決するため、本発明は、薄膜トランジスタを用いて回路を構成し、薄膜トランジスタを用いた回路を製造時に使用した基板から、剥離して、他の可撓性の基板に転置した半導体装置を紙に抄き込むことを特徴とする。半導体装置をこのような構成にすることにより、可撓性を持たせている。

【0007】

また、本発明は、紙を抄くときに必要な強度や耐水性を確保しつつ、薄さや可撓性を損

50

なわないようにした半導体装置を、紙に抄き込むことを特徴とする。具体的には、以下の通りである。

【0008】

本発明に係る紙において、抄き込まれた半導体装置は、薄膜トランジスタを有する回路、および回路に接続されたアンテナを有する素子層と、素子層の表面を封止する封止層とが積層された積層体と、積層体の底部に固定された可撓性の基材と、を有することを特徴とする。可撓性基材と封止層で素子層を挟むことで、紙として使用するときや紙を製造するのに必要な強度や耐水性を確保しつつ、半導体装置を薄く、30 μm以下の厚さにすることができる。

【0009】

また、積層体の側面は回路やアンテナを作製するときに形成された絶縁膜と封止層との積層膜でなることを特徴とする。つまり、積層体の側面での回路およびアンテナの保護はこの積層膜が担う。このような積層体の側面の構造は、封止層と共に素子層を分割することで形成できる。

【0010】

本発明を実施するにあたり、紙は多層抄き合わせ紙であることが好ましい。よって、本発明は紙の作製方法も含み、具体的な構成は次の通りである。

【0011】

少なくとも2層の湿紙を用意し、間に半導体装置を挟んだ状態で2層の湿紙を重ね、重ねた湿紙をプレスし、プレスした湿紙を乾燥して、多層紙を形成する紙の作製方法であり、湿紙の一方に変形が可能な物体を接触させながら、湿紙をプレスすることを特徴とする。プレス手段には、一対の平板やローラ対などを選択できる。変形が可能な物体は、平板やローラなどのプレス手段に固定されても、固定されていなくてともよい。

【0012】

なお、本明細書において半導体装置とは、半導体特性を利用して機能し得る装置全般を指すものとする。

【0013】

なお、本明細書において、接続されているとは、電気的に接続されているものとする。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、スイッチやトランジスタや容量素子やコイルや抵抗素子やダイオードなど）が配置されていてもよい。

【発明の効果】

【0014】

本発明の実施により、可撓性の半導体装置に機械的強度、耐水性を確保できるため、抄紙過程で半導体装置を紙に組み込むことが可能になる。抄紙過程で半導体装置を組み込むことで、紙を破損しないで半導体装置を取り出すことは非常に困難になるため、本発明の紙は偽造防止の機能を有する。そのため、半導体装置にRFIDの機能を持たせることで、紙に電子的なID情報（固体識別情報）を記録することができるため、旅券、紙幣、有価証券、金券、チケット、公文書、契約書、各種の極秘情報を記載した書類（例えば、仕様書、名簿、帳簿、設計図）、偽造防止が必要とされる各種の紙媒体に適用することができる。

【0015】

また、半導体装置に可撓性があるため、半導体装置を内包する部分の柔軟性が高くなるため、本発明の実施は、紙本来の機能や用途の制約が小さい。また、紙の厚さを130 μm以下に薄くすることも可能である。もちろん、本発明の実施は、薄い紙に制約されるものではない。例えば、写真用のインクジェット印刷用紙や、証書のような厚さが200 μm以上の厚い用紙にも適用することが可能である。

【0016】

また、本発明の紙の作製方法を実施することにより、2層の紙の一方の面を半導体装置による凹凸を反映させずに平坦に形成することが可能である。それは、重ねた湿紙の一方

10

20

30

40

50

の面を剛体に接触させ、他方の面を変形可能な物体に接触させて重ねた湿紙をプレスしているからである。

【発明を実施するための最良の形態】

【0017】

以下に、本発明の実施の形態および実施例を図面に基づいて説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨およびその範囲から逸脱することなく、その形態を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、実施の形態および実施例の記載内容に限定して解釈されるものではない。

【0018】

10

<半導体装置が抄き込まれた紙の構成について>

まず、半導体装置を抄き込んだ紙の構成について説明する。本明細書では、半導体装置として、無線で通信を行う手段を有し、RFIDの機能を備えた半導体装置を例に取り説明する。

【0019】

図1(A)は、半導体装置が抄き込まれた紙の模式的な外観図であり、図1(B)は、図1(A)の鎖線a-bにおける模式的な断面図である。図1(C)は、半導体装置の模式的な上面構造を示す。図1(A)に示すように、半導体装置1が紙2に抄き込まれている。半導体装置1は、無線で通信を行うための回路を有する。半導体装置1はRFタグとして機能させることができる。

20

【0020】

半導体装置1は、図1(C)に示すように、信号を受信し、送信するためのアンテナ11と、アンテナ11で受信した信号を解析する回路、受信信号から電源を発生する回路など各種の回路が集積された回路部12とでなる。図1(B)に示すように、回路部12の底部(下面)は可撓性基材13で支持され、その上面はアンテナ11と共に、封止層14で封止されている。

【0021】

<半導体装置1の構成について>

図2～図5を用いて、半導体装置1の構成および作製方法を説明する。図2は、半導体装置1の模式的な断面図であり、図3は、半導体装置1の外観構造を説明する図である。図4および図5は、半導体装置1の作製方法を示す断面図である。

30

【0022】

半導体装置1は、可撓性基材13上に、回路部12、および回路部12に接続されたアンテナ11が積層された素子層21と、素子層21の表面を封止する封止層14が積層されている。つまり、素子層21は可撓性基材13と封止層14で挟まれた構成となっている。

【0023】

回路部12は、薄膜トランジスタ(以下、「TFT」という)を用いた回路が集積されている。図2では、便宜上、回路部12を2つのトップゲート型の薄膜トランジスタの断面図で示している。可撓性基材13上に積層された、素子層21と封止層14との積層構造(以下、「積層体22」という)は、製造時に使用した基板から、可撓性基材13に転置されているものである。

40

【0024】

素子層21は、薄膜トランジスタの製造プロセスで作製されている。素子層21の側面は、アンテナ11および回路部12を作製したときに形成された絶縁膜23～26でなる積層膜である。図3に示すように、素子層21内において、アンテナ11および回路部12は、底部(便宜上、素子層21を形成するときに下側になる面を底部)とすることとする。)が可撓性基材13で保護され、上面が封止層14で封止され、側面が絶縁膜23～26でなる積層膜で覆われている。半導体装置1をこのような積層構造とすることにより、強度や耐水性を確保しつつ、半導体装置1を薄くし、可撓性を持たせている。以下、図4

50

および図5に示す断面図を用いて、半導体装置1の作製方法を説明する。

【0025】

<半導体装置1の作製方法について>

素子層21を作製するための基板31を用意する。基板31は、基板31には、薄膜トランジスタを製造するためときに必要な剛性と、プロセス温度に耐えうる耐熱性を備えた基板を選択する。例えば、基板31として、ガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板を用いることができる。

【0026】

基板31表面に剥離層32を形成する。剥離層32は、積層体22を基板31から剥離するために形成する層である。剥離層32の表面に薄膜トランジスタの下地絶縁膜を構成する絶縁膜23を形成する。絶縁膜23は、回路部12の汚染を防ぐため、酸化シリコン、窒化シリコン、窒化酸化シリコン(SiO_xN_y)、ダイヤモンドライクカーボン、窒化アルミニウム(AlN)等から選ばれた材料を用いて、単層膜、多層膜で形成することができる。これらの膜はCVD法やスパッタ法で形成することができる(図4(P1)参照)。

10

【0027】

絶縁膜23上に半導体膜33が形成され、半導体膜33を覆って絶縁膜24が形成される(図4(P2)参照)。半導体膜33はTFTのチャネル形成領域、不純物領域が形成される半導体層である。本実施形態では、TFTをトップゲート構造としたため、絶縁膜24はゲート絶縁膜として機能する。絶縁膜24は、酸化シリコンや窒化酸化シリコン(SiO_xN_y)の単層膜、多層膜でなり、厚さは10nm以上60nm以下の範囲とすればよい。これらの絶縁膜はCVD法またはスパッタリング法で形成することができる。

20

【0028】

半導体膜33は、シリコン、ゲルマニウム、シリコンとゲルマニウムの化合物(シリコンゲルマニウム)で形成することができる。高い電界移動度のTFTを形成するために半導体膜33として結晶性半導体膜を用いることが好ましい。結晶性半導体膜を形成するには、非晶質の半導体膜を成膜し、非晶質半導体膜に光エネルギーや熱エネルギーを与えて結晶化させればよい。

【0029】

例えば、非晶質シリコンを形成するには、シラン(SiH_4)ガスを水素で希釈した原料ガスを用いてCVD法で成膜すればよい。またシリコンでなるターゲットを用いてスパッタリング法で形成することもできる。非晶質ゲルマニウムを形成するには、ゲルマン(GeH_4)ガスを水素で希釈した原料ガスを用いてCVD法で成膜することができるし、また、ゲルマニウムでなるターゲットを用いてスパッタリング法で成膜することもできる。非晶質シリコンゲルマニウムを形成するには、シラン(SiH_4)ガスとゲルマン(GeH_4)ガスを所定の比で混合し水素で希釈した原料ガスを用いてCVD法で成膜することができるし、また、シリコンとゲルマニウムの2種類のターゲットを用いてスパッタリング法で成膜することもできる。

30

【0030】

CVD法による成膜には、原料ガスに、水素ガスの他、ヘリウムガス、フッ素ガス、Ar、Kr、Ne等の希ガスを添加することもできる。また、原料ガスとしてシラン(SiH_4)ガスの代わりに、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また、上記の原料ガスを用いてプラズマCVD法により、結晶性半導体膜を絶縁膜23上に直接形成することもできる。

40

【0031】

非晶質半導体膜を結晶化させる方法としては、レーザー光を照射する方法、赤外線等を照射する方法、電気炉による加熱による方法、半導体の結晶化を助長させる元素を添加して、加熱して結晶化させる方法などが挙げられる。

【0032】

結晶化に用いられるレーザーには、連続発振型のレーザー(CWレーザー)やパルス発

50

振型のレーザー（パルスレーザー）のいずれのビームも用いることができる。結晶化に好適な気体レーザーとしては、Arレーザー、Krレーザー、エキシマレーザーなどがある。また固体レーザーであれば、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、およびTi:サファイアレーザー、ドーパント（例えば、Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta）を含んだYAG、YVO₄、YAlO₃、GdVO₄、フォルステライト（Mg₂SiO₄）などの結晶を媒質に用いたレーザーなどが挙げられる。

【0033】

非晶質半導体を結晶化するには、これらのレーザーから発振されるビームの基本波だけでなく、基本波の第2高調波から第4高調波のビームを照射することができる。例えば、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。レーザーのエネルギー密度は0.01MW/cm²以上100MW/cm²以下の範囲が必要であり、好ましくは0.1MW/cm²以上10MW/cm²以下の範囲とする。走査速度を10cm/sec以上200cm/sec以下の範囲とすればよい。

【0034】

YAGなどの上記結晶を媒質とする固体レーザー、Arイオンレーザー、およびTi:サファイアレーザーは、連続発振をさせることができ。Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。発振周波数が低いパルスレーザーを用いる場合と異なり、レーザービームを走査することにより、レーザービームを照射することで生じた固液界面を連続的に移動させることができ。走査方向に向かって長く成長した結晶粒を得ることができる。

【0035】

また、レーザーの代わりに、ランプを光源とする赤外光、可視光、または紫外光を照射することにより、非晶質半導体膜を結晶化することもできる。この場合、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。この場合、ランプとして、代表的には、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプが用いられる。ランプの点灯時間を1秒以上60秒以内、好ましくは30秒以上60秒以下の範囲とし、ランプによる光の照射を1回以上10回以内、好ましくは2回以上6回以下繰り返す。ランプの発光強度は非晶質半導体の材料、膜厚などにより適宜設定されるが、例えば、600以上1000以下の加熱温度で、半導体膜が瞬間に加熱されるようにする。

【0036】

非晶質半導体膜の結晶化を助長させる元素を用いて結晶化させる方法は、非晶質シリコン膜を結晶化させるのに好適である。非晶質シリコン膜に結晶化を助長させる元素を導入し、レーザービームの照射または500～600の加熱処理を行うことで、粒界での結晶粒の連続性が高い結晶性シリコンを得ることができる。シリコンの結晶化を助長する元素としては鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）および金（Au）から選ばれた一種または複数種類の元素を用いることができる。

【0037】

これらの元素を非晶質シリコンに導入する手段は、非晶質シリコンの表面またはその内部に元素が存在させることができる手法であれば、特に限定はない。例えばスパッタ法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち、溶液を用いる方法は簡便であり、非晶質シリコンに導入される元素の濃度調整が容易である。溶液を塗布する場合には、非晶質シリコ

10

20

30

40

50

ンの表面全体に溶液を行き渡らせるため、非晶質シリコンの表面の濡れ性を改善することが好ましい。濡れ性を改善するには非晶質シリコンの表面に極薄い、膜厚 10 nm 以下の酸化膜を形成することが望ましい。このように極薄い酸化膜を形成するには、酸素雰囲気中での UV 光の照射による処理、熱酸化による処理、過酸化水素による処理、ヒドロキシラジカルを含むオゾン水による処理等により行うことができる。

【0038】

結晶化に用いた元素は TFT などの素子の特性を劣化させるため、結晶化した後は、導入した元素をシリコン膜から除去することが望ましい。その方法を以下に説明する。

【0039】

まず、オゾン含有水溶液（代表的にはオゾン水）で結晶性シリコン膜の表面を処理することにより、結晶性半導体膜の表面に酸化膜（ケミカルオキサイドと呼ばれる）からなるバリア層を 1 nm 以上 10 nm 以下の厚さで形成する。バリア層は、後の工程でゲッタリング層のみを選択的に除去する際にエッティングストッパーとして機能する。

【0040】

次いで、バリア層上に希ガス元素を含むゲッタリング層をゲッタリングサイトとして形成する。ここでは、CVD 法またはスパッタリング法により希ガス元素を含む半導体膜をゲッタリング層として形成する。ゲッタリング層を形成するときには、希ガス元素がゲッタリング層に添加されるようにスパッタリング条件を適宜調節する。希ガス元素としては、ヘリウム (He)、ネオン (Ne)、アルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) から選ばれた一種または複数種を用いることができる。なお、ゲッタリングの際、金属元素（例えばニッケル）は酸素濃度の高い領域に移動しやすい傾向があるため、ゲッタリング層に含まれる酸素濃度は、例えば $5 \times 10^{-8} \text{ m}^{-3}$ 以上とすることが望ましい。

【0041】

次に、結晶性シリコン膜、バリア層およびゲッタリング層に熱処理（例えば、加熱処理や、レーザーのような強光を照射する処理）を行って、導入した元素（例えばニッケル）のゲッタリングを行い、結晶性シリコン膜から元素を除去し、結晶性シリコン膜中の元素濃度を低下させる。

【0042】

図 4 (P3) に示すように、絶縁膜 24 上に第 1 の導電層 34 を形成する成膜する。ここでは、第 1 の導電層 34 として TFT のゲート電極のみ図示した。また、半導体膜 33 に不純物を添加して、ソース領域またはドレイン領域として機能する n 型または p 型の不純物領域 35 を形成する。不純物の添加は、第 1 の導電層 34 の形成前、または形成後に行うことができる。あるいは形成前および形成後の双方とも行うこともできる。不純物領域 35 が形成されることで、半導体膜 33 にチャネル形成領域 36 も形成される。

【0043】

第 1 の導電層 34 を構成する導電膜は、単層の導電膜でも、多層の導電膜でもよい。導電膜には、例えば、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr) から選ばれた元素である金属、これら元素を組み合わせた合金や、これら元素の窒化物である膜を用いることができる。また、リンなどのドーパントを添加することで導電性を付与されたゲルマニウム、シリコン、シリコンとゲルマニウムの化合物などを用いることができる。例えば、1 層目がタンタル窒化物、2 層目がタングステン (W) でなる多層膜で第 1 の導電層 34 を形成することができる。これらの導電膜は、スパッタリング法、蒸着法、CVD 法などで成膜することができる。

【0044】

図 4 (P4) に示すように、基板 31 全面に絶縁膜 25 を形成する。絶縁膜 25 上に第 2 の導電層 37 を形成する。絶縁膜 25 は、第 1 の導電層 34 と第 2 の導電層 37 を層間で分離する層間膜である。絶縁膜 25 には、酸化シリコン、窒化シリコンまたは酸化窒化シリコン ($\text{SiO}_x \text{N}_y$) 等の無機絶縁膜を用いることができる。また、ポリイミド、ア

10

20

30

40

50

クリルなどの有機樹脂膜、シロキサンを含む膜を用いてもよい。有機樹脂は感光性、非感光性のいずれでもよい。絶縁膜25は、これらの絶縁材料からなるは単層構造でも多層構造とすることができます。例えば、1層目を室化シリコンでなる無機絶縁膜とし、2層目をポリイミドなど有機樹脂膜とする。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料であり、置換基としては、有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また、置換基にフルオロ基を含んでいてもよい。

【0045】

図4(P4)に示すように、第2の導電層37は、回路部12の配線、電極などを構成する。ここでは、TFTに接続された配線と、アンテナ11と回路部12を接続するための端子部のみを図示した。また、第2の導電層37を形成する前に、第2の導電層37を下層の第1の導電層34や半導体膜33に接続するために、絶縁膜24、25にコンタクトホールが形成される。

10

【0046】

第2の導電層37としては、単層の導電膜でも、多層の導電膜でもよい。導電膜には、例えば、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)から選ばれた元素でなる金属、これら元素を組み合わせた合金や、これら元素の窒化物でなる膜を用いることができる。

【0047】

図4(P5)に示すように、回路部12上にアンテナ11を積層するために絶縁膜26が形成される。絶縁膜26は、回路部12による凹凸を平滑化して、平坦な表面を形成できる平坦化膜として形成することが好ましい。そのため、材料を塗布または印刷し、かかる後、この材料を硬化することで形成できるポリイミド、アクリルなどの有機樹脂膜、シロキサンを含む膜を用いることが好ましい。また、絶縁膜26は単層構造ではなく、これらの有機樹脂膜などを上層に、酸化シリコン、室化シリコンまたは酸化室化シリコン(SiO_xN_y)等の無機絶縁膜を下層にした多層構造とすることができます。

20

【0048】

以上により、素子層21中に回路部12が形成される。なお、回路部12には、TFTの他、抵抗や、コンデンサやなどTFTと同時に作製されている。回路部12の厚さは、 $3\mu m \sim 5\mu m$ 程度に薄く形成することができる。なお、回路部12のTFTの構造は図4(P5)の構造に限定されるものではない。例えば、回路部12のTFTを1つの半導体層に対して複数のゲートを設けたマルチゲート構造とすることもできる。また、半導体層にチャネル形成領域に隣接して低濃度不純物領域のような高抵抗領域を形成することができる。また、トップゲート構造の代わりに、ボトムゲート構造とすることもできる。

30

【0049】

図4(P6)に示すように、絶縁膜26上にアンテナ11を形成する。アンテナ11は、導電膜をスパッタ法や蒸着法で形成した後エッチングで所望の形状に加工する方法や、スクリーン印刷法、液滴吐出法などのエッチングを用いない方法で形成することができる。前者の方法のほうがより薄いアンテナ11を作製することができる。アンテナ11には銅、銀、金、アルミニウム、チタンなどが用いられる。作製方法には特段の制約はなく、スパッタリング法、スクリーン印刷法、液滴吐出法等を用いることができる。

40

【0050】

アンテナ11を形成した後、図4(P6)に示すように、素子層21の表面を封止するための封止層14を形成する。封止層14は、後に記載する剥離工程において素子層の損傷を抑えるため、および抄紙工程から素子層を保護するために形成される。封止層14には形成手段が簡便な材料を選択することが好ましい。これらの条件を全て兼ね備えた材料として、封止層14を樹脂で形成することが好ましい。封止層14に用いる樹脂として、例えば、熱硬化性樹脂、光硬化性樹脂(UV硬化性樹脂、可視光硬化性樹脂)の樹脂が好適であり、樹脂の材料としてはエポキシ樹脂が挙げられる。

【0051】

封止層14としてエポキシ樹脂を用いることにより、封止層14表面の平坦性が向上し

50

、後の剥離工程や抄紙工程で素子層 21 の損傷を抑えることや、ほこりなどから保護することができる。

【0052】

以上により、基板 31 を用いて積層体 22 の作製が完了する。なお、図中には、基板 31 上にはアンテナ 11 および回路部 12 を 1 つだけ図示しているが、実際には、基板 31 上には多数のアンテナ 11 および回路部 12 が同時に作製されている。

【0053】

次に、積層体 22 を可撓性基材 13 に転置し、半導体装置 1 を完成させる。図 5 を用いて、以下の工程を説明する。

【0054】

まず、図 5 (P7) に示すように、積層体 22 を基板 31 から分離するため、開口部 40 を形成する。開口部 40 は剥離層 32 に達するか、剥離層 32 を貫通するように形成される。開口部 40 の形成方法は、ダイサーヤやワイヤソーなどで物理的に積層体 22 を切断する方法、また、レーザービームを照射したレーザーアブレーションを用いて積層体 22 を切断する方法、エッティングにより形成する方法が採用できる。このうち、レーザーアブレーションによる切断方法が、アンテナ 11 や回路部 12 に衝撃を与えることが他の方法よりも小さいため好ましい。

【0055】

また、開口部 40 を形成することで、積層体 22 の側面が形成される（側面の構造は図 3 を参照されたい）。図 3 に示すように、積層体 22 の側面は、素子層 21 を製造したときに形成された絶縁膜 23～26 の積層膜と、封止層 14 とで構成されている。また、封止層 14 と共に積層体 22 を分割しているため、絶縁膜 23～26 である積層膜の側面と封止層 14 の側面とを揃うように形成することができる。

【0056】

次に、図 5 (P8) に示すように、封止層 14 の上面に支持基材 41 を取り付ける。支持基材 41 は、積層体 22 を可撓性基材 13 に転置するまで積層体 22 を支持するための基材である。そのため、支持基材 41 は積層体 22 から除去することが容易な基材が選択される。例えば、支持基材 41 として、通常の状態ではその接着力が強く、熱を加える、または光を照射することによりその接着力が弱くなる性質を有する基材を用いるとよい。例えば、加熱することにより接着力が弱くなる熱剥離テープや、紫外光を照射することにより接着力が弱くなる UV 剥離テープ等を用いるとよい。また、通常の状態で接着力が弱い弱粘性テープ等を用いることができる。

【0057】

次に、剥離層 32 の内部や、剥離層 32 に接する層との界面における分子の結合力を弱める。このことにより、支持基材 41 に力を加えることで、基板 31 から積層体 22 を分離することができる。

【0058】

剥離層 32 の内部などで、分子の結合力を弱める方法には、剥離層 32 に予め分子の結合力を弱い部分が形成されるようにする方法や、剥離層 32 を形成してから、分子の結合力を弱める加工をする方法がある。

【0059】

前者の方法としては、剥離層として、金属層 (Ti、Al、Ta、W、Mo、Cu、Cr、Nd、Fe、Ni、Co、Ru、Rh、Pd、Os、Ir) を形成し、その上に当該金属層の酸化物層を積層形成する。その結果、原子の結合力の弱い部分を形成することができる。

【0060】

酸化物層は、金属層の表面を酸化させることで形成することができる。例えば、熱酸化処理、酸素プラズマ処理、オゾン水等の酸化力の強い溶液による酸化処理等を行うことで、酸化物層を形成することができる。また、酸化シリコンや酸化窒化シリコンのような酸素を含む絶縁膜を金属層の表面に形成することで、金属層の表面を酸化させることもでき

10

20

30

40

50

る。

【0061】

また、後者の剥離層32を形成した後に、分子の結合力を弱める方法としては、レーザービームを照射する方法が挙げられる。例えば、剥離層32として、水素を含む非晶質シリコンを用いる。非晶質シリコンにレーザーを照射することで、含まれる水素が放出するため空隙が生じ、剥離層32を脆弱化させることができる。

【0062】

さらに、剥離層32をウエットエッチングやドライエッチングを行う方法を採用することができる。この場合、剥離層32をW、Mo、Nb、Tiなどの金属、これらの合金や、これらの金属化合物（例えば、酸化物や窒化物）、シリコンなどで形成すればよい。また、エッチング剤としては、フッ化ハロゲンを含む気体又は液体が使用できる。例えば、三フッ化塩素（ClF₃）、三フッ化窒素（NF₃）、三フッ化臭素（BrF₃）、フッ化水素（HF）がある。なお、剥離層32をエッチング処理は、支持基材41を取り付ける前に行う。

10

【0063】

また、図5（P7）に示したように開口部40を形成することで、封止層14（樹脂層）が縮もうとする力が剥離層32に加わり、剥離層32と絶縁膜23の界面や、剥離層32の内部で剥離が進行させることができる。

【0064】

シリコンウエハでなるICチップは、シリコンウエハに複数の集積回路を形成し、そのシリコンウエハを分割し複数のICチップ形成し、そのICチップをモールド剤で封止する。一方、本発明では、積層体22をRFタグごとに分割する前に封止層14で封止している。それは、封止層14が積層体22を分割するときの保護層と機能させるためであり、さらに、封止層14と共に素子層21を分割することで、積層体22を基板31から剥がれるきっかけをつくるためである。このように本発明では、封止層14と共に素子層21を分割することがポイントの1つである。

20

【0065】

積層体22の側面の構造はこのようなプロセスが帰着したものであって、積層体22の側面は、封止層14と素子層21を分割したときに形成された面であり、素子層21の側面と封止層14の側面とが揃うように形成される。また、開口部40を形成した結果、積層体22の側面はアンテナ11や回路部12を製造するときに形成した絶縁膜23～26と封止層14との積層膜である。この積層膜によりアンテナ11および回路部12を衝撃や水分から保護している。

30

【0066】

図5（P9）に示すように、積層体22から基板31を分離することで、半導体装置1ごとに分割された積層体22が形成される。次に、図5（P10）に示すように、基板31を剥離した積層体22の底部（素子層21の底部）に、可撓性基材13を固定する。可撓性基材13は基材フィルムと接着層との積層構造を有する。基材フィルムは樹脂材料（ポリエステル、ポリプロピレン、ポリ塩化ビニル、ポリスチレン、ポリアクリロニトリル、ポリエチレンテレフタレート、ポリアミド）である。接着性合成樹脂フィルムとしてはアクリル樹脂、エポキシ樹脂、酢酸ビニル樹脂、ビニル共重合樹脂、ウレタン樹脂等を用いることができる。そのうち、熱可塑性の樹脂や、硬化性の樹脂、UV光や可視光の照射により硬化する光硬化性樹脂を選択することが好ましい。

40

【0067】

最後に、支持基材41を積層体22から剥がす。以上により、図2、図3に示す半導体装置1が完成する。図3に示すように、半導体装置1の上面は、封止層14で保護されている。封止層14を設けることで、底部のように可撓性基材13で保護する必要がなくなる。そのため、半導体装置1を薄くすることが容易になる。封止層14の厚さは少なくとも、アンテナ11の厚さに対して2～3割程度厚く形成する。封止層14はアンテナ11および回路部12を保護するために十分な機械的強度を有するとともに、半導体装置1の

50

上面の平滑性を確保することができる。

【0068】

また、半導体装置1の底部は可撓性基材13で覆われている。可撓性基材13は、積層体22を作製したときの基板31を除去した面を平滑にする機能を有する。可撓性基材13には、基材フィルムの厚さが2μm以上であり、可撓性基材13全体の厚さ（基材フィルムと接着層の合計の厚さ）が20μmを超えない薄い基材を用いることができる。

【0069】

なお、可撓性基材13の基材フィルムの表面は、二酸化シリコン（シリカ）の粉末により、コーティングされていてもよい。コーティングにより、高温で高湿度の環境下においても防水性を保つことができる。また、基材フィルムの表面は、インジウム錫酸化物等の導電性材料によりコーティングされていてもよい。コーティングした材料によって、基材フィルムに電荷がたまるのを防止できるため、回路部12を静電気から保護することができる。その表面は、炭素を主成分とする材料（例えば、ダイヤモンドライクカーボン）によりコーティングされていてもよい。コーティングにより強度が増し、半導体装置の劣化や破壊を抑制することができる。

【0070】

また、積層体22の側面は、積層体22の製造時に形成された絶縁膜23～26の積層膜、および封止層14積層膜でなる。つまり、半導体装置1の表面を可撓性基材13、絶縁膜23～26および封止層14で構成することで、半導体装置1に抄紙工程で要求される機械的強度や耐水性を確保して、半導体装置1を薄く30μm以下とすることができる。本発明者らの研究では、薄膜トランジスタで構成した回路を用いて、厚さを30μm以下の可撓性の半導体装置1を作製することに成功している。

【0071】

なお、封止層14の上面に他の可撓性基材13を接着して、半導体装置1を機械的強度、耐水性を高めるようにすることもできる。図6にこのような構成例を示す半導体装置1の断面図を示す。図6（A）に示すように、可撓性基材13を素子層21の底部に接着するのと同様に、封止層14の上面に他の可撓性基材13Aを設ける。また、図6（B）に示すように、積層体22の底面と上面だけでなく側面をも一対の可撓性基材13B、13Cで封止することもできる。

【0072】

可撓性基材13A、13C共、可撓性基材13と同様、その厚さは、基材フィルムの厚さが2μm以上であり、可撓性基材13全体の厚さ（基材フィルムと接着層の合計の厚さ）が20μmを超えないような薄い基材を用いることができる。このような厚さの可撓性基材を選択することで、可撓性基材を2つ用いても、半導体装置1の厚さを、50μm以下、さらに薄く40μm以下にすることが可能である。

【0073】

なお、図1に示す半導体装置1は、アンテナ11をスパイラル構造のアンテナとしたが、他の構造のアンテナを用いることもできる。例えば、図7（A）に示すように、ダイボールアンテナ等の線状のアンテナ11Aとすることができる。また、図7（B）に示すように、直方体で平坦なアンテナ11B（パッチアンテナ等）とすることができる。また、図7（C）に示すようにリボン状のアンテナ11Cとすることもできる。アンテナの長さ、形状、大きさなどは半導体装置1の通信距離などに応じて適宜に選択される。

【0074】

<紙の作製方法>

次に、図8に示す断面図を用いて、半導体装置1を紙に抄き込む方法を説明する。本実施形態の紙は、多層紙として形成され、紙層と紙層の間に半導体装置1が抄き込まれる。

【0075】

まず、パルプを水に溶かした紙料を用意する。紙料を均一に攪拌し脱水して、湿紙51を形成する（図8（A）参照）。

【0076】

10

20

30

40

50

層間強度を向上させるために、湿紙51の一方の面に、磷酸エステル化澱粉などの澱粉やカチオン性ポリアクリルアミド等を噴霧する。その後、層間補強剤として澱粉などを噴霧した表面に、半導体装置1を並べる(図8(B)参照)。なお、図8では、1枚の紙に1つの半導体装置1を抄き込む例を示しているが、1枚の紙に複数の半導体装置1を抄き込むこともできる。

【0077】

別に用意した湿紙52を湿紙51にのせて、湿紙51と湿紙52をプレスして、湿紙51と湿紙52を抄き合わせる。半導体装置1が湿紙51、52になじむように、半導体装置1の表面を親水性とすることが望ましい。そのため、例えば、封止層14の表面をプラズマ処理、コロナ処理などを施して、親水性に改質する、また親水性を高めるようにすることが好ましい。封止層14の表面を処理するタイミングは、積層体22を分割する前でも、分割した後のいずれでもよい。

10

【0078】

湿紙51と湿紙52をプレスした後、乾燥することで、紙層53と紙層54の間に半導体装置1が抄き込まれた紙2が形成される。なお、半導体装置1のアンテナ11や回路部12の導電層が反射率の高い材料で形成されるため、紙2の色が白かったり、薄かったりする場合は、抄き込まれた半導体装置1が目立つおそれがある。半導体装置1が目立たないようにするため、アンテナ11や導電層の表面に凹凸を形成する。表面に生じた凹凸により、アンテナ11や導電層の表面で光が乱反射されて、表面が白濁したように見えることから、半導体装置1を目立たなくする効果が期待される。例えば、アルミニウムは加熱することで表面に凹凸を生じる。

20

【0079】

なお、図8では紙2は2層の多層紙としたが、3層以上の多層紙としてもよい。半導体装置1を紙に抄き込む方法は、多層に抄紙する方法が好適である。それは、半導体装置1を抄き込む位置の制御が容易であるからである。例えば、特許文献2のように半導体装置1を水に溶かした紙原料中に沈める方法では、厚さ方向の位置を制御することが難しく、厚さ方向の位置を制御するために半導体装置1の比重と紙秤量を均衡させる必要があり、様々な種類の紙にRFタグを抄き込むことは難しくなる。一方、多層抄紙であれば、厚さ方向の位置制御について問題が無い。

【0080】

30

<半導体装置1の回路構成例1>

次に、半導体装置1の回路構成例について説明する。図9に、半導体装置1のブロック回路図を示す。

【0081】

図9の半導体装置1の仕様は、国際標準規格のISO15693に準拠し、近傍型で、交信信号周波数は13.56MHzである。また、受信はデータ読み出し命令のみ対応し、送信のデータ伝送レートは約13kHzであり、データ符号化形式はマンチェスタコードを用いている。

【0082】

半導体装置1の回路部12は、大別して、電源部60、信号処理部61から構成される。電源部60は、整流回路62と保持容量63を有する。整流回路62は、アンテナ11で受信された搬送波を整流し、直流電圧を生成する。保持容量63は、整流回路62で生成された直流電圧を平滑化する。電源部60において生成された直流電圧は電源電圧として、信号処理部61の各回路に供給される。

40

【0083】

信号処理部61は、復調回路64、クロック生成/補正回路65、認識/判定回路66と、メモリコントローラ67、マスクROM68、符号化回路69、および変調回路70を有する。

【0084】

復調回路64はアンテナ11で受信した信号を復調する回路である。復調回路64で復

50

調された受信信号はクロック生成 / 補正回路 65 と認識 / 判定回路 66 に入力される。

【0085】

クロック生成 / 補正回路 65 は信号処理部 61 の動作に必要なクロック信号を生成し、さらにそれを補正する機能を有する。例えば、クロック生成 / 補正回路 65 は、電圧制御発振回路（以下 VCO（Voltage Controlled Oscillator）回路）を有し、VCO 回路の出力を帰還信号にして、供給される信号との位相比較し、入力される信号と帰還信号が一定の位相になるよう負帰還により出力信号の調整を行う。

【0086】

認識 / 判定回路 66 は、命令コードを認識し判定する。認識 / 判定回路 66 が認識し、判定する命令コードは、フレーム終了信号（EOF、end of frame）、フレーム開始信号（SOF、start of frame）、フラグ、コマンドコード、マスク長（mask length）、マスク値（mask value）等である。また、認識 / 判定回路 66 は、送信エラーを識別する巡回冗長検査（CRC、cyclic redundancy check）機能も含む。

【0087】

メモリコントローラ 67 は、認識 / 判定回路 66 で処理された信号を基に、マスク ROM 68 からデータを読み出す。また、マスク ROM 68 は、ID などが記憶されている。マスク ROM 68 を搭載することで、複製や改ざんが不可能な読み取り専用の半導体装置 1 として構成される。このような読み取り専用の半導体装置 1 を紙に抄き込むことで、偽造防止効果がある紙を提供することができる。

【0088】

符号化回路 69 はメモリコントローラ 67 がマスク ROM 68 から読み出したデータを符号化する。符号化されたデータは変調回路 70 で変調される。変調回路 70 で変調されたデータはアンテナ 11 から搬送波として送信される。

【0089】

<半導体装置 1 の回路構成例 2 >

半導体装置 1 の別の回路構成例について説明する。ここでは、半導体装置 1 に暗号処理機能を備えた半導体装置 1 の回路構成例を示す。図 10 は、半導体装置 1 のブロック回路図である。

【0090】

半導体装置 1 は、アンテナ 11 と回路部 12 を有する。この回路部 12 は演算回路 80 とアナログ部 81 に大別される。演算回路 80 は、CPU 82、ROM 83、RAM 84、およびコントローラ 85 を有する。また、コントローラ 85 は、CPU インターフェース（以下、「CPU IF」と記す。）76、制御レジスタ 77、コード抽出回路 78、および符号化回路 79 を有する。

【0091】

アナログ部 81 は、アンテナ 11、共振回路 88、電源回路 89、リセット回路 90、クロック生成回路 91、復調回路 92、変調回路 93、および電源管理回路 94 を有する。

【0092】

受信信号 96 はアンテナ 11 で受信された後、復調回路 92 により復調される。また、送信信号 97 は変調回路 93 により変調された後、アンテナ 11 より送信される。

【0093】

通信信号により形成される磁界中に半導体装置 1 を置くと、アンテナ 11 と共振回路 88 により、誘導起電力を生じる。誘導起電力は、電源回路 89 のコンデンサにより保持され、またコンデンサによって誘導起電力の電位が安定化されて、回路部 12 の各回路に電源電圧として供給される。

【0094】

リセット回路 90 は、半導体装置 1 全体の初期リセット信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。

10

20

30

40

50

【0095】

クロック生成回路91は、電源管理回路94より生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。復調回路92は、ASK方式の受信信号96の振幅の変動から、"0"又は"1"を表す受信データ98を検出する。復調回路92は、例えばローパスフィルターで構成することができる。

【0096】

変調回路93は送信データ99を変調する回路である。変調回路93は、送信データ99の振幅を変動させて送信データ99をASK方式の送信信号とする。例えば、送信データ99が"0"の場合、共振回路88の共振点を変化させ振幅を変化させる。

【0097】

電源管理回路94は、電源回路89より演算回路80に供給される電源電圧または演算回路80における消費電流を監視し、クロック生成回路91において、クロック信号の周波数とデューティー比を変更するための制御信号を生成する。

【0098】

次に、半導体装置1の動作を説明することで、演算回路80の構成を説明する。

【0099】

リーダ/ライタから暗号文データ96aが含む受信信号96が送信される。アンテナ11で受信された受信信号96は、復調回路92で復調された後、コード抽出回路78で制御コマンドや暗号文のデータなどに分解され、制御レジスタ77に格納される。制御コマンドとは、半導体装置1の応答を指定するデータであり、例えば、固有ID番号の送信、動作停止、暗号解読などを指定する。ここでは、制御コマンドが暗号解読のコマンドであるとする。

【0100】

続いて、演算回路80において、CPU82が、ROM83に格納された暗号解読プログラムにしたがって、ROM83に予め格納された秘密鍵83aを用いて暗号文を解読(復号)する。復号された暗号文(復号文)は、制御レジスタ77に格納される。この際、データ格納領域としてRAM84が用いられる。CPU82は、CPUIF76を介してROM83、RAM84、制御レジスタ77にアクセスする。CPUIF76は、CPU82が要求するアドレスより、ROM83、RAM84、制御レジスタ77のいずれかにに対するアクセス信号を生成する機能を有している。

【0101】

最後に、符号化回路79において、復号文から送信データ99を生成し、送信データ99を変調回路93で変調し、アンテナ11から復号文データ97aを含んだ送信信号97をリーダ/ライタに送信する。

【0102】

演算回路80の演算方式として、ソフトウェア的に処理する方式について説明したが、目的に応じて最適な演算方式を選び、当該方式に基づいて演算回路80を構成することができる。例えば、演算方式として、他にも、演算をハードウェア的に処理する方式と、ハードウェアおよびソフトウェアを併用して処理する方式と、が考えられる。

【0103】

ソフトウェア的に処理する方式では、図10に示すようにCPUと大規模メモリとで演算回路を構成し、プログラムをCPUで実行する方式である。ハードウェア的に処理する方式では、専用回路で演算回路を構成すればよい。ハードウェア的な処理とソフトウェア的な処理を併用する方式では、専用回路と、CPUと、メモリとで演算回路を構成し、専用回路で演算処理の一部分を行い、残りの演算処理はCPUでプログラムを実行することにより行えばよい。

【0104】

図10の半導体装置1は送受信データを暗号化することで、第三者へのデータ漏洩の防止効果が高めることができる。また、CPUを備えていることで、例えば、CPUで実行するプログラムを変えることで、半導体装置1を多機能化することができる。

10

20

30

40

50

【 0 1 0 5 】

<半導体装置を抄き込んだ紙の使用例>

本発明の半導体装置を抄き込んだ紙はあらゆる紙媒体に使用できる。特に、本発明の紙は、紙からRFタグを取り出そうとすると、紙にその痕跡が残るという特徴をいかして、偽造防止が要求されるあらゆる紙媒体に使用することができる。例えば、紙幣、戸籍謄本、住民票、パスポート、免許証、身分証、会員証、鑑定書、診察券、定期券、手形、小切手、貨物引換証、船貨証券、倉庫証券、株券、債券、商品券、チケット、抵当証券などである。

【 0 1 0 6 】

また、本発明の実施により、上白紙、インクジェット印刷用紙なども偽造防止用の紙として機能させることができる。例えば、契約書、仕様書などの各種の極秘情報を記載した書類に本発明の紙を適用することができる。

10

【 0 1 0 7 】

また、本発明の実施により、紙媒体上で視覚的に示される情報以上の多くの情報を紙媒体に持たせることができるために、本発明の紙を商品ラベルなどに適用することで、商品の管理の電子システム化や、商品の盗難の防止を実現することができる。以下、図11を用いて、本発明に係る紙の使用例を説明する。

【 0 1 0 8 】

図11(A)は、本発明の半導体装置1を抄き込んだ紙を使用した無記名債券111の一例である。無記名債券111には、切手、切符、入場券等のチケット、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。また、図11(B)は、本発明に係る半導体装置1を抄き込んだ紙を使用した証書類112(例えば、住民票、戸籍謄本)の一例である。

20

【 0 1 0 9 】

図11(C)は、本発明の紙をラベルに適用した一例である。ラベル台紙(セパレート紙)113上に、半導体装置1が抄き込まれた紙でラベル(IDシール)114が形成されている。ラベル114は、ボックス115内に収納されている。ラベル114上には、その商品や役務に関する情報(商品名、ブランド、商標、商標権者、販売者、製造者等)が印刷されている。さらに、半導体装置1には、その商品(又は商品の種類)固有のIDナンバーが記憶されているため、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。半導体装置1には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができる。そのため、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。また、生産者側からは容易に書換え、消去等も可能であるが、取引者、消費者側からは書換え、消去等ができない仕組みになっている。

30

【 0 1 1 0 】

図11(D)は、半導体装置1を抄き込んだ紙でなるタグ116を示している。半導体装置1を抄き込んだ紙でタグを作製することで、プラスチックの筐体を使用した従来のIDタグよりも安価に製造することができる。また、紙を用いた製品であれば、本発明の紙を用いることで、製品とIDタグとを一体にすることができる。そのような例を図11(E)に示す。図11(E)は、本発明の紙を表紙に用いた書籍117であり、表紙に半導体装置1が抄き込まれている。

40

【 0 1 1 1 】

本発明の紙を用いたラベル114やタグ116を商品に取り付けておくことで、また本発明の紙で製品を製造することで、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、本発明の紙をIDタグとして用いることで、RFタグを備えることにより、商品の原材料や産地、製造や加工、流通、販売などに至るまでの履歴管理や、追跡照会を可能に

50

する。すなわち、商品のトレーサビリティを可能にする。また、本発明により、商品のトレーサビリティ管理システムを従来よりも低コストで導入をすることを可能とする。

【実施例 1】

【0112】

本実施例では、半導体装置を2層の紙に抄き込んだ紙を作製した。本実施例では、半導体装置の厚さ、紙の厚さを変えて3種類の紙を抄いた。3種類の紙を紙A、紙B、紙Cということとする。図12を用いて、本実施例の多層紙の作製方法を説明する。

【0113】

<紙Aの作製>

下層の紙層、上層の紙層共に坪量が 28 g/m^2 になるように湿紙125、126を用意した。下層の湿紙125の上面に酢酸エステル化澱粉を散布した後、下層の湿紙125の上面に厚さ $50\text{ }\mu\text{m}$ の半導体装置1を置き、上層の湿紙126を下層の湿紙125と重ねた。重ねた湿紙125と湿紙126をプレス機のステージ(スチール製)128にのせた。湿紙126の上面に濾紙127を置いた状態で、プレス機のステージ128とプレス板(スチール製)129で湿紙125と湿紙126を挟み、プレスした(図12(A)参照)。プレス時間は2分、圧力は 20.6 kPa とした。プレスされた湿紙125、126を乾燥機で 100°C の温度で100秒間乾燥させて、紙層130と紙層131でなる多層紙132を作製した(図12(B)参照)。

【0114】

紙Aは、半導体装置1を含まない部分の厚さが t_1 が $100\text{ }\mu\text{m}$ であり、半導体装置1を含む部分の厚さ t_2 が $125\text{ }\mu\text{m}$ であった。厚さ t_2 と t_1 の差分は $25\text{ }\mu\text{m}$ である。紙Aでは、濾紙127を置かなかった紙層130の表面は半導体装置1による凹凸が生じることなく、平坦な面に形成された。他方の紙層131の表面は、半導体装置1の部分で凹凸が指先で若干感じられる程度で、平滑性が高い面に形成された。

【0115】

<紙Bの作製>

紙の坪量を 30 g/m^2 とし、半導体装置1の厚さを $26\text{ }\mu\text{m}$ とした。他は、紙Aと同様の条件で紙132を抄いた。紙Bも、紙Aと同様に、濾紙127を置かなかった紙層130の表面は半導体装置1の凹凸は現れていなく、平坦であり、他方の紙層131の表面は半導体装置1の凹凸が指先で若干感じられる程度の高い平滑性の面に形成された。

【0116】

坪量が紙Aよりも大きいため、紙Bの方が厚い紙が漉かれた。紙Bは、半導体装置1を含まない部分の厚さ t_1 が $110\text{ }\mu\text{m}$ であり、半導体装置1を含む部分の厚さ t_2 が $129\text{ }\mu\text{m}$ であり、厚さ t_2 と t_1 の差分は $19\text{ }\mu\text{m}$ である。半導体装置1の厚さは紙Aよりも薄く、紙の厚さも厚いため、厚さ t_2 と t_1 の差分は紙Aよりも小さくすることができた。

【0117】

<紙Cの作製>

紙Cは比較例であり、半導体装置1の厚さが $135\text{ }\mu\text{m}$ である他は、紙Aと同じ条件で紙を形成した。紙Cは、半導体装置1を含まない部分の厚さ t_1 が $100\text{ }\mu\text{m}$ であり、半導体装置1を含む部分の厚さ t_2 が $210\text{ }\mu\text{m}$ であり、厚さ t_2 と t_1 の差分は $110\text{ }\mu\text{m}$ である。紙Cの場合は、紙層130、131の各々の厚さ(約 $50\text{ }\mu\text{m}$)よりも厚い半導体装置1を抄き込んだため、半導体装置1の厚さと同程度のでっぱりが生じたが、濾紙127を置かなかった紙層130の表面は半導体装置1による凹凸は現れていなかった。

【0118】

紙A～Cを抄いた結果、以下の知見(1)～(3)が得られた。

【0119】

(1) プレス工程で、貼り合わせた2層の湿紙の一方の面をスチールのような、変形を生じない剛体で直接押圧し、他方の面を柔らかい変形可能な物体(本実施例では濾紙)を介して同様な剛体で押圧することにより、剛体で直接押圧された面にRFタグによる凹

10

20

30

40

50

凸を生じさせないことができる。なお、柔らかい変形可能な物体とは、湿紙をプレスしたときに、湿紙表面に現れるRFタグの凹凸に合わせて変形できればよい。

【0120】

本発明を実施するときに、湿紙の一方の面は、プレス工程で変形を生じない物体(剛体)を接触させ、他方の面に変形可能な物体を接触させながら、一対の平板やローラ対などで湿紙をプレスすればよい。変形可能な物体は平板やローラの1つに固定されていてもされているなくともよい。

【0121】

(2) 2層の多層抄き合わせ紙の場合、紙A、紙Bのように、抄かれた紙の厚さ t_1 の1/2程度の厚さ、すなわち紙層の1層程度の厚さと同程度か、それよりも薄いRFタグを抄き込むことで、他方の面(柔らかい材料を介してプレスした面)に現れる凹凸を、極小さなものとすることができます。この面の若干の凹凸が問題になる場合は、この面上に少なくとも1層、紙層を重ねることで、凹凸を無くすことができる。

【0122】

(3) 本実施例により、紙の厚さが $130\mu\text{m}$ 以下の薄い多層抄き合わせ紙に、表面の平滑性を損なうことなく、RFタグを抄き込むことができることが分かった。紙Bのように $110\mu\text{m}$ 以下まで紙の厚さを薄くすることができた。また、紙Aのように厚さ $100\mu\text{m}$ の薄い多層抄き合わせ紙を製造することが可能であることが分かった。

【実施例2】

【0123】

本実施例では、厚さ $30\mu\text{m}$ 以下の半導体装置301の作製方法を説明する。図13は、本実施例の半導体装置301の概略の断面図である。なお、本実施例の半導体装置301の上面構造は図1(C)の半導体装置1と同様であり、半導体装置301は、アンテナ311と回路部312とで構成される。なお、図13では断面構造の一例として、回路部312として、pチャネル型TFT、nチャネル型TFT、コンデンサおよびアンテナ311との接続部のみ図示している。

【0124】

素子層321には、TFTなどの電子素子でなる回路が集積された回路部312と、アンテナ311とが積層されている。素子層321の側面は、後述する素子層321を作製するときに成膜された絶縁膜の積層膜である。また、素子層321の底部には、可撓性基材313が接着されている。可撓性基材313は、接着層313aと基材フィルム313bとの積層構造であり、接着層313aにより基材フィルム313bが素子層321に接着されている。素子層321の上面は、封止層314で封止されている。可撓性基材313上には、素子層321と封止層314でなる積層体322が設けられている。

【0125】

以下、図13～図20に示す断面図(P31～P41)を用いて、半導体装置301の製造方法を説明する。

【0126】

積層体322を形成するため、ガラス基板400を用意する。まず、ガラス基板400上に剥離層を形成する。ガラス基板400上に、プラズマCVD装置により、原料ガスに SiH_4 、 N_2O を用いて酸化窒化シリコン膜401を厚さ 100nm 形成する。厚さ 30nm のタンゲステン膜402をスパッタリング装置で成膜する。厚さ 200nm の酸化シリコン膜403をスパッタリング装置で成膜する(図14(P21)参照)。

【0127】

酸化シリコン膜403を成膜することで、タンゲステン膜402の表面が酸化され、タンゲステン膜402の表面に、タンゲステンと分子の結合力が弱いタンゲステン酸化物が形成されるため、このような結合力が弱い部分を利用して、積層体322をガラス基板400から分離する。タンゲステン膜402はガラス基板400への密着性が悪いため、積層体322を製造している間、タンゲステン膜402の密着性を維持するため、酸化窒化シリコン膜401を成膜している。なお、酸化シリコン膜403はCVD装置で成膜する

10

20

30

40

50

こともできる。

【0128】

図14(P22)に示すように、酸化シリコン膜403上に2層の絶縁膜を形成する。1層目に、プラズマCVD装置により原料ガスにSiH₄、N₂O、NH₃、H₂を用いて酸化窒化シリコン膜404を厚さ50nm形成する。酸化窒化シリコン膜404は窒素の組成比が40%以上となるようにしてバリア性を高めた。2層目に、プラズマCVD装置によりSiH₄、N₂Oを原料ガスに用いて、酸化窒化シリコン膜405(を厚さ100nm成膜する。酸化窒化シリコン膜405の表面には結晶性シリコンでなるTFTなどの半導体層が密接せるため、酸化窒化シリコン膜405は窒素の組成比は0.5%以下とし、半導体層と界面準位が発生しないようにする。

10

【0129】

酸化窒化シリコン膜405の表面に、プラズマCVD装置により、原料ガスにSiH₄およびH₂を用い、厚さ66nmの非晶質シリコン膜を形成する。非晶質シリコン膜にYVO₄レーザーの第2高調波(波長532nm)を照射し、結晶化させ、結晶性シリコン膜406を形成する(図14(P23)参照)。

【0130】

結晶性シリコン膜406を形成した後、イオンドーピング装置において、ドーピングガスに水素で希釈したジボラン(B₂H₆)を用い、ボロンを結晶性シリコン膜406の全体に添加する。非晶質シリコンを結晶化した結晶性シリコンは不対結合手を有するため、理想的な真性シリコンではなく、弱いn型の導電性を示す。そのため、p型不純物を微量添加することにより、結晶性シリコン膜406が真性シリコンとなるようにする効果がある。この工程は必要に応じて行えばよい。

20

【0131】

フォトリソグラフィ工程によりレジストを結晶性シリコン膜406上に形成し、レジストをマスクにして、SF₆、O₂ガスにより結晶性シリコン膜406をエッチングすることで、図14(P24)に示すように、所定の形状の半導体層407～409を形成する。半導体層407、408は、それぞれ、TFTのチャネル形成領域、ソース領域およびドレイン領域が形成される半導体層である。半導体層409はMIS型コンデンサの電極を構成する。

【0132】

30

nチャネル型TFTのしきい値電圧が負の電圧にならないようするため、図15(P25)に示すように、フォトリソグラフィ工程によりレジストR31を形成する。レジストR31をマスクにして、nチャネル型TFTの半導体層408にボロンを微量添加する。ドーピングが終了したらレジストR31を除去する。

【0133】

図15(P26)に示すように、ガラス基板400全体に、プラズマCVD装置により原料ガスSiH₄、N₂Oを用い厚さ20nmの酸化窒化シリコン膜410を形成する。酸化窒化シリコン膜410はTFTのゲート絶縁膜、コンデンサの誘電体となる。

【0134】

40

フォトリソグラフィ工程によりレジストR32を形成する。ドーピングガスに水素で希釈したホスフィン(PH₃)を用いて、イオンドーピング装置によりコンデンサの半導体層409にリンをドーピングし、半導体層409全体にn型不純物領域412を形成する(図15(P27)参照)。ドーピング工程が終了したら、レジストR32を除去する。

【0135】

次に、酸化窒化シリコン膜410上に、TFTのゲート電極などを構成する導電層を形成する(図15(P28)参照)。厚さ30nmのタンタル窒化物膜と、厚さ370nmのタンゲステン(W)膜の積層膜を形成する。タンタル窒化物膜、タンゲステン膜はそれぞれスパッタリング装置で成膜する。フォトリソグラフィ工程によりレジストを形成し、エッチング装置により、上記の積層膜をエッチングして、第1導電層413～415を形成する。第1導電層413、414は、TFTのゲート電極またはゲート配線を構成し、

50

第1導電層415はコンデンサの一方の電極を構成する。

【0136】

エッチング装置に誘導結合型プラズマエッチング装置を用いる。エッチング剤としては、はじめにタンゲステンをエッチングするため C_{12} 、 SF_6 、 O_2 の混合ガスを用い、つぎに、処理室に導入するエッチング剤を C_{12} ガスのみに変更し、タンタル窒化物をエッチングする。

【0137】

図16(P29)に示すように、フォトリソグラフィ工程によりレジストR33を形成する。水素で希釈したホスフィン(PH_3)をドーピングガスに用い、イオンドーピング装置により半導体層408と409にリンを添加する。第1導電層414がマスクとなり半導体層408にn型低濃度不純物領域416、417が自己整合的に形成される。同様に、第1導電層415がマスクとなり半導体層409にn型低濃度不純物領域418、419が自己整合的に形成される。この工程は、nチャネル型TFTにLDD領域を形成するための工程である。n型低濃度不純物領域416、417のn型不純物が、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の範囲で含まれるようにする。

【0138】

図16(P30)に示すように、フォトリソグラフィ工程によりレジストR34を形成する。ドーピングガスに水素で希釈したジボラン(B_2H_6)を用いて、ドーピング装置においてpチャネル型TFTの半導体層407にボロンを添加する。第1導電層413がマスクとなり半導体層407にp型高濃度不純物領域407a、407bが自己整合的に形成される。また第1導電層413で覆われている領域がチャネル形成領域407cとして自己整合的に形成される。ドーピングが終了したらレジストR34を除去する。

【0139】

図16(P31)に示すように、第1導電層413～415の周囲に絶縁層423～425を形成する(図16参照)。絶縁層423～425はサイドウォール、側壁と呼ばれるものである。まず、原料ガスに SiH_4 、 N_2O を用いて、プラズマCVD装置により酸化窒化シリコン膜を100nmの厚さに形成する。次に、原料ガスに SiH_4 、 N_2O を用いて、LPCVD装置により酸化シリコン膜を200nmの厚さに形成する。フォトリソグラフィ工程によりレジストを形成する。このレジストを用いて、まず、上層の酸化シリコン膜をバッファードフッ酸でウエットエッチング処理する。次に、レジストを除去し、下層の酸化窒化シリコン膜ドライエッチング処理することで、絶縁層423～425が形成される。この一連の工程で、酸化窒化シリコン膜410もエッチングされ、第1導電層413～415と絶縁層423～425の下部のみ残る。

【0140】

図17(P32)に示すように、フォトリソグラフィ工程によりレジストR35を形成する。イオンドーピング装置を使用し、ドーピングガスに水素で希釈したホスフィン(PH_3)を用いて、nチャネル型TFTの半導体層408とコンデンサの半導体層409にn型不純物を添加し、n型高濃度不純物領域を形成する。半導体層408は、第1導電層414、絶縁層424がマスクとなり、n型高濃度不純物領域408a、408bが自己整合的に形成され、第1導電層414と重なる領域がチャネル形成領域408cとして自己整合的に確定する。また、n型低濃度不純物領域416、417において絶縁層424と重なる領域は、そのままn型低濃度不純物領域408e、408dとして確定する。

【0141】

半導体層409も半導体層408と同様、n型高濃度不純物領域409a、409b、チャネル形成領域409c、n型低濃度不純物領域409e、409dが形成される。

【0142】

レジストR35を除去し、図17(P33)に示すように、プラズマCVD装置により酸化窒化シリコン膜426を50nmの厚さに形成する。酸化窒化シリコン膜426の原料ガスには、 SiH_4 、 N_2O を用いる。酸化窒化シリコン膜426を成膜した後、窒素

10

20

30

40

50

雰囲気中で 550 の加熱処理を行い、半導体層 407 ~ 409 に添加した n 型不純物および p 型不純物を活性化する。このとき、酸化窒化シリコン膜 426 に含まれる水素により、半導体層 407 ~ 409 の未結合手が終端化される。

【0143】

図 17 (P34) に示すように、2層構造の酸化窒化シリコン膜 427 を成膜する。下層は、プラズマ CVD 装置により原料ガスに SiH₄、N₂O を用いて 100 nm の厚さに形成する。上層はプラズマ CVD 装置により原料ガスに SiH₄、N₂O、NH₃、H₂ を用いて、600 nm の厚さに形成する。

【0144】

フォトリソグラフィ工程とドライエッチング工程により、酸化窒化シリコン膜 427 および酸化窒化シリコン膜 426 にコンタクトホールを形成する。次に、酸化窒化シリコン膜 427 上に 4 層構造の導電膜を形成する。下から、厚さ 60 nm のチタン (Ti)、40 nm のチタン窒化物、500 nm の純アルミニウム、100 nm のチタン窒化物の順に積層する。それぞれの層はスパッタリング装置で成膜する。フォトリソグラフィ工程とドライエッチング工程により導電膜を所定の形状に加工し、図 17 (P34) に示すように、第 2 導電層 428 ~ 433 を形成する。

【0145】

第 2 導電層 432 により n 型高濃度不純物領域 409a と 409b が接続されている。チャネル形成領域 409c、酸化窒化シリコン膜 410、第 1 導電層 414 でなる積層構造の MIS 型コンデンサが形成される。第 2 導電層 433 はアンテナ 311 が接続される端子を構成する。

【0146】

図 18 (P35) に示すように、ポリイミド 435 を形成する。ここでは、感光性ポリイミドを用いる。スピナーを用いて 1.5 μm の厚さでポリイミドを塗布する。フォトリソグラフィ工程を用いて、ポリイミドを露光し、現像することでコンタクトホールが形成されたポリイミド 435 が形成される。現像後、ポリイミドを焼成する。

【0147】

ポリイミド 435 上に厚さ 100 nm のチタン膜をスパッタリング装置で成膜する。フォトリソグラフィ工程とエッチング工程により、チタン膜を所定の形状に加工し、図 18 (P35) に示すように第 3 導電層 436 を形成する。第 3 導電層 436 を構成する導電膜として、厚さ 100 nm の Ti をスパッタリング装置で成膜する。第 3 導電層 436 はアンテナ 311 を回路部 312 の端子 (第 2 導電層 433) と接続するためのアンテナのバンプである。以上の工程により、回路部 312 が形成される。

【0148】

図 18 (P36) に示すように、ポリイミド 437 を形成する。ここでは、ポリイミド 435 と同様、感光性ポリイミドを用い、同様の方法で、開口部が形成されたポリイミド 437 を形成する。開口部はアンテナ 311 を形成する領域に形成される。

【0149】

図 18 (P36) に示すように、アンテナ 311 を形成する。蒸着装置により、メタルマスクを用いてアルミニウムを厚さ 5 μm 蒸着し、所定の形状のアンテナ 311 を形成する。以上により、ガラス基板 400 上に素子層 321 が形成される。

【0150】

次に、素子層 321 の表面を封止する封止層 314 を形成する。封止層 314 は、印刷法で熱硬化性のエポキシ樹脂を厚さ 15 μm 程度塗布し、焼成することにより形成する。以上により、積層体 322 が作製される。次に、積層体 322 を半導体装置 301 ごとに分割し、分割された積層体 322 を別の可撓性基材 313 に転置する。

【0151】

図 19 (P37) に示すようにレーザー光を照射することにより、封止層 314 と共に素子層 321 に積層された絶縁膜を除去し、タンゲステン膜 402 に達する開口部 439 を形成し、半導体装置 301 ごとに積層体 322 を分割する。この工程で、積層体 322

10

20

30

40

50

の側面は、封止層 314 と素子層 321 に含まれる絶縁膜の積層膜となり、封止層 314 と絶縁膜でなる絶縁膜の積層膜とが揃った面とすることができます。なお、開口部 439 をガラス基板 400 まで達するように形成したが、開口部 439 の深さはタンゲステン膜 402 に少なくとも達すればよい。

【0152】

次に、図 19 (P38) に示すように封止層 314 に UV 光を照射することで接着力が弱くなる UV 剥離テープ 440 を固定する。なお、積層体 322 は、開口部 439 を形成したこときっかけで、開口部 439 の端部でタンゲステン膜 402 とその表面に形成されたタンゲステン酸化物の界面から剥がれはじめる。これは、封止層 314 に樹脂 (エポキシ樹脂) を用いたため、開口部 439 を形成することで封止層 314 が若干収縮するため力が加わり、結合力が弱いタンゲステン膜 402 が剥離すると考えられる。さらに、UV 剥離テープ 440 に力を加えて、ガラス基板 400 から、積層体 322 を剥がす (図 20 (P39) 参照)。

10

【0153】

図 20 (P40) に示すように、タンゲステン膜 402 を剥した積層体 322 の底部 (酸化シリコン膜 403 の下面) に可撓性基材 313 を接着する。可撓性基材 313 には、接着層 313a が厚さ 2 μm の熱硬化のエポキシ樹脂でなり、基材フィルム 313b が PET でなる基材を用いる。

【0154】

可撓性基材 313 を接着した後、UV 剥離テープ 440 に UV 光を照射して、UV 剥離テープ 440 を封止層 314 から剥離する。以上により、図 13 (P41) に示す、半導体装置 301 が完成する。

20

【0155】

本実施例の半導体装置 301 の厚さは次の通りである。可撓性基材 313 の厚さが 6 μm であり、素子層 321 のうち、回路部 312 が形成されている部分 (酸化シリコン 403 の下面からからポリイミド 435 の上面まで) の厚さは 3 μm 程度である。また、アンテナ 311 の厚さが 5 μm、アンテナ 311 を封止している封止層 314 の厚さが 1.5 μm 程度である。このように、本実施例により、半導体装置 301 の厚さを 30 μm 以下、2.5 μm 程度まで薄くすることが可能になる。本実施例では、封止層 314 の厚さが 1.5 μm であるが、アンテナ 311 の厚さ 5 μm の 2 割から 3 割ほど厚くなる程度の厚さ (6 μm 以上 6.5 μm 以内) に、封止層 314 を薄くすることも可能である。

30

【図面の簡単な説明】

【0156】

【図 1】半導体装置が抄き込まれた本発明の紙を説明する図

【図 2】本発明の紙に抄き込まれる半導体装置の模式的な断面図

【図 3】同半導体装置の外観構造を説明する図

【図 4】同半導体装置の作製方法を説明するための断面図

【図 5】同半導体装置の作製方法を説明するための断面図

【図 6】本発明の紙に抄き込まれる半導体装置の他の構成例を示す断面図

【図 7】アンテナの構成例を示す図

40

【図 8】半導体装置を紙に抄き込む方法を説明するための断面図

【図 9】本発明の紙に抄き込まれる半導体装置のブロック回路図

【図 10】暗号処理機能を備えた同半導体装置のブロック回路図

【図 11】本発明の紙の使用例を説明する図

【図 12】実施例 1 の多層紙の作製方法を説明する断面図

【図 13】本発明の紙に抄き込まれる半導体装置の断面構造の一例を示す図 (実施例 2)

【図 14】同半導体装置の作製工程を説明するための断面図 (実施例 2)

【図 15】同断面図

【図 16】同断面図

【図 17】同断面図

50

【図18】同断面図

【図19】同断面図

【図20】同断面図

【符号の説明】

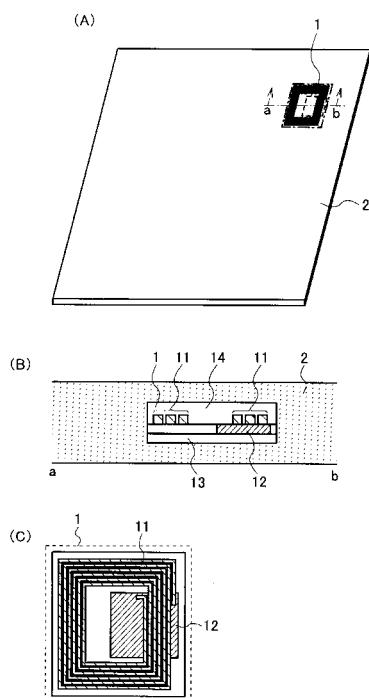
【0157】

1	半導体装置	
2	紙	
1 1	アンテナ	
1 1 A、1 1 B、1 1 C	アンテナ	10
1 2	回路部	
1 3	可撓性基材	
1 4	封止層	
2 1	素子層	
2 2	積層体	
2 3 ~ 2 6	絶縁膜	
3 1	基板	
3 2	剥離層	
3 3	半導体膜	
3 4	第1の導電層	20
3 5	不純物領域	
3 6	チャネル形成領域	
3 7	第2の導電層	
4 0	開口部	
4 1	支持基材	
5 1、5 2	湿紙	
5 3	紙層	
5 4	紙層	
6 0	電源部	
6 1	信号処理部	
6 2	整流回路	30
6 3	保持容量	
6 4	復調回路	
6 5	クロック生成/補正回路	
6 6	認識/判定回路	
6 7	メモリコントローラ	
6 8	マスクROM	
6 9	符号化回路	
7 0	変調回路	
7 6	CPUインターフェース	
7 7	制御レジスタ	40
7 8	コード抽出回路	
7 9	符号化回路	
8 0	演算回路	
8 1	アナログ部	
8 2	CPU	
8 3	ROM	
8 3 a	秘密鍵	
8 4	RAM	
8 5	コントローラ	
8 8	共振回路	50

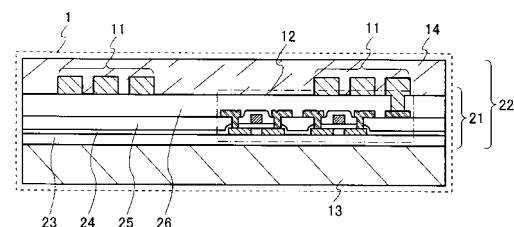
8 9	電源回路	
9 0	リセット回路	
9 1	クロック生成回路	
9 2	復調回路	
9 3	変調回路	
9 4	電源管理回路	
9 6	受信信号	
9 6 a	暗号文データ	
9 7	送信信号	
9 7 a	復号文データ	10
9 8	受信データ	
9 9	送信データ	
1 1 1	無記名債券	
1 1 2	証書類	
1 1 3	ラベル台紙	
1 1 4	ラベル	
1 1 5	ボックス	
1 1 6	タグ	
1 1 7	書籍	
1 2 5、1 2 6	湿紙	20
1 2 7	濾紙	
1 2 8	ステージ	
1 2 9	プレス板	
1 3 0、1 3 1	紙層	
1 3 2	多層紙	
3 0 1	半導体装置	
3 1 1	アンテナ	
3 1 2	回路部	
3 1 3	可撓性基材	
3 1 3 a	接着層	30
3 1 3 b	基材フィルム	
3 1 4	封止層	
3 2 1	素子層	
3 2 2	積層体	
4 0 0	ガラス基板	
4 0 1	酸化窒化シリコン膜	
4 0 2	タングステン膜	
4 0 3	酸化シリコン膜	
4 0 4	酸化窒化シリコン膜	
4 0 5	酸化窒化シリコン膜	40
4 0 6	結晶性シリコン膜	
4 0 7 ~ 4 0 9	半導体層	
4 0 7 a、4 0 7 b	p型高濃度不純物領域	
4 0 7 c	チャネル形成領域	
4 0 8 a、4 0 8 b	n型高濃度不純物領域	
4 0 8 c	チャネル形成領域	
4 0 8 e、4 0 8 d	n型低濃度不純物領域	
4 0 9 a、4 0 9 b	n型高濃度不純物領域	
4 0 9 c	チャネル形成領域	
4 0 9 e、4 0 9 d	n型低濃度不純物領域	50

4 1 0	酸化窒化シリコン膜	
4 1 2	n型不純物領域	
4 1 3 ~ 4 1 5	第1導電層	
4 1 6 ~ 4 1 9	n型低濃度不純物領域	
4 2 3 ~ 4 2 5	絶縁層	
4 2 6	酸化窒化シリコン膜	
4 2 7	酸化窒化シリコン膜	
4 2 8 ~ 4 3 3	第2導電層	
4 3 5	ポリイミド	
4 3 6	導電層	10
4 3 7	ポリイミド	
4 3 9	開口部	
4 4 0	UV剥離テープ	

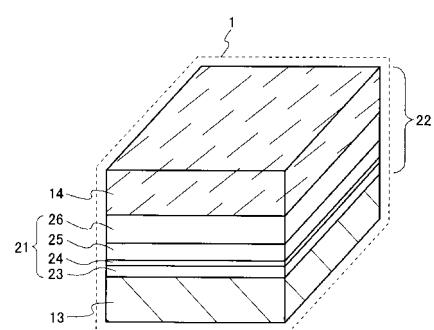
【図1】



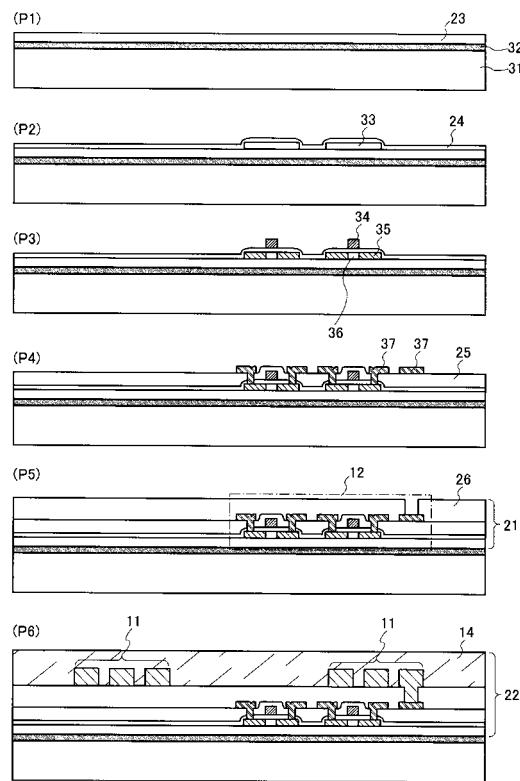
【図2】



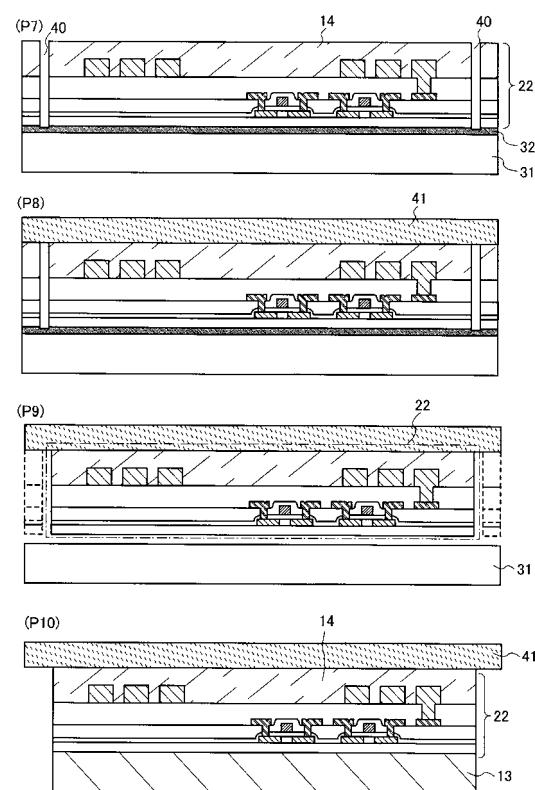
【図3】



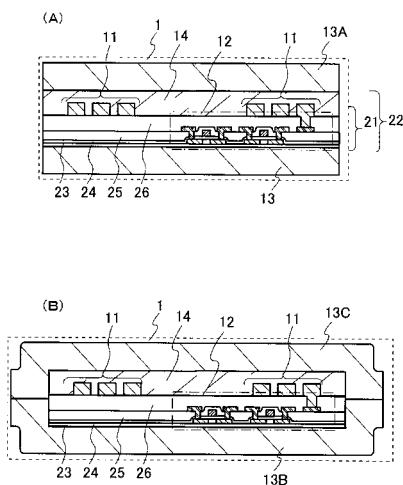
【図4】



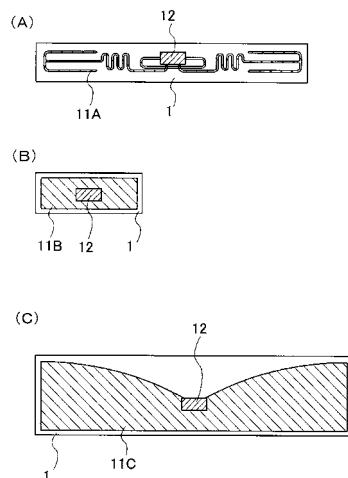
【図5】



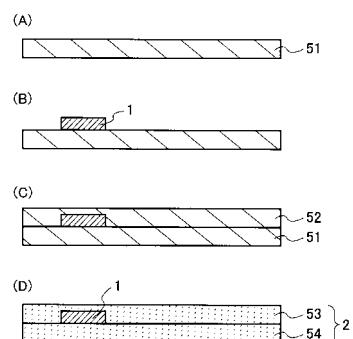
【図6】



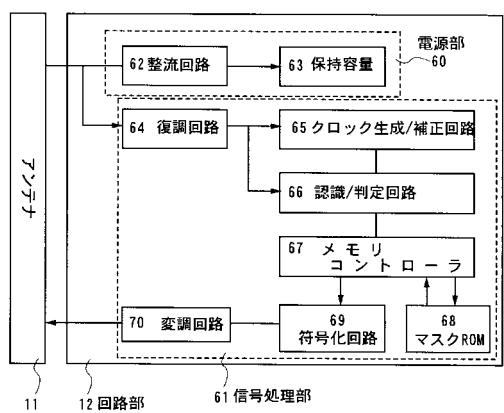
【図7】



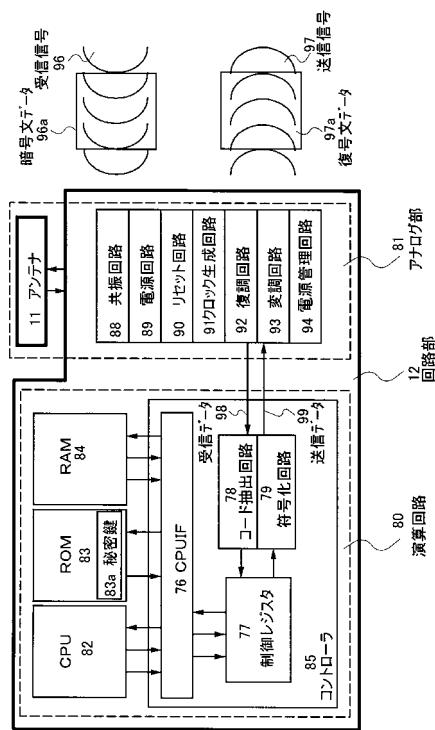
【図8】



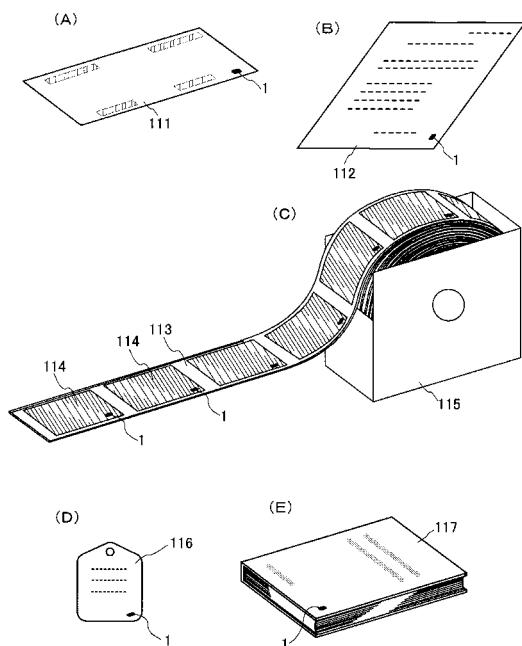
【図9】



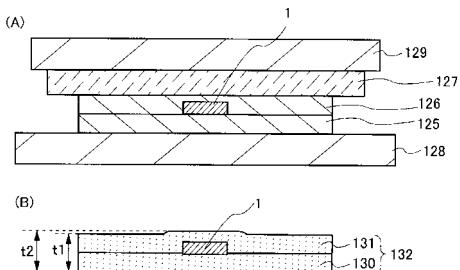
【図10】



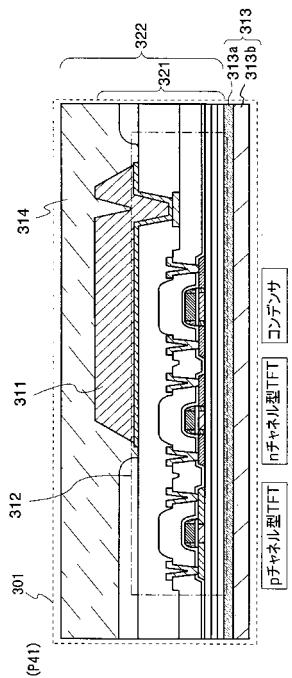
【図11】



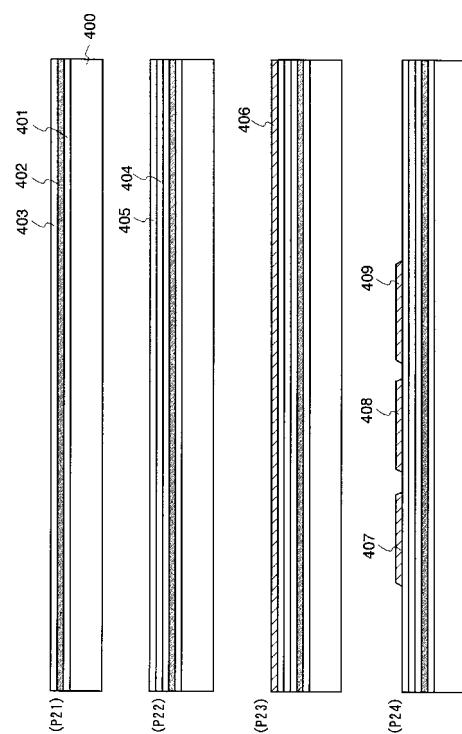
【図12】



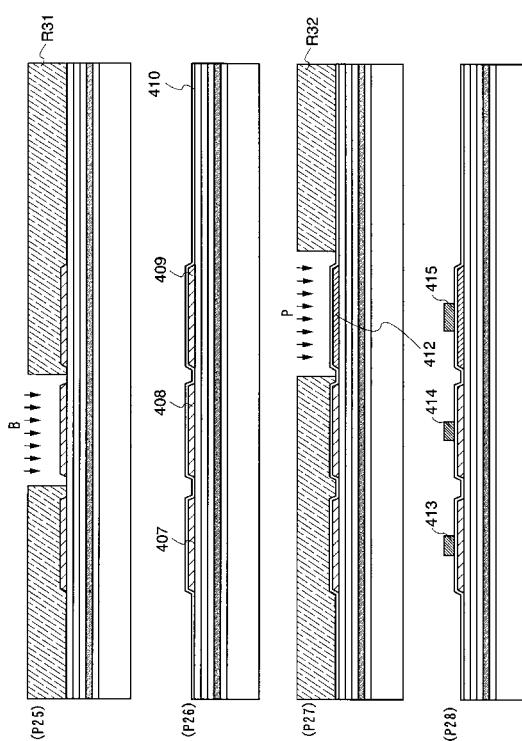
【図13】



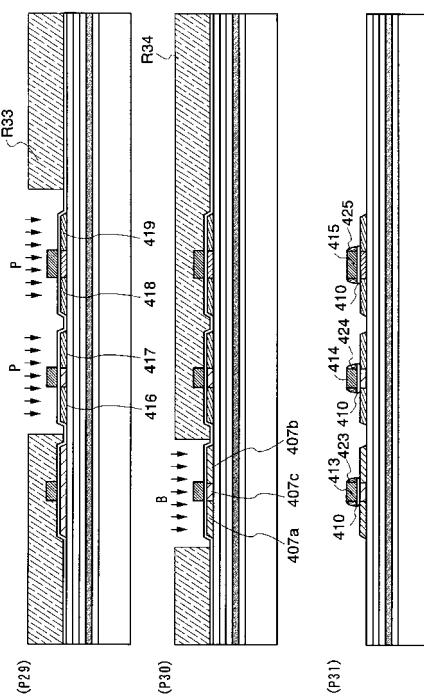
【 図 1 4 】



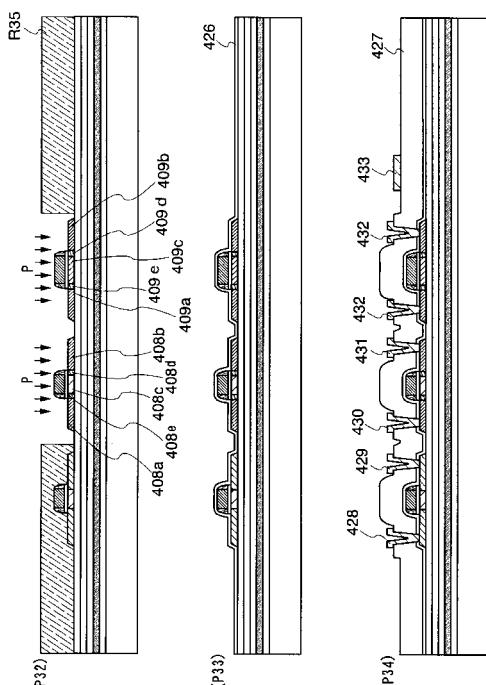
【図15】



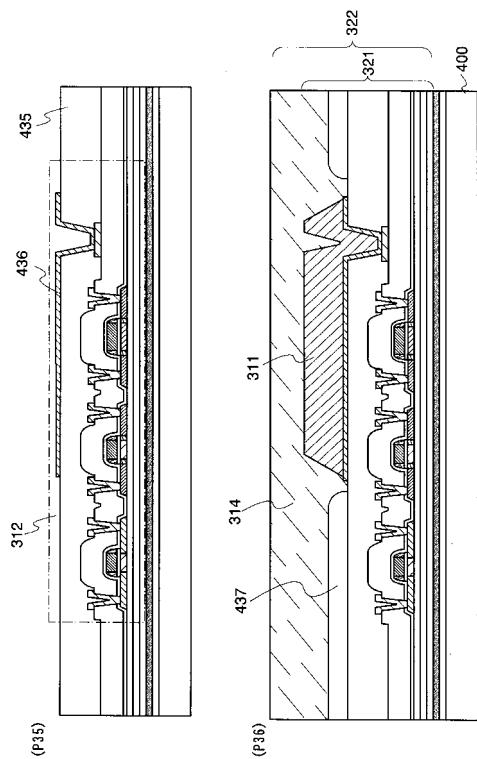
【 図 1 6 】



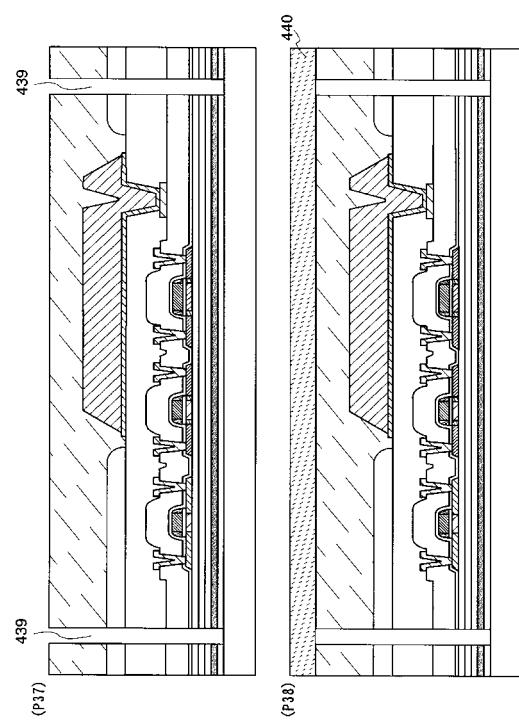
【図17】



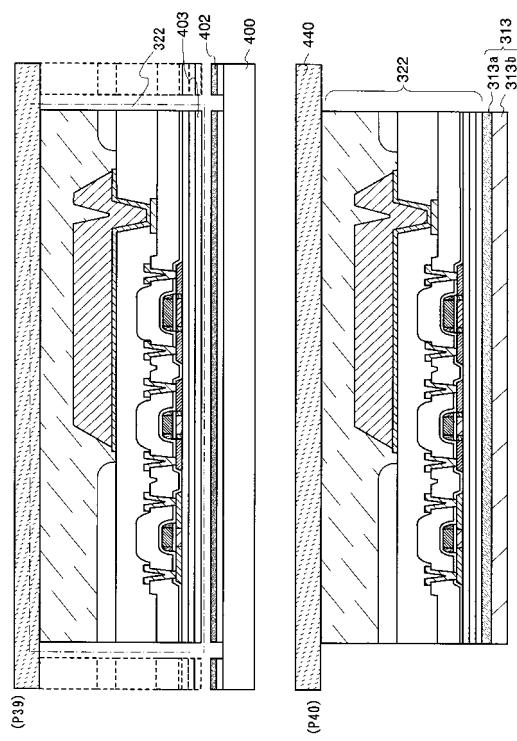
【 図 1 8 】



【図19】



【図20】



フロントページの続き

(51)Int.Cl.		F I
H 01 L	21/20	(2006.01) H 01 L 21/20
G 06 K	19/07	(2006.01) G 06 K 19/00 H
G 06 K	19/00	(2006.01) G 06 K 19/00 Q
D 21 H	21/48	(2006.01) D 21 H 21/48
D 21 H	21/14	(2006.01) D 21 H 21/14 Z
D 21 H	27/00	(2006.01) D 21 H 27/00 E

(72)発明者 荻田 香
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者 楠本 直人
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 和田 財太

(56)参考文献 特開2006-049851(JP, A)
特開2002-319006(JP, A)
特開2006-060196(JP, A)
特開2006-135305(JP, A)
特開2006-082239(JP, A)
再公表特許第2004/044063(JP, A1)
特開2006-301828(JP, A)
特開2006-164249(JP, A)

(58)調査した分野(Int.Cl. , DB名)

G 06 K 19/00 - 19/077
D 21 H 21/14
D 21 H 21/48
D 21 H 27/00
H 01 L 21/20
H 01 L 21/336
H 01 L 21/822
H 01 L 27/04
H 01 L 29/786