

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-192178

(P2013-192178A)

(43) 公開日 平成25年9月26日(2013.9.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO1P 3/08 (2006.01)	HO1P 3/08	5J014
HO3B 5/18 (2006.01)	HO3B 5/18	5J081

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号 特願2012-58835 (P2012-58835)  
 (22) 出願日 平成24年3月15日 (2012.3.15)

(71) 出願人 000232483  
 日本電波工業株式会社  
 東京都渋谷区笹塚一丁目50番1号 笹塚  
 NAビル  
 (74) 代理人 100091513  
 弁理士 井上 俊夫  
 (72) 発明者 大西 直樹  
 埼玉県狭山市大字上広瀬1275番地の2  
 日本電波工業株式会社狭山事業所内  
 Fターム(参考) 5J014 CA57  
 5J081 AA03 AA11 CC30 DD03 DD24  
 EE03 EE09 EE18 KK02 KK09  
 KK22 LL05 MM01 MM07 MM09

(54) 【発明の名称】 伝送線路及び電子部品

(57) 【要約】

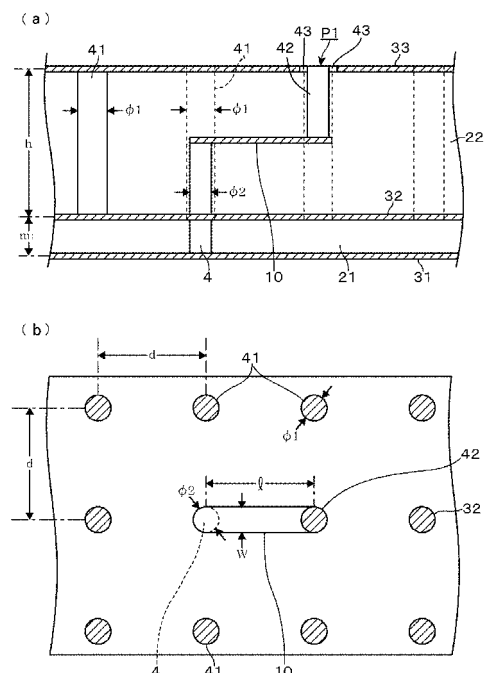
【課題】

高い自己共振周波数を維持したまま、大きなインダクタンス値が得られ、かつQ値の劣化の少ない短絡系のインダクタ素子を内蔵する伝送線路及びこの伝送線路を備えた電子部品を提供すること。

【解決手段】

両面が第2及び第3の接地導体32、33で挟まれた第2の誘電体層22内に当該接地導体32、33と平行に導電路10を設けてなるトリプレート構造の伝送線路において、第2接地導体32の更に下方側に第1の誘電体層21及び第1の接地導体31を積層し、導電路10から第1の接地導体31まで短絡ビア4を貫通させている。そして導電路10の周囲に複数の結合ビア41を使用する周波数帯における伝搬波長の1/20以下で設けているため、導波管のように、外部からの電磁波の入射が遮られると共に内部から外部へのエネルギーの逃げが抑えられる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

両面が接地導体で挟まれた誘電体層内に当該接地導体と平行に導電路を設けてなる伝送線路において、

第 1 の接地導体、第 1 の誘電体層、第 2 の接地導体、第 2 の誘電体層及び第 3 の接地導体をこの順に積層してなる積層基板と、

前記第 2 の誘電体層内に設けられた導電路と、

前記導電路の一端側から前記第 2 の誘電体層、前記第 2 の接地導体及び第 1 の誘電体層を貫通して第 1 の接地導体まで伸びる短絡ビアと、

前記積層基板における第 3 の接地導体側の面に形成された回路部分から前記導電路の他端側まで前記第 2 の誘電体層内を貫通する接続用ビアと、

前記第 2 の接地導体及び第 3 の接地導体を互いに結合させるために前記第 2 の誘電体層を貫通して設けられると共にこれら接地導体にその両端が接続され、前記導電路を囲むように互いに間隔をおいて配置された複数の結合ビアと、を備え、

前記複数の結合ビアの配列間隔は、使用する周波数帯における伝搬波長の  $1/20$  以下であることを特徴とする伝送線路。

10

## 【請求項 2】

前記第 3 の接地導体における第 2 の誘電体層とは反対側に第 3 の誘電体層及び第 4 の接地導体が積層され、

前記回路部分は、前記積層基板における第 4 の接地導体側の面に形成されていることを特徴とする請求項 1 記載の伝送線路。

20

## 【請求項 3】

請求項 1 または 2 に記載された伝送線路を用いて構成された電子部品。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は高周波回路に用いられ、誘電体層及び接地導体の積層体を有する小型の伝送線路及びこの伝送線路を備えた電子部品に関する。

## 【背景技術】

## 【0002】

携帯電話等の移動体通信手段の普及により、周波数割り当てが高周波帯へシフトしている。それとともに通信内容もより画像伝送や高速データ通信という方向に変わってきている。これによりマイクロ波や準ミリ波あるいはミリ波帯の使用ニーズが増大しており、準ミリ波帯、ミリ波帯でコスト的に有利で低損失なデバイスが要求されている。それに伴い、高周波設計の要素として、小型化による低損失化、材料等による誘電体損、導体損の低減が必要となっている。また使用周波数が高周波側へシフトすることにより、自己共振周波数が使用する帯域内に現れることで設計が難しくなる。このため、高周波数でも使用可能な構造的な工夫によるこれらの特性改善も必要になってくる。

30

## 【0003】

従来から準ミリ波帯やミリ波帯の高周波信号を扱う部品としてマイクロストリップ線路、コプレナー線路などが用いられてきたが、上述の周波数帯の特性改善、安定化の取り組みとしては、多層基板中にコンデンサやインダクタといった受動素子を内蔵することにより、部品実装のばらつき低減や小型化を図るケースも増大している。コンデンサ等は導体パターンと接地導体との間に誘電体層を挟みこむことで形成することが可能である。これら回路素子の小型化のためには高誘電率の誘電体材料を使用するか、電極間の挟み込む距離を短くすることでコンデンサ容量を実現でき、技術的な応用例も非常に多くの報告がある。

40

## 【0004】

インダクタの要求仕様は微細なステップでかつ大きなインダクタンス値であること、Q 値が高いこと、および使用する周波数帯に対して自己共振周波数が十分に高いことがあげ

50

られる。そのため、高周波帯でのインダクタは回路設計上は特に注意が必要な素子である。インダクタの自己共振周波数の低下は接地容量が増えることで低下するので、基板上でインダクタを構成するときには使用する基板の誘電率が低いものを使用し、インダクタ素子を構成する導電パターンと接地パターンとのクリアランスを確保することが必要である。ただしクリアランスを大きくすることで高次モードが発生しやすくなるので設計難易度が飛躍的に増加する問題がある。クリアランスを設けることで基板厚みが増え、内蔵インダクタの体積増加にもつながるので小型化と特性との兼ね合いも生じる。インダクタを内蔵した際のQ値を低下させる原因としては、使用する基板の誘電損失と導体損失がある。大きなインダクタ値を得るためには、導体パターンを細くしてかつ長くすることで実現できる。しかしながら、導体パターンを細くすると導体損失が増えるため、損失が増大し、Q値が低下する。このためインダクタ値を大きくすることとQ値を高くすることは、トレードオフである。また、一般的にはパターンを50 $\mu$ m以下の幅に設定することは基板パターンの製作面での制約が出る。

10

**【0005】**

特許文献1には電圧制御発振器において位相雑音を低減する構成が記載されているが、本発明のように積層基板型のインダクタ素子に用いたものではない。

**【先行技術文献】****【特許文献】****【0006】**

**【特許文献1】**特開2010-74727

20

**【発明の概要】****【発明が解決しようとする課題】****【0007】**

本発明はこのような事情の下になされたものであり、その目的は高い自己共振周波数を維持したまま、大きなインダクタンス値が得られ、かつQ値の劣化の少ない短絡系のインダクタ素子を内蔵する伝送線路及びこの伝送線路を備えた電子部品を提供することにある。

**【課題を解決するための手段】****【0008】**

本発明に係る伝送線路は、両面が接地導体で挟まれた誘電体層内に当該接地導体と平行に導電路を設けてなる伝送線路において、

30

第1の接地導体、第1の誘電体層、第2の接地導体、第2の誘電体層及び第3の接地導体をこの順に積層してなる積層基板と、

前記第2の誘電体層内に設けられた導電路と、

前記導電路の一端側から前記第2の誘電体層、前記第2の接地導体及び第1の誘電体層を貫通して第1の接地導体まで伸びる短絡ビアと、

前記積層基板における第3の接地導体側の面に形成された回路部分から前記導電路の他端側まで前記第2の誘電体層内を貫通する接続用ビアと、

前記第2の接地導体及び第3の接地導体を互いに結合させるために前記第2の誘電体層を貫通して設けられると共にこれら接地導体にその両端が接続され、前記導電路を囲むように互いに間隔をおいて配置された複数の結合ビアと、を備え、

40

前記複数の結合ビアの配列間隔は、使用する周波数帯における伝搬波長の1/20以下であることを特徴とする。

また本発明に係る伝送線路は、前記第3の接地導体における第2の誘電体層とは反対側に第3の誘電体層及び第4の接地導体が積層され、

前記回路部分は、前記積層基板における第4の接地導体側の面に形成されていることを特徴としてもよい。

**【0009】**

本発明の電子部品は、上述の伝送線路を用いて構成されたことを特徴としてもよい。

**【発明の効果】**

50

## 【 0 0 1 0 】

本発明によれば、両面が接地導体で挟まれた誘電体層内に当該接地導体と平行に導電路を設けてなるトリプレート構造の伝送線路において、下（便宜上の方向である）側の接地導体の更に下方側に誘電体層及び接地導体を積層し、導電路から最も下側の接地導体まで短絡ビアを貫通させている。そして導電路の周囲に複数の結合ビアを設けているため、外部からの電磁波の入射が遮られると共に内部から外部へのエネルギーの漏れが抑えられ、導波管のように、エネルギーを閉じ込める効果が大きくなる。この結果高いQ値が得られ、後述の実施例からも分かるようにインダクタンス値が大きく、また自己共振周波数が高いインダクタンス素子として用いることができる。

## 【 0 0 1 1 】

更にまた上側の接地導体の上方側に接地導体を設けることにより、不要結合、不要共振を一層抑えることができ、より高いQ値が得られる。

## 【 図面の簡単な説明 】

## 【 0 0 1 2 】

【 図 1 】本発明の第 1 の実施の形態に係る伝送線路を示す（ a ）断面図及び（ b ）平面図である。

【 図 2 】本発明の第 1 の実施の形態に係る伝送線路の全体を示す分解斜視図である。

【 図 3 】本発明の伝送線路を用いた発振器を示す回路図である。

【 図 4 】本発明の伝送線路を用いた発振器の外観を示す斜視図である。

【 図 5 】本発明の第 2 の実施の形態に係る伝送線路を示す断面図である。

【 図 6 】従来型の伝送線路を示す断面図である。

【 図 7 】実施例 1 に係る伝送線路の特性を示す説明図である。

【 図 8 】実施例 2 に係る伝送線路の特性を示す説明図である。

【 図 9 】実施例 3 に係る伝送線路の特性を示す説明図である。

【 図 1 0 】実施例 4 に係る伝送線路の特性を示す説明図である。

【 図 1 1 】実施例 5 に係る伝送線路の特性を示す説明図である。

## 【 発明を実施するための形態 】

## 【 0 0 1 3 】

本発明の伝送線路の実施形態を、当該伝送線路を適用した発振回路と共に説明する。図 1 及び図 2 に示す伝送線路は、トリプレート線路を改良した構造であり、インダクタ素子 1 を構成している。この伝送線路は、第 1 の接地導体 3 1、第 1 の誘電体層 2 1、第 2 の接地導体 3 2、第 2 の誘電体層 2 2 及び第 3 の接地導体 3 3 を、例えば下からこの順に積層した積層基板を備えている。第 1 の接地導体 3 1、第 2 の接地導体 3 2 及び第 3 の接地導体 3 3 はより詳しくはパターンとして形成され、接地導体パターンと呼ぶこともできる。以下の説明では第 3 の接地導体 3 3 が形成されている面及び第 1 の接地導体 3 1 が形成されている面を夫々積層基板の表面及び裏面と定義する。なお伝送線路の断面図（図 1、図 5 及び図 6 ）において、図の煩雑化を避けるために誘電体層のハッチングは除いている。

## 【 0 0 1 4 】

そして第 2 の誘電体層 2 2 内には、例えば第 2 の接地導体 3 2 と第 3 の接地導体 3 3 との中間位置にて、これら接地導体 3 2、3 3 と平行に（対向するように）導体パターンである例えば使用周波数帯の伝搬波長に比べて十分に小さい（例えば 1 / 1 0 0 波長以下の）幅を有する帯状の導電路 1 0 が設けられている。この導電路 1 0 の一端部からは当該一端部と第 1 の接地導体 3 1 とを短絡する短絡ビア 4 が第 2 の接地導体 3 2 を貫通して設けられている。導電路 1 0 の他端部からは、伝送線路の表面側における第 3 の接地導体 3 3 とは、2 5 μ m 以上のクリアランス 4 3 によって絶縁された部位に伸びる接続ビア 4 2 が第 2 の誘電体層 2 2 を貫通して設けられている。

前記導電路 1 0 と短絡ビア 4 とによりインダクタ素子 1 が構成されている。なお各接地導体 3 1、3 2、3 3 は、パターンにより構成されているが、「導体パターン」との用語の区別をするために「接地導体」の用語を用いる。

10

20

30

40

50

## 【0015】

第2の接地導体32と第3の接地導体33との間には、相互に接続する円柱状の結合ビア41が複数設けられる。結合ビア41は第2の接地導体32と第3の接地導体33に対して垂直に伸び、これらを互いに結合するように構成されており、積層されたトリプレート構造を垂直に貫通するように伸ばされている。複数の結合ビア41は短絡ビア4及び導電路10を囲むように間隔をおいて配列され、導波管としての役割をする。導電路10の前記一端側を前方、前記他端側を後方とすると、この例では短絡ビア4の左右側方及び前方を囲むように、平面的にみると長方形の3辺に沿って結合ビア41が配列されている。短絡ビア4の前方側と同様に短絡ビア4の後方側に結合ビア41が設けられていてもよい。

10

## 【0016】

図3はコルピッツ回路を用いた電子部品である発振器を示している。なお図3では、コルピッツ回路の概略の構成要素のみを示している。

本例の発振器は、増幅用の例えばNPN型のトランジスタ60が設けられ、このトランジスタ60のベースには共振系（インダクタ素子1、コンデンサ52、53、54、バリキャップダイオード51）が接続されている。コンデンサ52とトランジスタ60との中間部位と、アースと、の間には帰還用の容量素子となる2つのコンデンサC1、C2が接続されている。トランジスタ60のエミッタはコンデンサC1、C2の接続点に接続されており、接続点は抵抗Rを介して接地されている。トランジスタ60のエミッタにはバッファアンプ71が接続され周波数信号を増幅するように構成されている。上記の回路中トランジスタ60、バッファアンプ71は集積回路チップ（ICチップ）内に設けられており、発振器に外部から制御電圧が入力されると、共振系と前述の帰還用のコンデンサC1、C2、並びに増幅用のトランジスタ60からなる発振ループが共振周波数にて発振するように構成されている。

20

## 【0017】

この発振器における共振回路の一部をなすインダクタ素子1としては、図1及び図2に示す伝送線路に組み込まれたインダクタ素子1が用いられる。図4は、発振回路の外観を示しており、積層基板の上に前記ICチップ7（コンデンサC1、C2、抵抗R等を含む）、コンデンサ52、53、54、バリキャップダイオード51などが設けられている。図1、図2及び図4の対応関係について説明すると、図1において導電パターンは、短絡ビア4とは反対側の他端側から積層基板の表面まで接続ビア42が立ち上げられ、この接続ビア42の上端側は当該表面に配線されている配線パターンに接続されている。接続ビア42と配線パターンとの接続点をノードP1とし、このノードP1を図1～図4に示しておく。

30

## 【0018】

上述実施の形態に係る伝送線路の具体的な寸法の一例について示しておく。高周波回路の使用周波数が30GHzで第1の誘電体層21の厚さmが100 $\mu$ m、第2の誘電体層22の厚さhが400 $\mu$ m、結合ビア41の直径 $d_1$ が150 $\mu$ m、短絡ビア4の直径 $d_2$ が100 $\mu$ mに夫々設定されている。また結合ビア41の配列間隔（中心間距離）dは使用する周波数の1/20以下の寸法、例えば500 $\mu$ mに設定される。また短絡ビア4とすべての結合ビア41との近接する中心間距離についても使用する周波数の伝搬波長の1/20以下であることが好ましく、この例では短絡ビア4の前方及び左右に位置する結合ビア41の各々と短絡ビア4との近接する中心間距離は500 $\mu$ mに設定されており、左右と前方距離から導波管のような矩形形状である。

40

## 【0019】

各構造の役割は次の通りである。導電路10の一端側から短絡ビア4を第2の接地導体32を貫通させて第1の接地導体31に接続することにより、導電路10とそれを囲む結合ビア41で導波管のようなエネルギーを閉じ込める効果があり、第1の接地導体31と第2の接地導体32との間にエネルギーを閉じ込める効果が現れる。更に結合ビア41により導電路10を囲むことにより、方形導波管の役割を果たし、外部からの電磁波を遮蔽

50

すると共に短絡ビア 4 に閉じ込められたエネルギーが逃げることを抑えている。このような効果を確保するため、複数の結合ビア 4 1 の配列間隔は、使用する周波数帯における伝搬波長の  $1/20$  以下であることが必要である。なお結合ビア 4 1 については第 2 の接地導体 3 2 を貫通させて第 1 の接地導体 3 1 に接続すると、閉じ込められたエネルギーがこの導体 3 1 を介して外に逃げてしまう。また結合ビア 4 1 群の中で短絡ビア 4 に最も近い結合ビア 4 1 と当該短絡ビア 4 とを接近しすぎると、導回路 1 0 との電磁結合が大きくなり、Q 値の低下、及び自己共振周波数の低下となるため、この接近距離は、 $1/20$  波長以上であることが好ましい。

#### 【0020】

上述の実施形態の伝送線路は、インダクタ素子 1 を接地導体 3 1, 3 2, 3 3 及び誘電体層 2 1, 2 2 により挟み込み、また導回路 1 0 の一端側から第 2 の接地導体 3 2 を貫通させて第 1 の接地導体 3 1 まで伸びる短絡ビア 4 を設ける。更に導回路 1 0 の周囲に、第 2 の接地導体 3 2 及び第 3 の接地導体 3 3 を短絡する結合ビア 4 1 を配置して、方形導波管構造を形成し、これによりエネルギーの閉じ込めを図っている。このため平行平板モードによる不要結合や不要共振の発生を抑えると共に不連続な周波数特性も抑えられ、高い Q 値をもった小型のインダクタ素子 1 が得られる。またこのインダクタ素子 1 は、後述の実施例からも分かるように自己共振周波数が高いまま、大きなインダクタンス値が得られる。

#### 【0021】

このインダクタ素子を用いて例えば共振器を構成すれば、高い Q 値を持った共振器を得ることができ、また帯域通過フィルタを構成すれば、低損失で減衰特性の良好なフィルタが得られる。

本発明の伝送線路は、通信モジュール用基板、アンテナ基板、各種のセンサ基板などに用いることができるが、これに限らず例えば準ミリ波帯、またはミリ波帯の信号を取り扱う回路を誘電体基板で構成したものに対して広く適用できる。

#### 【0022】

##### [ 第 2 の実施の形態 ]

また第 2 の実施の形態として、図 5 に示すように、第 1 の実施の形態の伝送線路の第 3 の接地導体 3 3 の更に上層に第 3 の誘電体層 2 3 を介して、第 4 の接地導体 3 4 を設けてもよい。このような伝送線路によれば、第 1 の実施の形態と比較して更に外部から隔離されるため、不要共振や不要結合をより一層減らすことができる。また第 2 の実施の形態の伝送線路を、図 3 に示す発振回路中のインダクタ素子 1 として使用する場合には、第 4 の接地導体 3 4 を、図 4 に示す第 3 の接地導体 3 3 と同様に配線領域に対応する部分を取り除き、露出した第 3 の誘電体層 2 3 の表面に IC チップやコンデンサ、バリキャップダイオードなどが設置される。

#### 【実施例】

#### 【0023】

第 1 の実施の形態の伝送線路を用いて無負荷 Q 値の周波数特性とインダクタンス値の周波数特性とについてシミュレーションにより検証した結果を以下に記載する。また図 6 に記載した従来のトリプレート構造の伝送線路についても同様に検証し、両者を比較した。

#### 【0024】

いずれの伝送線路についても図 1 中の第 2 の誘電体層 2 2 の厚さ  $h$  を  $400 \mu\text{m}$ 、導回路 1 0 の幅  $w$  を  $50 \mu\text{m}$ 、導回路パターン長  $l$  を  $500 \mu\text{m}$ 、信号線路導電率： $5 \times 10^{-7} \text{ S/m}$  の伝送線路を構成し、実施例に係る伝送線路に設ける結合ビア 4 1 の直径については  $\phi$  は  $100 \mu\text{m}$  に設定した。

#### 【0025】

##### [ 伝送線路の構成 ]

##### ( 実施例 1 - 1 )

第 1 の実施の形態において、図 1 中に示す第 1、第 2 の誘電体層 2 1、2 2 としてテフロン（登録商標）基板を想定し、比誘電率を 2.6、 $\tan \delta$  を 0.0001 (30 GHz

10

20

30

40

50

z 使用時)で構成して、第1の誘電体層21の厚さ $m$ を $100\mu\text{m}$ 、結合ビア41の配列間隔 $d$ を $500\mu\text{m}$ とした伝送線路を実施例1-1とする。

(実施例1-2)

第2の誘電体層2の厚さ $m$ を $300\mu\text{m}$ とした他は、実施例1-1と同様にして伝送線路を構成した。この伝送線路を実施例1-2とする。

【0026】

(実施例2-1)

第1、第2の誘電体層21、22をLTCC(低温同時焼成セラミックス: Low Temperature Co-fired Ceramics)を想定し、これら、第1、第2の誘電体層21、22の比誘電率を6.5、 $\tan$ を0.005(30GHz使用時)で構成した他は、実施例1-1と同様にして伝送線路を構成した。この伝送線路を実施例2-1とする。

10

(実施例2-2)

第1、第2の誘電体層21、22を比誘電率を6.5、 $\tan$ を0.005(30GHz使用時)で構成した他は、実施例1-2と同様にして伝送線路を構成した。この伝送線路を実施例2-2とする。

【0027】

(実施例3-1)

結合ビア41の配列間隔 $d$ を $300\mu\text{m}$ とした他は、実施例1-1と同様にして伝送線路を構成した。この伝送線路を実施例3-1とする。

20

(実施例3-2)

結合ビア41の配列間隔 $d$ を $750\mu\text{m}$ とした他は、実施例1-1と同様にして伝送線路を構成した。この伝送線路を実施例3-2とする。

【0028】

(実施例4-1)

結合ビア41の配列間隔 $d$ を $300\mu\text{m}$ とした他は、実施例2-1と同様にして伝送線路を構成した。この伝送線路を実施例4-1とする。

(実施例4-2)

結合ビア41の配列間隔 $d$ を $750\mu\text{m}$ とした他は、実施例2-1と同様にして伝送線路を構成した。この伝送線路を実施例4-2とする。

30

【0029】

(実施例5)

第2の実施の形態において、図5中に示す第1、第2及び第3の誘電体層21、22、23を比誘電率を2.6、 $\tan$ を0.0001(30GHz使用時)、第1の誘電体層21の厚さ $m_1$ 及び第2の誘電体層 $m_2$ を夫々 $200\mu\text{m}$ とした伝送線路を実施例5とする。

【0030】

(比較例1)

図6に記載した従来の伝送線路において、誘電体層22として実施例1-1と同様のものを用いたものを比較例1とする。

40

(比較例2)

図6に記載した従来の伝送線路において、誘電体層22を実施例1-2と同様のものを用いたものを比較例2とする。

【0031】

[ 検証試験 ]

実施例1~5及び比較例1、2に係る伝送線路に印加する高周波電力の周波数ごとの無負荷Q値とインダクタンス値を求めた。図7~図11はその結果を示し、(a)は伝送線路に印加する高周波電力の周波数を横軸に、無負荷Q値を縦軸に示した特性図であり、(b)は伝送線路に印加する高周波電力の周波数を横軸に、インダクタンス値を縦軸に示した特性図である。

50

## 【 0 0 3 2 】

図 7 ( a ) ~ 図 1 0 ( a ) によれば、第 1 の実施形態に対応する実施例及び比較例共に周波数に対して Q 値は波を打った変動パターンになっているが、両者を比較して、実施例の Q 値の方が比較例よりも高くなっているといえる。実施例においてパラメータによっては、狭い周波数帯において比較例よりも Q 値が劣っていることが見受けられるが、パラメータを調整することにより、グラフに示した周波数帯では比較例に比べて Q 値が高くなることが示されている。また使用周波数帯によっては実施例の Q 値が 4 0 0 を越える場合もあることが示されている。

## 【 0 0 3 3 】

更に図 7 ( b ) ~ 図 1 0 ( b ) によれば、実施例のインダクタンス値は、比較例と同様に高いことが分かる。また実施例の自己共振周波数はパラメータにより多少変動するが、概ね 3 8 G H z ~ 4 7 G H z の間に収まっており、高い値であることが示されている。

10

## 【 0 0 3 4 】

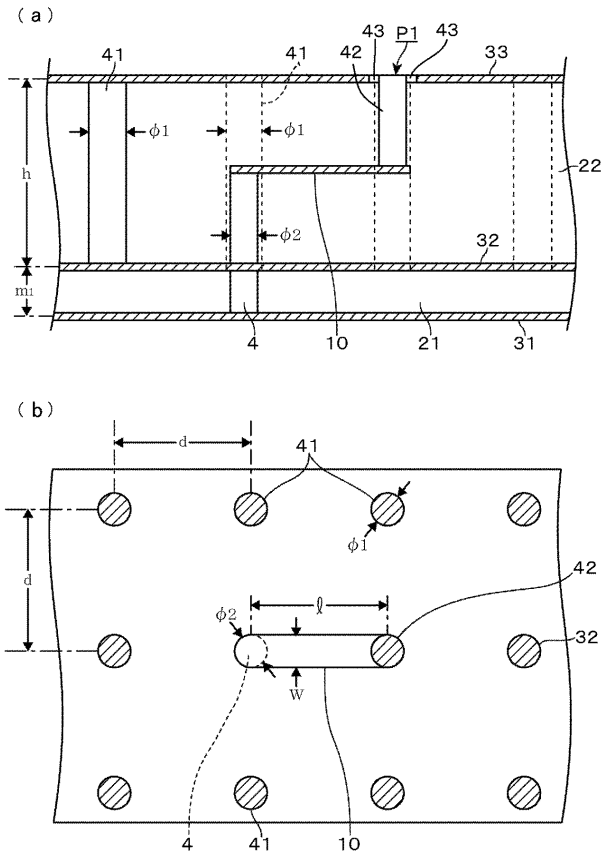
また図 1 1 に示すように第 2 の実施形態に対応する実施例 5 によれば、第 1 の実施形態に対応する既述の実施例よりも Q 値が高くなっており、第 1 の実施の形態における第 3 の接地導体 3 3 の上に更に第 4 の接地導体 3 4 を設ける構成が有効であることが裏付けられている。

## 【 符号の説明 】

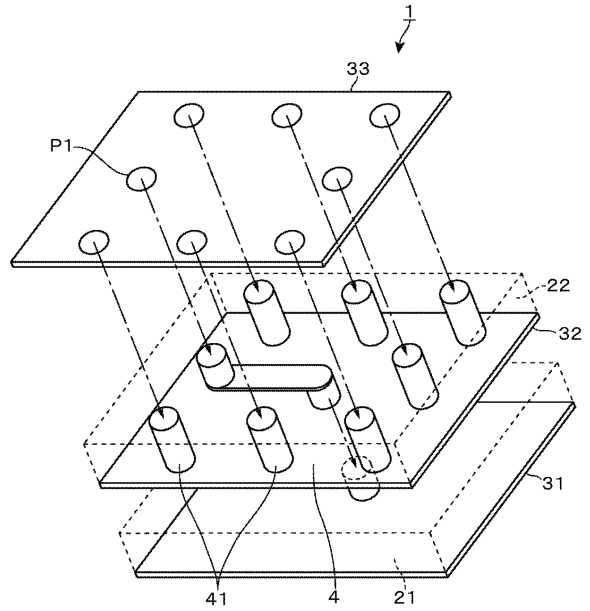
## 【 0 0 3 5 】

1	インダクタ素子	20
2 1、2 2、2 3	誘電体層	
4	短絡ビア	
7	I C 回路部	
1 0	導電路	
3 1	第 1 の接地導体	
3 2	第 2 の接地導体	
3 3	第 3 の接地導体	
3 4	第 4 の接地導体	
4 1	結合ビア	
4 2	接続ビア	30

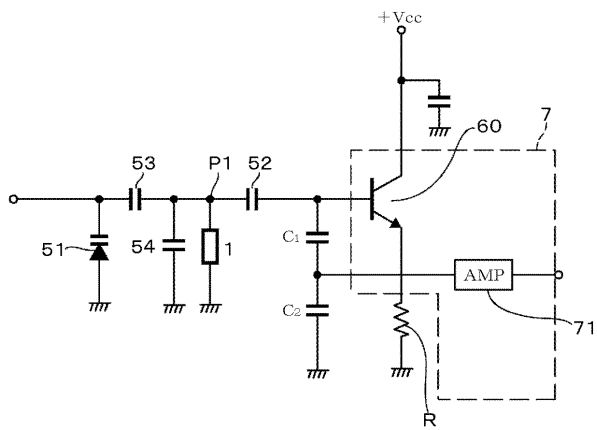
【 図 1 】



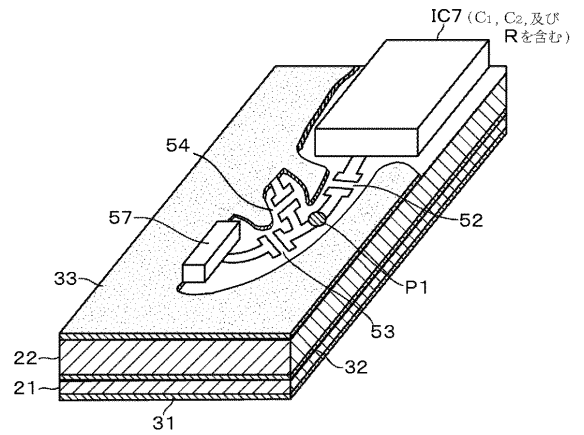
【 図 2 】



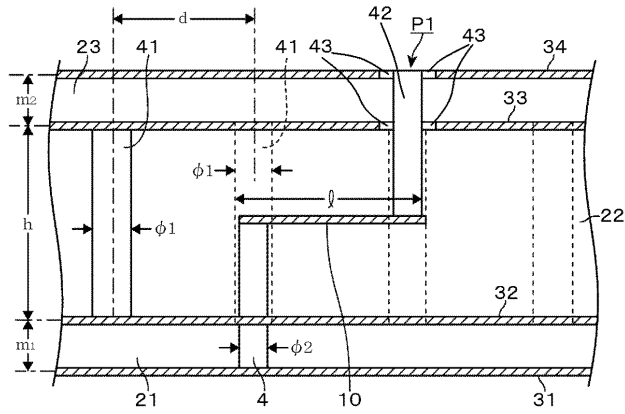
【 図 3 】



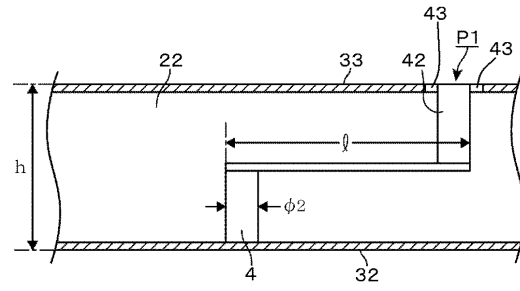
【 図 4 】



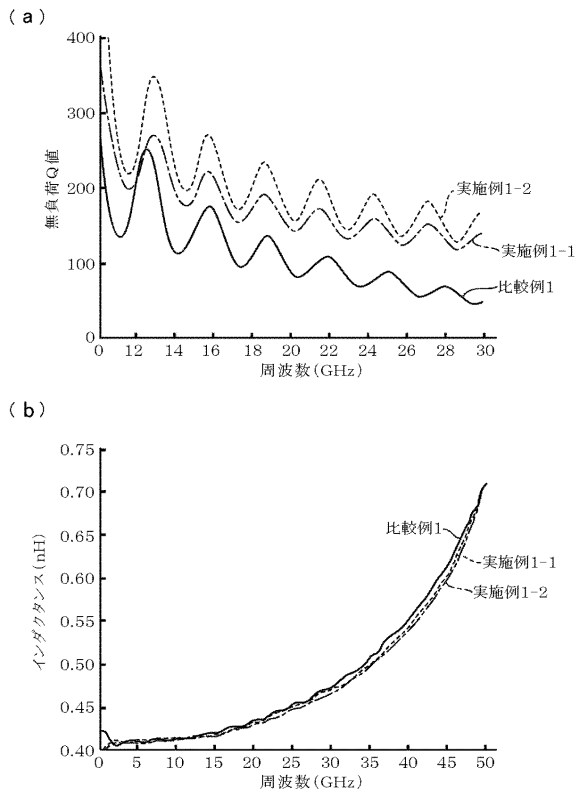
【図5】



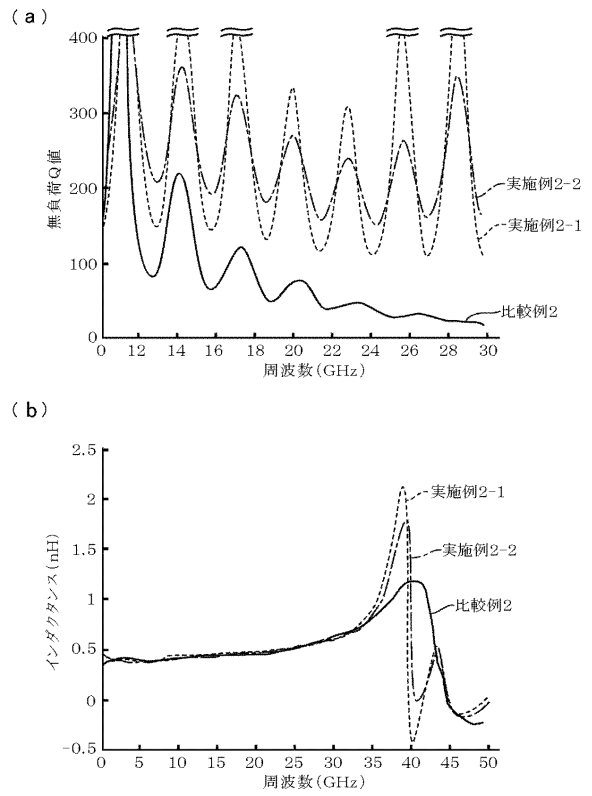
【図6】



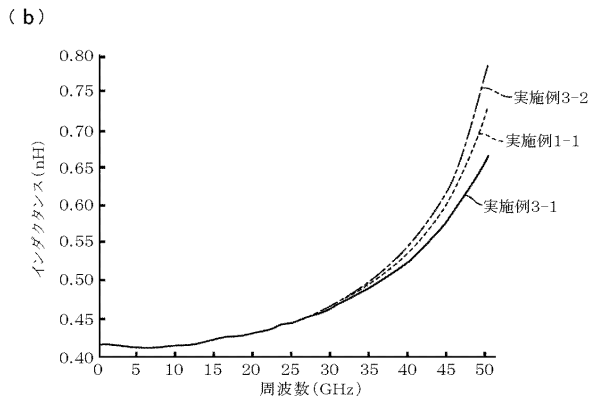
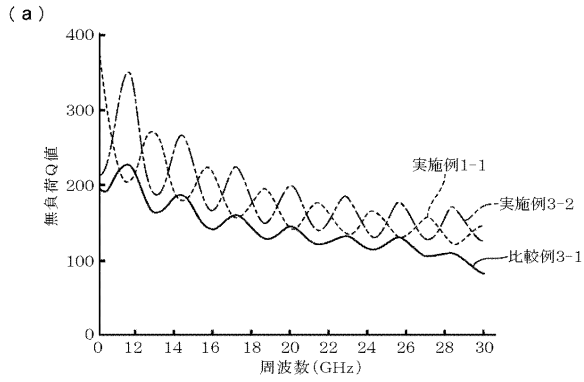
【図7】



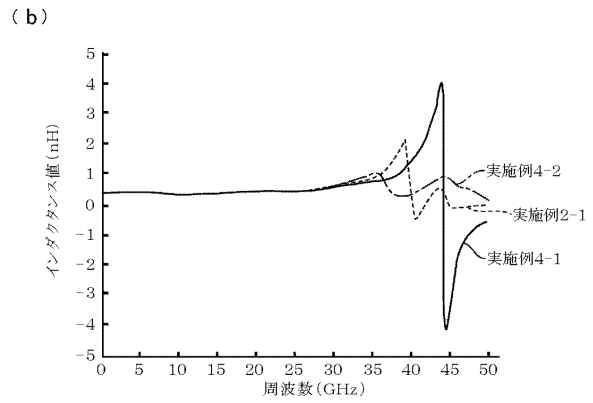
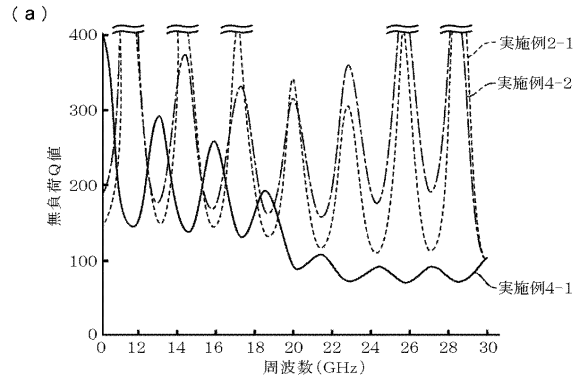
【図8】



【 図 9 】



【 図 1 0 】



【 図 1 1 】

