

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G06F 7/00

(45) 공고일자 1999년05월 15일

(11) 등록번호 10-0185437

(24) 등록일자 1998년12월24일

(21) 출원번호 10-1994-0020182

(65) 공개번호 특1996-0008524

(22) 출원일자 1994년08월 16일

(43) 공개일자 1996년03월22일

(73) 특허권자 현대전자산업주식회사 김주용

경기도 이천군 부발읍 아미리산 136-1

(72) 발명자 김성식

경기도 이천군 부발읍 신하리 487-7 거평아파트 101동 603호

(74) 대리인 박해천, 엄주석

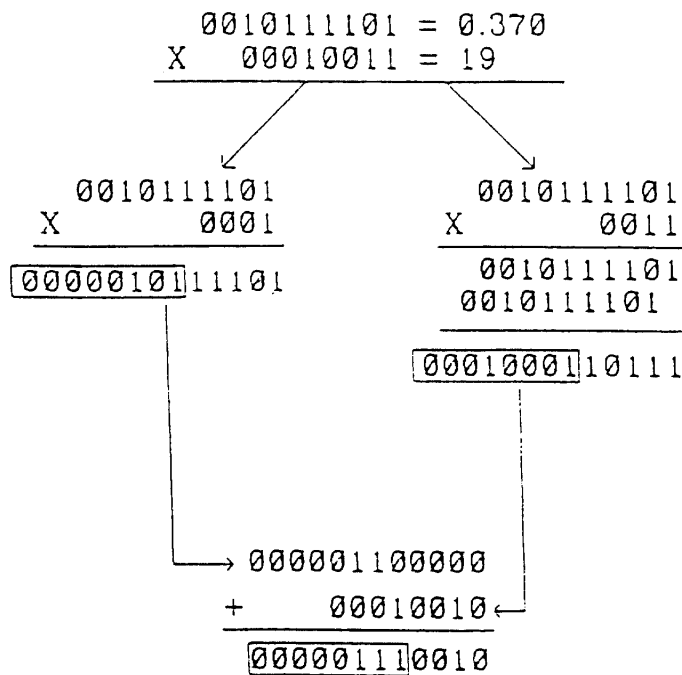
심사관 : 오홍수

(54) 더블 에지 클럭구조를 가지는 곱셈기 및 그를 이용한 디지털 칼라 스페이스 변환 장치

요약

본 발명은 더블에지 클럭구조를 이용한 디지털 칼라 스페이스 변환기에 관한 것으로, 특히 입력되는 변수 데이터를 $n/2$ 씩 분할하여 더블 에지 클럭(double edge clock)에 따라 상기 변수 데이터를 $n/2$ 비트씩 레치하고, 이 변수 데이터와 계수와의 곱셈연산 결과값을 분할룸으로 부터 읽어들이어 Y , C_R , C_b 신호를 R , G , B 신호로 변환함으로써 작은 면적과 빠른 속도를 갖는 디지털 칼라 스페이스 변환기(DCSC)에 관한 것이다.

대표도



명세서

[발명의 명칭]

더블 에지 클럭구조를 가지는 곱셈기 및 그를 이용한 디지털 칼라 스페이스 변환 장치.

[도면의 간단한 설명]

제1도는 분할에 의한 곱셈과정을 설명하기 위한 설명도.

제2도는 분할룸에 저장되어 있는 곱셈결과를 나타낸 룸 테이블도.

제3도는 종래의 분할룸을 이용한 곱셈기의 구성도.

제4도는 본 발명에 따른 더블 에지 클럭을 이용한 곱셈기의 일실시에 구성도.

제5도는 본 발명에 따른 듀얼 포트 더블 에지 레지스터부의 일실시에 회로도.

제6도는 상기 제4도의 본 발명에 따른 더블 에지 클럭을 이용한 곱셈기의 시뮬레이션 파형 예시도.

제7도는 본 발명에 따른 디지털 칼라 스페이스 변환기의 일실시에 구성도.

★ 도면의 주요부분에 대한 부호의 설명

1, 1' : 어드레스 디코더

2, 2' : 롬 코어

3 : 가산기

4 : 듀얼 포트 더블 에지 레지스터부

5 : 자리올림보존가산기

6 내지 9 : 연산부

FF1, FF2 : 플립플롭

INT1, INT1 : 인버터

MAND1 내지 MAND3 : 낸드게이트

[발명의 상세한 설명]

본 발명은 디지털 칼라 스페이스 변환기(DCSC: Digital Color Space Converter)에 관한 것으로, 특히 입력되는 변수 데이터를 $n/2$ 씩 분할하여 더블 에지 클럭(double edge clock)에 따라 곱셈연산하는 곱셈기 및 그를 이용한 디지털 칼라 스페이스 변환기(DCSC)에 관한 것이다.

디지털 칼라 스페이스 변환기(DCSC)는 Y, C_R , C_B 신호를 R(red), G(green), B(blue)신호로 변환하는 장치이다.

CCIR(Center for Communication Interface Research) 중 통신규약 제601 항목은 휘도값(luminance)(이하, Y라 함), 붉은색에 대한 색도(chrominance)(이하, C_R 라 함), 푸른색에 대한 색도(이하, C_B 라 함)신호를 R, G, B신호로 변환하기 위해 다음과 같은 (식1)을 추천하고 있다.

$$R = Y + 1.370 \times (C_R - 128)$$

$$G = Y - 0.698 \times (C_R - 128) - 0.336 \times (C_B - 128)$$

$$B = Y + 1.730 \times (C_B - 128) \dots \dots \dots (식1)$$

상기 (식1)을 직접 곱셈기를 사용하여 구현하면 4개의 곱셈기가 필요하며, 일반적인 곱셈기로 $m \times n$ 비트 곱셈을 수행하려면 $m \times n$ 개의 앤드 게이트(AND gate)와 $m \times (n-1)$ 개의 전가산기(full-adder)가 필요하다.

따라서, 상기 (식1)에서 계수가 각각 10비트라면 가정하면 한 개의 곱셈기당 100개의 앤드 게이트와 90개의 전가산기가 필요하기 때문에 면적이 클 뿐만 아니라 고속으로 동작하는데 상당한 어려움이 있었다.

또한, 상기의 (식1)에서 계수는 각 시스템에서 고유값을 가지고 있기 때문에 롬을 사용하여 구현할 수 있으나, R, G, B출력을 각각 8비트라 하고 10비트 입력을 어드레스(address)로 할 때 $2^{10} \times 8$ 비트 크기의 롬이 필요하게 됨으로 이와 같은 방식도 역시 상당히 큰 면적을 차지한다.

상기와 같은 (고정계수 $\times n$)비트의 곱셈연산을 수행하는 경우에 제1도와 같이 상기 n 비트를 분할하여 즉, (고정계수 $\times$ 상위 $n/2$)비트의 곱셈연산을 수행하고, (고정계수 $\times$ 하위 $n/2$)비트의 곱셈연산을 수행하여 각각의 출력값을 합산하는 곱셈연산방식을 사용할 수도 있다.

예를 들어 고정계수가 0.370 즉, 2진수로 0010111101라 하고, 변수를 19, 즉 00010011라 할 때, 00010011을 상위 4비트인 0001과 하위 4비트인 0011로 분할하여 곱셈연산을 수행하면 상위 비트는 0.370, 하위 비트 1.11, 즉 2진수로 00001110과 00010010의 값을 얻을 수 있으며, 상기와 같은 부분 곱셈연산의 결과 중 상위 비트를 4비트 쉬프트시켜 하위 비트와 더하면 0000111 즉, 0.370×19 의 연산결과인 6.63의 반올림값인 7을 얻을 수 있다.

상기와 같은 분할방식을 제2도와 같은 롬테이블을 갖는 분할롬을 사용하여 제3도와 같이 구현할 수 있다.

제3도는 종래의 곱셈기의 구성을 나타낸 것으로, 분할된 상위 $n/2$ 비트의 변수 데이터와 하위 $n/2$ 비트의 변수 데이터를 각각 인가받아 디코딩한 후 롬 코어의 어드레스($2^{n/2}$)로 출력하는 어드레스 디코더(1,1')와, 상기 어드레스 디코더(1,1')에서 출력되는 어드레스($2^{n/2}$)에 응답하여 저장되어 있는 부분 곱셈연산 결과값(8비트)을 각각 출력하는 롬 코어(2,2')와, 상기 롬 코어(2,2')에서 출력되는 부분 곱셈연산 결과값(8비트)을 가산하여 최종 곱셈연산 결과값을 출력하는 가산기(3)로 구성되어 있다.

그러나, 상기와 같은 곱셈기는 동일한 데이터를 저장하고 있는 두 개의 롬 코어를 사용함에 따라 회로구성이 복잡하고 비용도 상승한다는 문제점이 있었다.

상기 종래 기술에 대한 제반 문제점을 해결하기 위해 안출된 본 발명은, 더블 에지 클럭 구조를 가지는 곱셈기, 및 그를 이용하여 Y, C_R , C_B 신호를 R, G, B신호로 변환함으로써 작은 면적과 빠른 속도를 갖는 디지털 칼라 스페이스 변환 장치(DCSC)를 제공하는 데 그 목적이 있다.

상기와 같은 목적을 달성하기 위하여 본 발명은 클럭 신호에 응답하여 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제1 계수와 곱한 연산값과, 휘도값을 가산하여 R(Red) 변환 출력값을 출력하는 R변환 수단; 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제2 계수와 곱한 연산값과, 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제3계수와 곱한 연산값과, 상기 휘도값을 가산하여 G(Green) 변환 출력값을 출력하는 G변환 수단; 및 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위

$n/2$ 비트를 입력받아 제4계수와 곱한 연산값과, 상기 휘도값을 가산하여 B(Blue) 변환 출력값을 출력하는 B변환 수단을 구비하는 것을 특징으로 한다.

또한, 본 발명은 클럭 신호의 상승 에지 및 하강 에지에서 변수 데이터의 하위 $n/2$ 비트 및 상위 $n/2$ 비트를 각각 래치하는 듀얼 포트 더블 에지 저장수단; 상기 저장 수단으로부터의 래치된 $n/2$ 비트의 데이터를 입력받아 디코딩한 후 출력하는 디코딩 수단; 및 상기 디코딩 수단으로부터 출력되는 디코딩 결과에 응답하여 곱셈연산 결과값을 출력하는 롬 코어를 포함하여 이루어진다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

제4도는 본 발명에 의한 더블 에지 클럭을 이용한 곱셈기의 구성을 나타낸 것으로, 분할된 변수가 클럭 신호(CLOCK)의 상승 에지 및 하강 에지에서 각각 $n/2$ 비트씩 래치되는 듀얼 포트 더블 에지 레지스터부(4)와, 상기 레지스터부(4)로부터 순차적으로 $n/2$ 비트의 데이터를 인가받아 디코딩한 후 롬 코어(2)의 어드레스($2^{n/2}$)로 출력하는 어드레스 디코더(1)와, 상기 어드레스 디코더(1)에서 출력되는 어드레스($2^{n/2}$)에 응답하여 롬 코어(2)에 저장되어 있는 곱셈연산 결과값을 출력하는 롬 코어(2)와, 클럭에 응답하여 상기 롬 코어(2)로부터 순차적으로 출력되는 부분 곱셈연산 결과값을 가산하여 최종 곱셈연산 결과값으로 출력하는 가산기(8)를 구비한다. 여기서, 듀얼 포트 더블 에지 레지스터부(4)는 $n/2$ 비트 각각에 대한 $n/2$ 개의 단위 회로를 포함하여 이루어진다.

먼저, 듀얼 포트 더블 레지스터부(4)는 클럭의 상승 에지에서 하위 $n/2$ 비트의 변수 데이터를 입력받아 출력하고, 클럭의 하이(high) 레벨 구간 동안 어드레스 디코더(1) 및 롬 코어(2)를 통해 가산기(8)로 곱셈연산 결과값을 출력한다. 즉, 듀얼 포트 더블 레지스터부(4)를 통해 출력된 하위 $n/2$ 비트의 변수 데이터를 어드레스 디코더(1)를 통해 디코딩하고, 어드레스 디코더(1)를 통해 디코딩된 결과에 의해 인덱싱되는 롬 코어(2)에 저장된 곱셈연산 결과값을 가산기(8)로 출력한다. 이때, 가산기(8)는 다수의 플립플롭을 구비하고, 클럭의 상승 에지에 응답하여 롬 코어(2)로부터 출력되는 곱셈연산 결과값을 입력받아 상기 곱셈연산 결과값 및 무의미한 값과의 가산동작을 수행한다. 그러나, 이때 수행되는 가산동작은 원하는 곱셈연산 결과가 아니므로 무시할 수 있다.

다음으로, 클럭의 하강 에지에서 듀얼 포트 더블 레지스터부(4)는 상위 $n/2$ 비트의 변수 데이터를 출력한다. 그리고, 클럭의 로우(low) 레벨 구간 동안 어드레스 디코더(1) 및 롬 코어(2)를 통해 가산기(8)로 곱셈연산 결과값을 출력한다. 즉, 듀얼 포트 더블 레지스터부(4)를 통해 출력된 상위 $n/2$ 비트의 변수 데이터를 어드레스 디코더(1)를 통해 디코딩하고, 어드레스 디코더(1)를 통해 디코딩된 결과에 의해 인덱싱되는 롬 코어(2)에 저장된 곱셈연산 결과값을 가산기(8)로 출력한다. 가산기(8)는 클럭의 하강 에지에 응답하여 롬 코어(2)로부터 출력되는 곱셈연산 결과값을 입력받아 다수의 플립플롭에 저장된 이전의 곱셈연산 결과값을 가산하여 최종 출력한다. 이때의 가산 결과값이 실제 n 비트의 변수 데이터에 대한 곱셈연산 결과값이다.

제5도는 본 발명에 따른 듀얼 포트 더블 에지 레지스터부(4) 중 한 비트에 대한 단위 회로도도를 도시한 것으로, 클럭 신호(CLOCK)에 따라 구동하여 입력신호(IN-LOW)를 출력단(Q)으로 출력하는 플립플롭(FF1)과, 상기 플립플롭(FF1)의 출력신호(Q)와 클럭신호(CLOCK)를 낸드(NAND)조합하는 낸드 게이트(NAND1)와, 상기 클럭신호(CLOCK)를 반전시키는 인버터(INT1, INT2)와, 상기 인버터(INT2)의 출력에 따라 입력신호(IN-HIGH)를 출력단(Q)으로 출력하는 플립플롭(FF2)과, 상기 플립플롭(FF2)의 출력과 인버터(INT1)의 출력을 낸드(NAND)조합 하는 낸드 게이트(NAND2)와, 상기 낸드게이트(NAND1, NAND2)의 출력을 낸드(NAND)조합하는 낸드게이트(NAND3)를 구비하여, 클럭의 상승 에지에서는 입력신호(IN-LOW)를 플립플롭(FF1)에 래치하고, 클럭의 하강 에지에서 입력신호(IN-HIGH)를 플립플롭(FF2)에 래치한다. 만일, 변수 데이터가 8비트라면, $n/2$ 비트인 4비트 각각에 대하여 상기 듀얼 포트 더블 에지 레지스터부(4)를 구비해야한다. 그리고, 클럭의 상승 에지에서 하위 비트의 변수 데이터를 출력한 후 클럭의 하이 레벨 동안 항상 하위 비트의 변수 데이터가 듀얼 포트 더블 에지 레지스터(4)의 출력으로 유지되고, 클럭의 하강 에지에서 상위 비트의 변수 데이터가 출력된다.

제6도는 상기 제4도의 본 발명에 의한 더블 에지 클럭을 이용한 곱셈기를 시뮬레이션한 파형도로서, 변수 데이터가 8비트 10010인 경우를 일 실시예로하여 본 발명에 따른 더블 에지 클럭을 이용한 곱셈기를 시뮬레이션한 결과도이다. 시뮬레이션을 위해 더블 에지 클럭을 이용한 곱셈기의 듀얼 포트 더블 에지 레지스터부(4)는 제5도에 도시된 회로를 사용하고, 어드레스 디코더(1)는 일반적인 디코더 회로를, 가산기(8)는 다수의 플립플롭을 입력단에 구비하는 가산기 회로를 각각 사용한다. 이러한 어드레스 디코더 및 롬 코어 회로는 종래기술로서 널리 알려져 있기에 여기서는 상세한 설명을 생략한다.

또한, 여기서 IN_HIGH는 변수 데이터의 상위 4비트를, IN_LOW는 변수 데이터의 하위 4비트를, D_OUT은 듀얼 포트 더블 에지 레지스터부(4)를 통해 출력되는 신호를, mad는 어드레스 디코더(1)를 통해 출력되는 신호를, mout는 롬 코어(2)를 통해 출력되는 신호를, SUM은 가산기를 통해 출력되는 변수 데이터에 대한 곱셈 결과값을 나타낸다.

먼저, 클럭이 소정 주기를 가지며 클럭킹을 하고, 클럭의 상승 에지에서 듀얼 포트 더블 에지 레지스터부(4)를 통해 하위 4비트, 즉 2(즉 0010)를 출력하고(10), 클럭의 하이 레벨에서 어드레스 디코더(1)는 하위 4비트 값 2를 입력받아 디코딩한 후 디코딩 결과 4(즉 000000000000100)를 출력한다(12). 그리고, 부분 곱셈연산 결과값을 저장하고 있는 롬 코어(2)는 디코딩 결과 4에 의해 인덱싱되는 부분 곱셈연산 결과값 0B(즉, 1011)을 출력한다.(14) 가산기(8)는 상기 곱셈연산 결과값 0B 및 0(모든 회로는 동작 전에 초기화 동작을 수행하므로, 가산기의 또다른 입력은 0값이 된다.) 값의 가산동작을 수행한 후 출력한다.(16) 이때, 가산기(8)는 8개의 플립플롭을 포함하여 0B값을 저장하고 있다.

다음으로, 클럭이 하이 레벨에서 로우 레벨로 떨어지는 하강 에지에서 듀얼 포트 더블 에지 레지스터부(4)를 통해 상위 4비트, 즉1(즉 0001)을 출력하고(18), 클럭의 로우 레벨에서 어드레스 디코더(1)는 상위 4비트 값 1을 입력받아 디코딩한 후 디코딩 결과 2(즉 000000000000010)를 출력한다(20). 그리고, 부분 곱셈연산 결과값을 저장하고 있는 롬 코어(2)는 디코딩 결과 2에 의해 인덱싱되는 부분 곱셈 연산 결과값 5(즉, 101)를 출력한다. (22) 가산기(8)는 상기 곱셈연산 결과값 5 및 가산기(8)의 플립플롭에 각각 저장

된 하위 4비트에대한 곱셈연산 결과값 0B를 가산하여 8비트 변수 데이터 10010의 곱셈 출력값 10000을 출력한다.(24)

제7도는 제4도와 같은 더블 에지 클럭을 이용한 곱셈기를 사용하는 디지털 칼라 스페이스 변환기의 구성을 나타낸 것으로, Y, C_R , C_B 신호를 R, G, B값으로 변환하는 전체적인 구조를 나타낸 것이다.

R변환기는 상승 에지 및 하강 에지에서 상위 $n/2$ 비트 및 하위 $n/2$ 비트의 변수(C_r-128)를 각각 인가받아 롬 코어에 저장되어 있는 계수(1.370)와의 곱셈 연산값을 출력하는 곱셈기(6)와, 상기 곱셈기(6)의 출력과 Y값을 가산하여 R변환 출력값을 출력하는 자리올림 보존 가산기(5, carry save adder)를 포함한다.

그리고, G변환기는 상승 에지 및 하강 에지에서 상위 $n/2$ 비트 및 하위 $n/2$ 비트의 변수(C_r-128)를 각각 인가받아 롬 코어에 저장되어 있는 계수(0.698)와의 곱셈 연산값을 출력하는 곱셈기(7)와, 상승 에지 및 하강 에지에서 상위 $n/2$ 비트 및 하위 $n/2$ 비트의 변수(C_b-128)를 각각 인가받아 롬 코어에 저장되어 있는 계수(0.336)와의 곱셈 연산값을 출력하는 곱셈기(8)와, 상기 곱셈기(7,8)의 출력과 Y값을 가산하여 G변환 출력값을 출력하는 자리올림 보존 가산기(5)를 포함한다.

또한, B변환기는 상승 에지 및 하강 에지에서 상위 $n/2$ 비트 및 하위 $n/2$ 비트의 변수(C_b-128)를 각각 인가받아 롬 코어에 저장되어 있는 계수(0.730)와의 곱셈 연산값을 출력하는 곱셈기(9)와, 상기 곱셈기(9)의 출력과 Y값을 가산하여 G변환 출력값을 출력하는 자리올림 보존 가산기(5)를 포함한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

상기와 같이 본 발명은 더블 에지 클럭에 의해 동작되고, 곱셈연산을 미리 계산한 롬 테이블을 갖는 롬을 이용하여 디지털 칼라 스페이스 변환기(DCSC)를 구성함에 따라 면적이 작아 다른 기능을 수행하는 칩의 내부에 간단하게 내장시킬 수 있는 효과가 있다. 또한, 본 발명의 디지털 칼라 스페이스 변환기(DCSC)를 모든 이미지 처리 시스템, HDTV(High Definition TeleVision)나 멀티미디어 등에 사용되어 탁월한 성능향상의 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

클럭 신호에 응답하여 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제1 계수와 곱한 연산값과, 휘도값을 가산하여 R(Red) 변환 출력값을 출력하는 R변환 수단; 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제2계수와 곱한 연산값과, 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제3 계수와 곱한 연산값과, 상기 휘도값을 가산하여 G(Green) 변환 출력값을 출력하는 G변환 수단; 및 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 입력받아 제4 계수와 곱한 연산값과, 상기 휘도값을 가산하여 B(Blue) 변환 출력값을 출력하는 B변환 수단을 포함하는 더블 에지 클럭 구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 2

제1항에 있어서, 상기 R변환 수단은 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 각각 인가받아 상기 제1 계수와 곱한 연산값을 출력하는 연산 수단; 및 상기 연산 수단으로부터의 출력과 상기 휘도값을 가산하여 상기 R변환 출력값으로 출력하는 가산 수단을 포함하는 것을 특징으로 하는 더블 에지 클럭 구조를 이용한 디지털 칼라 페이스 변환 장치.

청구항 3

제1항에 있어서, 상기 G변환 수단은 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트를 각각 인가받아 상기 제2 계수와 곱한 연산값을 출력하는 제1 연산 수단; 상기 클럭 신호에 응답하여 상기 n 비트 변수 데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 인가받아 상기 제3 계수와 곱한 연산값을 출력하는 제2 연산 수단; 및 상기 제1 및 제2 연산 수단으로부터의 출력과 상기 휘도값을 가산하여 상기 G변환 출력값으로 출력하는 가산 수단을 포함하는 것을 특징으로 하는 더블 에지 클럭 구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 4

제1항에 있어서, 상기 B변환 수단은 상기 클럭 신호에 응답하여 상기 n 비트 변수데이터의 상위 $n/2$ 비트 및 하위 $n/2$ 비트를 각각 인가받아 상기 제4 계수와 곱한 연산값을 출력하는 연산 수단; 및 상기 연산 수단으로부터의 출력과 상기 휘도값을 가산하여 상기 B변환 출력값으로 출력하는 가산 수단을 포함하는 것을 특징으로 하는 더블 에지 클럭 구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 5

제2항 또는 제4항 중 어느 한 항에 있어서, 상기 연산 수단은 각각 상기 클럭 신호의 상승 에지 및 하강 에지에서 상기 변수 데이터의 하위 $n/2$ 비트 및 상위 $n/2$ 비트를 각각 래치하는 듀얼 포트 더블 에지 저장 수단; 상기 저장수단으로부터의 래치된 $n/2$ 비트의데이터를 입력받아 디코딩한 후 출력하는 디코딩 수단; 및 상기 디코딩 수단으로부터 출력되는 디코딩 결과 에 응답하여 저장된 곱셈연산 결과값을 출력하는 롬 코어를 포함하는 것을 특징으로 하는 더블 에지 클럭 구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 6

제5항에 있어서, 상기 듀얼 포트 더블 에지 저장수단은 상기 클럭 신호의 하강 에지 혹은 상승 에지 중 어느 한 에지에 응답하여 구동하고, 상기 변수 데이터의 하위 $n/2$ 비트를 출력단으로 출력하는 제1 플립플롭; 상기 클럭 신호의 하강 에지 혹은 상승 에지 중 다른 에지에 응답하여 구동하고, 상기 변수 데이터의 상위 $n/2$ 비트를 출력단으로 출력하는 제2 플립플롭; 및 상기 제1 및 제2 플립플롭으로부터 출력되는 상기 변수 데이터를 순차적으로 출력하는 출력 수단을 포함하는 것을 특징으로 하는 더블 에지 클럭구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 7

제2항 또는 제4항에 있어서, 상기 가산 수단은 각각, 자리올림 보존 가산기를 포함하는 것을 특징으로 하는 더블 에지 클럭구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 8

제3항에 있어서, 상기 제1 또는 제2 연산 수단은 각각, 상기 클럭 신호의 상승 에지 및 하강 에지에서 상기 변수 데이터의 하위 $n/2$ 비트 및 상위 $n/2$ 비트를 각각 래치하는 듀얼 포트 더블 에지 저장수단; 상기 저장수단으로부터의 래치된 $n/2$ 비트의 데이터를 입력받아 디코딩한 후 출력하는 디코딩 수단; 및 상기 디코딩 수단으로부터 출력되는 디코딩 결과에 응답하여 곱셈연산 결과값을 출력하는 롬 코어를 포함하는 것을 특징으로 하는 더블 에지 클럭구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 9

제8항에 있어서, 상기 듀얼 포트 더블 에지 저장수단은 상기 클럭 신호의 하강 에지 혹은 상승 에지 중 어느 한 에지에 응답하여 구동하고, 상기 변수 데이터의 하위 $n/2$ 비트를 출력단으로 출력하는 제1 플립플롭; 상기 클럭 신호의 하강 에지 혹은 상승 에지 중 다른 에지에 응답하여 구동하고, 상기 변수 데이터의 상위 $n/2$ 비트를 출력단으로 출력하는 제2 플립플롭; 및 상기 제1 및 제2 플립플롭으로부터 출력되는 상기 변수 데이터를 순차적으로 출력하는 출력 수단을 포함하는 것을 특징으로 하는 더블 에지 클럭구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 10

제3항에 있어서, 상기 가산 수단은 자리올림 보존 가산기를 포함하는 것을 특징으로 하는 더블 에지 클럭구조를 이용한 디지털 칼라 스페이스 변환 장치.

청구항 11

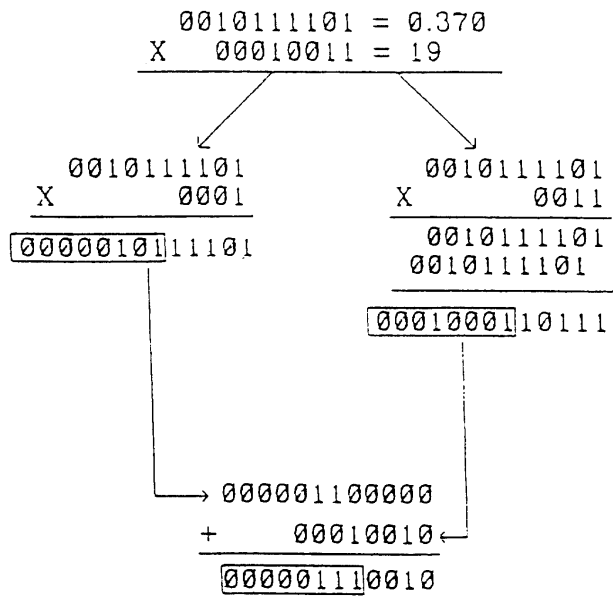
더블 클럭 구조를 가지는 곱셈기에 있어서, 클럭 신호의 상승 에지 및 하강 에지에서 변수 데이터의 하위 $n/2$ 비트 및 상위 $n/2$ 비트를 각각 래치하는 듀얼 포트 더블 에지 저장수단; 상기 저장수단으로부터의 래치된 $n/2$ 비트의 데이터를 입력받아 디코딩한 후 출력하는 디코딩 수단; 및 상기 디코딩 수단으로부터 출력되는 디코딩 결과에 응답하여 곱셈연산 결과값을 출력하는 롬 코어를 포함하여 이루어지는 더블 클럭 구조를 가지는 곱셈기.

청구항 12

제11항에 있어서, 상기 듀얼 포트 에지 저장수단은 상기 클럭 신호의 하강 에지 혹은 상승 에지 중 어느 한 에지에 응답하여 구동하고, 상기 변수 데이터의 하위 $n/2$ 비트를 출력단으로 출력하는 제1 플립플롭; 상기 클럭 신호의 하강 에지 혹은 상승 에지 중 다른 에지에 응답하여 구동하고, 상기 변수 데이터의 상위 $n/2$ 비트를 출력단으로 출력하는 제2 플립플롭; 및 상기 제1 및 제2 플립플롭으로부터 출력되는 상기 변수 데이터를 순차적으로 출력하는 출력수단을 포함하여 이루어지는 더블 클럭 구조를 가지는 곱셈기.

도면

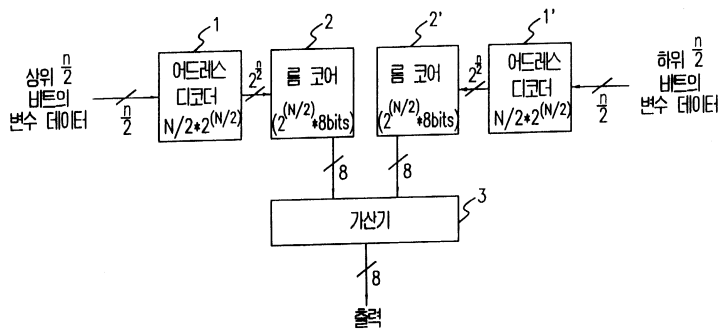
도면1



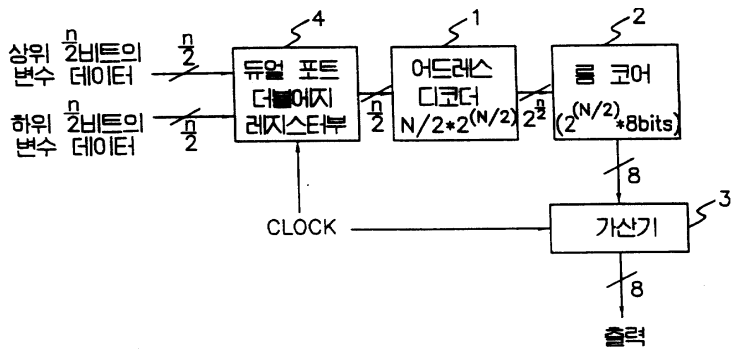
도면2

	$1.370 * (0 - 15)$	$0.698 * (0 - 15)$	$0.336 * (0 - 15)$	$1.730 * (0 - 15)$
0	0.0000000	00000000	00000000	0.0000000
1	1.0000010	00001011	00000101	1.0000101
2	1.0000101	00010110	00001010	1.0001011
3	1.0001000	00100001	00010000	1.0010001
4	1.0001011	00101100	00010101	1.0010111
5	1.0001110	00110111	00011010	1.0011101
6	1.001001	01000011	00100000	1.0100011
7	1.0010100	01001110	00100101	1.0101000
8	1.0010111	01011001	00101011	1.0101001
9	1.0011010	01100100	00110000	1.0110100
10	1.0011101	01101111	00110101	1.0111010
11	1.0100000	01111010	00111011	1.1000000
12	1.0100011	10000110	01000000	1.100110
13	1.0100110	10010001	01000101	1.1001011
14	1.0101001	10011100	01001011	1.10100011
15	1.0101100	10100111	01010000	1.10101111

도면3



도면4



도면5

