

(21)申請案號：111118463

(22)申請日：中華民國 111 (2022) 年 05 月 18 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L23/488 (2006.01)

(30)優先權：2021/05/25 日本

2021-087821

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：安川浩永 YASUKAWA, HIROHISA (JP)；五十嵐浩一 IGARASHI, KOICHI (JP)；重田博幸 SHIGETA, HIROYUKI (JP)；大平光 OHIRA, HIKARU (JP)；酒井清久 SAKAI, KIYOHISA (JP)；細川広陽 HOSOKAWA, KOHYOH (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：26 項 圖式數：56 共 104 頁

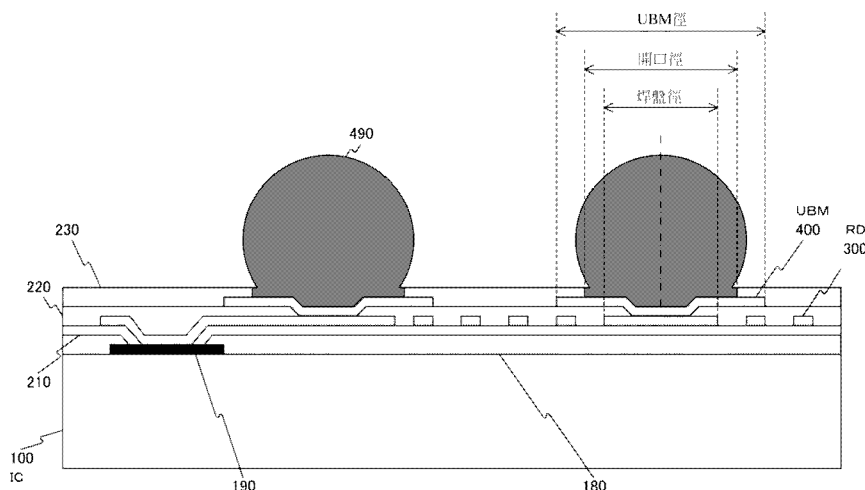
(54)名稱

半導體封裝及電子機器

(57)摘要

本發明之目的在於確保半導體封裝之落下試驗特性或耐衝擊性，使可靠性提高。半導體封裝具備複數層絕緣層、與凸塊下金屬層。凸塊下金屬層係與凸塊連接之金屬層。凸塊下金屬層於複數絕緣層中最表層之開口部露出一部分，且於該露出部分與凸塊連接。凸塊下金屬層之徑大於最表層之開口部之徑。藉此，凸塊下金屬層阻礙或減少力經由凸塊對焊盤或 RDL(Redistribution Layer：重分佈層)傳遞。

指定代表圖：



【圖1】

符號簡單說明：

100:IC

180:絕緣層

190:IC 墊

210:絕緣層

220:絕緣層

230:絕緣層

300:RDL

(Redistribution Layer：再配線層)

400:凸塊下金屬層

(UBM：Under Bump Metal)

490:凸塊

【發明摘要】

【中文發明名稱】

半導體封裝及電子機器

【中文】

本發明之目的在於確保半導體封裝之落下試驗特性或耐衝擊性，使可靠性提高。

半導體封裝具備複數層絕緣層、與凸塊下金屬層。凸塊下金屬層係與凸塊連接之金屬層。凸塊下金屬層於複數絕緣層中最表層之開口部露出一部分，且於該露出部分與凸塊連接。凸塊下金屬層之徑大於最表層之開口部之徑。藉此，凸塊下金屬層阻礙或減少力經由凸塊對焊盤或RDL(Redistribution Layer：重分佈層)傳遞。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100:IC

180:絕緣層

190:IC墊

210:絕緣層

220:絕緣層

230:絕緣層

300:RDL(Redistribution Layer：再配線層)

400:凸塊下金屬層(UBM：Under Bump Metal)

490:凸塊

【發明說明書】

【中文發明名稱】

半導體封裝及電子機器

【技術領域】

【0001】

本技術係關於一種半導體封裝。詳細而言，關於一種具備凸塊下金屬層之半導體封裝及包含該半導體封裝之電子機器。

【先前技術】

【0002】

先前，已知一種於將凸塊連接於半導體封裝時，經由凸塊下金屬層與配線層連接之構造。於此種凸塊下金屬層中，於落下試驗時，若對基板平面方向施加力，則有該力經由凸塊及凸塊下金屬層沿著凸塊下金屬層與絕緣層之間之界面傳遞，於配線層產生裂紋之虞。因此，提案一種於凸塊下金屬層之下部設置有凹部，使傳遞之力降低之構造(例如，參照專利文獻1)。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]美國專利申請公開第2018/076151號說明書

【發明內容】

[發明所欲解決之問題]

【0004】

於上述之先前技術中，謀求藉由使龜裂傳播路徑變長而降低傳播之

力。然而，於此種構造中，因力經由凸塊傳遞至凸塊下金屬層，故為了吸收該力，需加工為複雜之形狀，而有製造步驟變複雜之問題。

【0005】

本技術係鑑於此種狀況而創造者，其目的在於確保半導體封裝之落下試驗特性或耐衝擊性，並使可靠性提高。

[解決問題之技術手段]

【0006】

本技術係為了解決上述問題點而完成者，其第1態樣係一種半導體封裝及電子機器，具備：複數絕緣層；及凸塊下金屬層，其於上述複數絕緣層中最表層之開口部露出一部分，且與凸塊連接；且上述凸塊下金屬層之徑大於上述開口部之徑。藉此，凸塊下金屬層帶來抑制力經由凸塊傳遞至焊盤或再配線層等之作用。

【0007】

又，如該第1態樣，其中亦可進而具備與上述凸塊下金屬層連接之至少1層再配線層。於該情形時，期望上述凸塊下金屬層之徑大於上述凸塊下金屬層所連接之上述再配線層中之焊盤之徑。藉此，帶來使凸塊間之配線密度提高之作用。又，期望上述再配線層之一部分重疊配置於上述凸塊下金屬層之正下方。藉此，帶來配置更多條數之再配線之作用。

【0008】

又，如該第1態樣，其中上述凸塊下金屬層亦可於與上述凸塊之界面具備突起。藉此，帶來強化凸塊下金屬層與凸塊之間之連接之作用。於該情形時，上述突起亦可為具備特定之平面形狀者。又，上述突起亦可具備相對於上述凸塊呈倒錐之柱形狀。

【0009】

又，如該第1態樣，其中亦可進而具備：樹脂，其覆蓋以二維狀配置複數個之上述凸塊下金屬層與上述凸塊之連接部分中之至少一部分。藉此，帶來強化凸塊之連接，減少集中於封裝角隅之凸塊根部部分等之應變之作用。於該情形時，上述樹脂亦可形成於特定區域之四角，又，可形成於特定區域之外周部分。

【0010】

又，如該第1態樣，其中上述凸塊亦可於以二維狀配置複數個之上述凸塊下金屬層與上述凸塊之連接部分中之至少一部分具備橢圓型之平面形狀。藉此，帶來緩和晶片之應力之作用。於該情形時，具備上述橢圓型之平面形狀之凸塊亦可形成於特定區域之四角，又可形成於特定區域之外周部分。又，具備上述橢圓型之平面形狀之凸塊亦可於特定區域具備以放射狀擴展之傾斜，又可於與上述凸塊下金屬層之連接部分進而具備金屬柱凸塊。

【0011】

又，於該第1態樣，其中上述凸塊亦可為於特定區域之四角或外周部分，使高度高於其以外之凸塊者。藉此，帶來強化應力耐性且使作為封裝之安裝可靠性之耐性提高之作用。

【0012】

又，如該第1態樣，其中上述凸塊亦可為於特定之區域之四角或外周部分徑大於其以外之凸塊者。藉此，帶來強化應力耐性，使作為封裝之安裝可靠性之耐性提高之作用。

【0013】

又，如該第1態樣，其中上述凸塊下金屬層亦可於與上述複數金屬層中面向上述凸塊下金屬層之下部之絕緣層之界面具備突起。藉此，帶來使耐衝擊性提高之作用。

【0014】

又，如該第1態樣，其中上述凸塊下金屬層亦可於與上述複數絕緣層中上述最表層之界面具備突起。藉此，使凸塊下金屬層與最表層之絕緣層之間之密接性提高，藉此帶來使安裝可靠性提高之作用。

【0015】

又，如該第1態樣，其中亦可於上述凸塊與上述凸塊下金屬層之間進而具備具有突出形狀之緩衝墊。藉此，帶來將熱應力擴散至表層之絕緣層，使應力擴散之作用。於該情形時，上述緩衝墊亦可於表面具備凹凸部。藉此，具有更多突出形狀，藉此帶來使應力高效擴散之作用。

【0016】

又，如該第1態樣，其中上述凸塊下金屬層亦可具備具有第1曲率半徑之錐形狀。藉此，帶來於基板安裝狀態下抑制貫通孔角隅部之應力集中之作用。

【0017】

又，如該第1態樣，其中亦可進而具備：金屬柱，其連接上述凸塊下金屬層與上述再配線層之間，並具備具有第2曲率半徑之錐形狀。藉此，帶來配合應力集中點抑制該應力集中之作用。

【圖式簡單說明】

【0018】

圖1係顯示本技術之第1實施形態之半導體封裝之第1實施例之剖視

圖。

圖2係顯示本技術之第1實施形態之半導體封裝之第1實施例之俯視

圖。

圖3係顯示本技術之第1實施形態之半導體封裝之第2實施例之剖視

圖。

圖4係顯示本技術之第1實施形態之半導體封裝之第2實施例之製造步驟例之第1圖。

圖5係顯示本技術之第1實施形態之半導體封裝之第2實施例之製造步驟例之第2圖。

圖6係顯示本技術之第1實施形態之半導體封裝之第3實施例之剖視圖。

圖7係顯示本技術之第1實施形態之半導體封裝之第4實施例之剖視圖。

圖8係顯示本技術之第1實施形態之半導體封裝之第5實施例之剖視圖。

圖9係顯示本技術之第1實施形態之半導體封裝之第6實施例之剖視圖。

圖10係顯示本技術之第2實施形態之半導體封裝之構造例之剖視圖。

圖11係顯示本技術之第2實施形態之突起410之配置例之俯視圖。

圖12係顯示本技術之第2實施形態之突起410之形狀例之俯視圖。

圖13係顯示本技術之第2實施形態之突起410之製造步驟例之第1圖。

圖14係顯示本技術之第2實施形態之突起410之製造步驟例之第2圖。

圖15係顯示本技術之第2實施形態之突起形狀之變化例之剖視圖。

圖16係顯示本技術之第3實施形態之半導體封裝之構造例之剖視圖。

圖17係顯示本技術之第3實施形態之樹脂499之配置例之俯視圖。

圖18係顯示本技術之第3實施形態之樹脂499之形成步驟之第1例之第1圖。

圖19係顯示本技術之第3實施形態之樹脂499之形成步驟之第1例之第2圖。

圖20係顯示本技術之第3實施形態之樹脂499之形成步驟之第2例之第1圖。

圖21係顯示本技術之第3實施形態之樹脂499之形成步驟之第2例之第2圖。

圖22係顯示本技術之第4實施形態之半導體封裝之構造之第1實施例之剖視圖。

圖23係顯示本技術之第4實施形態之凸塊490之第1配置例之俯視圖。

圖24係顯示本技術之第4實施形態之凸塊490之第2配置例之俯視圖。

圖25係顯示本技術之第4實施形態之凸塊490之第3配置例之俯視圖。

圖26係顯示本技術之第4實施形態之凸塊490之第4配置例之俯視圖。

圖27係顯示本技術之第4實施形態之凸塊490之第5配置例之俯視圖。

圖28係顯示本技術之第4實施形態之凸塊490之第6配置例之俯視圖。

圖29係顯示本技術之第4實施形態之第1實施例之凸塊490之形成步驟例之第1圖。

圖30係顯示本技術之第4實施形態之第1實施例之凸塊490之形成步驟例之第2圖。

圖31係顯示本技術之第4實施形態之半導體封裝之構造之第2實施例

之剖視圖。

圖32係顯示本技術之第4實施形態之第2實施例之銅柱凸塊493之形成步驟例之第1圖。

圖33係顯示本技術之第4實施形態之第2實施例之銅柱凸塊493之形成步驟例之第2圖。

圖34係顯示本技術之第5實施形態之半導體封裝之構造之第1實施例之剖視圖。

圖35係顯示本技術之第5實施形態之半導體封裝之構造之第1實施例之俯視圖。

圖36係顯示本技術之第5實施形態之半導體封裝之構造之第1實施例之其他俯視圖。

圖37係顯示本技術之第5實施形態之第1實施例之凸塊形成步驟例之第1圖。

圖38係顯示本技術之第5實施形態之第1實施例之凸塊形成步驟例之第2圖。

圖39係顯示本技術之第5實施形態之半導體封裝之構造之第2實施例之剖視圖。

圖40係顯示本技術之第5實施形態之半導體封裝之構造之第2實施例之俯視圖。

圖41係顯示本技術之第5實施形態之半導體封裝之構造之第2實施例之其他俯視圖。

圖42係顯示本技術之第6實施形態之半導體封裝之構造之第1實施例之剖視圖。

圖43係顯示本技術之第6實施形態之半導體封裝之構造之第2實施例之剖視圖。

圖44係顯示本技術之第7實施形態之半導體封裝之第1構造例之剖視圖。

圖45係顯示本技術之第7實施形態之半導體封裝之第2構造例之剖視圖。

圖46係顯示本技術之第7實施形態之緩衝墊494之變化例之剖視圖。

圖47係顯示本技術之第8實施形態之半導體封裝之第1構造例之剖視圖。

圖48係顯示本技術之第8實施形態之半導體封裝之第2構造例之剖視圖。

圖49係顯示本技術之第8實施形態之半導體封裝之第3構造例之剖視圖。

圖50係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第1圖。

圖51係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第2圖。

圖52係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第3圖。

圖53係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第4圖。

圖54係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第5圖。

圖55係顯示本技術之實施形態中之具備半導體封裝之電子機器700之外觀構成例之立體圖。

圖56係顯示本技術之實施形態中之具備半導體封裝之電子機器700之功能構成例之方塊圖。

【實施方式】

【0019】

以下，對用以實施本技術之形態(以下，稱為實施形態)進行說明。說明根據以下順序進行。

- 1.第1實施形態(UBM(Under Bump Metal：凸塊下金屬層)徑與開口徑之關係)
- 2.第2實施形態(封裝根部之保護)
- 3.第3實施形態(自UBM向凸塊之突起)
- 4.第4實施形態(橢圓型凸塊)
- 5.第5實施形態(凸塊尺寸)
- 6.第6實施形態(自UBM向絕緣層之突起)
- 7.第7實施形態(緩衝墊)
- 8.第8實施形態(UBM為特定曲率半徑之錐形狀)
- 9.應用例

【0020】

<1.第1實施形態>

[第1實施形態]

圖1係顯示本技術之第1實施形態之半導體封裝之第1實施例之剖視圖。

【0021】

該半導體封裝之第1實施例設想WLCSP(Wafer level Chip Size Package：晶圓級晶片尺寸封裝)。WLCSP係於晶圓之狀態下封裝加工之半導體晶片封裝。又，於該第1實施例中，設想1層之再配線層(RDL：Redistribution Layer)。

【0022】

該半導體封裝具備IC(Integrated Circuit：積體電路)100與用以輸入輸出之IC墊190。IC100由絕緣層180覆蓋。絕緣層180例如由氮化矽膜(SiN)形成。

【0023】

該半導體封裝具備3層絕緣層210、220及230。配線層即RDL300形成於第1絕緣層210與第2絕緣層220之間。於該RDL300，如圖2所示包含與凸塊下金屬層400連接之焊盤310。圖2係顯示本技術之第1實施形態之半導體封裝之第1實施例之俯視圖。

【0024】

凸塊下金屬層(UBM：Under Bump Metal)400係與凸塊490連接之金屬層。凸塊下金屬層400形成於第2絕緣層220與第3絕緣層230之間。因該凸塊下金屬層400呈於中央部與凸塊490連接，且於外緣部配置於第2絕緣層220之構造，故結果其剖面呈弓型。

【0025】

凸塊490係該半導體封裝之輸入輸出用之突起電極。該凸塊490例如由焊料球(Solder Ball)形成。為了將該凸塊490與凸塊下金屬層400連接，而呈於最表層之第3絕緣層230設置開口，覆蓋該開口以外之表面之

SMD(Solder Mask Defined：焊接掩膜界定)構造。因此，第3絕緣層230亦稱為阻焊劑。

【0026】

此處，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，因凸塊下金屬層400阻礙或減少力經由凸塊490對焊盤310或RDL300之傳遞，故可使落下試驗特性及耐衝擊性提高。

【0027】

又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。藉此，可使凸塊490間之配線密度提高。即，於凸塊下金屬層400間之間距相等之情形時，若焊盤310之徑較小，則RDL300之一部分亦可於凸塊下金屬層400之正下方重疊，配線相應之多條數之RDL300。

【0028】

[第2實施例]

圖3係顯示本技術之第1實施形態之半導體封裝之第2實施例之剖視圖。

【0029】

該半導體封裝之第2實施例設想FOWLP(Fan Out Wafer Level Package：扇外型晶圓級封裝)。該FOWLP與上述WLCSP相比，具備將端子擴展至晶片外側之構造。

【0030】

該半導體封裝具備藉由密封樹脂170密封IC100之構造。且，除了凸塊490之位置配置於較IC100更外側之點外，呈與上述之第1實施例同樣之

構造。即，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，因凸塊下金屬層400阻礙或減少力經由凸塊490對焊盤310或RDL300之傳遞，故可使落下試驗特性及耐衝擊性提高。

【0031】

又，與上述之第1實施例同樣，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。藉此，可使凸塊490間之配線密度提高。

【0032】

圖4係顯示本技術之第1實施形態之半導體封裝之第2實施例之製造步驟例之第1圖。

【0033】

首先，將同圖中之a之IC100如同圖中之b所示，以面朝下狀態安裝於支撐材料610。

【0034】

且，如同圖中之c所示，藉由密封樹脂170進行樹脂密封。此處，作為密封樹脂170之材料，可考慮環氧樹脂或酚醛樹脂等。

【0035】

且，如同圖中之d所示，剝離支撐材料610。

【0036】

接著，如同圖中之e所示，藉由曝光顯影技術於面朝上狀態之表面形成第1絕緣層210。

【0037】

圖5係顯示本技術之第1實施形態之半導體封裝之第2實施例之製造步

驟例之第2圖。

【0038】

接著，如同圖中之f所示，藉由鍍敷步驟於第1絕緣層210之上形成RDL300。且，如同圖中之g所示，藉由曝光顯影技術形成第2絕緣層220。

【0039】

接著，如同圖中之h所示，形成凸塊下金屬層400。作為凸塊下金屬層400之材料，例如可考慮於TiW晶種層以Ni為障壁金屬之Cu之凸塊下金屬層。

【0040】

接著，如同圖中之i所示，形成第3絕緣層230，設為SMD構造。

【0041】

最後，如同圖中之j所示，安裝成為外部端子之凸塊490。

【0042】

[第3實施例]

圖6係顯示本技術之第1實施形態之半導體封裝之第3實施例之剖視圖。

【0043】

該半導體封裝之第3實施例為於FOWLP構造中，進而設置銅柱390之構造。其以外呈與上述之第2實施例同樣之構造。即，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，因凸塊下金屬層400阻礙或減少力經由凸塊490對焊盤310或RDL300之傳遞，故可使落下試驗特性及耐衝擊性提高。

【0044】

又，與上述之第2實施例同樣，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。藉此，可使凸塊490間之配線密度提高。

【0045】**[第4實施例]**

圖7係顯示本技術之第1實施形態之半導體封裝之第4實施例之剖視圖。

【0046】

該半導體封裝之第4實施例為於WLCSP構造中，設置2層RDL300之構造。其以外呈與上述之第1實施例同樣之構造。即，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，因凸塊下金屬層400阻礙或減少力經由凸塊490對焊盤310或RDL300之傳遞，故可使落下試驗特性及耐衝擊性提高。

【0047】

又，與上述之第1實施例同樣，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。藉此，可使凸塊490間之配線密度提高。

【0048】

另，於該第4實施例中，設想設置有2層RDL300之構造，亦可設置3層以上RDL300。

【0049】**[第5實施例]**

圖8係顯示本技術之第1實施形態之半導體封裝之第5實施例之剖視圖。

【0050】

該半導體封裝之第5實施例為於FOWLP構造中設置2層RDL300之構造。其以外呈與上述之第2實施例同樣之構造。即，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，因凸塊下金屬層400阻礙或減少力經由凸塊490對焊盤310或RDL300之傳遞，故可使落下試驗特性及耐衝擊性提高。

【0051】

又，與上述之第2實施例同樣，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。藉此，可使凸塊490間之配線密度提高。

【0052】

另，於該第5實施例中，設想設置有2層RDL300之構造，亦可設置3層以上RDL300。

【0053】

[第6實施例]

圖9係顯示本技術之第1實施形態之半導體封裝之第6實施例之剖視圖。

【0054】

該半導體封裝之第6實施例為於FOWLP構造中設置2層RDL300且進而設置銅柱390之構造。其以外呈與上述之第5實施例同樣之構造。即，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，因凸塊

下金屬層400阻礙或減少力經由凸塊490對焊盤310或RDL300之傳遞，故可使落下試驗特性及耐衝擊性提高。

【0055】

又，與上述之第5實施例同樣，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。藉此，可使凸塊490間之配線密度提高。

【0056】

另，於該第6實施例中，設想設置有2層RDL300之構造，亦可設置3層以上RDL300。

【0057】

如此，於本技術之第1實施形態中，將凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。藉此，可阻礙或減少力對焊盤310或RDL300之傳遞，使落下試驗特性及耐衝擊性提高。

【0058】

<2.第2實施形態>

圖10係顯示本技術之第2實施形態之半導體封裝之構造例之剖視圖。

【0059】

該第2實施形態之半導體封裝係凸塊下金屬層400於與凸塊490之界面具備突起410。藉此，可強化凸塊490之連接。該突起410藉由與RDL相同之金屬(例如，銅)鍍敷而形成，且根據需要，追加鍍鎳(Ni)或鍍鎳金(Ni/Au)。

【0060】

但，於該第2實施形態中，亦與上述之第1實施形態同樣，凸塊下金

屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。

【0061】

圖11係顯示本技術之第2實施形態之突起410之配置例之俯視圖。

【0062】

如同圖所示，對於配置於晶片之外周部分之角隅端子，期望配置具有凸部面積較大之十字型形狀或L字型形狀之平面形狀之突起410。藉此，可於晶片之外周部分更強化凸塊之連接。

【0063】

圖12係顯示本技術之第2實施形態之突起410之平面形狀例之俯視圖。

【0064】

同圖中之a係長圓形之突起410之形狀例。同圖中之b係L字型形狀之突起410之形狀例。同圖中之c係十字型形狀之突起410之形狀例。

【0065】

同圖中之d係將長圓形分割成複數個之突起410之形狀例。同圖中之e係將L字型形狀分割成複數個之突起410之形狀例。同圖中之f係將十字型形狀分割成複數個之突起410之形狀例。如此，藉由將突起設為複數個分割形狀，可進而增加凸部面積，強化凸塊之連接。

【0066】

圖13係顯示本技術之第2實施形態之突起410之製造步驟例之第1圖。

【0067】

如同圖中之a所示，於第2絕緣層220之上形成凸塊下金屬層400之後，如同圖中之b所示，塗佈用以形成突起410之阻劑620。且，如同圖中之c所示，藉由曝光及顯影，刪除無用之部分621。

【0068】

接著，如同圖中之d所示，藉由鍍銅形成突起410。又，根據需要，亦可進而追加鍍鎳(Ni)或鍍鎳金(Ni/Au)。

【0069】

圖14係顯示本技術之第2實施形態之突起410之製造步驟例之第2圖。

【0070】

如同圖中之e所示，去除用以形成突起410之阻劑620。且，如同圖中之f所示，塗佈用以形成第3絕緣層230之阻劑630。其後，如同圖中之g所示，藉由曝光及顯影，刪除無用之部分631。

【0071】

且，如同圖中之h所示，於搭載焊料球之後，藉由回焊形成凸塊490。

【0072】

如此，根據本技術之第2實施形態，藉由凸塊下金屬層400於與凸塊490之界面具備突起410，可強化凸塊下金屬層400與凸塊490之間之連接。

【0073】

[變化例]

圖15係顯示本技術之第2實施形態之突起形狀之變化例之剖視圖。

【0074】

該第2實施形態之突起形狀之變化例係於蘑菇狀凸塊411上形成逆錐之金屬柱412，且由焊料球覆蓋之，產生凸塊490之構造。如此，藉由於凸塊490中形成逆錐之金屬柱412，而有強化與凸塊490之間之連接之效果。

【0075】

<3.第3實施形態>

圖16係顯示本技術之第3實施形態之半導體封裝之構造例之剖視圖。

【0076】

該第3實施形態之半導體封裝具備藉由利用樹脂499覆蓋凸塊490之根部部分而補強之構造。於該圖中，顯示藉由面朝下對安裝基板500安裝晶片之狀態。藉由進行樹脂499之補強，可強化凸塊490之連接。

【0077】

但，於該第3實施形態中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。

【0078】

圖17係顯示本技術之第3實施形態之樹脂499之配置例之俯視圖。

【0079】

如同圖中之a所示，可考慮進行樹脂499之補強之區域設置於應變集中之半導體封裝之四角之角隅部。又，如同圖中之b所示，亦可設置於半導體封裝之外周部分。又，如同圖中之c所示，於需要時，亦可藉由樹脂499覆蓋半導體封裝之整體。但，因樹脂499覆蓋之區域越大，根據半導

體封裝之矽與樹脂499之間之膨脹係數之差，越容易產生封裝翹曲，故需要配合封裝尺寸適當選擇某種類型。

【0080】

圖18係顯示本技術之第3實施形態之樹脂499之形成步驟之第1例之第1圖。於該樹脂499之形成步驟之第1例中，藉由網版印刷進行樹脂密封。

【0081】

首先，如同圖中之a所示，準備搭載凸塊490後之晶圓。且，如同圖中之b所示，於搭載凸塊490之面側設置樹脂印刷網版660。該樹脂印刷網版660具備遮掩凸塊490之凸塊掩膜661、及遮掩切割區域之切割區域掩膜662。

【0082】

且，如同圖中之c所示，藉由刮刀663網版印刷液狀樹脂498。

【0083】

圖19係顯示本技術之第3實施形態之樹脂499之形成步驟之第1例之第2圖。

【0084】

其後，如同圖中之d所示，取下樹脂印刷網版660。於該狀態下，如同圖中之e所示，加熱固化液狀樹脂498。藉此，液狀樹脂498硬化收縮，低於凸塊490之高度。

【0085】

其後，如同圖中之f所示，於切割區域進行切割，切斷成單片。

【0086】

圖20係顯示本技術之第3實施形態之樹脂499之形成步驟之第2例之第

1圖。於該樹脂499之形成步驟之第2例中，藉由塑模模具進行樹脂密封。

【0087】

首先，如同圖中之a所示，準備搭載凸塊490後之晶圓101。且，如同圖中之b所示，將晶圓101設置於塑模模具671及672。於上側之塑模模具671貼附有具有彈性之脫模膜679。

【0088】

其後，如同圖中之c所示，對搭載晶圓101之凸塊490之面側供給液狀樹脂498或顆粒狀之樹脂。且，如同圖中之d所示，加壓及加熱固化。

【0089】

其後，如同圖中之e所示，剝離脫模膜679取下晶圓101。且，如同圖中之f所示，進行切割，切斷成單片。

【0090】

圖21係顯示本技術之第3實施形態之樹脂499之形成步驟之第2例之第2圖。

【0091】

於同圖中，顯示供給液狀樹脂498進行加壓及加熱固化之情況。藉由自上側經由脫模膜679加壓，使凸塊490露頭。藉此，於剝離脫模膜679後，凸塊490之一部分呈自樹脂499露出之狀態。

【0092】

如此，根據本技術之第3實施形態，藉由利用樹脂499覆蓋凸塊490之根部部分，可強化凸塊490之連接，減少集中於封裝角隅之凸塊根部部分之應變。又，因無需使用底層填料，故容易修復，可消除封裝周邊之零件安裝禁止區域。

【0093】

<4.第4實施形態>

[第1實施例]

圖22係顯示本技術之第4實施形態之半導體封裝之構造之第1實施例之剖視圖。

【0094】

於該第4實施形態之半導體封裝中，關於凸塊490之至少一部分，其平面形狀為橢圓型。藉此，可減少作用於凸塊490之應力。

【0095】

凸塊490係具備短軸 $d(x)$ 及長軸 $d(y)$ 之橢圓型形狀。第3絕緣層230之開口形狀與凸塊490之形狀為相同橢圓型。於該第4實施形態之第1實施例中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之任一者之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之任一者之方式形成。

【0096】

又，如下說明，凸塊490可調整為自各者之中心軸右旋轉特定角度(n°)之狀態。

【0097】

圖23係顯示本技術之第4實施形態之凸塊490之第1配置例之俯視圖。

【0098】

於該第1配置例中，凸塊490之各者全部為橢圓型形狀，全部呈自晶片或封裝之中心以放射狀擴展之佈局。

【0099】

圖24係顯示本技術之第4實施形態之凸塊490之第2配置例之俯視圖。

【0100】

於該第2配置例中，凸塊490之各者於晶片或封裝之對角線跨及之區域，呈自晶片或封裝之中心以放射狀擴展之佈局。其以外之區域之凸塊490亦可為如同圖中之a所示之於縱向或橫向旋轉之橢圓型形狀，亦可為如同圖中之b所示之圓形。

【0101】

例如，於FOWLP之情形時，於中央部之區域內存在IC晶片，藉由將該中央部區域之凸塊490設為以放射狀擴展之佈局，可減少作用於IC晶片之應力。

【0102】

圖25係顯示本技術之第4實施形態之凸塊490之第3配置例之俯視圖。

【0103】

於該第3配置例中，混雜橢圓型凸塊與圓形凸塊，最受應力影響之晶片或封裝之角隅區域之凸塊具有橢圓型形狀，呈自晶片或封裝中心以放射狀擴展之佈局。

【0104】

圖26係顯示本技術之第4實施形態之凸塊490之第4配置例之俯視圖。

【0105】

於該第4配置例中，如同圖中之a所示，僅晶片或封裝之外周部分、或如同圖中之b所示僅外周部分及中心部，配置凸塊490。凸塊490之各者全部為橢圓型形狀，全部呈自晶片或封裝之中心以放射狀擴展之佈局。

【0106】

圖27係顯示本技術之第4實施形態之凸塊490之第5配置例之俯視圖。

【0107】

於該第5配置例中，凸塊490呈於四角之角隅部，自晶片或封裝之中心以放射狀擴展之佈局。又，凸塊490皆未配置於外周部分以外。又，四角之角隅部以外之外周部分之凸塊490亦可為如同圖中之a所示於縱向或橫向旋轉之橢圓型形狀，亦可如同圖中之b所示為圓形。

【0108】

圖28係顯示本技術之第4實施形態之凸塊490之第6配置例之俯視圖。

【0109】

於該第6配置例中，僅四角之凸塊490呈自晶片或封裝之中心以放射狀擴展之橢圓型形狀。如同圖中之a所示亦可將圓形之凸塊配置於外周部，又，如同圖中之b所示亦可進而將圓形之凸塊配置於中心部。

【0110】

圖29係顯示本技術之第4實施形態之第1實施例之凸塊490之形成步驟例之第1圖。

【0111】

於形成凸塊490時，如同圖中之a所示，使用具有橢圓型之開口之金屬掩膜641，藉由刮刀642填埋膏狀之焊料495，進行焊料印刷。焊料印刷後去除金屬掩膜641。

【0112】

其後，如同圖中之b所示進行回焊，如同圖中之c所示形成凸塊490。

【0113】

圖30係顯示本技術之第4實施形態之第1實施例之凸塊490之形成步驟

例之第2圖。

【0114】

同圖中之a顯示使用具有橢圓型之開口之金屬掩膜641，藉由刮刀642 填埋膏狀之焊料495之情況。又，同圖中之b顯示回焊後，形成橢圓型之凸塊490之情況。

【0115】

[第2實施例]

圖31係顯示本技術之第4實施形態之半導體封裝之構造之第2實施例之剖視圖。

【0116】

於該第4實施形態之第2實施例中，於凸塊下金屬層400之上形成銅柱凸塊493，於其上介隔鍍492形成焊料491。與上述第1實施例同樣，銅柱凸塊493係具備短軸d(x)及長軸d(y)之橢圓型形狀。第3絕緣層230之開口形狀亦可為與銅柱凸塊493相同之橢圓型，又可為與銅柱凸塊493不同之圓形狀。

【0117】

於該第4實施形態之第2實施例中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。又，與上述第1實施例同樣，銅柱凸塊493可調整為自各者之中心軸右旋轉特定角度(n°)之狀態。

【0118】

圖32係顯示本技術之第4實施形態之第2實施例之銅柱凸塊493之形成

步驟例之第1圖。

【0119】

如同圖中之a所示，凸塊下金屬層400之形成後，形成第3絕緣層230。第3絕緣層230之開口形狀亦可為橢圓型亦可為圓形。於第3絕緣層230之開口形狀為橢圓型之情形時，其開口之朝向成為與以後形成之銅柱凸塊493相同之朝向。且，如同圖中之a所示，藉由PVD(Physical Vapor Deposition：物理氣相沉積)製程，形成障壁晶種金屬層643。

【0120】

接著，如同圖中之b所示，塗佈光阻層644。且，藉由光微影製程，於光阻層644形成圖案。光阻層644之開口形狀係具備短軸與長軸之橢圓型形狀。開口之朝向可任意調整。

【0121】

其後，如同圖中之c所示，藉由電解鍍敷法製程，鍍敷形成銅497。且，藉由無電解鍍敷製程，鍍敷形成鎳496及焊料495。

【0122】

圖33係顯示本技術之第4實施形態之第2實施例之銅柱凸塊493之形成步驟例之第2圖。

【0123】

且，如同圖中之d所示，於去除光阻層644之後，藉由蝕刻製程，去除障壁晶種金屬層643。其後，如同圖中之e所示，藉由進行回焊，形成橢圓型之銅柱凸塊493。

【0124】

如此，根據本技術之第4實施形態，藉由將凸塊形狀設為橢圓型，將

朝向以放射狀擴展，可緩和晶片之應力。又，藉由調整橢圓型凸塊之佈局，可防止熱收縮之晶片之翹曲。

【0125】

<5.第5實施形態>

[第1實施例]

圖34係顯示本技術之第5實施形態之半導體封裝之構造之第1實施例之剖視圖。圖35係顯示本技術之第5實施形態之半導體封裝之構造之第1實施例之俯視圖。

【0126】

於該第5實施形態之第1實施例中，具有使施加更大應力之四角之角隅部之凸塊490A之尺寸，提高其高度之構造。藉此，可吸收角隅部之應力，使應力耐性提高。但，為了配合每個最終形成之凸塊之高度，具有對增大尺寸之凸塊490A減少RDL300之層數之構造。

【0127】

即，角隅部之凸塊490A之凸塊下金屬層400形成於第2絕緣層220與第3絕緣層230之間，其以外之凸塊490之凸塊下金屬層400形成於第3絕緣層230與第4絕緣層240之間。

【0128】

於該第5實施形態之第1實施例中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤之徑之方式形成。

【0129】

另，增大凸塊尺寸之情況並未僅限定於角隅，亦可增大角隅附近之凸塊。

【0130】

圖36係顯示本技術之第5實施形態之半導體封裝之構造之第1實施例之其他俯視圖。

【0131】

於FOWLP中，於搭載於內置IC之區域外或晶片邊緣之凸塊，應力變大。因此，如同圖中之a或b所示，亦可增大搭載於IC100之區域外或晶片邊緣之外周之凸塊，強化應力耐性。

【0132】

圖37係顯示本技術之第5實施形態之第1實施例之凸塊形成步驟例之第1圖。

【0133】

直至中途為止，與上述第1實施形態之第5實施例之2層RDL之FOWLP之裝置步驟同樣，但如同圖中之a所示，於形成第2層RDL時，僅於與角隅部分之凸塊對應之位置形成凸塊下金屬層400。其後，如同圖中之b所示塗佈阻劑645，如同圖中之c所示進行曝光及顯影，將形成通常凸塊之凸塊下金屬層400之部分與形成角隅凸塊之凸塊下金屬層400之部分開口。

【0134】

接著，如同圖中之d所示形成掩膜646，將形成與角隅部分之凸塊對應之凸塊下金屬層400之部分遮掩，如同圖中之e所示，形成與通常之凸塊對應之凸塊下金屬層400。

【0135】

圖38係顯示本技術之第5實施形態之第1實施例之凸塊形成步驟例之第2圖。

【0136】

其後，根據一般之製程流程，如同圖中之f所示進行掩膜去除，且如同圖中之g所示塗佈阻劑647。且，如同圖中之h所示，將凸塊下金屬層400之部分開口。且，如同圖中之i所示，於搭載焊料球後，藉由回焊形成凸塊490及490A。此時，於搭載焊料球時，對於角隅部分之凸塊490A使用尺寸較大者。此時，以使回焊後之凸塊之高度一致之方式調整球之尺寸。

【0137】**[第2實施例]**

圖39係顯示本技術之第5實施形態之半導體封裝之構造之第2實施例之剖視圖。圖40係顯示本技術之第5實施形態之半導體封裝之構造之第2實施例之俯視圖。

【0138】

於該第5實施形態之第2實施例中，具有使有更大應力加諸其上之四角之角隅部之凸塊490B及凸塊下金屬層400B之徑增大之構造。藉此，可吸收角隅部之應力，使應力耐性提高。如此，於安裝可靠性上，藉由使有更大之應力加諸其上，最初有產生破斷之虞之角隅凸塊之凸塊下金屬層400B之徑增大，同時使凸塊490B之徑增大，可強化角隅凸塊之應力耐性。但，為了配合最終形成之各凸塊之高度，需要將凸塊下金屬層400B及凸塊490B之徑調整至適當之大小。

【0139】

於該第5實施形態之第2實施例中，亦與上述之第1實施形態同樣，凸塊下金屬層400及400B之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400及400B之徑以大於凸塊下金屬層400或400B所連接之RDL300中之焊盤之徑之方式形成。

【0140】

另，使凸塊下金屬層400B及凸塊490B之徑增大之情況，並未僅限定於角隅，亦可對角隅附近實施。

【0141】

圖41係顯示本技術之第5實施形態之半導體封裝之構造之第2實施例之其他俯視圖。

【0142】

於FOWLP中，於搭載於內置IC之區域外或晶片邊緣之凸塊，應力變大。因此，如同圖中之a或b所示，亦可增大搭載於IC100之區域外或晶片邊緣之外周之凸塊，強化應力耐性。

【0143】

如此，根據本技術之第5實施形態，藉由使應力更集中時，最初有產生破斷之虞之凸塊之高度或徑增大，可強化應力耐性，提高作為封裝之安裝可靠性之耐性。

【0144】

<6.第6實施形態>

[第1實施例]

圖42顯示本技術之第6實施形態之半導體封裝之構造之第1實施例之

剖視圖。

【0145】

於該第6實施形態之第1實施例中，凸塊下金屬層400於與複數絕緣層中面向凸塊下金屬層之下部之第2絕緣層200之界面具備突起420。藉此，於第2絕緣層220設置凹部，藉此可使耐衝擊性提高。

【0146】

於該第6實施形態之第1實施例中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。

【0147】

[第2實施例]

圖43係顯示本技術之第6實施形態之半導體封裝之構造之第2實施例之剖視圖。

【0148】

於該第6實施形態之第2實施例中，凸塊下金屬層400於與複數絕緣層中最表層之第3絕緣層230之界面具備突起430。藉此，使與第3絕緣層230之間之密接性提高，藉此可使安裝可靠性提高。

【0149】

於該第6實施形態之第2實施例中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。

【0150】

如此，根據本技術之第6實施形態，藉由於與面向凸塊下金屬層400之絕緣層之界面設置突起，可使耐衝擊性或安裝可靠性提高。

【0151】

<7.第7實施形態>

圖44係顯示本技術之第7實施形態之半導體封裝之第1構造例之剖視圖。

【0152】

於該第7實施形態中，於凸塊490與凸塊下金屬層400之間具備具有突出形狀之緩衝墊494。該緩衝墊494例如包含銅作為材料而形成。藉由該緩衝墊494，可將熱應力擴散至表層之第3絕緣層230，且擴散應力。

【0153】

圖45係顯示本技術之第7實施形態之半導體封裝之第2構造例之剖視圖。

【0154】

於該第2構造例中，於緩衝墊494之表面設置凸部突起或凹部。藉此，可使緩衝墊494與凸塊490之間之密接性提高，且使安裝可靠性提高。

【0155】

圖46係顯示本技術之第7實施形態之緩衝墊494之變化例之剖視圖。

【0156】

同圖中之a具有使緩衝墊494之蘑菇形狀之傘部分平坦之構造。於該情形時，亦因緩衝墊494本身具有突出形狀，故可擴散應力。

【0157】

同圖中之b於緩衝墊494之柄之部分具有鋸齒形狀之階差。於該情形時，因具有更多突出形狀，故可高效擴散應力。

【0158】

另，於該第7實施形態中，亦與上述之第1實施形態同樣，凸塊下金屬層400之徑以大於最表層之開口徑之方式形成。又，凸塊下金屬層400之徑以大於凸塊下金屬層400所連接之RDL300中之焊盤310之徑之方式形成。

【0159】

如此，根據本技術之第7實施形態，藉由於凸塊490與凸塊下金屬層400之間具備具有突出形狀之緩衝墊494，可將熱應力擴散至表面之第3絕緣層230，且擴散應力。

【0160】**<8.第8實施形態>**

圖47係顯示本技術之第8實施形態之半導體封裝之第1構造例之剖視圖。

【0161】

於該第8實施形態中，凸塊下金屬層由焊盤401及晶種層402形成。晶種層402係貫通孔嵌入鍍敷用之晶種層，即鈦銅合金(Ti/Cu)等之濺鍍膜積層。焊盤401於晶種層402之上例如具備嵌入銅之構造。晶種層402係錐形狀，剖面之側面408具有平滑之曲率半徑之傾斜。作為該側面408之曲率半徑，例如期望為10 μm以上。

【0162】

又，於該第8實施形態中，於RDL300與晶種層402之間具備金屬柱403。金屬柱403例如藉由鍍銅形成。該金屬403係錐形狀，剖面之側面409具有平滑之曲率半徑之傾斜。作為該側面409之曲率半徑例如期望為10 μm 以上。

【0163】

於該第1構造例中，晶種層402之側面之高度 x 與金屬柱403之側面之高度 y 相等。因此，所呈構造適於需使應力集中上下均等之情形。

【0164】

圖48係顯示本技術之第8實施形態之半導體封裝之第2構造例之剖視圖。

【0165】

於該第2構造例中，晶種層402之側面之高度 x 高於金屬柱403之側面之高度 y 。因此，所呈構造適於需使下部之應力小於上部之應力之情形。

【0166】

圖49係顯示本技術之第8實施形態之半導體封裝之第3構造例之剖視圖。

【0167】

於該第3構造例中，晶種層402之側面之高度 x 低於金屬柱403之側面之高度 y 。因此，所呈構造適於需使上部之應力小於下部之應力之情形。

【0168】

於該第8實施形態中，亦與上述之第1實施形態同樣，焊盤401及晶種層402之徑以大於最表層之開口徑之方式形成。又，焊盤401及晶種層402之徑以大於金屬柱403所連接之RDL300之焊盤310之徑之方式形成。

【0169】

圖50係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第1圖。

【0170】

首先，如同圖中之a所示，於第1絕緣層210上藉由鈦銅合金(Ti/Cu)等之濺鍍形成晶種層402。且，塗佈鍍敷阻劑651，曝光及顯影，進行圖案化。

【0171】

且，如同圖中之b所示，進行鍍銅。於鍍銅時，考慮晶種蝕刻時之減膜而相應較厚地形成。其後，如同圖中之c所示，剝離鍍敷阻劑651。此時，預先殘留晶種層402。

【0172】

接著，如同圖中之d所示，塗佈鍍敷阻劑652。

【0173】

圖51係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第2圖。

【0174】

且，如同圖中之e所示，曝光顯影鍍敷阻劑652。於曝光時，進行下曝光。藉此，將鍍敷阻劑652設為逆錐形狀。

【0175】

且，如同圖中之f所示，進行用以形成貫通孔下部之金屬柱403之鍍銅。此時，再利用殘留之晶種層402。且，如同圖中之g所示，剝離鍍敷阻劑652。

【0176】

且，如同圖中之h所示，進行銅晶種蝕刻。藉由於該銅晶種蝕刻時進行過度蝕刻，使梯形之角隅以平滑之曲率半徑形成。

【0177】

圖52係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第3圖。

【0178】

接著，如同圖中之i所示，塗佈絕緣層653之材料。作為絕緣層653之材料可使用聚醯亞胺 (PI(Polyimide))、或聚苯并噁唑 (PBO(Polybenzoxazole))。

【0179】

且，如同圖中之j所示，為了將絕緣層653開口，進行曝光及顯影且硬化固化。但，亦可進行過度顯影及低溫長時間固化。

【0180】

且，如同圖中之k所示，去除銅上之氧化膜。此時，藉由晶種濺鍍前預清洗(濺鍍蝕刻)使開口之角隅部倒角。具體而言，於並排設置於濺鍍裝置內之預清洗腔室(氫之逆濺鍍)，清洗自開口部露出，殘留氧化膜或絕緣層樹脂之殘渣之銅柱表面。且，與此同時，開口部角隅部之陡峭之角亦藉由該濺鍍蝕刻而蝕刻。

【0181】

圖53係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第4圖。

【0182】

接著，如同圖中之1所示，進行用以形成晶種層402之晶種濺鍍。藉此，例如，形成鈦銅合金(Ti/Cu)等之濺鍍膜積層。

【0183】

接著，如同圖中之m所示，形成鍍敷阻劑654之開口。即，塗佈鍍敷阻劑654，進行曝光及顯影。且，如同圖中之n所示，藉由進行鍍銅，於貫通孔上部形成焊盤401。其後，如同圖中之o所示，剝離鍍敷阻劑654。

【0184】

圖54係顯示本技術之第8實施形態之半導體封裝之製造步驟例之第5圖。

【0185】

接著，如同圖中之p所示，進行晶種蝕刻，去除晶種層402之無用部分。且，如同圖中之q所示，塗佈第3絕緣層230之阻焊劑，曝光及顯影，進行固化。

【0186】

其後，如同圖中之r所示，藉由回焊搭載凸塊490。此時，去除無用之氧化膜，塗佈助熔劑。

【0187】

如此，於本技術之第8實施形態中，於貫通孔下部形成剖面為平滑之曲率半徑之金屬柱403，於貫通孔上部將絕緣層開口部藉由晶種層形成製程等形成平滑之曲率半徑之晶種層402，藉由其後之銅嵌入鍍敷形成焊盤401。藉此，可抑制於基板安裝狀態下貫通孔角隅部之應力集中，防止RDL300之裂紋。

【0188】

<9.應用例>

圖55係顯示本技術之實施形態中之具備半導體封裝之電子機器700外觀構成例之立體圖。

【0189】

該電子機器700例如具有於形成為橫長之扁平形狀之外框701之內外配置各構成之外觀。電子機器700亦可為例如作為遊戲機器使用之機器。於外框701之前面，於長邊方向之中央部設置顯示面板702。

【0190】

又，於顯示面板702之左右設置分別於周向隔開配置之操作鍵703及操作鍵704。又，於外框701之前面之下端部設置操作鍵705。操作鍵703、704及705作為方向鍵或決定鍵等發揮功能，用於顯示面板702所顯示之菜單項目之選擇或遊戲之進行等。

【0191】

又，於外框701之上表面設置用以連接外部機器之連接端子706、電力供給用之供給端子707、及進行與外部機器之紅外線通信之受光窗708等。

【0192】

圖56係顯示本技術之實施形態中之具備半導體封裝之電子機器700功能構成例之方塊圖。

【0193】

電子機器700具備主CPU(Central Processing Unit：中央處理器)710、與系統控制器720。於主CPU710及系統控制部720例如自未圖示之電池等藉由不同之系統供給電力。主CPU710具備：菜單處理部711，

其產生用以使用戶進行各種資訊之設定或應用程式之選擇之菜單畫面；及應用程式處理部712，其執行應用程式。

【0194】

又，電子機器700具備保持由用戶設定之各種資訊之記憶體等之設定資訊保持部730。由用戶設定之資訊自主CPU710送出至設定資訊保持部730，設定資訊保持部730保持該送出之資訊。

【0195】

系統控制部720具備輸入操作輸入受理部721、通信處理部722及電力控制部723。操作輸入受理部721進行操作鍵703、704及705之狀態檢測。又，通信處理部722進行與外部機器之間之通信處理。電力控制部723進行供給至電子機器700之各部之電力之控制。

【0196】

另，本技術之實施形態之半導體封裝搭載於主CPU710、系統控制器720及設定資訊保持部730中之至少任一者。藉由使用本技術之實施形態之半導體封裝，電子機器700可提高落下試驗特性及耐衝擊性。

【0197】

另，上述實施形態係顯示用以將本技術具體化之一例者，實施形態之事項、與申請專利範圍之發明特定事項具有分別對應之關係。同樣，申請專利範圍之發明特定事項、與附有與其同一名稱之本技術之實施形態之事項具有分別對應之關係。但，本技術並非限定於實施形態者，在不脫離其主旨之範圍內可藉由對實施形態實施多種變化而具體化。

【0198】

另，本說明書所記載之效果僅為例示，並非受限定者，又可為其他

效果。

【0199】

另，本技術亦可採用如以下般之構成。

(1)一種半導體封裝，其具備：

複數絕緣層；及

凸塊下金屬層，其於上述複數絕緣層中最表層之開口部，露出一部分，且與凸塊連接；且

上述凸塊下金屬層之徑大於上述開口部之徑。

(2)如上述(1)之半導體封裝，其進而具備與上述凸塊下金屬層連接之至少1層之再配線層。

(3)如上述(2)半導體封裝，其中

上述凸塊下金屬層之徑大於上述凸塊下金屬層所連接之上述再配線層中之焊盤之徑。

(4)如上述(2)半導體封裝，其中

上述再配線層之一部分重疊配置於上述凸塊下金屬層之正下方。

(5)如上述(1)至(4)中任一者之半導體封裝，其中

上述凸塊下金屬層於與上述凸塊之界面具備突起。

(6)如上述(5)之半導體封裝，其中

上述突起具備特定之平面形狀。

(7)如上述(5)之半導體封裝，其中

上述突起具備相對於上述凸塊呈逆錐之柱形狀。

(8)如上述(1)至(7)中任一者之半導體封裝，其進而具備：樹脂，其覆蓋以二維狀配置複數個之上述凸塊下金屬層與上述凸塊之連接部分中之

至少一部分。

(9)如上述(8)之半導體封裝，其中

上述樹脂形成於特定區域之四角。

(10)如上述(8)之半導體封裝，其中

上述樹脂形成於特定區域之外周部分。

(11)如上述(1)至(10)中任一者之半導體封裝，其中

上述凸塊於以二維狀配置複數個之上述凸塊下金屬層與上述凸塊之連接部分中之至少一部分具備橢圓型之平面形狀。

(12)如上述(11)之半導體封裝，其中

具備上述橢圓型之平面形狀之凸塊形成於特定區域之四角。

(13)如上述(11)之半導體封裝，其中

具備上述橢圓型之平面形狀之凸塊形成於特定區域之外周部分。

(14)如上述(11)之半導體封裝，其中

具備上述橢圓型之平面形狀之凸塊於特定區域具備以放射狀擴展之傾斜。

(15)如上述(11)之半導體封裝，其中

上述凸塊於與上述凸塊下金屬層之連接部分進而具備金屬柱凸塊。

(16)如上述(1)至(15)中任一者之半導體封裝，其中

上述凸塊於特定區域之四角，高度高於其以外之凸塊。

(17)如上述(1)至(15)中任一者之半導體封裝，其中

上述凸塊於特定區域之外周部分，高度高於其以外之凸塊。

(18)如上述(1)至(15)中任一者之半導體封裝，其中

上述凸塊於特定區域之四角，徑大於其以外之凸塊。

(19)如上述(1)至(15)中任一者之半導體封裝，其中
上述凸塊於特定區域之外周部分，徑大於其以外之凸塊。

(20)如上述(1)至(19)中任一者之半導體封裝，其中
上述凸塊下金屬層於與上述複數絕緣層之中面向於上述凸塊下金屬層之下部之絕緣層之界面具備突起。

(21)如上述(1)至(20)中任一者之半導體封裝，其中
上述凸塊下金屬層於與上述複數層絕緣層中上述最表層之界面具備突起。

(22)如上述(1)至(21)中任一者之半導體封裝，其中於上述凸塊與上述凸塊下金屬層之間進而具備具有突出形狀之緩衝墊。

(23)如上述(22)之半導體封裝，其中
上述緩衝墊於表面具備凹凸部。

(24)如上述(1)至(23)中任一者之半導體封裝，其中
上述凸塊下金屬層具備具有第1曲率半徑之錐形狀。

(25)如上述(24)之半導體封裝，其進而具備：

金屬柱，其連接上述凸塊下金屬層與上述再配線層之間，並具備具有第2曲率半徑之錐形狀。

(26)一種電子機器，其具備半導體封裝，其具備：複數絕緣層；及凸塊下金屬層，其於上述複數絕緣層中最表層之開口部露出一部分，且與凸塊連接；且上述凸塊下金屬層之徑大於上述開口部之徑。

【符號說明】

【0200】

100:IC

- 101:晶圓
- 170:密封樹脂
- 180:SiN(絕緣層)
- 190:IC墊
- 210:絕緣層
- 220:絕緣層
- 230:絕緣層
- 240:絕緣層
- 300:RDL(Redistribution Layer：再配線層)
- 310:焊盤
- 390:銅柱
- 400:凸塊下金屬層(UBM：Under Bump Metal)
- 400B:凸塊下金屬層(UBM：Under Bump Metal)
- 401:焊盤
- 402:晶種層
- 403:金屬柱
- 408:側面
- 409:側面
- 410:突起
- 411:蘑菇狀凸塊
- 412:金屬柱
- 420:突起
- 430:突起

- 490:凸塊
- 490A:凸塊
- 490B:凸塊
- 491:焊料
- 492:鎳
- 493:銅柱凸塊
- 494:緩衝墊
- 495:焊料
- 496:鎳
- 497:銅
- 498:液狀樹脂
- 499:樹脂
- 500:安裝基板
- 610:支撐材料
- 620:阻劑
- 621:無需之部分
- 630:阻劑
- 631:無需之部分
- 641:金屬掩膜
- 642:刮刀
- 643:障壁晶種金屬層
- 644:光阻層
- 645:阻劑

- 646:掩膜
- 647:阻劑
- 651:鍍敷阻劑
- 652:鍍敷阻劑
- 653:絕緣層
- 654:鍍敷阻劑
- 660:樹脂印刷網版
- 661:凸塊罩
- 662:切割區域罩
- 663:刮刀
- 671:塑模模具
- 672:塑模模具
- 679:脫模膜
- 700:電子機器
- 701:外框
- 702:顯示面板
- 703:操作鍵
- 704:操作鍵
- 705:操作鍵
- 706:連接端子
- 707:供給端子
- 708:受光窗
- 710:主CPU

711:菜單處理部

712:應用程式處理部

720:系統控制器

721:輸入受理部

722:通信處理部

723:電力控制部

730:設定資訊保持部

x:高度

y:高度

【發明申請專利範圍】

【請求項1】

一種半導體封裝，其具備：

複數層絕緣層；及

凸塊下金屬層，其於上述複數絕緣層中最表層之開口部中露出一部分，且與凸塊連接；且

上述凸塊下金屬層之徑大於上述開口部之徑。

【請求項2】

如請求項1之半導體封裝，其進而具備與上述凸塊下金屬層連接之至少1層之再配線層。

【請求項3】

如請求項2之半導體封裝，其中

上述凸塊下金屬層之徑大於上述凸塊下金屬層所連接之上述再配線層中之焊盤之徑。

【請求項4】

如請求項2之半導體封裝，其中上述再配線層之一部分重疊配置於上述凸塊下金屬層之正下方。

【請求項5】

如請求項1之半導體封裝，其中

上述凸塊下金屬層於與上述凸塊之界面具備突起。

【請求項6】

如請求項5之半導體封裝，其中

上述突起具備特定之平面形狀。

【請求項7】

如請求項5之半導體封裝，其中

上述突起具備相對於上述凸塊呈逆錐之柱形狀。

【請求項8】

如請求項1之半導體封裝，其進而具備：樹脂，其覆蓋以二維狀配置複數個之上述凸塊下金屬層與上述凸塊之連接部分中之至少一部分。

【請求項9】

如請求項8之半導體封裝，其中

上述樹脂形成於特定區域之四角。

【請求項10】

如請求項8之半導體封裝，其中

上述樹脂形成於特定區域之外周部分。

【請求項11】

如請求項1之半導體封裝，其中

上述凸塊於以二維狀配置複數個之上述凸塊下金屬層與上述凸塊之連接部分中之至少一部分具備橢圓型之平面形狀。

【請求項12】

如請求項11之半導體封裝，其中

具備上述橢圓型之平面形狀之凸塊形成於特定區域之四角。

【請求項13】

如請求項11之半導體封裝，其中

具備上述橢圓型之平面形狀之凸塊形成於特定區域之外周部分。

【請求項14】

如請求項11之半導體封裝，其中
具備上述橢圓型之平面形狀之凸塊於特定區域具備以放射狀擴展之
傾斜。

【請求項15】

如請求項11之半導體封裝，其中
上述凸塊於與上述凸塊下金屬層之連接部分進而具備金屬柱凸塊。

【請求項16】

如請求項1之半導體封裝，其中
上述凸塊於特定區域之四角，高度高於其以外之凸塊。

【請求項17】

如請求項1之半導體封裝，其中
上述凸塊於特定區域之外周部分，高度高於其以外之凸塊。

【請求項18】

如請求項1之半導體封裝，其中
上述凸塊於特定區域之四角，徑大於其以外之凸塊。

【請求項19】

如請求項1之半導體封裝，其中
上述凸塊於特定區域之外周部分，徑大於其以外之凸塊。

【請求項20】

如請求項1之半導體封裝，其中
上述凸塊下金屬層於與上述複數層絕緣層中面向上述凸塊下金屬層
之下部之絕緣層之界面具備突起。

【請求項21】

如請求項1之半導體封裝，其中

上述凸塊下金屬層於與上述複數絕緣層中上述最表層之界面具備突起。

【請求項22】

如請求項1之半導體封裝，其中於上述凸塊與上述凸塊下金屬層之間進而具備具有突出形狀之緩衝墊。

【請求項23】

如請求項22之半導體封裝，其中

上述緩衝墊於表面具備凹凸部。

【請求項24】

如請求項1之半導體封裝，其中

上述凸塊下金屬層具備具有第1曲率半徑之錐形狀。

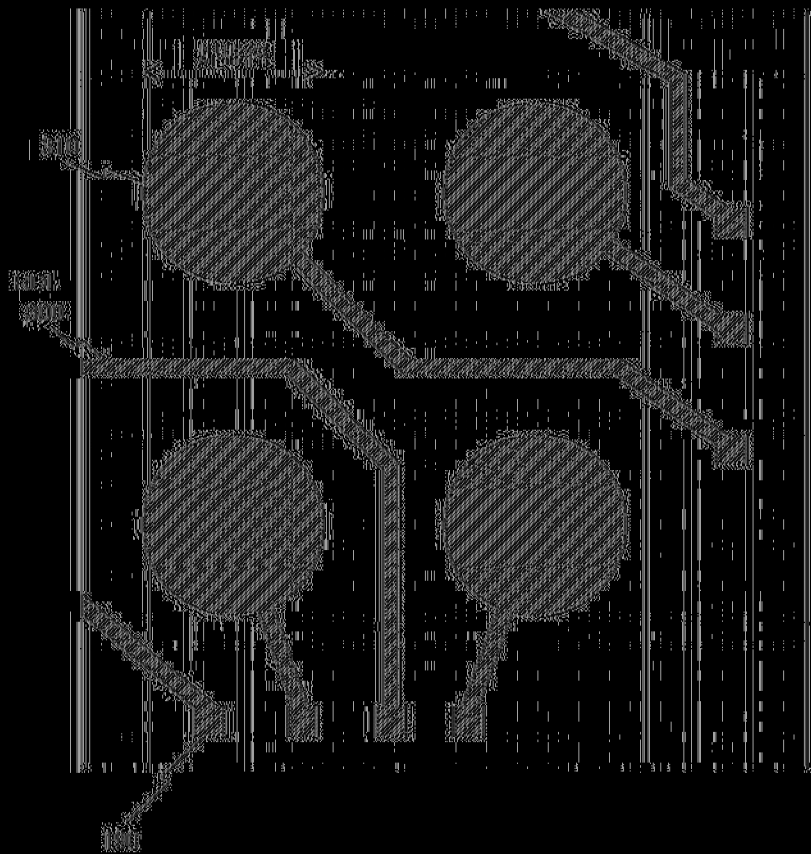
【請求項25】

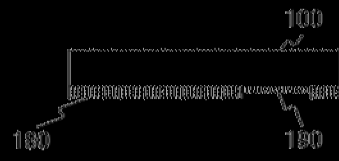
如請求項24之半導體封裝，其進而具備：

金屬柱，其連接上述凸塊下金屬層與上述再配線層之間，並具備具有第2曲率半徑之錐形狀。

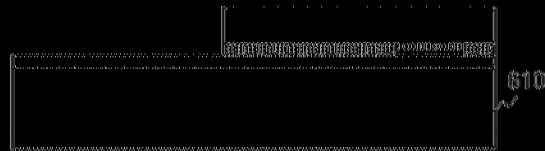
【請求項26】

一種電子機器，其具備：半導體封裝，其具備：複數絕緣層；及凸塊下金屬層，其於上述複數絕緣層中最表層之開口部露出一部分，且與凸塊連接；且上述凸塊下金屬層之徑大於上述開口部之徑。

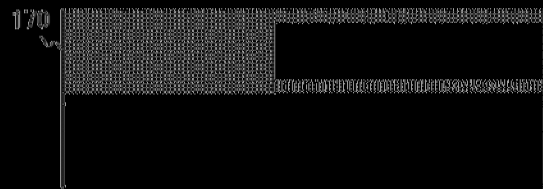




1a



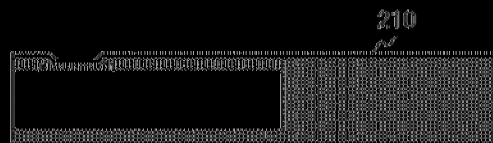
1b



1c

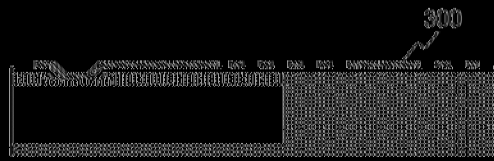


1d

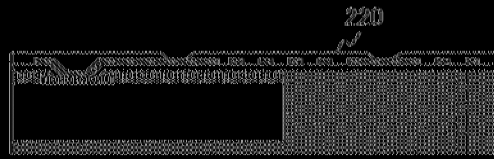


1e

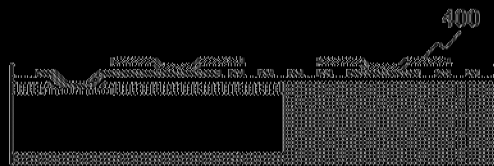




f



g



h

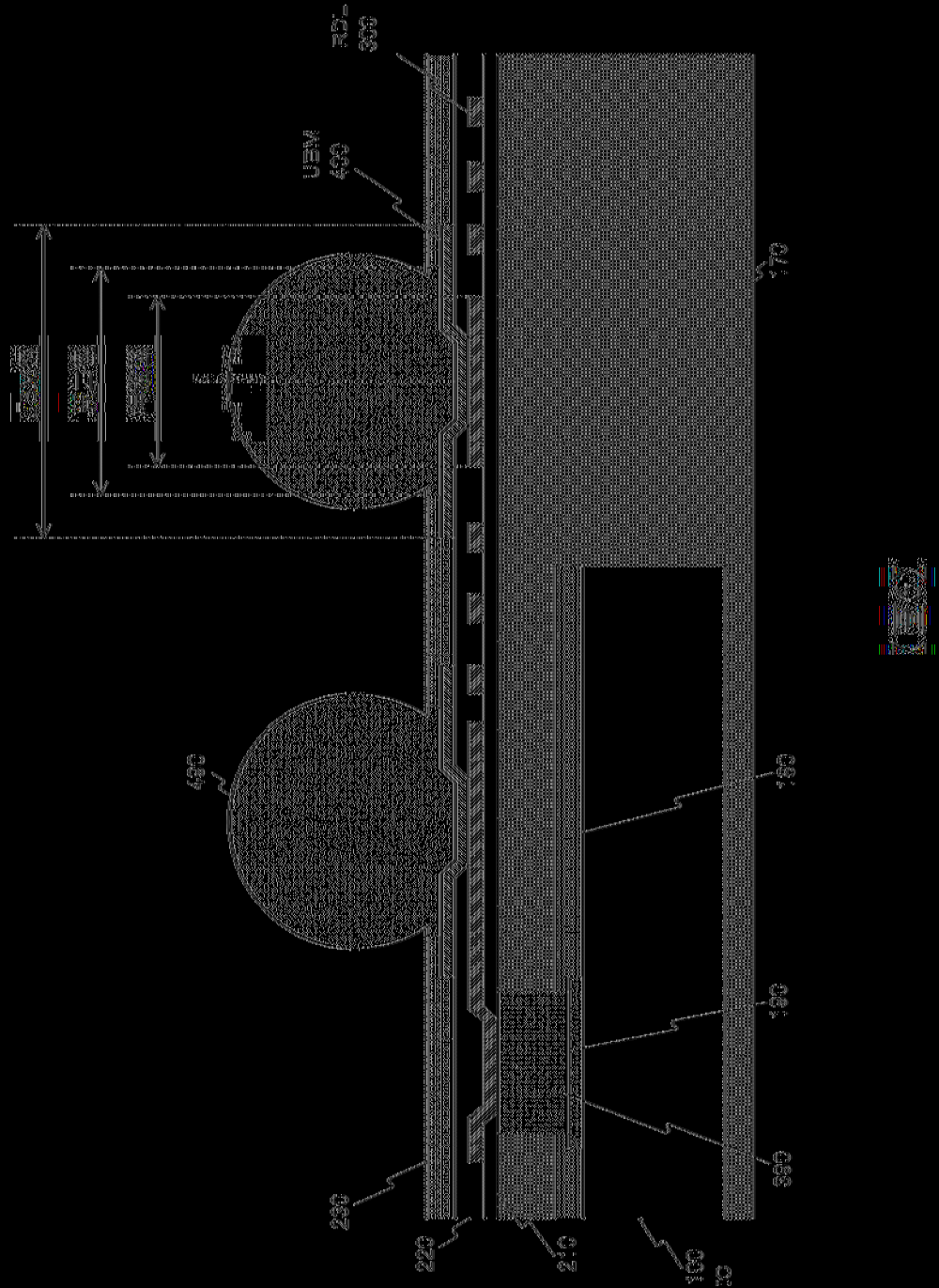


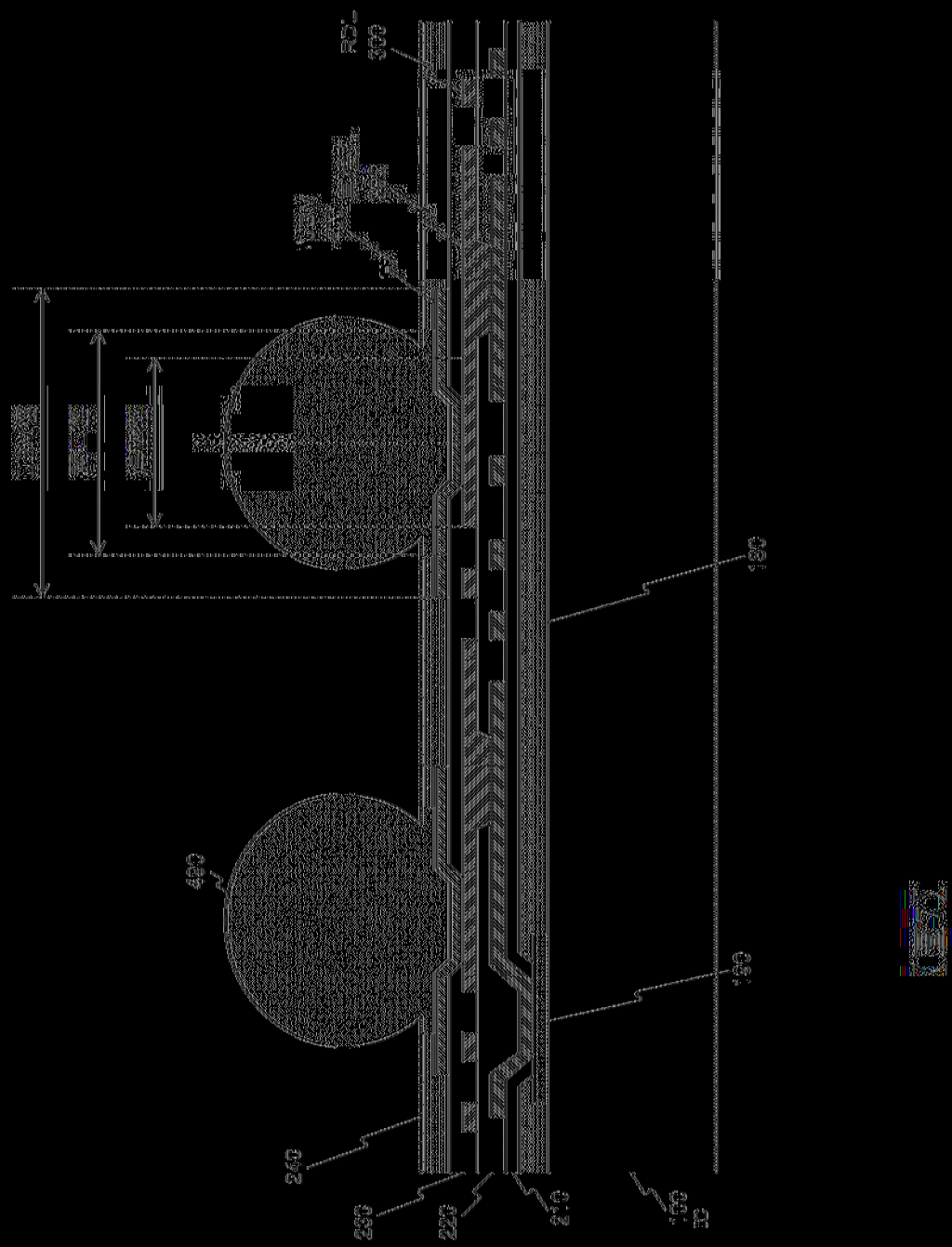
i

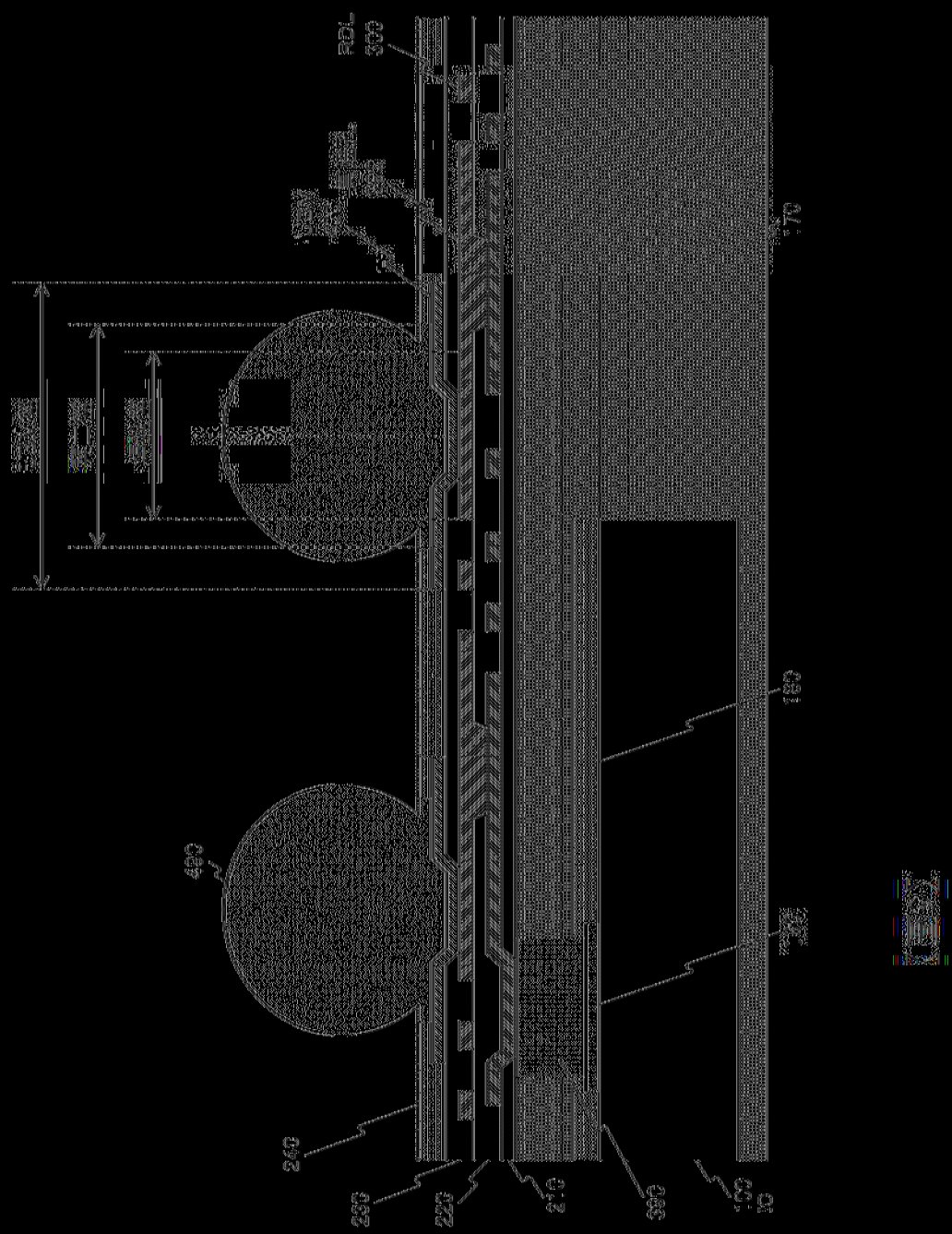


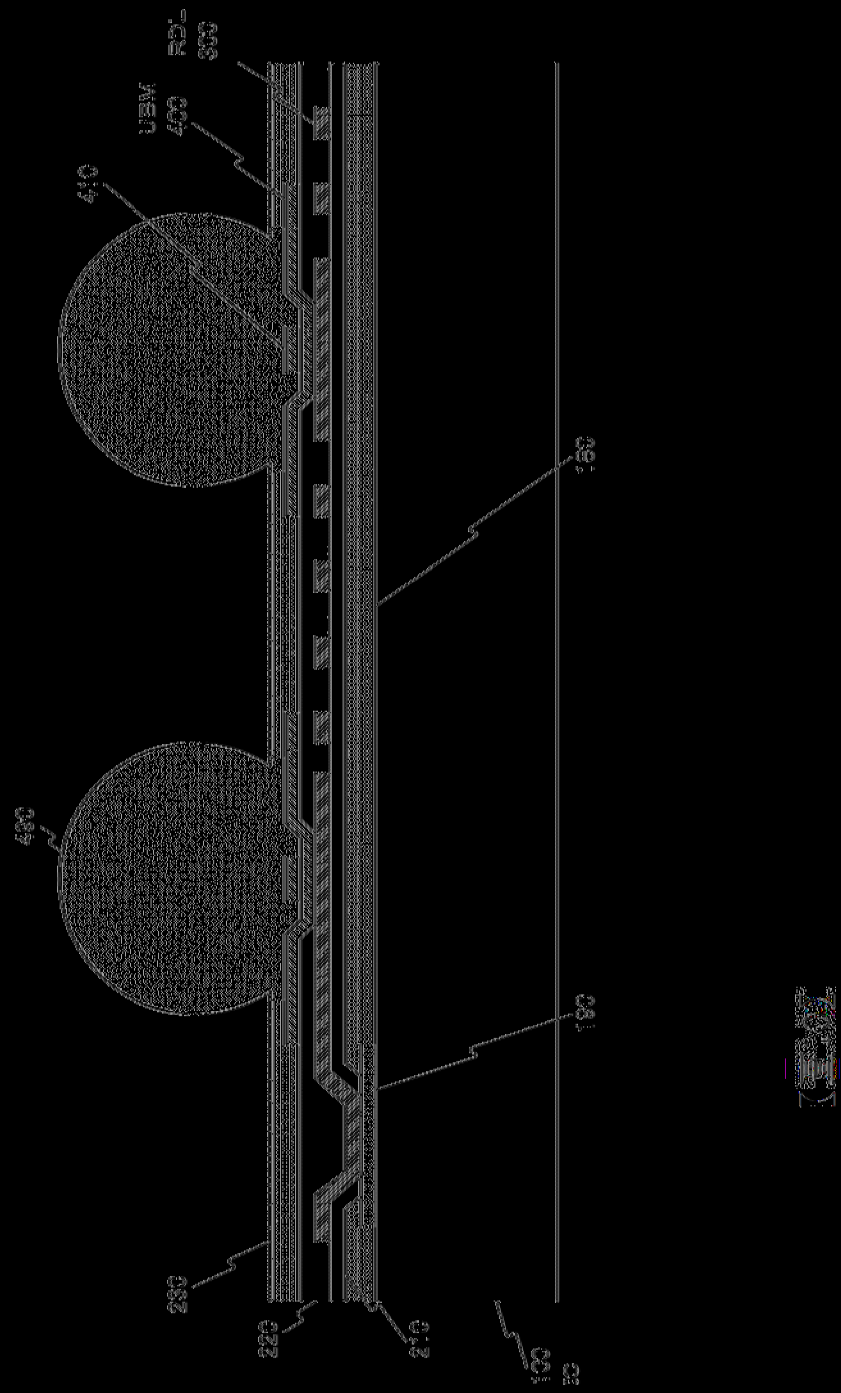
j

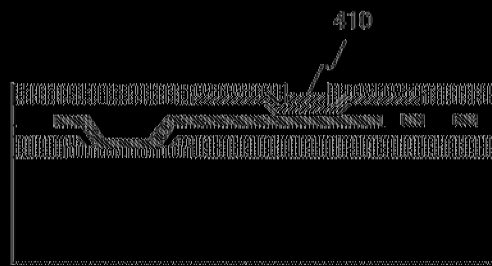
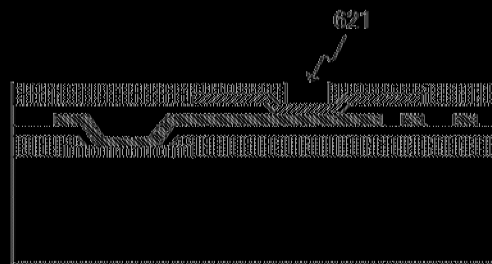
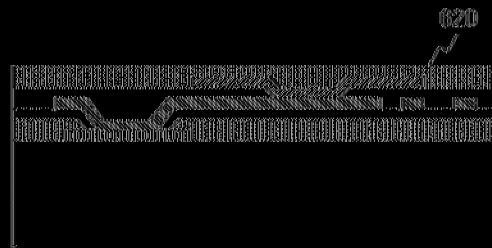
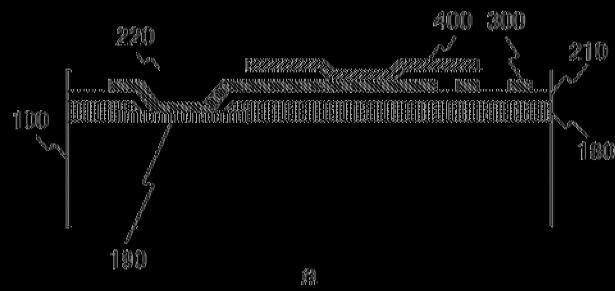






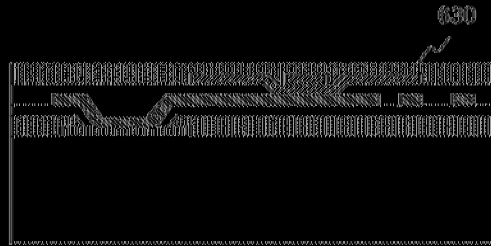




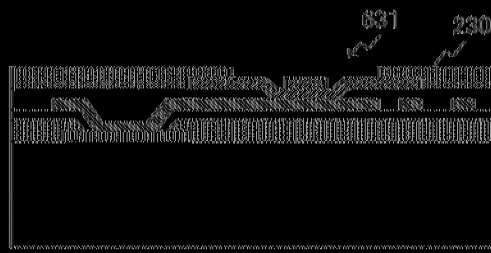




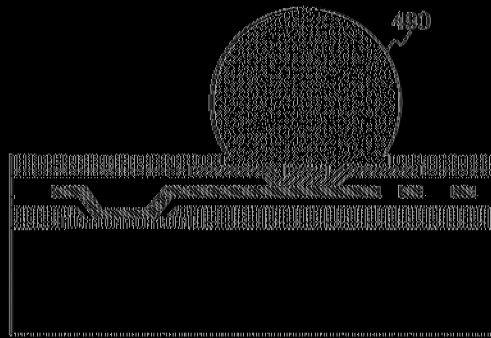
g



f

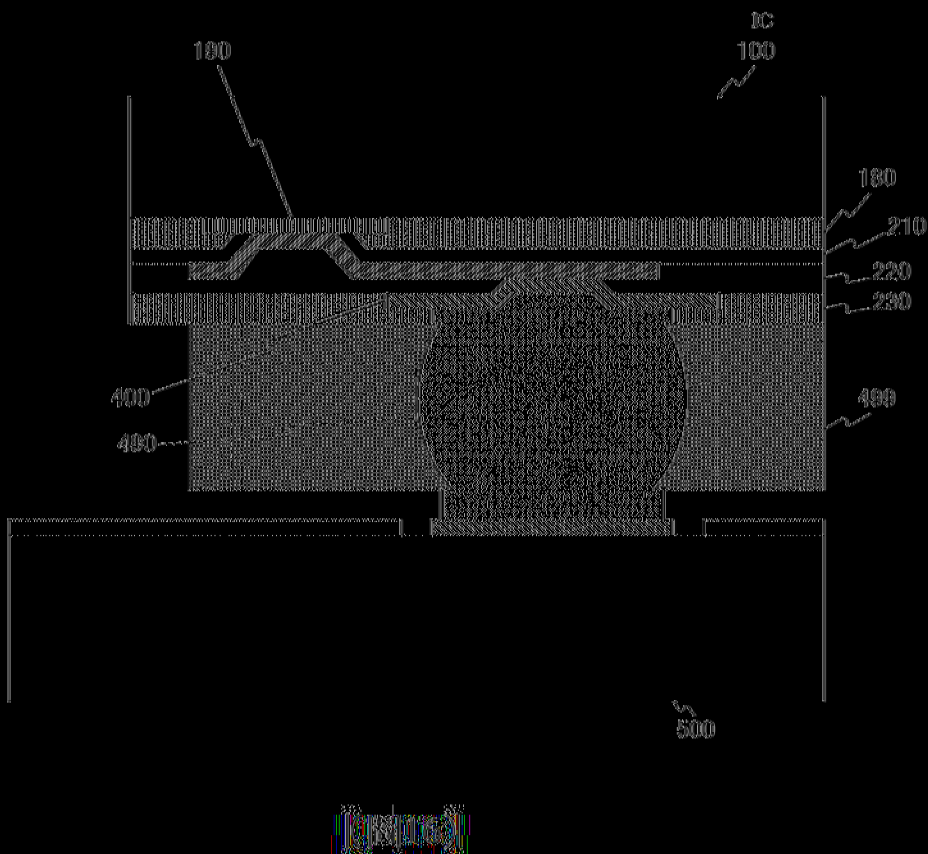
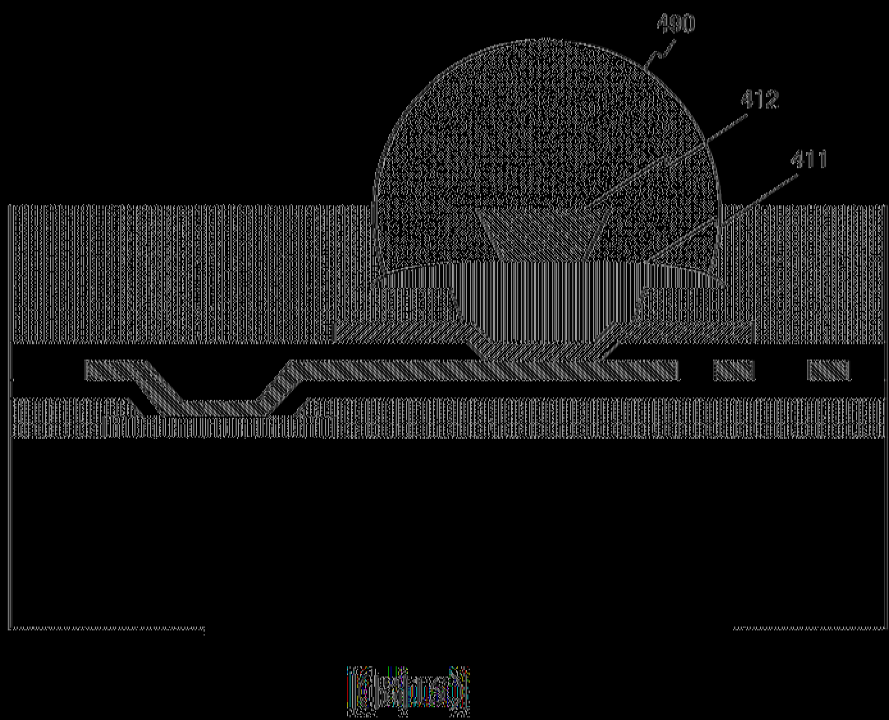


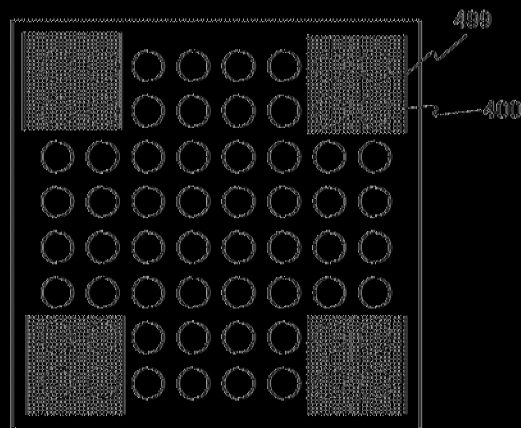
e



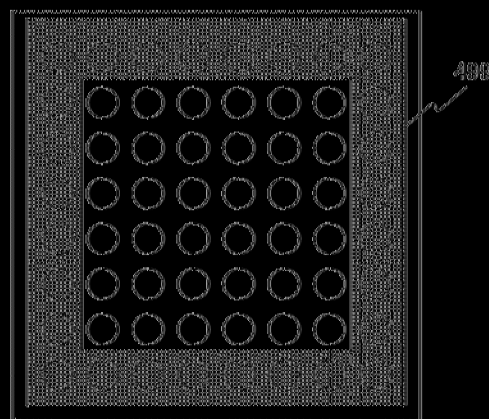
d



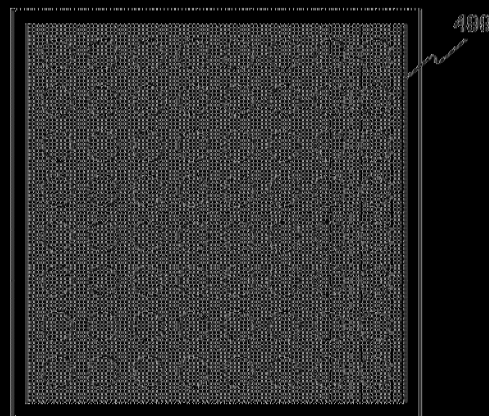




a

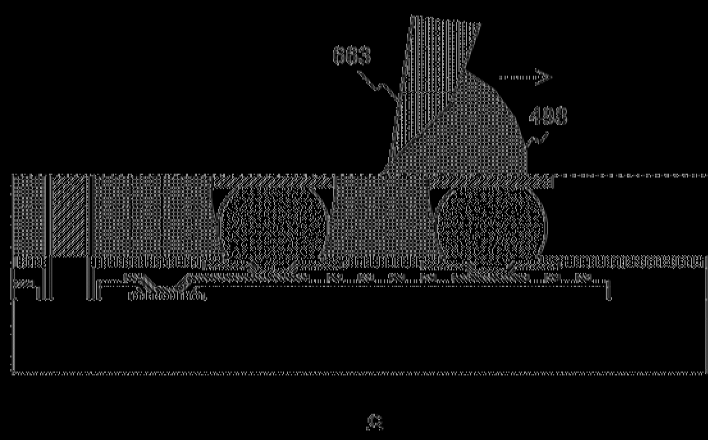
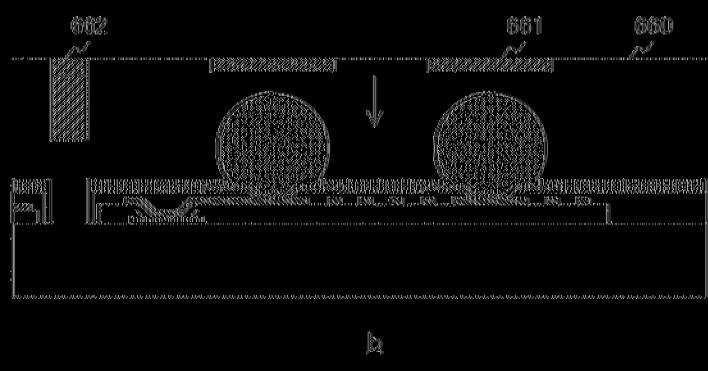
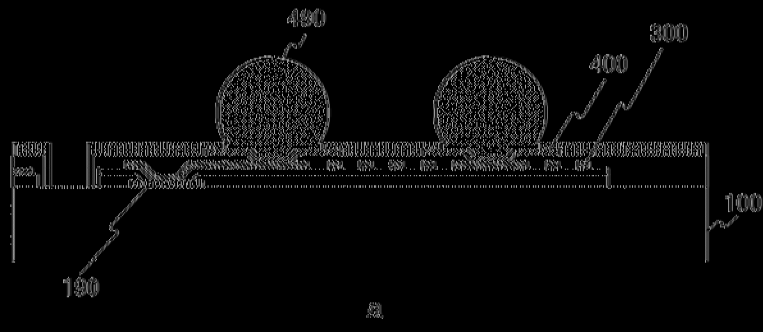


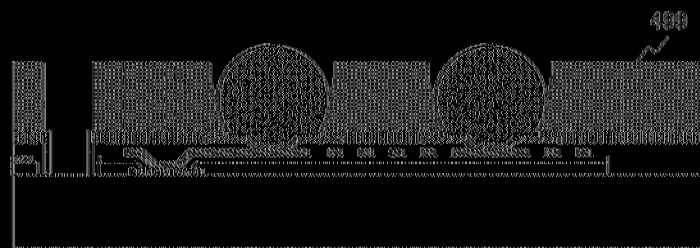
b



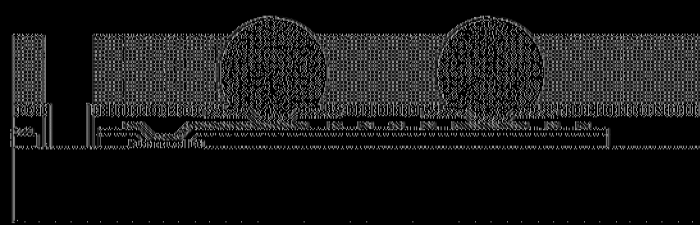
c



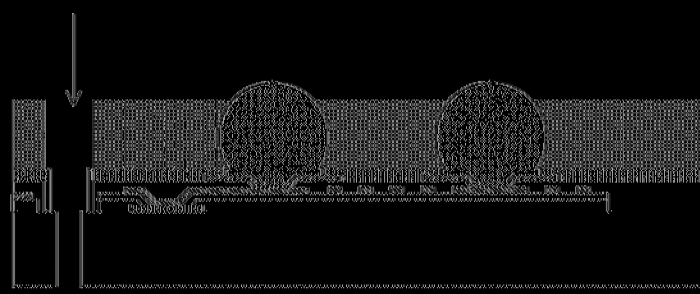




d



e



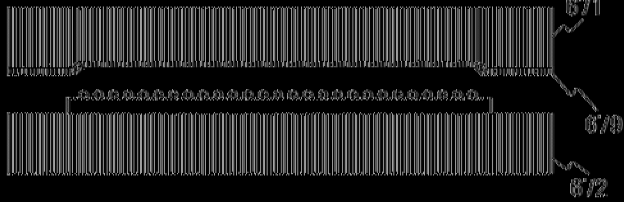
f



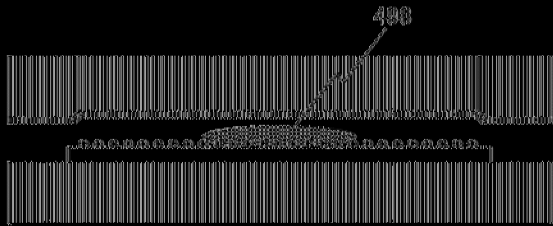


101

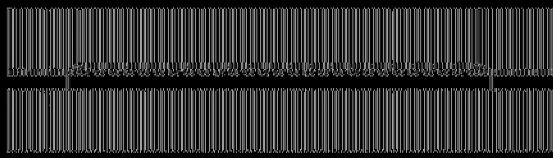
6a



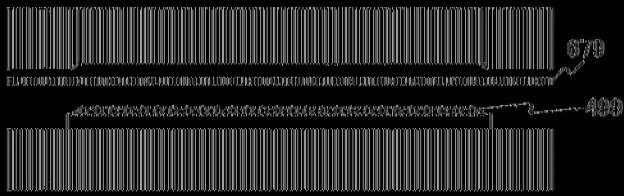
6b



6c



6d

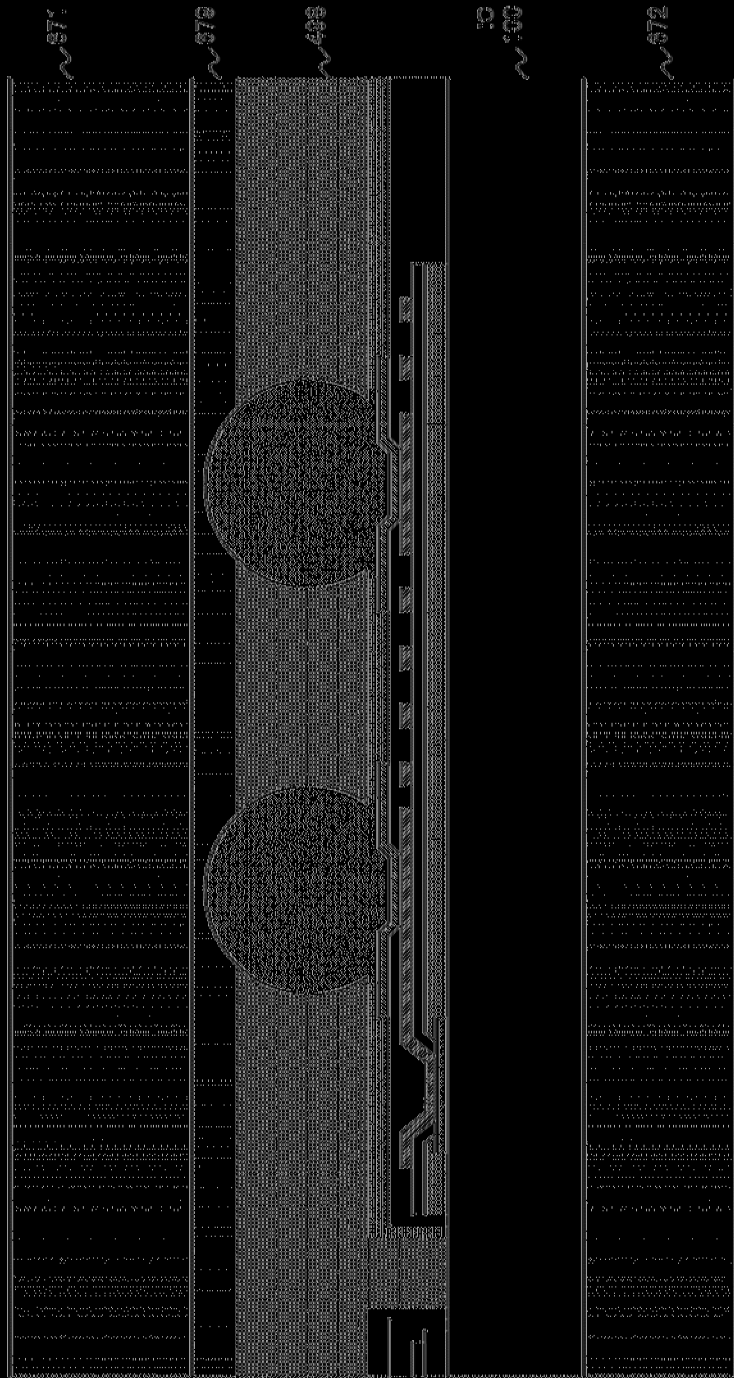


6e



6f





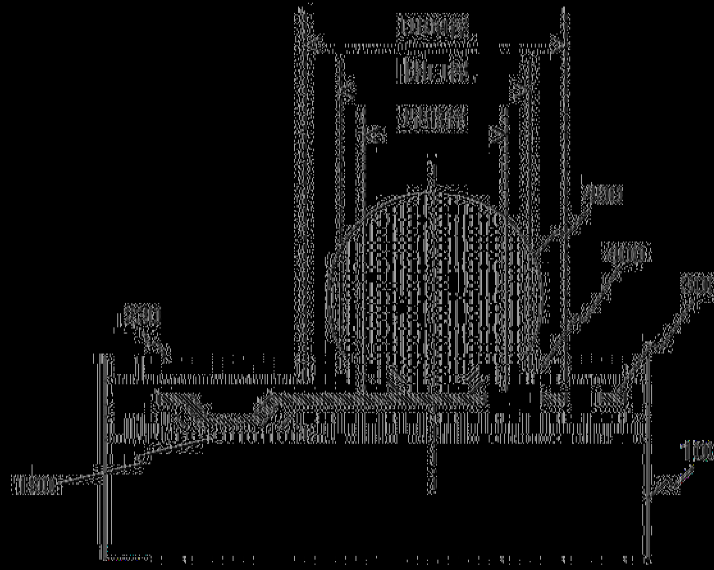


圖 1

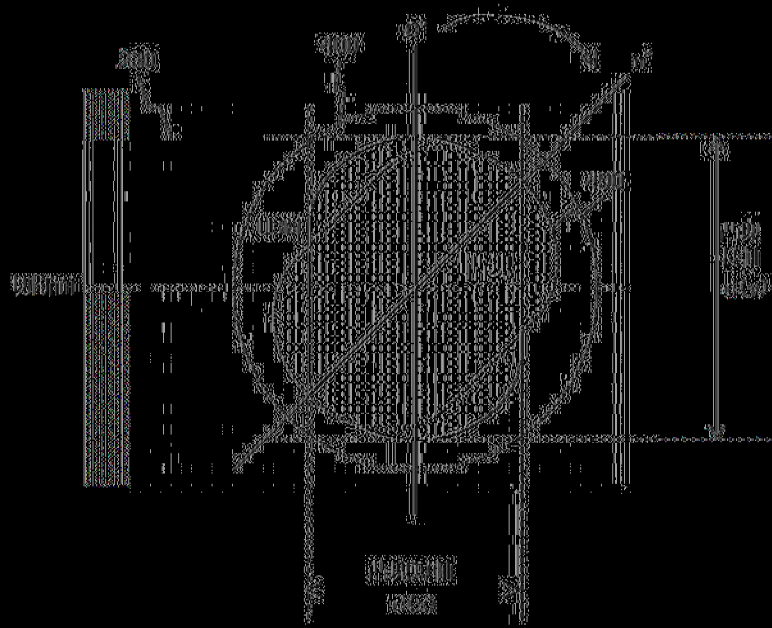
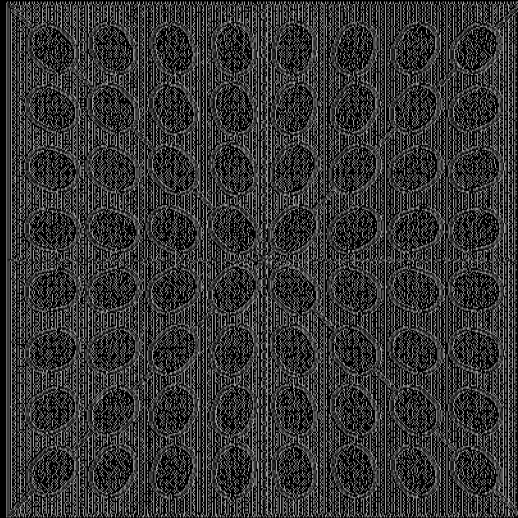


圖 2





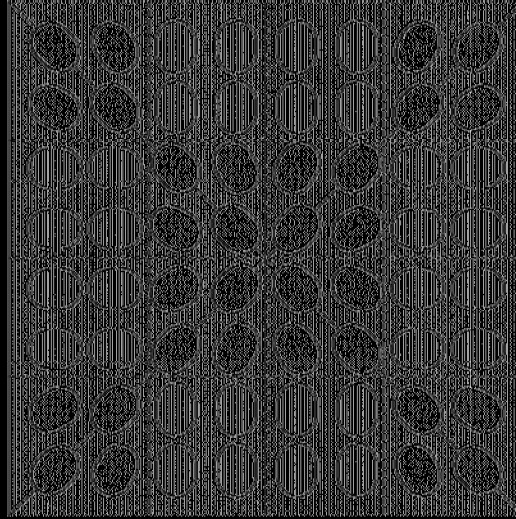


圖 1

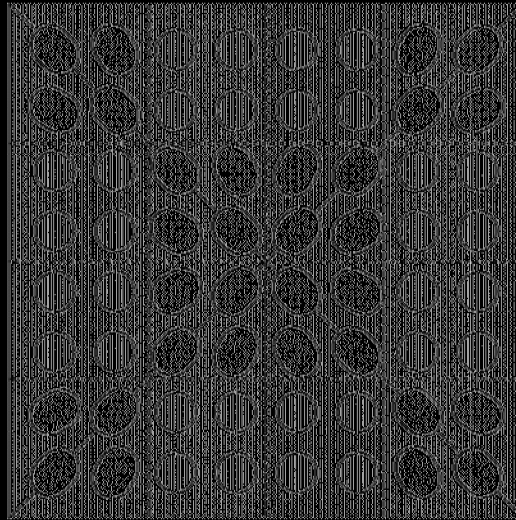
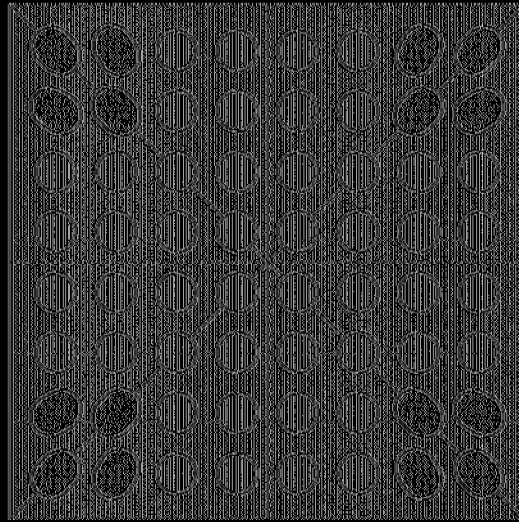
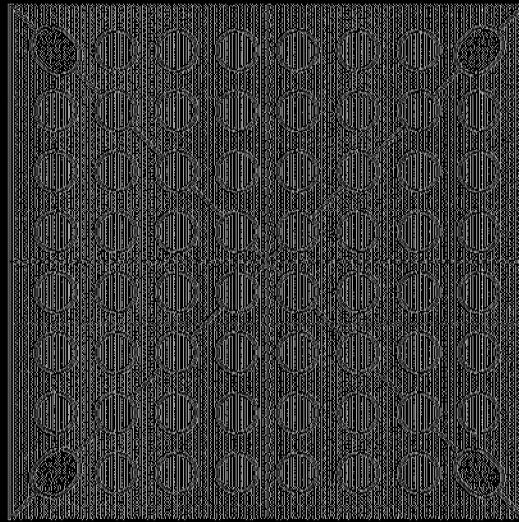


圖 2



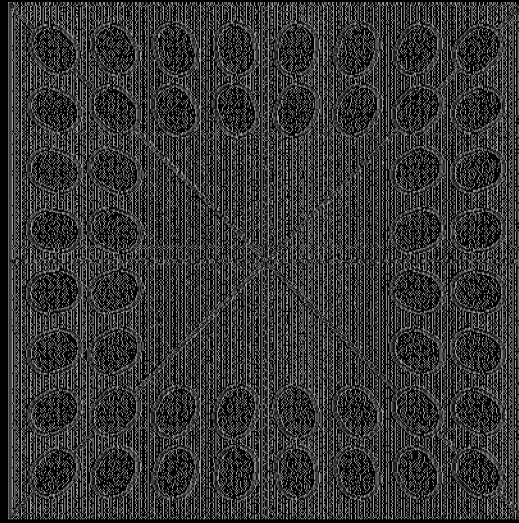


a

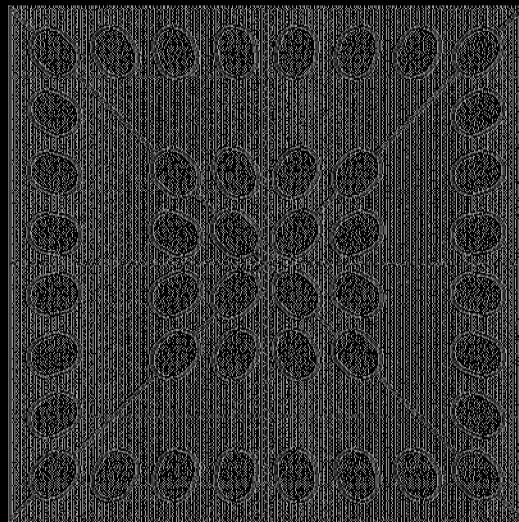


b





圖



圖



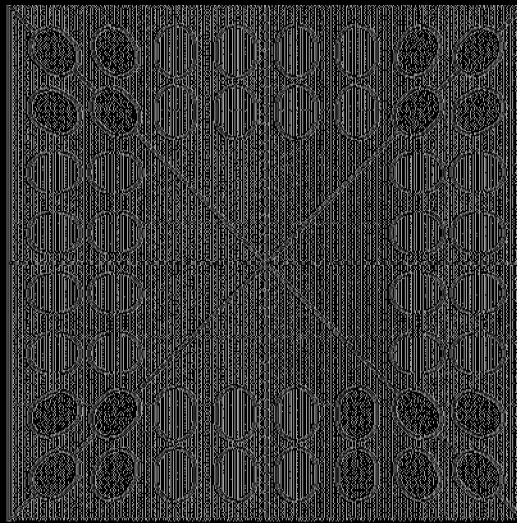


圖 1

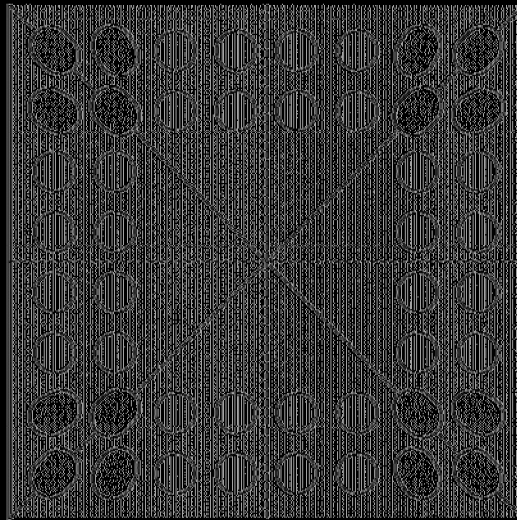
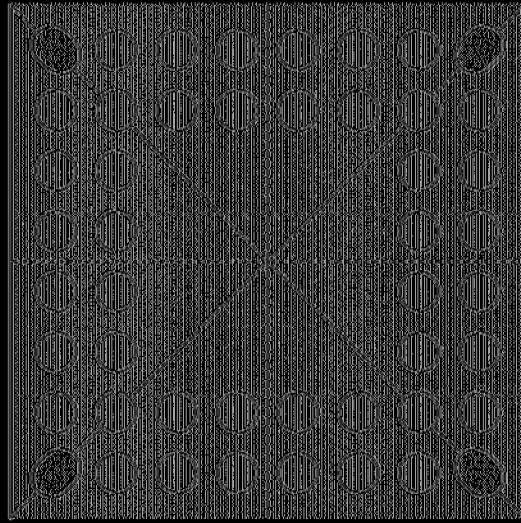
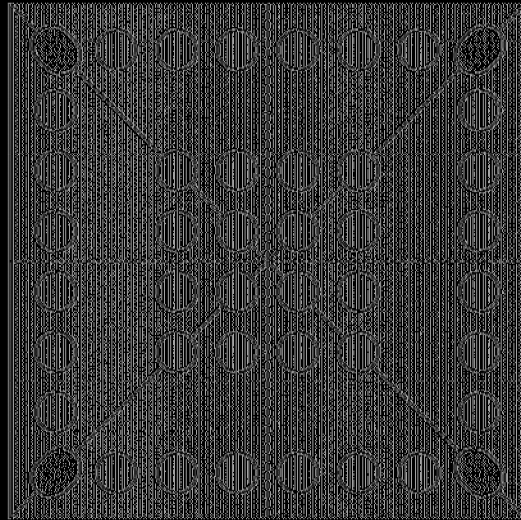


圖 2



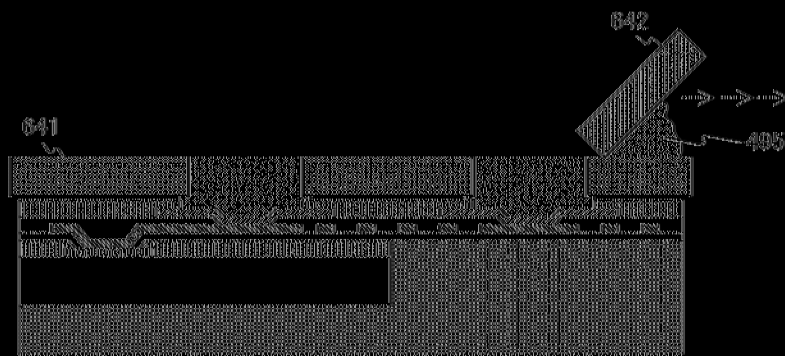


a

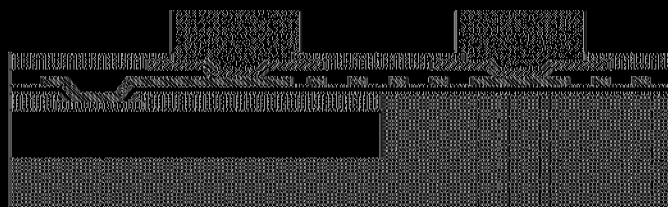


b

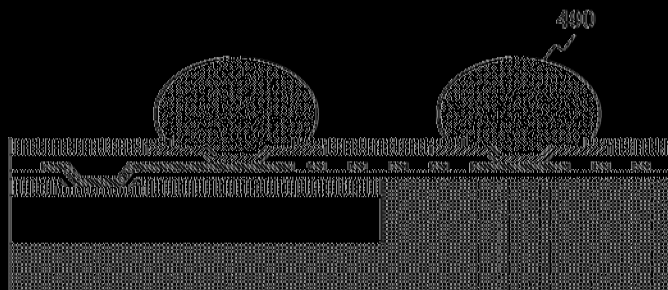




a

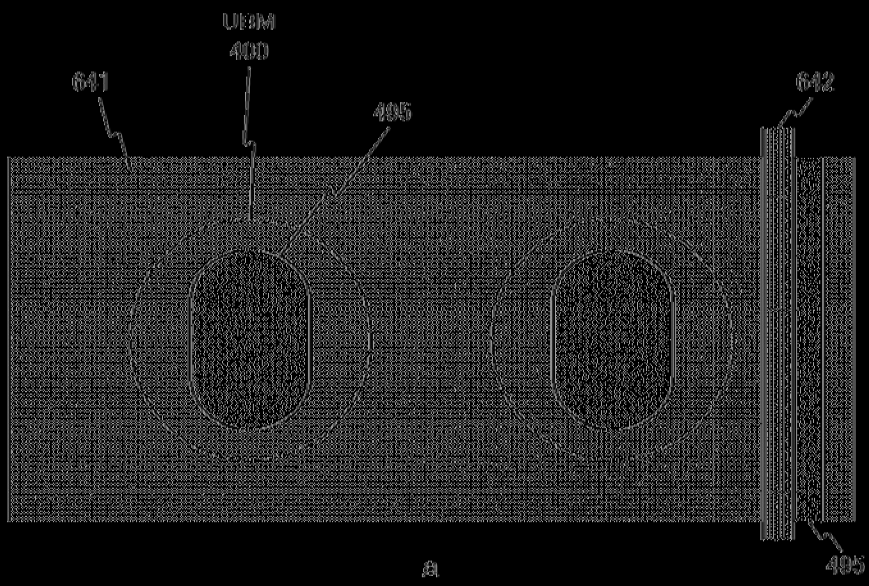


b

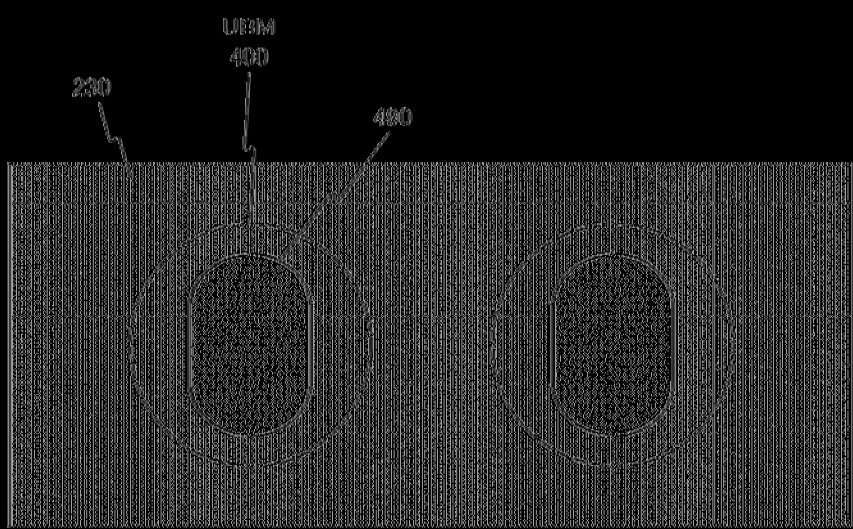


c





a



b



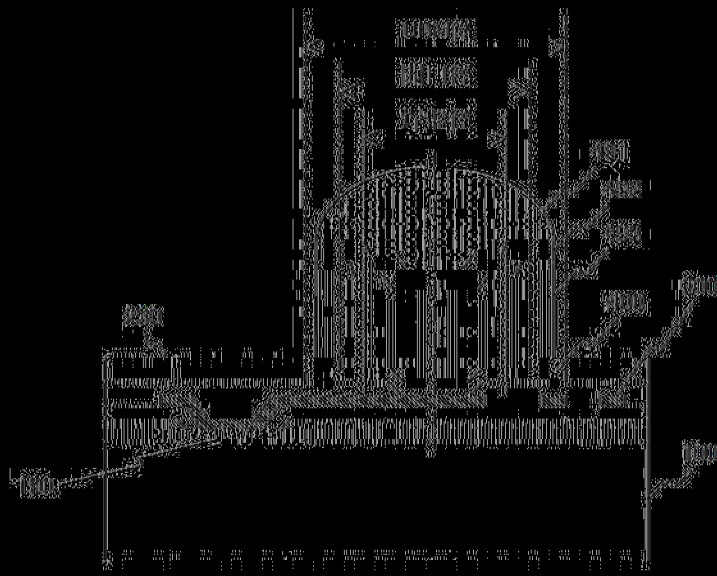


圖 1

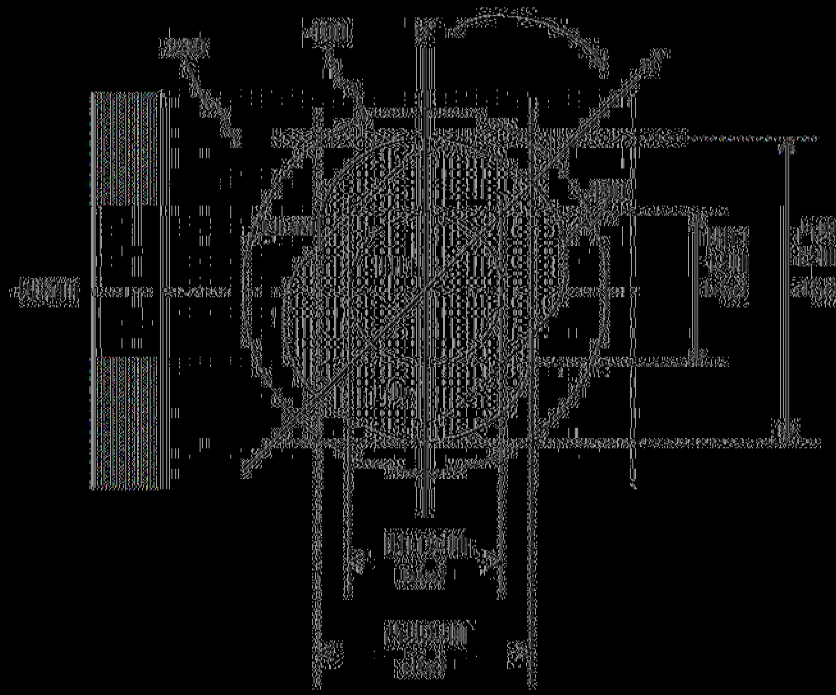
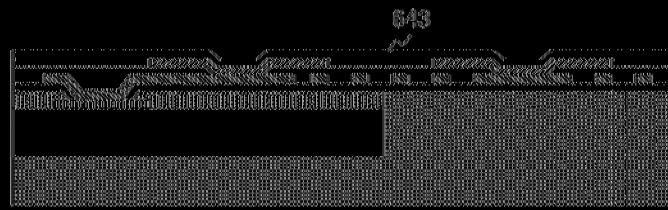


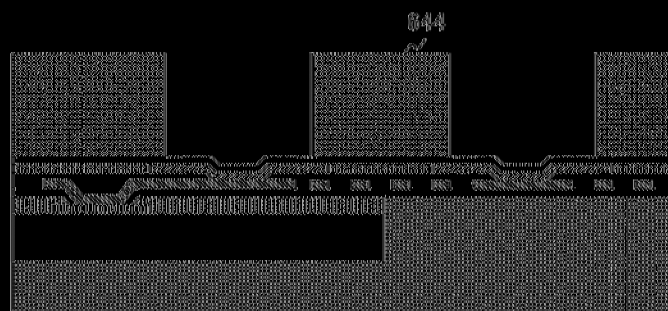
圖 2



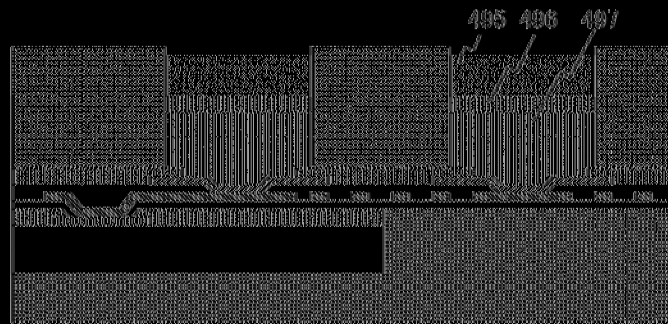
圖 3



643

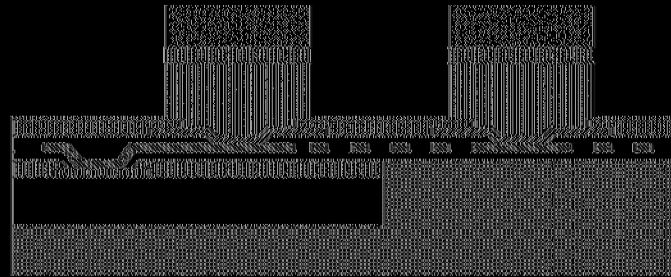


644

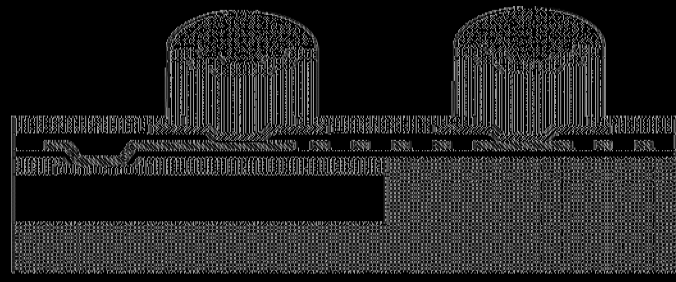


645-647



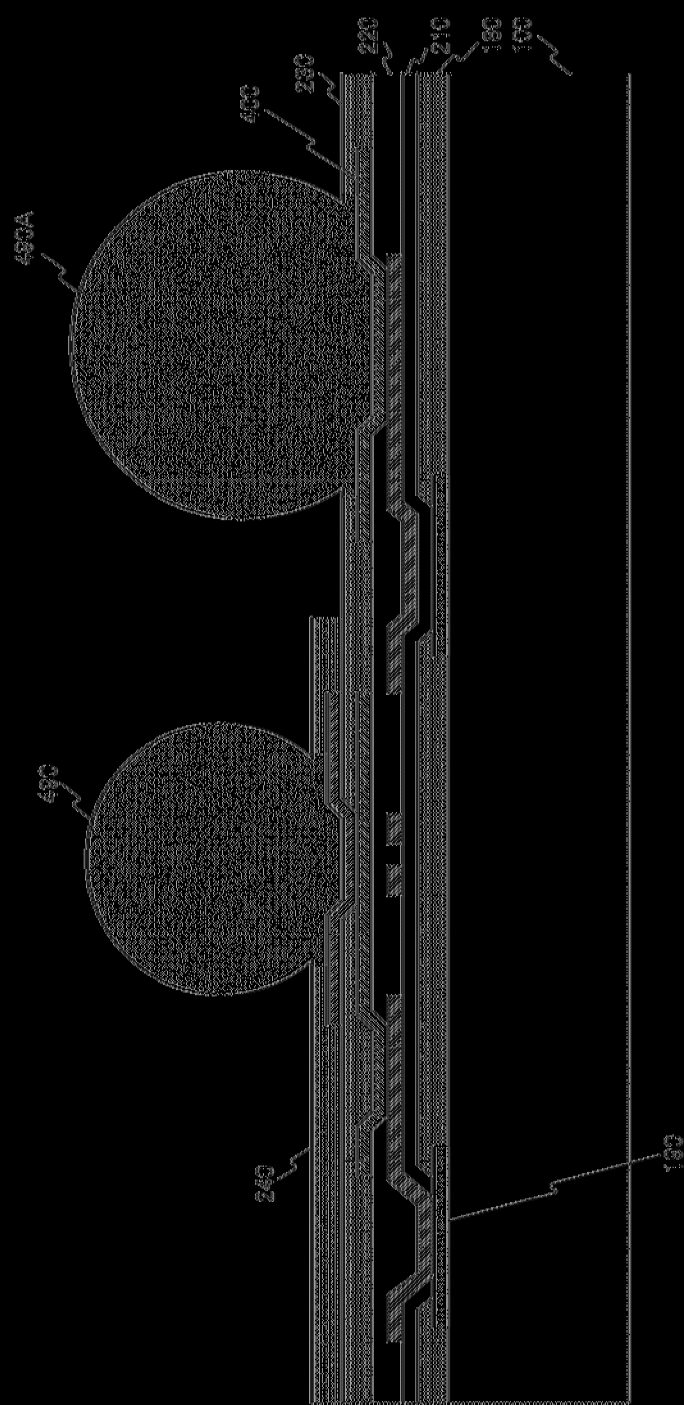


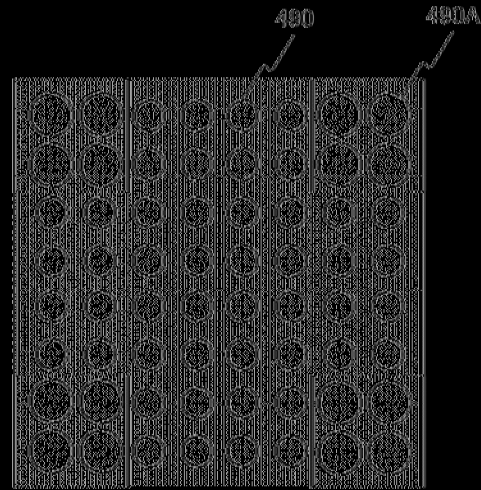
d

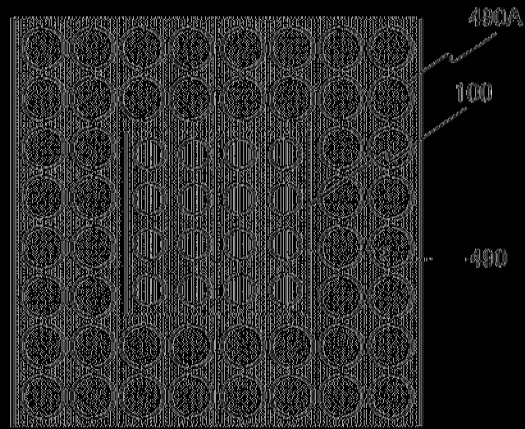


e

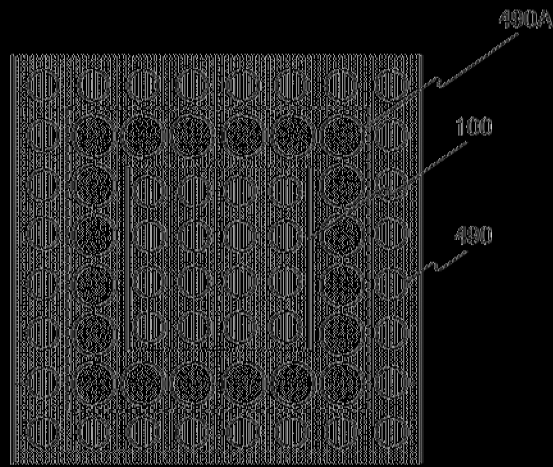






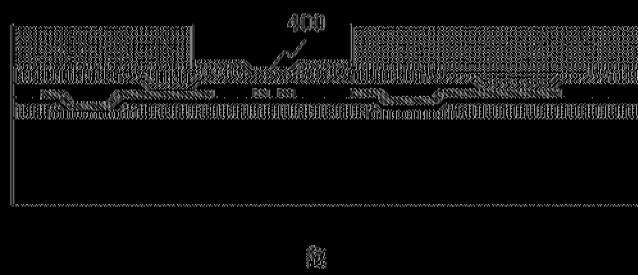
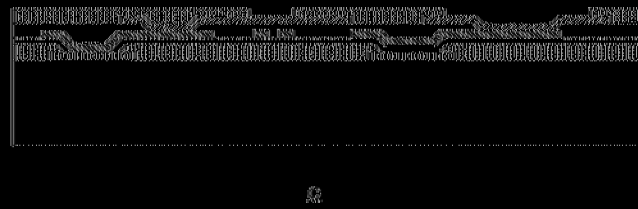
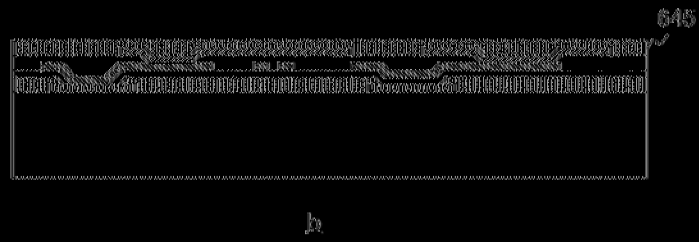
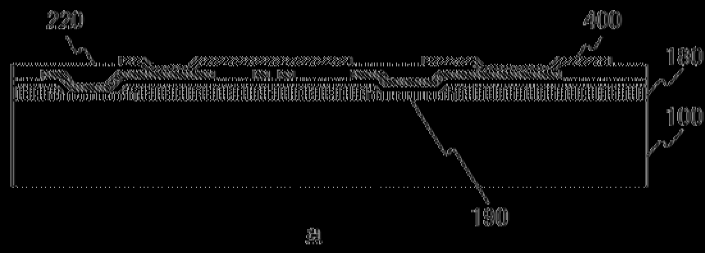


a



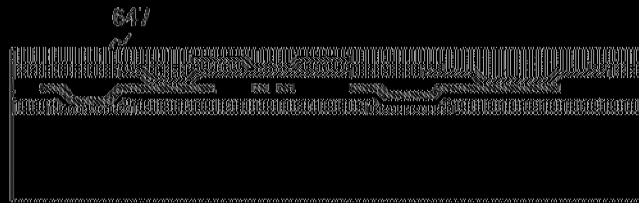
b







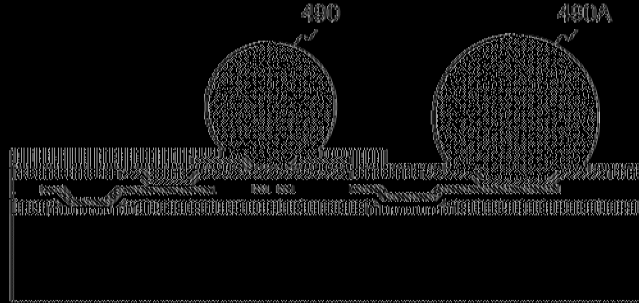
f



g

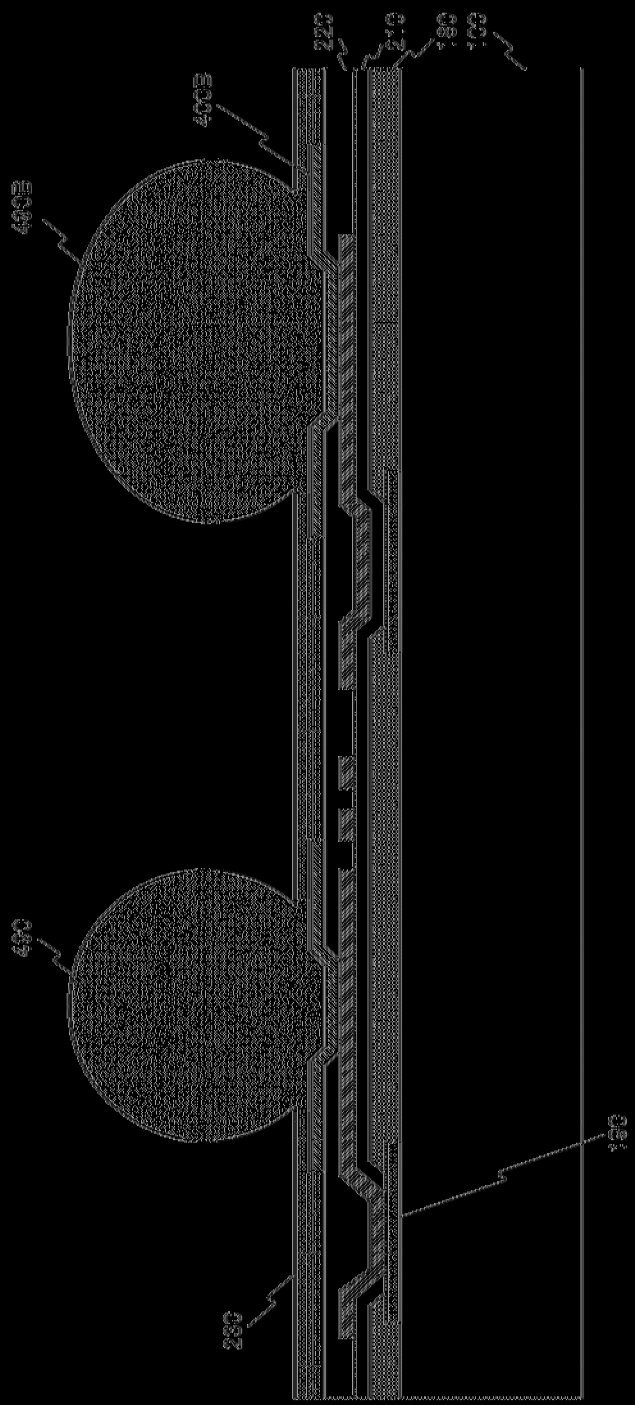


h

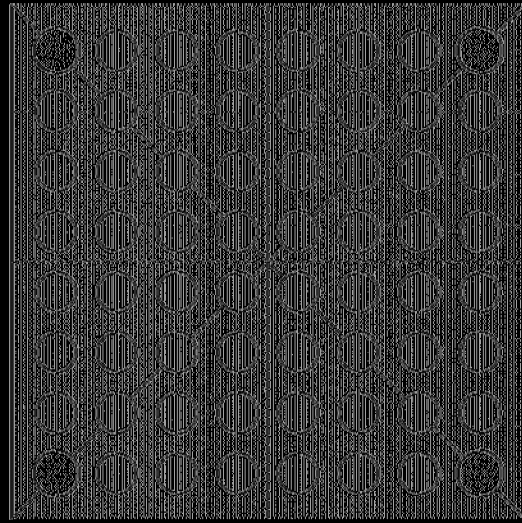


i

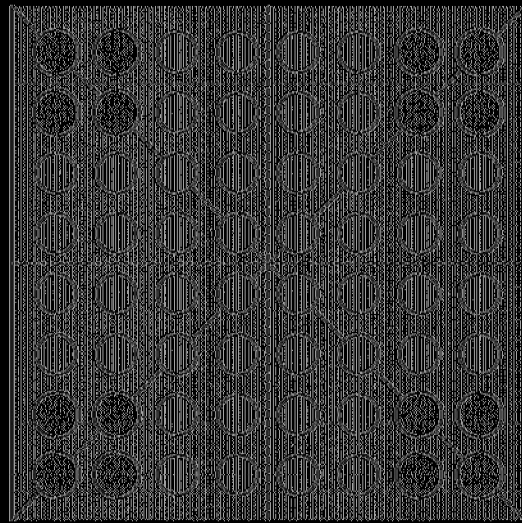




760

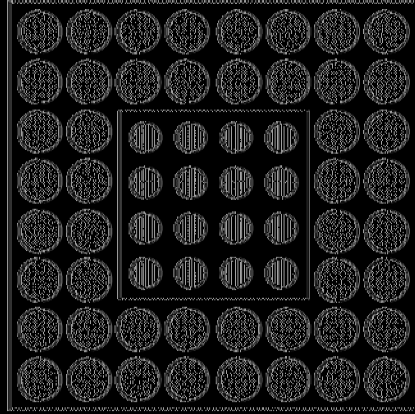


圖

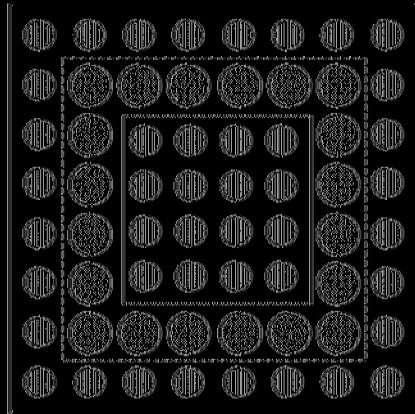


圖



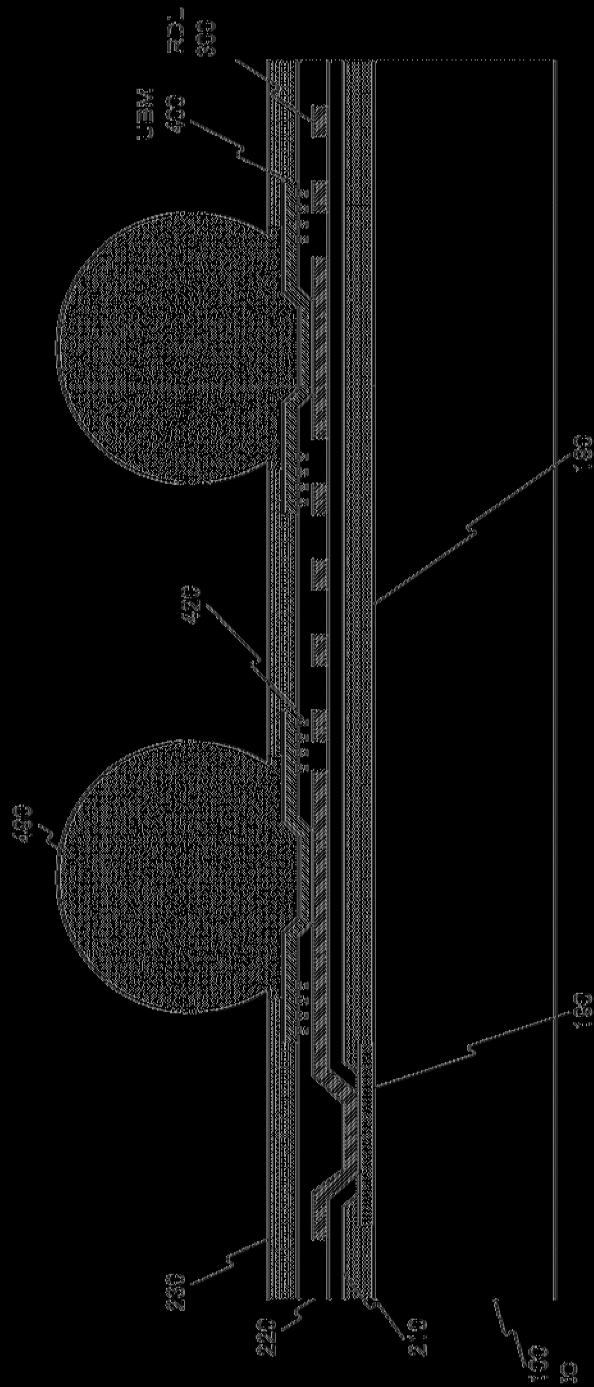


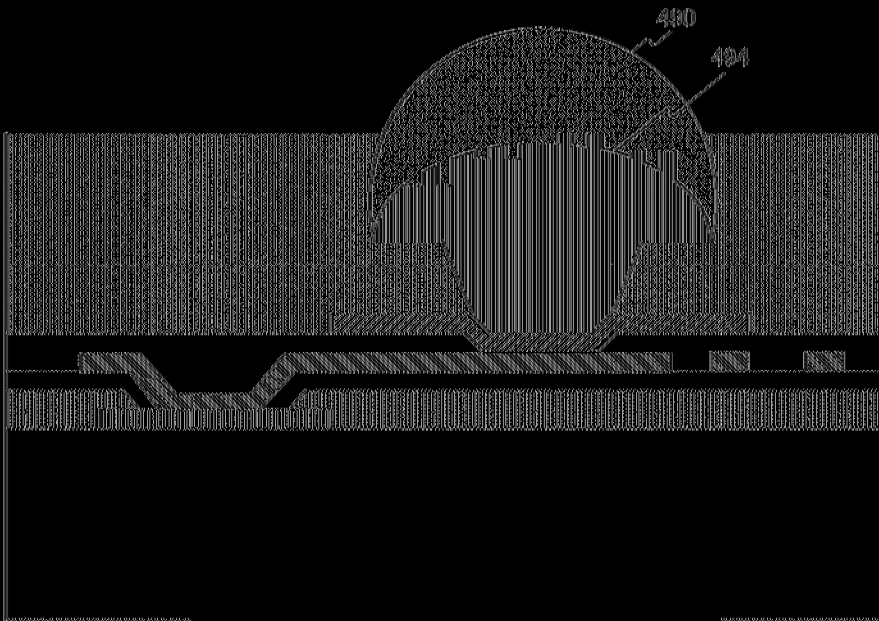
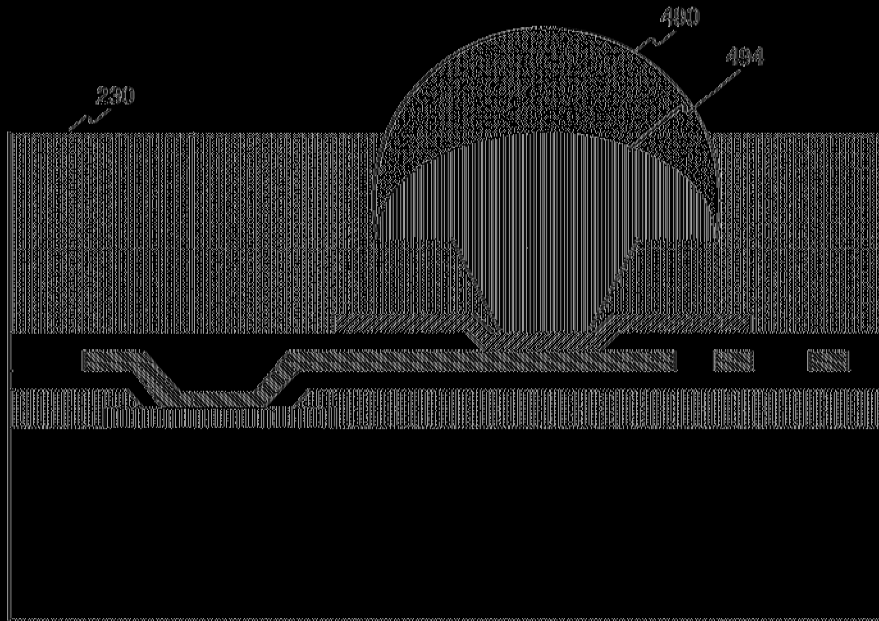
g

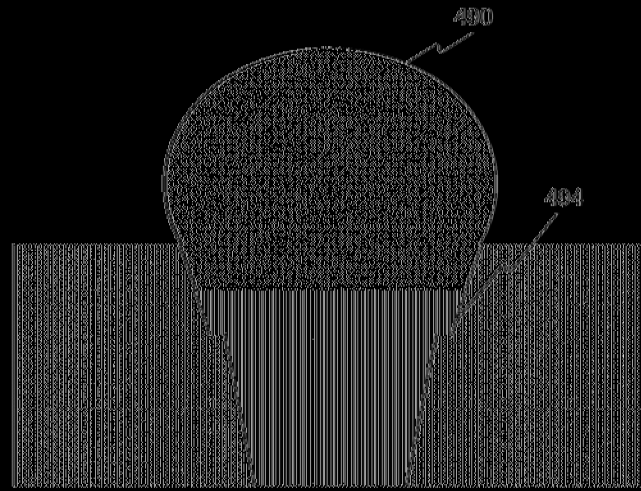


h

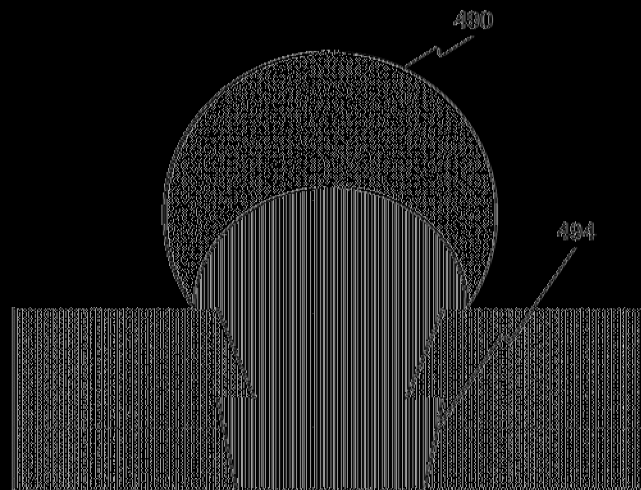






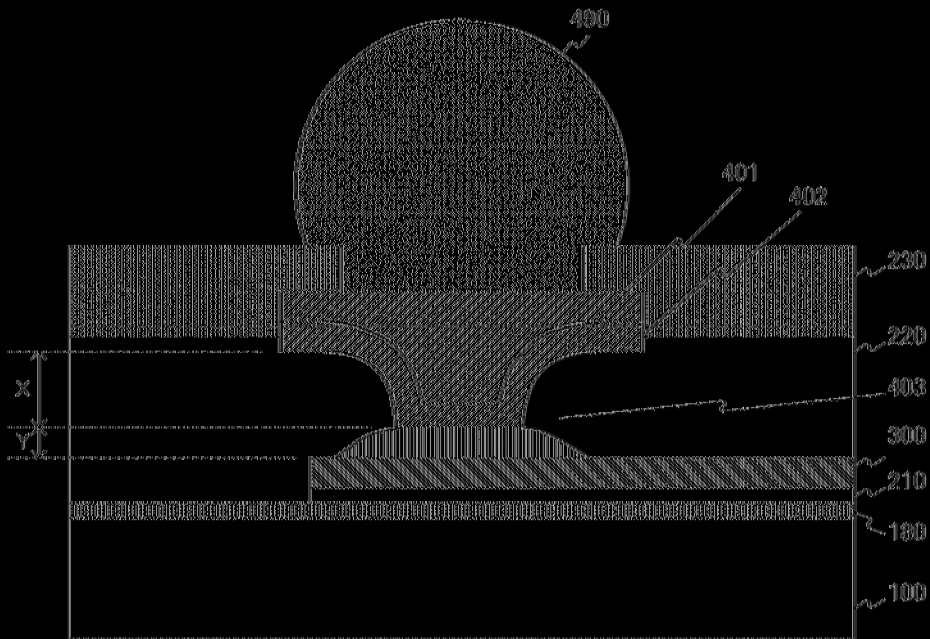
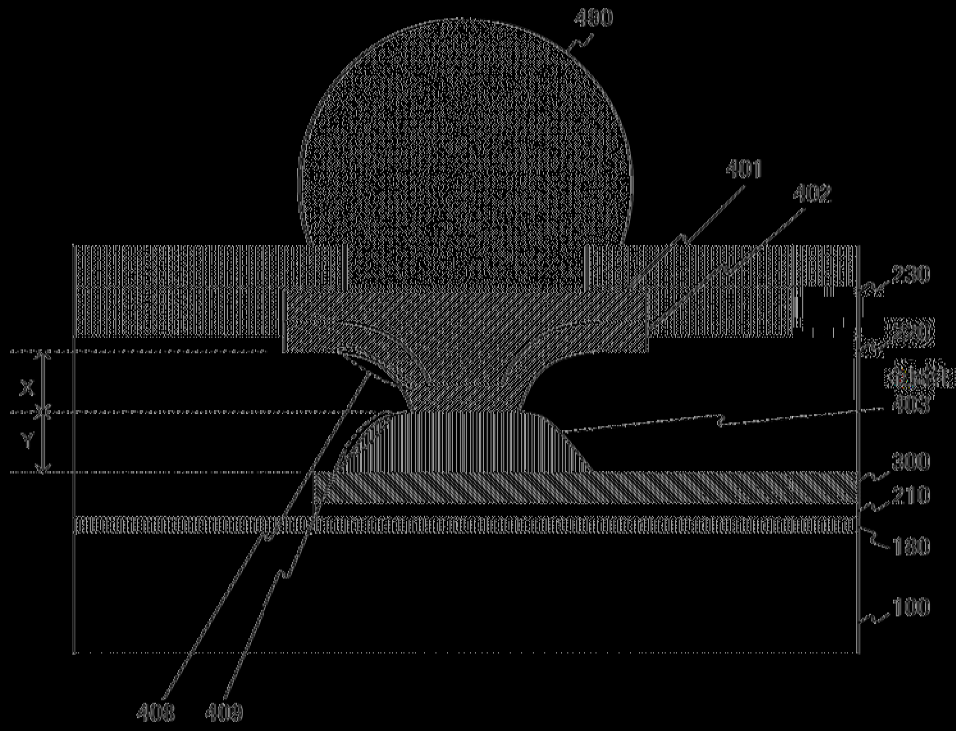


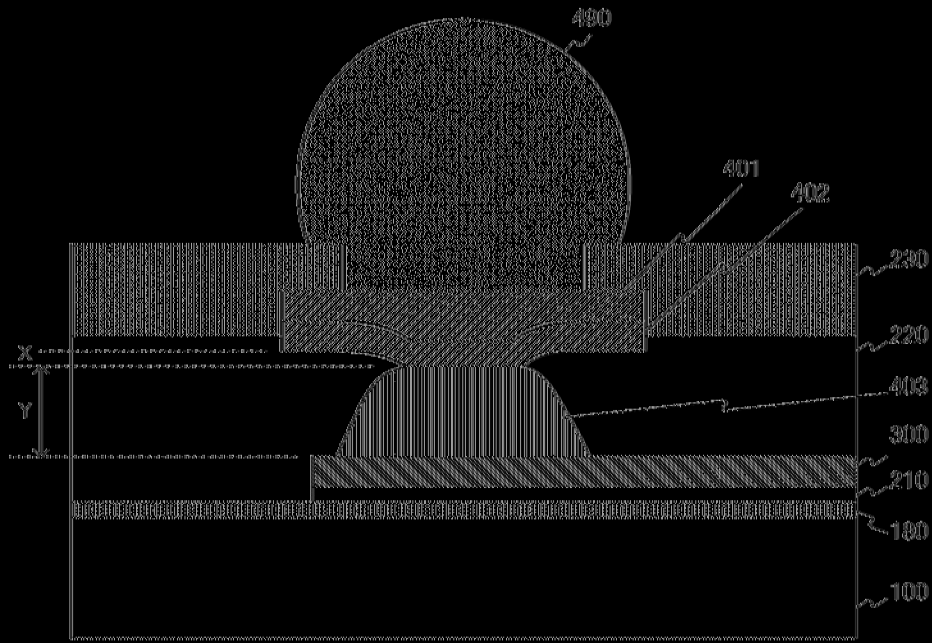
a

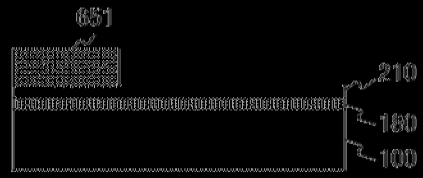
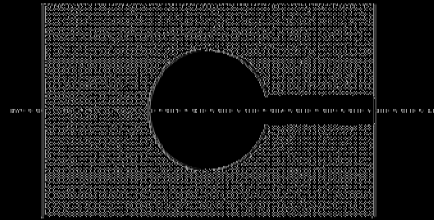


b

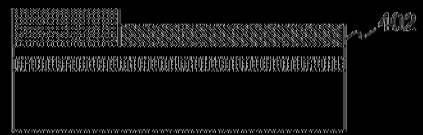
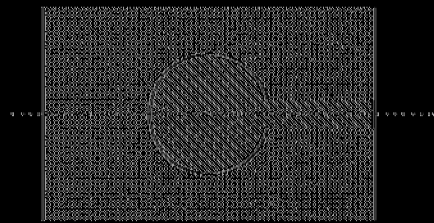




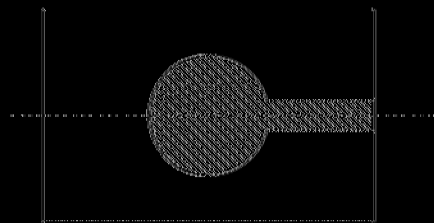




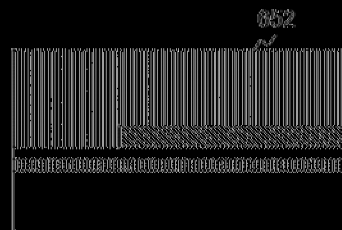
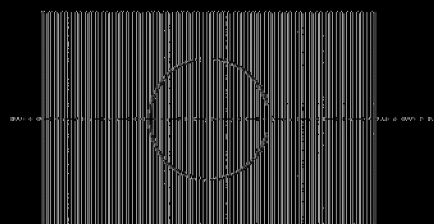
a



b

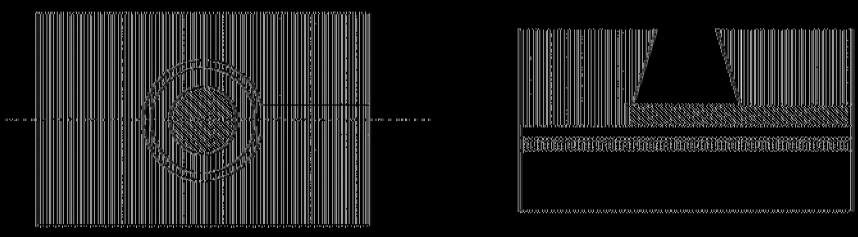


c

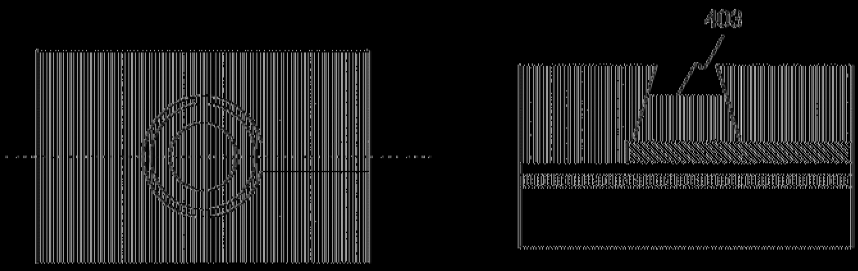


d

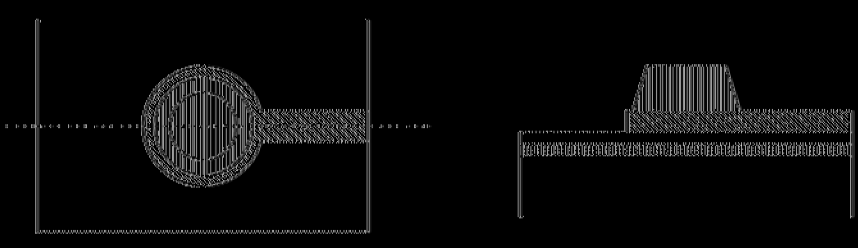




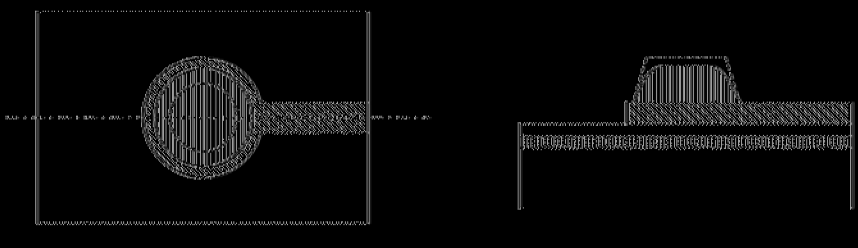
g



f

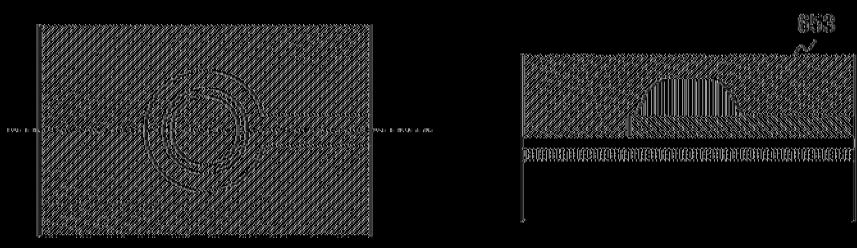


e



d

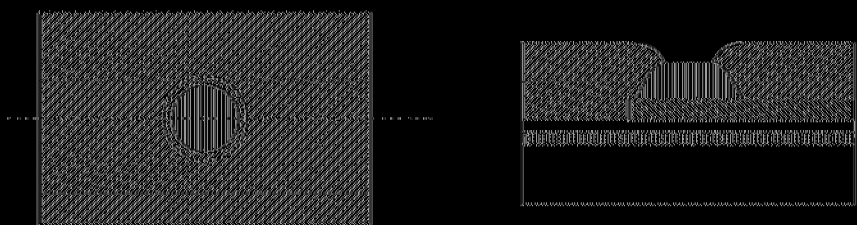




i

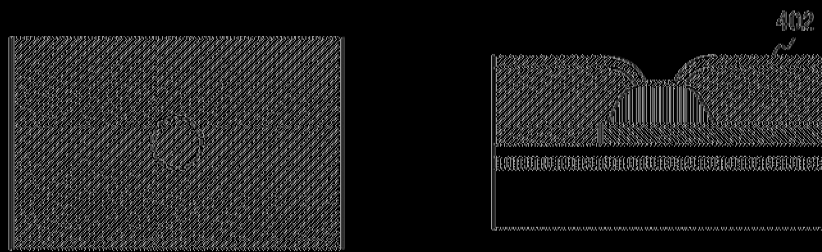


j

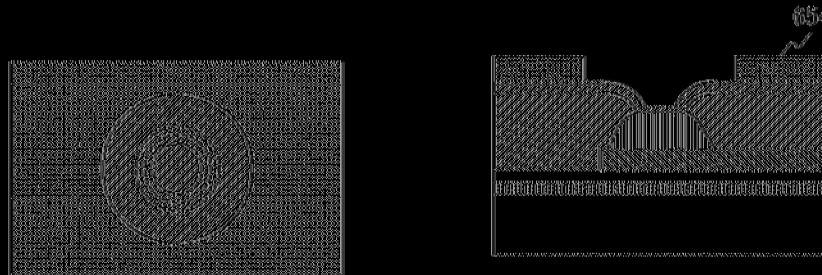


k

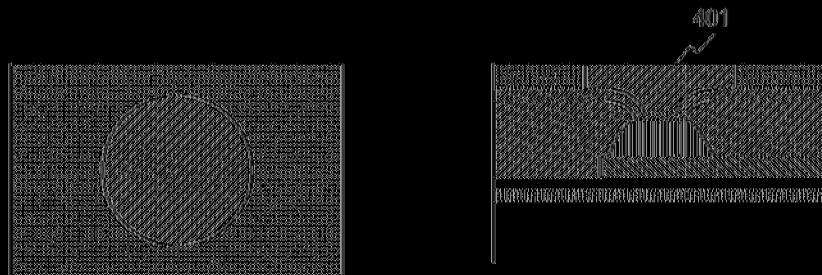




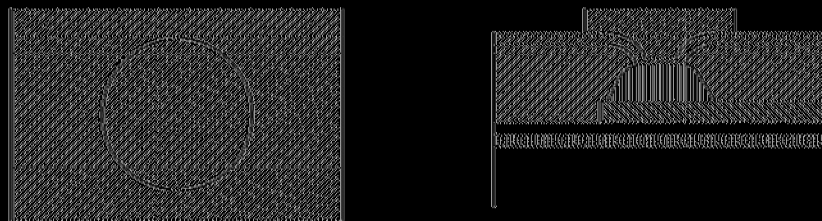
J



K

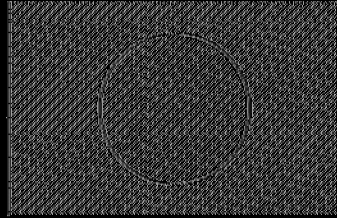


L

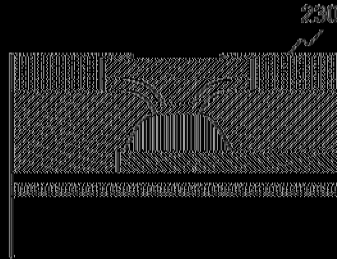
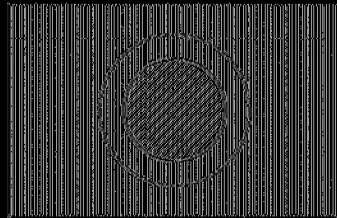


M

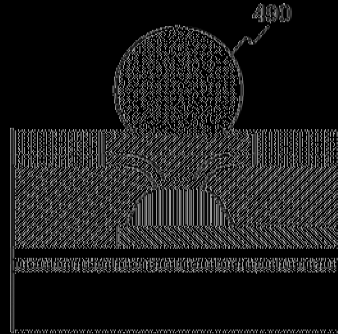




22



23



24



