



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0026484  
(43) 공개일자 2024년02월28일

- (51) 국제특허분류(Int. Cl.)  
H01L 25/065 (2023.01) H01L 23/00 (2006.01)  
H01L 23/498 (2006.01) H01L 23/538 (2006.01)  
H01L 25/00 (2014.01)
- (52) CPC특허분류  
H01L 25/0657 (2023.08)  
H01L 23/49811 (2013.01)
- (21) 출원번호 10-2024-7000559  
(22) 출원일자(국제) 2022년06월10일  
심사청구일자 없음  
(85) 번역문제출일자 2024년01월05일  
(86) 국제출원번호 PCT/US2022/033003  
(87) 국제공개번호 WO 2023/287528  
국제공개일자 2023년01월19일
- (30) 우선권주장  
17/375,931 2021년07월14일 미국(US)

- (71) 출원인  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
배무리, 크리스나  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 김, 진성  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인  
특허법인 남앤남

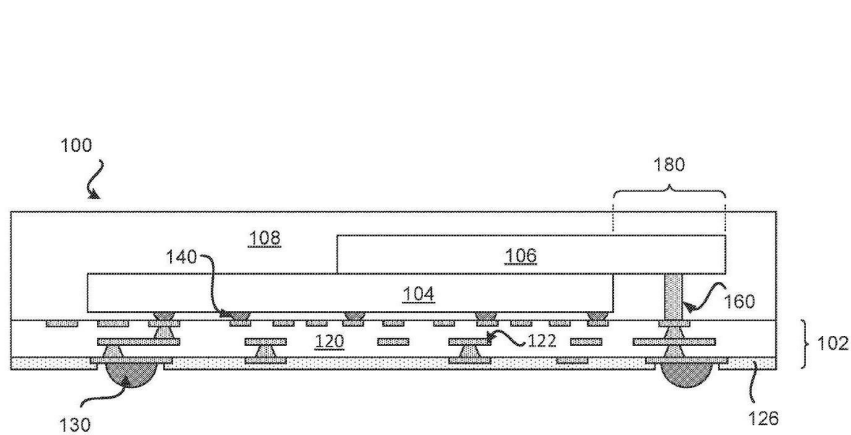
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 오버행을 갖는 스택형 통합 디바이스들을 포함하는 패키지

(57) 요약

기판, 기판에 결합된 제1 통합 디바이스 및 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함하는 패키지. 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행된다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다.

대표도



단면 프로파일 뷰

(52) CPC특허분류

*H01L 23/49816* (2013.01)

*H01L 23/5383* (2013.01)

*H01L 23/5385* (2013.01)

*H01L 24/13* (2013.01)

*H01L 24/16* (2013.01)

*H01L 24/32* (2013.01)

*H01L 24/73* (2013.01)

*H01L 24/81* (2013.01)

*H01L 25/50* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

패키지로서,

기판;

상기 기판에 결합된 제1 통합 디바이스; 및

상기 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함하며,

상기 제2 통합 디바이스의 일부는 상기 제1 통합 디바이스 위에 오버행(overhang)되고,

상기 제2 통합 디바이스는 상기 기판에 결합되도록 구성되고,

상기 제2 통합 디바이스는 전면 및 후면을 포함하고, 그리고

상기 제2 통합 디바이스의 전면은 상기 기판을 향하는, 패키지.

#### 청구항 2

제1항에 있어서,

상기 제2 통합 디바이스는 적어도 하나의 필러(pillar) 상호연결부를 통해 상기 기판에 결합되는, 패키지.

#### 청구항 3

제1항에 있어서,

상기 제2 통합 디바이스는 인터포저 및 적어도 하나의 솔더 상호연결부를 통해 상기 기판에 결합되는, 패키지.

#### 청구항 4

제3항에 있어서,

상기 인터포저는 유전체 층 및 적어도 하나의 인터포저 상호연결부를 포함하는, 패키지.

#### 청구항 5

제3항에 있어서,

상기 인터포저는 상기 기판과, 상기 제1 통합 디바이스 위에 오버행되는, 상기 제2 통합 디바이스의 일부 사이에 위치되는, 패키지.

#### 청구항 6

제1항에 있어서,

상기 제2 통합 디바이스는 접착제를 통해 상기 제1 통합 디바이스에 결합되는, 패키지.

#### 청구항 7

제1항에 있어서,

상기 제1 통합 디바이스는 제1 전면 및 제1 후면을 포함하고, 그리고

상기 제2 통합 디바이스의 전면은 상기 제1 통합 디바이스의 제1 후면을 향하는, 패키지.

#### 청구항 8

제1항에 있어서,

상기 제1 통합 디바이스는 복수의 솔더 상호연결부들을 통해 상기 기판에 결합되는, 패키지.

#### 청구항 9

제1항에 있어서,

상기 제1 통합 디바이스에 결합된 제3 통합 디바이스를 더 포함하고,

상기 제3 통합 디바이스의 일부는 상기 제1 통합 디바이스 위에 오버행되고, 그리고

상기 제3 통합 디바이스는 상기 기판에 결합되도록 구성되는, 패키지.

#### 청구항 10

제9항에 있어서,

상기 제3 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 상기 기판에 결합되는, 패키지.

#### 청구항 11

장치로서,

기판;

상기 기판에 결합된 제1 통합 디바이스; 및

상기 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함하며,

상기 제2 통합 디바이스의 일부는 상기 제1 통합 디바이스 위에 오버행되고,

상기 제2 통합 디바이스는 상기 기판에 결합되도록 구성되고,

상기 제2 통합 디바이스는 전면 및 후면을 포함하고, 그리고

상기 제2 통합 디바이스의 전면은 상기 기판을 향하는, 장치.

#### 청구항 12

제11항에 있어서,

상기 제2 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 상기 기판에 결합되는, 장치.

#### 청구항 13

제12항에 있어서,

상기 인터포저는 유전체 층 및 적어도 하나의 인터포저 상호연결부를 포함하는, 장치.

#### 청구항 14

제12항에 있어서,

상기 인터포저는 상기 기판과, 상기 제1 통합 디바이스 위에 오버행되는, 상기 제2 통합 디바이스의 일부 사이에 위치되는, 장치.

#### 청구항 15

제11항에 있어서,

상기 제2 통합 디바이스는 접착제를 통해 상기 제1 통합 디바이스에 결합되는, 장치.

#### 청구항 16

제11항에 있어서,

상기 제1 통합 디바이스는 제1 전면 및 제1 후면을 포함하고, 그리고

상기 제2 통합 디바이스의 전면은 상기 제1 통합 디바이스의 제1 후면을 향하는, 장치.

#### 청구항 17

제11항에 있어서,

상기 제1 통합 디바이스는 복수의 솔더 상호연결부들을 통해 상기 기판에 결합되는, 장치.

#### 청구항 18

제11항에 있어서,

상기 제1 통합 디바이스에 결합된 제3 통합 디바이스를 더 포함하고,

상기 제3 통합 디바이스의 일부는 상기 제1 통합 디바이스 위에 오버행되고, 그리고

상기 제3 통합 디바이스는 상기 기판에 결합되도록 구성되는, 장치.

#### 청구항 19

제18항에 있어서,

상기 제3 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 상기 기판에 결합되는, 장치.

#### 청구항 20

제11항에 있어서,

상기 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 디지털 비서, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택된 디바이스를 포함하는, 장치.

#### 청구항 21

패키지를 제조하기 위한 방법으로서,

기판을 제공하는 단계;

제1 통합 디바이스를 상기 기판에 결합하는 단계; 및

제2 통합 디바이스의 일부가 상기 제1 통합 디바이스 위에 오버행되도록, 상기 제2 통합 디바이스를 상기 제1 통합 디바이스에 결합하는 단계를 포함하며,

상기 제2 통합 디바이스는 상기 기판에 결합되도록 구성되고,

상기 제2 통합 디바이스는 전면 및 후면을 포함하고, 그리고

상기 제2 통합 디바이스의 전면은 상기 기판을 향하는, 패키지를 제조하기 위한 방법.

#### 청구항 22

제21항에 있어서,

상기 제2 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 상기 기판에 결합되는, 패키지를 제조하기 위한 방법.

#### 청구항 23

제21항에 있어서,

상기 제2 통합 디바이스는 접착제를 통해 상기 제1 통합 디바이스에 결합되는, 패키지를 제조하기 위한 방법.

#### 청구항 24

제21항에 있어서,

상기 기판 위에 캡슐화 층을 형성하는 단계를 더 포함하는, 패키지를 제조하기 위한 방법.

#### 청구항 25

제21항에 있어서,

상기 제1 통합 디바이스에 제3 통합 디바이스를 결합하는 단계를 더 포함하며,

상기 제3 통합 디바이스의 일부는 상기 제1 통합 디바이스 위에 오버행되고, 그리고

상기 제3 통합 디바이스는 상기 기판에 결합되도록 구성되는, 패키지를 제조하기 위한 방법.

#### 청구항 26

제25항에 있어서,

상기 제3 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 상기 기판에 결합되는, 패키지를 제조하기 위한 방법.

### 발명의 설명

#### 기술 분야

[0001] [0001] 본 출원은 2021년 7월 14일자로 미국 특허청에 출원된 정규 출원 제17/375,931호에 대한 우선권 및 이익을 주장하며, 그 전체 내용은 그 전체가 아래에 전체적으로 명시된 것처럼 모든 적용 가능한 목적들을 위해 본 명세서에 인용에 의해 포함된다.

[0002] [0002] 다양한 특징들은 통합 디바이스들을 갖는 패키지들과 관련된다.

#### 배경 기술

[0003] [0003] 패키지는 기판 및 통합 디바이스들을 포함할 수 있다. 이러한 구성요소들은 함께 결합되어 다양한 전기적 기능들을 수행할 수 있는 패키지를 제공한다. 통합 디바이스들과 기판이 어떻게 함께 결합되는지는 패키지가 어떻게 전반적으로 수행하는지에 영향을 미친다. 더 나은 성능의 패키지들을 제공하고 패키지들의 전체 크기를 줄여야 한다는 요구는 계속되고 있다.

#### 발명의 내용

[0004] [0004] 다양한 특징들이 통합 디바이스들을 갖는 패키지들과 관련된다.

[0005] [0005] 일 예는 기판, 기판에 결합된 제1 통합 디바이스 및 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함하는 패키지를 제공한다. 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행(overhang)된다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다.

[0006] [0006] 다른 예는 기판, 기판에 결합된 제1 통합 디바이스 및 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함하는 장치를 제공한다. 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행된다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다.

[0007] [0007] 다른 예는 패키지를 제조하는 방법을 제공한다. 이 방법은 기판을 제공한다. 이 방법은 제1 통합 디바이스를 기판에 결합한다. 이 방법은 제2 통합 디바이스를 제1 통합 디바이스에 결합하여, 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행된다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다.

#### 도면의 간단한 설명

- [0008] 다양한 특징들, 성질 및 장점들은 아래에 개시된 상세한 설명으로부터, 전체에 걸쳐 대응하는 참조 부호들이 식별되는 도면들과 함께 고려될 때 명백해질 수 있다.
- [0009] 도 1은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.
- [0010] 도 2는 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.
- [0011] 도 3은 오버행이 있는 적층형 통합 디바이스를 포함하는 패키지의 단면 프로파일 뷰를 예시한다.
- [0012] 도 4는 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.
- [0013] 도 5는 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.
- [0014] 도 6은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지의 단면 프로파일 뷰를 예시한다.
- [0015] 도 7a 내지 도 7b는 오버행을 갖는 적층형 통합 디바이스들을 갖는 패키지를 제조하기 위한 예시적인 순서를 예시한다.
- [0016] 도 8a 내지 도 8b는 오버행을 갖는 적층형 통합 디바이스들을 갖는 패키지를 제조하기 위한 예시적인 순서를 예시한다.
- [0017] 도 9a 내지 도 9b는 오버행을 갖는 적층형 통합 디바이스들을 갖는 패키지를 제조하기 위한 예시적인 순서를 예시한다.
- [0018] 도 10은 오버행을 갖는 적층형 통합 디바이스들을 갖는 패키지를 제조하기 위한 방법의 예시적인 흐름도를 예시한다.
- [0019] 도 11a 내지 도 11b는 기판의 제조를 위한 예시적인 순서를 예시한다.
- [0020] 도 12는 기판을 제조하기 위한 방법의 예시적인 흐름도를 예시한다.
- [0021] 도 13은 본 명세서에 설명된 다이, 전자 회로, 통합 디바이스, 통합 수동 디바이스(IPD), 수동 구성요소, 패키지 및/또는 디바이스 패키지를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

### 발명을 실시하기 위한 구체적인 내용

- [0009] [0022] 이하의 설명에서는, 본 개시의 다양한 양태들에 대한 완전한 이해를 제공하기 위해 구체적인 세부 사항들이 주어진다. 그러나, 이러한 특정 세부 사항들 없이도 양태들이 실시될 수 있음이 당업자에 의해 이해될 것이다. 예를 들어, 회로들은 불필요한 세부 사항으로 인해 양태들을 모호하게 하는 것을 피하기 위해 블록도들로 표시될 수 있다. 다른 예들에서, 본 개시의 양태들을 모호하게 하지 않기 위해, 잘 알려진 회로들, 구조들 및 기술들이 상세하게 도시되지 않을 수 있다.
- [0010] [0023] 본 개시는 기판, 기판에 결합된 제1 통합 디바이스 및 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함하는 패키지를 설명한다. 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행된다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다. 제2 통합 디바이스는 적어도 하나의 필러(pillar) 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 기판에 결합된다. 패키지는 와이어 본드들의 사용을 우회하며, 이는 패키지의 전체 크기를 줄이는 데 도움이 되고, 통합 디바이스들 간의 상호연결 길이를 줄임으로써 패키지의 성능을 개선하는 데 도움이 될 수 있다. 하나의 통합 디바이스를 다른 통합 디바이스 위에 배치하는 것을 포함하는 패키지 구성은 또한 패키지의 크기 및/또는 풋프린트를 줄이면서, 향상된 패키지 성능을 여전히 제공할 수 있다.
- [0011] **오버행을 갖는 적층형 통합 디바이스들을 포함하는 예시적인 패키지**
- [0012] [0024] 도 1은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(100)의 단면 프로파일 뷰를 예시한다. 패키지(100)는 기판(102), 통합 디바이스(104), 통합 디바이스(106) 및 캡슐화 층(108)을 포함한다. 통합 디바이스(104)는 제1 통합 디바이스일 수 있다. 통합 디바이스(106)는 제2 통합 디바이스일 수 있다. 기판(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122) 및 솔더 레지스트 층(126)을 포함한다. 복수의 솔더 상호연결부들(130)은 기판(102)에 결합될 수 있다.
- [0013] [0025] 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)을 통해 기판(102)에 결합된다. 통합 디바이스(106)는 통합 디바이스(104) 위에 위치된다. 통합 디바이스(106)는 접착제(도시되지 않음)를 통해 통합 디바이

스(104)에 결합될 수 있다. 통합 디바이스(106)의 일부(180)는 통합 디바이스(104) 위에 오버행될 수 있다. 적어도 하나의 필러 상호연결부(160)는 기관(102)에 그리고 통합 디바이스(106)의 부분(180)의 전면에 결합될 수 있다. 적어도 하나의 필러 상호연결부(160)는 적어도 하나의 솔더 상호연결부(도시되지 않음)를 통해 복수의 상호연결부(122)에 결합될 수 있다. 통합 디바이스(106)는 적어도 하나의 필러 상호연결부(160)를 통해 기관(102)에 결합될 수 있다. 적어도 하나의 필러 상호연결부(160)는 기관(102)과 통합 디바이스(106)의 부분(180) 사이에 위치될 수 있다. 통합 디바이스(106)는 적어도 하나의 필러 상호연결부(160), 복수의 상호연결부들(122) 및/또는 복수의 솔더 상호연결부들(140)을 통해 통합 디바이스(104)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(104)와 통합 디바이스(106) 사이의 적어도 하나의 신호를 위한 전기 경로는 적어도 하나의 필러 상호연결부(160), 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다. 적어도 하나의 필러 상호연결부(160)와 복수의 상호연결부들(122) 사이에 솔더 상호연결부가 있는 예에서, 전기 경로는 적어도 하나의 필러 상호연결부(160)와 복수의 상호연결부들(122) 사이의 솔더 상호연결부를 더 포함할 수 있다.

[0014] [0026] 통합 디바이스(104)는 전면 및 후면을 포함할 수 있다. 유사하게, 통합 디바이스(106)는 전면 및 후면을 포함할 수 있다. 통합 디바이스(104)의 전면은 기관(102)을 향할 수 있다. 통합 디바이스의 후면은 통합 디바이스의 다이 기관(예를 들어, 실리콘) 측을 포함할 수 있다. 통합 디바이스(106)의 전면은 통합 디바이스(104)의 후면 및/또는 기관(102)을 향할 수 있다. 예를 들어, 통합 디바이스(106)의 부분(180)의 전면은 기관(102)을 향할 수 있다. 통합 디바이스(106)의 전면은 통합 디바이스(104)의 후면에 결합될 수 있다(예를 들어, 접착제를 통해 기계적으로 결합될 수 있음).

[0015] [0027] 캡슐화 층(108)이 기관(102), 통합 디바이스(104) 및 통합 디바이스(106) 위에 위치될 수 있다. 캡슐화 층(108)은 적어도 부분적으로 통합 디바이스(104), 통합 디바이스(106) 및 적어도 하나의 필러 상호연결부(160)를 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 캡슐화 층(108)은 압축 및 트랜스퍼 성형 공정, 시트 성형 공정, 또는 액체 성형 공정을 사용하여 제공될 수 있다.

[0016] [0028] 패키지(100)의 구성은 와이어 본드들의 사용을 우회하는 데 도움이 될 수 있다. 와이어 본드들의 사용을 우회하는 것은 패키지(100)의 전체 크기를 감소시키고, 통합 디바이스들(예를 들어, 104, 106) 사이의 상호 연결 길이를 감소시킴으로써 패키지(100)의 성능을 향상시키는 데 도움이 된다. 통합 디바이스(106)의 전면이 기관(102)을 향하고 있기 때문에, 기관(102)과 통합 디바이스(106) 사이에 더 짧고 직접적인 전기 경로가 존재하여 통합 디바이스들 간의 신호 속도를 향상시키는 데 도움이 된다. 와이어 본드들을 사용하는 패키지들은 와이어 본드들의 배치를 수용하기 위해 통합 디바이스와 패키지 에지 사이에 더 많은 공간이 필요할 수 있다. 패키지(100)에 와이어 본드들이 필요하지 않기 때문에, 패키지(100)의 에지는 통합 디바이스들(예를 들어, 104, 106)의 에지에 더 가깝게 위치될 수 있으며, 이는 패키지(100)의 전체 폼 팩터를 감소시키는 데 도움이 된다. 본 개시에 설명된 다른 패키지들에 대해서도 동일한 이점들 및 장점들이 발견될 수 있다.

[0017] [0029] 서로 다른 구현예들은 통합 디바이스들의 서로 다른 구성들을 갖는 패키지들을 가질 수 있다. 도 2는 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(200)를 예시한다. 패키지(200)는 패키지(100)와 유사하며, 패키지(100)와 유사한 구성요소들, 동일한 구성요소들 및/또는 유사한 배열들을 포함한다. 따라서, 패키지(100)에 대한 설명은 패키지(200)에 적용될 수 있다. 도 2는 패키지(200)가 적어도 하나의 필러 상호연결부(160) 및 적어도 하나의 솔더 상호연결부(260)를 포함함을 예시한다. 적어도 하나의 솔더 상호연결부(260)는 통합 디바이스(106) 및 적어도 하나의 필러 상호연결부(160)에 결합된다. 적어도 하나의 솔더 상호연결부(260)는 통합 디바이스(106)의 부분(180)의 전면에 결합될 수 있다. 적어도 하나의 필러 상호연결부(160)는 기관(102)에 결합될 수 있다. 일부 구현예들에서, 적어도 하나의 필러 상호연결부(160)는 기관(102)의 일부로 간주될 수 있다. 통합 디바이스(106)는 적어도 하나의 솔더 상호연결부(260) 및 적어도 하나의 필러 상호연결부(160)를 통해 기관(102)에 결합될 수 있다. 적어도 하나의 솔더 상호연결부(260) 및 적어도 하나의 필러 상호연결부(160)는 기관(102)과 통합 디바이스(106)의 부분(180) 사이에 위치될 수 있다. 통합 디바이스(106)는 적어도 하나의 솔더 상호연결부(260), 적어도 하나의 필러 상호연결부(160), 복수의 상호연결부들(122) 및/또는 복수의 솔더 상호연결부들(140)을 통해 통합 디바이스(104)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(104)와 통합 디바이스(106) 사이의 적어도 하나의 신호를 위한 전기 경로는 적어도 하나의 솔더 상호연결부(260), 적어도 하나의 필러 상호연결부(160), 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0018] [0030] 도 3은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(300)를 예시한다. 패키지(300)는 패

키지(100)와 유사하며, 패키지(100)와 유사한 구성요소들, 동일한 구성요소들 및/또는 유사한 배열들을 포함한다. 따라서, 패키지(100)에 대한 설명은 패키지(300)에 적용될 수 있다. 도 3은 패키지(300)가 인터포저(302), 적어도 하나의 솔더 상호연결부(260) 및 적어도 하나의 솔더 상호연결부(360)를 포함함을 예시한다. 적어도 하나의 솔더 상호연결부(260)는 통합 디바이스(106) 및 인터포저(302)에 결합된다. 적어도 하나의 솔더 상호연결부(260)는 통합 디바이스(106)의 부분(180)의 전면에 결합될 수 있다. 적어도 하나의 솔더 상호연결부(360)는 기관(102) 및 인터포저(302)에 결합될 수 있다. 통합 디바이스(106)는 적어도 하나의 솔더 상호연결부(260), 인터포저(302) 및 적어도 하나의 솔더 상호연결부(360)를 통해 기관(102)에 결합될 수 있다. 인터포저(302)는 기관일 수 있다. 인터포저(302)는 적어도 하나의 유전체 층(320) 및 적어도 하나의 상호연결부(322)(예를 들어, 인터포저 상호연결부)를 포함한다. 적어도 하나의 솔더 상호연결부(260), 인터포저(302) 및/또는 적어도 하나의 솔더 상호연결부(360)는 기관(102)과 통합 디바이스(106)의 부분(180) 사이에 위치될 수 있다.

[0019] [0031] 통합 디바이스(106)는 적어도 하나의 솔더 상호연결부(260), 인터포저(302), 적어도 하나의 솔더 상호연결부(360), 복수의 상호연결부들(122) 및/또는 복수의 솔더 상호연결부들(140)을 통해 통합 디바이스(104)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(104)와 통합 디바이스(106) 사이의 적어도 하나의 신호를 위한 전기 경로는 적어도 하나의 솔더 상호연결부(260), 적어도 하나의 상호연결부(322), 적어도 하나의 솔더 상호연결부(360), 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0020] [0032] 도 1 내지 도 3은 적어도 하나의 기동 상호연결부(160), 적어도 하나의 솔더 상호연결부(260), 인터포저(302) 및/또는 적어도 하나의 솔더 상호연결부(360)가 기관(102)과 통합 디바이스(106)의 통합 디바이스(104) 위에 오버행되는 부분(180) 사이에 위치될 수 있음을 예시한다.

[0021] [0033] 서로 다른 구현들은 서로 다른 수의 통합 디바이스들을 포함할 수 있다. 예를 들어, 패키지는 하나 이상의 통합 디바이스들 위에 오버행되는 둘 이상의 통합 디바이스를 포함할 수 있다.

[0022] [0034] 도 4는 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(400)를 예시한다. 패키지(400)는 패키지(100)와 유사하며, 패키지(100)와 유사한 구성요소들, 동일한 구성요소들 및/또는 유사한 배열들을 포함한다. 따라서, 패키지(100)에 대한 설명은 패키지(400)에 적용될 수 있다. 도 4는 하나의 통합 디바이스 위에 오버행된 2 개의 통합 디바이스들 예시한다. 도 4는 패키지(400)가 기관(102), 통합 디바이스(104)(예를 들어, 제1 통합 디바이스), 통합 디바이스(106)(예를 들어, 제2 통합 디바이스), 통합 디바이스(406)(예를 들어, 제3 통합 디바이스), 캡슐화 층(108), 적어도 하나의 필러 상호연결부(160)(예를 들어, 적어도 하나의 제1 필러 상호연결부) 및 적어도 하나의 필러 상호연결부(460)(예를 들어, 적어도 하나의 제2 필러 상호연결부)를 포함함을 예시한다.

[0023] [0035] 통합 디바이스(406)는 통합 디바이스(104) 위에 위치된다. 통합 디바이스(406)는 접착제(도시되지 않음)를 통해 통합 디바이스(104)에 결합될 수 있다. 통합 디바이스(406)의 부분(480)은 통합 디바이스(104) 위에 오버행될 수 있다. 통합 디바이스(406)의 전면은 통합 디바이스(104)의 후면 및/또는 기관(102)을 향할 수 있다. 예를 들어, 통합 디바이스(406)의 부분(480)의 전면은 기관(102)을 향할 수 있다. 통합 디바이스(406)의 전면은 통합 디바이스(104)의 후면에 결합될 수 있다(예를 들어, 접착제를 통해 기계적으로 결합됨).

[0024] [0036] 적어도 하나의 필러 상호연결부(460)는 기관(102) 및 통합 디바이스(406)의 부분(480)의 전면에 결합될 수 있다. 적어도 하나의 필러 상호연결부(460)는 적어도 하나의 솔더 상호연결부(도시되지 않음)를 통해 복수의 상호연결부(122)에 결합될 수 있다. 통합 디바이스(406)는 적어도 하나의 필러 상호연결부(460)를 통해 기관(102)에 결합될 수 있다. 통합 디바이스(406)는 적어도 하나의 필러 상호연결부(460), 복수의 상호연결부들(122) 및/또는 복수의 솔더 상호연결부들(140)을 통해 통합 디바이스(104)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(104)와 통합 디바이스(406) 사이의 적어도 하나의 신호에 대한 전기 경로는 적어도 하나의 필러 상호연결부(460), 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다. 적어도 하나의 필러 상호연결부(460)와 복수의 상호연결부들(122) 사이에 솔더 상호연결부가 있는 예에서, 전기 경로는 적어도 하나의 필러 상호연결부(460)와 복수의 상호연결부들(122) 사이의 솔더 상호연결부를 더 포함할 수 있다.

[0025] [0037] 통합 디바이스(104) 위에 오버행되는 통합 디바이스(406)의 부분(480)은, 통합 디바이스(106)의 통합 디바이스(104) 위에 오버행되는 부분(180)과는 서로 다른 크기 및/또는 길이를 가질 수 있다. 서로 다른 구현예들은 서로 다른 통합 디바이스들에 대해 유사하거나 서로 다른 오버행들을 가질 수 있다. 적어도 하나의 필러 상호연결부(160)는 통합 디바이스(106)와 기관(102) 사이에 결합되는 복수의 필러 상호연결부들(예를 들어, 필

러 상호연결부들의 열들)로부터 제공될 수 있음에 유의해야 한다. 유사하게, 적어도 하나의 필러 상호연결부(460)는 통합 디바이스(406)와 기관(102) 사이에 결합되는 복수의 필러 상호연결부들(예를 들어, 필러 상호연결부의 열들)로부터 제공될 수 있다.

[0026] [0038] 도 5는 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(500)를 예시한다. 패키지(500)는 패키지들(200 및/또는 400)과 유사하며, 패키지들(200 및/또는 400)과 유사한 구성요소들, 동일한 구성요소들 및/또는 유사한 배열들을 포함한다. 따라서, 패키지들(200 및/또는 400)에 대한 설명은 패키지(500)에 적용될 수 있다. 도 5는 다른 통합 디바이스 위에 오버행된 2 개의 통합 디바이스들을 예시한다. 도 5는 패키지(500)가 기관(102), 통합 디바이스(104), 통합 디바이스(106), 통합 디바이스(406), 캡슐화 층(108), 적어도 하나의 필러 상호연결부(160)(예를 들어, 적어도 하나의 제1 필러 상호연결부), 적어도 하나의 필러 상호연결부(460)(예를 들어, 적어도 하나의 제2 필러 상호연결부), 적어도 하나의 솔더 상호연결부(260)(예를 들어, 적어도 하나의 제1 솔더 상호연결부) 및 적어도 하나의 솔더 상호연결부(560)(예를 들어, 적어도 하나의 제2 솔더 상호연결부)를 포함함을 예시한다.

[0027] [0039] 통합 디바이스(406)의 부분(480)은 통합 디바이스(104) 위에 오버행될 수 있다. 적어도 하나의 솔더 상호연결부(560)는 통합 디바이스(406) 및 적어도 하나의 필러 상호연결부(460)에 결합된다. 적어도 하나의 솔더 상호연결부(560)는 통합 디바이스(406)의 부분(480)의 전면에 결합될 수 있다. 적어도 하나의 필러 상호연결부(460)는 기관(102)에 결합될 수 있다. 일부 구현예들에서, 적어도 하나의 필러 상호연결부(460)는 기관(102)의 일부로 간주될 수 있다. 통합 디바이스(406)는 적어도 하나의 솔더 상호연결부(560) 및 적어도 하나의 필러 상호연결부(460)를 통해 기관(102)에 결합될 수 있다. 통합 디바이스(406)는 적어도 하나의 솔더 상호연결부(560), 적어도 하나의 필러 상호연결부(460), 복수의 상호연결부들(122) 및/또는 복수의 솔더 상호연결부들(140)을 통해 통합 디바이스(104)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(104)와 통합 디바이스(406) 사이의 적어도 하나의 신호를 위한 전기 경로는 적어도 하나의 솔더 상호연결부(560), 적어도 하나의 필러 상호연결부(460), 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0028] [0040] 적어도 하나의 필러 상호연결부(160) 및 적어도 하나의 솔더 상호연결부(260)는 통합 디바이스(106)와 기관(102) 사이에 결합되는 복수의 필러 상호연결부들(예를 들어, 필러 상호연결부들의 열들) 및 복수의 솔더 상호연결부들(예를 들어, 솔더 상호연결부들의 열들)로부터의 것일 수 있음에 주목해야 한다. 유사하게, 적어도 하나의 필러 상호연결부(460) 및 적어도 하나의 솔더 상호연결부(560)는 통합 디바이스(406)와 기관(102) 사이에 결합되는 복수의 필러 상호연결부들(예를 들어, 필러 상호연결부들의 열들) 및 복수의 솔더 상호연결부들(예를 들어, 솔더 상호연결부들의 열들)로부터의 것일 수 있다.

[0029] [0041] 도 6은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(600)를 예시한다. 패키지(600)는 패키지들(300 및/또는 400)과 유사하며, 패키지들(300 및/또는 400)과 유사한 구성요소들, 동일한 구성요소들 및/또는 유사한 배열들을 포함한다. 따라서, 패키지들(300 및 400)에 대한 설명은 패키지(600)에 적용될 수 있다. 도 6은 다른 통합 디바이스 위에 오버행된 2 개의 통합 디바이스들을 예시한다. 도 6은 패키지(600)가 기관(102), 통합 디바이스(104), 통합 디바이스(106), 통합 디바이스(406), 캡슐화 층(108), 인터포저(302)(예를 들어, 제1 인터포저), 인터포저(602)(예를 들어, 제2 인터포저), 적어도 하나의 솔더 상호연결부(260), 적어도 하나의 솔더 상호연결부(360), 적어도 하나의 솔더 상호연결부(660) 및 적어도 하나의 솔더 상호연결부(670)를 포함함을 예시한다.

[0030] [0042] 통합 디바이스(406)의 부분(480)은 통합 디바이스(104) 위에 오버행될 수 있다. 적어도 하나의 솔더 상호연결부(670)는 통합 디바이스(406) 및 인터포저(602)에 결합된다. 적어도 하나의 솔더 상호연결부(670)는 통합 디바이스(406)의 부분(480)의 전면에 결합될 수 있다. 적어도 하나의 솔더 상호연결부(660)는 기관(102) 및 인터포저(602)에 결합될 수 있다. 통합 디바이스(406)는 적어도 하나의 솔더 상호연결부(670), 인터포저(602) 및 적어도 하나의 솔더 상호연결부(660)를 통해 기관(102)에 결합될 수 있다. 인터포저(602)는 기관일 수 있다. 인터포저(602)는 적어도 하나의 유전체 층(620) 및 적어도 하나의 상호연결부(622)(예를 들어, 인터포저 상호연결부)를 포함한다. 인터포저(602)는 인터포저(302)와 유사할 수 있다.

[0031] [0043] 통합 디바이스(406)는 적어도 하나의 솔더 상호연결부(670), 인터포저(602), 적어도 하나의 솔더 상호연결부(660), 복수의 상호연결부들(122) 및/또는 복수의 솔더 상호연결부들(140)을 통해 통합 디바이스(104)에 전기적으로 결합되도록 구성될 수 있다. 예를 들어, 통합 디바이스(104)와 통합 디바이스(406) 사이의 적어도 하나의 신호를 위한 전기 경로는 적어도 하나의 솔더 상호연결부(670), 적어도 하나의 상호연결부(622), 적어도

하나의 솔더 상호연결부(660), 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부 및/또는 복수의 솔더 상호연결부들(140)로부터의 적어도 하나의 솔더 상호연결부를 포함할 수 있다.

[0032] [0044] 적어도 하나의 인터포저(302), 적어도 하나의 솔더 상호연결부(260) 및 적어도 하나의 솔더 상호연결부(360)는 통합 디바이스(106)와 기관(102) 사이에 결합되는 복수의 인터포저들(예를 들어, 인터포저의 열들) 및 복수의 솔더 상호연결부들(예를 들어, 솔더 상호연결부들의 열들)로부터의 것일 수 있음에 유의해야 한다. 유사하게, 적어도 하나의 인터포저(602), 적어도 하나의 솔더 상호연결부(670) 및 적어도 하나의 솔더 상호연결부(660)는 통합 디바이스(406)와 기관(102) 사이에 결합되는 복수의 인터포저들(예를 들어, 인터포저의 열들) 및 복수의 솔더 상호연결부들(예를 들어, 솔더 상호연결부들의 열들)로부터의 것일 수 있다.

[0033] [0045] 본 개시에 도시된 인터포저(302) 및/또는 인터포저(602)의 배향은 예시적인 것임에 유의해야 한다. 인터포저(302) 및/또는 인터포저(602)는 서로 다른 방식으로 배향될 수 있다. 인터포저(302) 및/또는 인터포저(602)는 기관을 포함할 수 있다. 인터포저(302) 및/또는 인터포저(602)는 도 11a 내지 도 11b에 설명된 공정을 사용하여 제조될 수 있다. 도 4 내지 도 6은 적어도 하나의 필터 상호연결부(160), 적어도 하나의 솔더 상호연결부(260), 인터포저(302) 및/또는 적어도 하나의 솔더 상호연결부(360)가 기관(102)과 통합 디바이스(106)의 통합 디바이스(104) 위에 오버행되는 부분(180) 사이에 위치될 수 있음을 예시한다. 도 4 내지 도 6은 또한 적어도 하나의 필터 상호연결부(460), 적어도 하나의 솔더 상호연결부(560), 인터포저(602) 및/또는 적어도 하나의 솔더 상호연결부(660)가 기관(102)과 통합 디바이스(406)의 통합 디바이스(104) 위에 오버행되는 부분(480) 사이에 위치될 수 있음을 예시한다. 패키지는 필터 상호연결부들, 솔더 상호연결부들 및/또는 인터포저들의 서로 다른 조합들을 사용하여 기관에 결합되는 통합 디바이스들을 포함할 수 있음에 유의해야 한다. 예를 들어, 하나의 통합 디바이스는 필터 상호연결부를 통해 기관에 결합될 수 있고, 다른 통합 디바이스는 인터포저를 통해 기관에 결합될 수 있다. 도 1 내지 도 6은 하나 이상의 통합 디바이스들(예를 들어, 106, 406)이 적어도 하나의 비-와이어 본드를 통해 기관(예를 들어, 102)에 결합(예를 들어, 기계적 결합, 전기적 결합)되는, 다른 통합 디바이스의 최상부에 적층된 통합 디바이스들의 예를 예시한다. 비-와이어 본드들의 예로는 필터 상호연결부, 솔더 상호연결부 및/또는 인터포저가 포함된다. 비-와이어 본드들은 통합 디바이스와 기관 사이에 적어도 하나의 전기 경로를 제공한다. 비-와이어 본드들은 또한 통합 디바이스의 다른 통합 디바이스 위에 오버행된 부분에 대한 구조적 지지를 제공할 수 있다.

[0034] [0046] 통합 디바이스(예를 들어, 104, 106, 406)는 다이(예를 들어, 반도체 베어 다이)를 포함할 수 있다. 통합 디바이스는 전력 관리 통합 회로(PMIC)를 포함할 수 있다. 통합 디바이스는 애플리케이션 프로세서를 포함할 수 있다. 통합 디바이스는 모뎀을 포함할 수 있다. 통합 디바이스는 무선 주파수(RF) 디바이스, 수동 디바이스, 필터, 커패시터, 인덕터, 안테나, 송신기, 수신기, 갈륨 비소(GaAs) 기반 통합 디바이스, 표면 음향파(SAW) 필터들, 벌크 음향파(BAW) 필터, 발광 다이오드(LED) 통합 디바이스, 실리콘(Si) 기반 통합 디바이스, 실리콘 카바이드(SiC) 기반 통합 디바이스, 메모리, 전력 관리 프로세서 및/또는 이들의 조합들을 포함할 수 있다. 통합 디바이스(예를 들어, 104, 106, 406)는 적어도 하나의 전자 회로(예를 들어, 제1 전자 회로, 제2 전자 회로 등...)를 포함할 수 있다.

[0035] [0047] 일부 구현예들에서, 통합 디바이스(104)(예를 들어, 제1 통합 디바이스)는 프로세서 및/또는 모뎀을 포함할 수 있다. 일부 구현예들에서, 통합 디바이스(106)(예를 들어, 제2 통합 디바이스) 및/또는 통합 디바이스(406)(예를 들어, 제3 통합 디바이스)는 메모리를 포함할 수 있다. 통합 디바이스(106) 및 통합 디바이스(406)는 서로에 대해 평면형일 수 있다. 통합 디바이스(106) 및 통합 디바이스(406)는 유사하거나 서로 다른 두께들을 가질 수 있다.

[0036] [0048] 다양한 패키지들을 설명하였으므로, 이제 패키지를 제조하기 위한 몇 가지 방법들을 아래에 설명한다.

[0037] **오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지를 제조하기 위한 예시적인 순서**

[0038] [0049] 일부 구현예들에서, 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 7a 내지 도 7b는 패키지를 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 7a 내지 도 7b의 순서는 도 1의 패키지(100)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 7a 내지 도 7b의 공정은 본 개시에 설명된 패키지들(예를 들어, 400) 중 임의의 패키지를 제조하는 데 사용될 수 있다.

[0039] [0050] 도 7a 내지 도 7b의 순서는 패키지를 제공하거나 제조하는 순서를 단순화 및/또는 명확히 하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 공정들 중 하나 이상은 본 개시의 범위를 벗어나지 않고 대체되거나 치환될

수 있다.

- [0040] [0051] 도 7a에 도시된 바와 같이, 스테이지 1은 기판(102)이 제공된 후의 상태를 예시한다. 기판(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122) 및 솔더 레지스트 층(126)을 포함한다. 서로 다른 구현예들은 서로 다른 수의 금속 층들을 갖는 서로 다른 기판들을 사용할 수 있다. 기판은 코어리스 기판, 코어 기판 또는 임베디드 트레이스 기판(ETS)을 포함할 수 있다. 도 11a 내지 도 11b는 기판 제조의 일 예를 예시하고 설명한다.
- [0041] [0052] 스테이지 2는 기판(102) 위에 적어도 하나의 필러 상호연결부(160)가 형성된 후의 상태를 예시한다. 적어도 하나의 필러 상호연결부(160)를 형성하는 데 도금 공정이 사용될 수 있다. 적어도 하나의 필러 상호연결부(160)는 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부에 결합될 수 있다. 일부 구현예들에 있어서, 스테이지 1에서 기판(102)이 제공될 때, 적어도 하나의 필러 상호연결부(160)가 기판(102)과 함께 제공될 수 있음에 유의해야 한다. 일부 구현예들에서, 적어도 하나의 필러 상호연결부(160)는 기판(102)의 일부로 간주될 수 있다.
- [0042] [0053] 스테이지 3은 통합 디바이스(104)(예를 들어, 제1 통합 디바이스)가 기판(102)에 결합된 후의 상태를 예시한다. 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)을 통해 기판(102)에 결합될 수 있다. 솔더 리플로우 공정은 통합 디바이스(104)를 기판(102)에 결합시키는 데 사용될 수 있다.
- [0043] [0054] 스테이지 4는 통합 디바이스(106)의 부분(예를 들어, 180)이 통합 디바이스(104) 위에 오버행되도록 통합 디바이스(106)(예를 들어, 제2 통합 디바이스)가 통합 디바이스(104)에 결합된 후의 상태를 예시한다. 통합 디바이스(106)를 통합 디바이스(104)에 결합하기 위해 접착제가 사용될 수 있다. 예를 들어, 통합 디바이스(106)의 전면은 접착제를 통해 통합 디바이스(104)의 후면에 결합될 수 있다. 통합 디바이스(106)는 적어도 하나의 필러 상호연결부(160)를 통해 기판(102)에 결합될 수 있다. 솔더 리플로우 공정은 통합 디바이스(106)를 적어도 하나의 필러 상호연결부(160)에 결합시키기 위해 사용될 수 있으며, 이는 솔더 상호연결부들의 사용을 포함할 수 있다.
- [0044] [0055] 일부 구현예들에서, 통합 디바이스(106)는 적어도 하나의 필러 상호연결부(160)를 포함할 수 있다. 즉, 일부 구현예들에서, 적어도 하나의 필러 상호연결부(160)는 기판(102)에 결합되기 전에 통합 디바이스(106)에 형성 및/또는 결합될 수 있다. 이러한 경우들에서는, (스테이지 2에서) 적어도 하나의 필러 상호연결부(160)를 형성할 필요가 없을 수도 있다. 솔더 리플로우 공정은 (예를 들어, 통합 디바이스(106)의) 적어도 하나의 필러 상호연결부(160)를 기판(102)에 결합하는 데 사용될 수 있다. 이러한 경우에, 적어도 하나의 솔더 상호연결부는 적어도 하나의 필러 상호연결부(160) 및 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부에 결합될 수 있다. 서로 다른 구현예들은 서로 다른 통합 디바이스들을 통합 디바이스(104) 및/또는 기판(102)에 결합할 수 있다. 예를 들어, 통합 디바이스(406)는 통합 디바이스(104)에 결합될 수 있다.
- [0045] [0056] 도 7b에 도시된 바와 같이, 스테이지 5는 캡슐화 층(108)이 기판(102) 및 통합 디바이스들(예를 들어, 104, 106) 위에 제공(예를 들어, 형성)된 후의 상태를 예시한다. 캡슐화 층(108)은 통합 디바이스(들) 및/또는 구성요소들을 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 압축 성형 공정, 트랜스퍼 성형 공정 또는 액체 성형 공정이 캡슐화 층(108)을 형성하는 데 사용될 수 있다. 캡슐화 층(108)은 포토 에칭이 가능할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다.
- [0046] [0057] 스테이지 6은 복수의 솔더 상호연결부들(130)이 기판(102)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 복수의 솔더 상호연결부들(130)을 기판(102)의 복수의 상호연결부들(122)로부터의 상호연결부들에 결합하는 데 사용될 수 있다. 스테이지 6은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(100)의 일 예를 예시할 수 있다.
- [0047] **오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지를 제조하기 위한 예시적인 순서**
- [0048] [0058] 일부 구현예들에서, 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 8a 내지 도 8b는 패키지를 제공하거나 제조하기 위한 예시적인 순서를 예시적으로 도시한다. 일부 구현예들에서, 도 8a 내지 도 8b의 순서는 도 2의 패키지(200)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 8a 내지 도 8b의 공정은 본 개시에 설명된 패키지들(예를 들어, 500) 중 임의의 패키지를 제조하는 데 사용될 수 있다.
- [0049] [0059] 도 8a 내지 도 8b의 순서는 패키지를 제공하거나 제조하는 순서를 단순화 및/또는 명확히 하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 공정들 중 하나 이상이 본 개시의 범위를 벗어나지 않고 대체되거나 치환될

수 있다.

- [0050] [0060] 도 8a에 도시된 바와 같이, 스테이지 1은 기관(102)이 제공된 후의 상태를 예시한다. 기관(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122) 및 솔더 레지스트 층(126)을 포함한다. 서로 다른 구현예들은 서로 다른 수의 금속 층들을 갖는 서로 다른 기관들을 사용할 수 있다. 기관은 코어리스 기관, 코어 기관 또는 임베디드 트레이스 기관(ETS)을 포함할 수 있다. 도 11a 내지 도 11b는 기관 제조의 일 예를 예시하고 설명한다.
- [0051] [0061] 스테이지 2는 기관(102) 위에 적어도 하나의 필러 상호연결부(160)가 형성된 후의 상태를 예시한다. 적어도 하나의 필러 상호연결부(160)를 형성하는 데 도금 공정이 사용될 수 있다. 적어도 하나의 필러 상호연결부(160)는 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부에 결합될 수 있다. 일부 구현예들에 있어서, 스테이지 1에서 기관(102)이 제공될 때, 적어도 하나의 필러 상호연결부(160)는 기관(102)과 함께 제공될 수 있음에 유의해야 한다. 일부 구현예들에서, 적어도 하나의 필러 상호연결부(160)는 기관(102)의 일부로 간주될 수 있다.
- [0052] [0062] 스테이지 3은 적어도 하나의 필러 상호연결부(160) 위에 적어도 하나의 솔더 상호연결부(260)가 형성된 후의 상태를 예시한다. 솔더 리플로우 공정은 적어도 하나의 솔더 상호연결부(260)를 적어도 하나의 필러 상호연결부(160)에 결합하는 데 사용될 수 있다.
- [0053] [0063] 스테이지 4는 통합 디바이스(104)(예를 들어, 제1 통합 디바이스)가 기관(102)에 결합된 후의 상태를 예시한다. 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)을 통해 기관(102)에 결합될 수 있다. 솔더 리플로우 공정은 통합 디바이스(104)를 기관(102)에 결합시키는 데 사용될 수 있다.
- [0054] [0064] 도 8b에 도시된 바와 같이, 스테이지 5는 통합 디바이스(106)의 부분(예를 들어, 180)이 통합 디바이스(104) 위에 오버행되도록, 통합 디바이스(106)(예를 들어, 제2 통합 디바이스)가 통합 디바이스(104)에 결합된 후의 상태를 예시한다. 통합 디바이스(106)를 통합 디바이스(104)에 결합하기 위해 접착제가 사용될 수 있다. 예를 들어, 통합 디바이스(106)의 전면은 접착제를 통해 통합 디바이스(104)의 후면에 결합될 수 있다. 통합 디바이스(106)는 적어도 하나의 솔더 상호연결부(260) 및 적어도 하나의 필러 상호연결부(160)를 통해 기관(102)에 결합될 수 있다. 솔더 리플로우 공정은 적어도 하나의 솔더 상호연결부(260)를 통해 통합 디바이스(106)를 적어도 하나의 필러 상호연결부(160)에 결합하기 위해 사용될 수 있다. 서로 다른 구현예들은 서로 다른 통합 디바이스들을 통합 디바이스(104) 및/또는 기관(102)에 결합할 수 있다. 예를 들어, 통합 디바이스(406)는 통합 디바이스(104)에 결합될 수 있다.
- [0055] [0065] 스테이지 6은 캡슐화 층(108)이 기관(102) 및 통합 디바이스들 위에 제공(예를 들어, 형성)된 후의 상태를 예시한다. 캡슐화 층(108)은 통합 디바이스(들) 및/또는 구성요소들을 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 압축 성형 공정, 트랜스퍼 성형 공정 또는 액체 성형 공정이 캡슐화 층(108)을 형성하는 데 사용될 수 있다. 캡슐화 층(108)은 포토 에칭이 가능할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다.
- [0056] [0066] 스테이지 7은 복수의 솔더 상호연결부들(130)이 기관(102)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 복수의 솔더 상호연결부들(130)을 기관(102)의 복수의 상호연결부들(122)로부터의 상호연결부들에 결합하는 데 사용될 수 있다. 스테이지 7은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(200)의 일 예를 예시할 수 있다.
- [0057] **오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지를 제조하기 위한 예시적인 순서**
- [0058] [0067] 일부 구현예들에서, 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 9a 내지 도 9b는 패키지를 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 9a 내지 도 9b의 순서는 도 3의 패키지(300)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 9a 내지 도 9b의 공정은 본 개시에 설명된 패키지들(예를 들어, 600) 중 임의의 패키지를 제조하는 데 사용될 수 있다.
- [0059] [0068] 도 9a 내지 도 9b의 순서는 패키지를 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확히 하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 공정들 중 하나 이상은 본 개시의 범위를 벗어나지 않고 대체되거나 치환될 수 있다.
- [0060] [0069] 도 9a에 도시된 바와 같이, 스테이지 1은 기관(102)이 제공된 후의 상태를 예시한다. 기관(102)은 적어도

도 하나의 유전체 층(120), 복수의 상호연결부들(122) 및 솔더 레지스트 층(126)을 포함한다. 서로 다른 구현예들은 서로 다른 수의 금속 층들을 갖는 서로 다른 기판들을 사용할 수 있다. 기판은 코어리스 기판, 코어 기판 또는 임베디드 트레이스 기판(ETS)을 포함할 수 있다. 도 11a 내지 도 11b는 기판 제조의 일 예를 예시하고 설명한다.

- [0061] [0070] 스테이지 2는 통합 디바이스(104)(예를 들어, 제1 통합 디바이스)가 기판(102)에 결합된 후의 상태를 예시한다. 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)을 통해 기판(102)에 결합될 수 있다. 솔더 리플로우 공정은 통합 디바이스(104)를 기판(102)에 결합하는 데 사용될 수 있다.
- [0062] [0071] 스테이지 3은 인터포저(302)가 기판(102)에 결합된 후의 상태를 예시한다. 인터포저(302)는 적어도 하나의 솔더 상호연결부(360)를 통해 기판(102)에 결합될 수 있다. 적어도 하나의 솔더 상호연결부(360)는 복수의 상호연결부들(122)로부터의 상호연결부들에 결합될 수 있다. 솔더 리플로우 공정은 인터포저(302)를 기판(102)에 결합시키는 데 사용될 수 있다.
- [0063] [0072] 스테이지 4는 적어도 하나의 솔더 상호연결부(260)가 인터포저(302) 상에 형성된 후의 상태를 예시한다. 솔더 리플로우 공정은 적어도 하나의 솔더 상호연결부(260)를 인터포저(302)에 결합하는 데 사용될 수 있다.
- [0064] [0073] 도 9b에 도시된 바와 같이, 스테이지 5는 통합 디바이스(106)의 부분(예를 들어, 180)이 통합 디바이스(104) 위에 오버행되도록, 통합 디바이스(106)(예를 들어, 제2 통합 디바이스)가 통합 디바이스(104)에 결합된 후의 상태를 예시한다. 통합 디바이스(106)를 통합 디바이스(104)에 결합하기 위해 접착제가 사용될 수 있다. 예를 들어, 통합 디바이스(106)의 전면은 접착제를 통해 통합 디바이스(104)의 후면에 결합될 수 있다. 통합 디바이스(106)는 인터포저(302)를 통해 기판(102)에 결합될 수 있다. 솔더 리플로우 공정은 적어도 하나의 솔더 상호연결부(260)를 통해 통합 디바이스(106)를 인터포저(302)에 결합하는 데 사용될 수 있다. 서로 다른 구현예들은 서로 다른 통합 디바이스들을 통합 디바이스(104) 및/또는 기판(102)에 결합시킬 수 있다. 예를 들어, 통합 디바이스(406)는 통합 디바이스(104)에 결합될 수 있다.
- [0065] [0074] 스테이지 6은 캡슐화 층(108)이 기판(102) 및 통합 디바이스들 위에 제공(예를 들어, 형성)된 후의 상태를 예시한다. 캡슐화 층(108)은 통합 디바이스(들) 및/또는 구성요소들을 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 압축 성형 공정, 트랜스퍼 성형 공정 또는 액체 성형 공정이 캡슐화 층(108)을 형성하는 데 사용될 수 있다. 캡슐화 층(108)은 포토 에칭이 가능할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다.
- [0066] [0075] 스테이지 7은 복수의 솔더 상호연결부들(130)이 기판(102)에 결합된 후의 상태를 예시한다. 솔더 리플로우 공정은 복수의 솔더 상호연결부들(130)을 기판(102)의 복수의 상호연결부들(122)로부터의 상호연결부들에 결합하는 데 사용될 수 있다. 스테이지 7은 오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지(300)의 일 예를 예시할 수 있다.
- [0067] **오버행을 갖는 적층형 통합 디바이스들을 포함하는 패키지를 제조하기 위한 방법의 예시적인 흐름도**
- [0068] [0076] 일부 구현예들에서, 오버행을 갖는 기판 및 적층형 통합 디바이스들을 포함하는 패키지를 제조하는 것은 여러 공정들을 포함한다. 도 10은 패키지를 제공하거나 제조하기 위한 방법(1000)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 10의 방법(1000)은 본 개시에 설명된 도 1의 패키지(100)를 제공하거나 제조하는 데 사용될 수 있다. 그러나, 방법(1000)은 본 개시에 설명된 패키지들(예를 들어, 200, 300, 400, 500, 600) 중 임의의 패키지를 제공하거나 제조하는 데 사용될 수 있다.
- [0069] [0077] 도 10의 방법은 패키지를 제공하거나 제조하는 방법을 단순화 및/또는 명확화하기 위해 하나 이상의 공정들을 결합할 수 있다는 점에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다.
- [0070] [0078] 방법은 (1005에서) 기판(예를 들어, 102)을 제공한다. 기판(102)은 공급자에 의해 제공되거나 제조될 수 있다. 도 11a 내지 도 11b에 도시된 공정과 유사한 공정이 기판(102)을 제조하는 데 사용될 수 있다. 그러나, 서로 다른 구현예들은 기판(102)을 제조하기 위해 서로 다른 공정들을 사용할 수 있다. 기판(612)을 제조하기 위해 사용될 수 있는 공정들의 예들은 SAP(semi-additive process) 및 mSAP(modified semi-additive process)를 포함한다. 기판(102)은 적어도 하나의 유전체 층(120), 복수의 상호연결부들(122) 및 솔더 레지스트 층(126)을 포함한다. 기판(102)은 임베디드 트레이스 기판(ETS)을 포함할 수 있다. 일부 구현예들에서, 적어도 하나의 유전체 층(120)은 프리프레그 층들을 포함할 수 있다. 일부 구현예들에서, 기판(102)은 적어도 하나의 필러 상호연결부(예를 들어, 160)를 포함할 수 있다. 도 7a의 스테이지 1은 기판 제공의 일 예를 예시하

고 설명한다.

- [0071] [0079] 방법은 (1010에서) 적어도 하나의 통합 디바이스(예를 들어, 제1 통합 디바이스)를 기관에 결합한다. 예를 들어, 통합 디바이스(104)는 기관(102)의 제1 표면(예를 들어, 최상부 표면)에 결합된다. 통합 디바이스(104)는 복수의 솔더 상호연결부들(140)을 통해 기관(102)에 결합될 수 있다. 일부 구현예들에서, 통합 디바이스(104)는 복수의 필러 상호연결부들(도시되지 않음) 및 복수의 솔더 상호연결부들(140)을 통해 기관(102)에 결합될 수 있다. 솔더 리플로우 공정은 복수의 솔더 상호연결부들(140)을 통해 기관(102)에 통합 디바이스(104)를 결합하는 데 사용될 수 있다. 도 7a의 스테이지 2는 적어도 하나의 통합 디바이스를 기관에 결합하는 일 예를 예시하고 설명한다.
- [0072] [0080] 방법은 (1015에서) 다른 통합 디바이스를 통합 디바이스에 결합한다. 예를 들어, 통합 디바이스(106)(예를 들어, 제2 통합 디바이스)는 통합 디바이스(106)의 부분(예를 들어, 180)이 통합 디바이스(104) 위에 오버행되도록, 통합 디바이스(104)에 결합된다. 통합 디바이스(106)를 통합 디바이스(104)에 결합하기 위해 접착제가 사용될 수 있다. 예를 들어, 통합 디바이스(106)의 전면은 접착제를 통해 통합 디바이스(104)의 후면에 결합될 수 있다. 통합 디바이스(106)는 적어도 하나의 필러 상호연결부(160)를 포함할 수 있다. 통합 디바이스(106)는 적어도 하나의 필러 상호연결부(160)를 통해 기관(102)에 결합될 수 있다. 솔더 리플로우 공정은 적어도 하나의 필러 상호연결부(160)를 기관(102)에 결합하기 위해 사용될 수 있다. 이러한 경우에, 적어도 하나의 솔더 상호연결부는 적어도 하나의 필러 상호연결부(160) 및 복수의 상호연결부들(122)로부터의 적어도 하나의 상호연결부에 결합될 수 있다. 적어도 하나의 필러 상호연결부(160)는 통합 디바이스(106)를 기관(102)에 결합하기 전, 기관(102)의 일부일 수 있고, 그리고/또는 통합 디바이스(106)의 일부일 수 있음에 유의해야 한다. 도 7a의 스테이지 4는 적어도 하나의 필러 상호연결부를 통해 통합 디바이스들을 결합하는 일 예를 예시하고 설명한다.
- [0073] [0081] 일부 구현예들에서, 통합 디바이스(106)는 적어도 하나의 솔더 상호연결부(260) 및 적어도 하나의 필러 상호연결부(160)를 통해 기관(102)에 결합될 수 있다. 일부 구현예들에서, 적어도 하나의 필러 상호연결부(160)는 통합 디바이스(106)의 일부로 간주될 수 있다. 일부 구현예들에서, 적어도 하나의 필러 상호연결부(160)는 기관(102)의 일부로 간주될 수 있다. 솔더 리플로우 공정은 적어도 하나의 솔더 상호연결부(260)를 통해 통합 디바이스(106)를 적어도 하나의 필러 상호연결부(160)에 결합하기 위해 사용될 수 있다. 도 8b의 스테이지 5는 적어도 하나의 필러 상호연결부 및 적어도 하나의 솔더 상호연결부를 통해 통합 디바이스들을 결합하는 일 예를 예시하고 설명한다.
- [0074] [0082] 일부 구현예들에서, 통합 디바이스(106)는 인터포저(302)를 통해 기관(102)에 결합될 수 있다. 솔더 리플로우 공정은 적어도 하나의 솔더 상호연결부(260)를 통해 통합 디바이스(106)를 인터포저(302)에 결합시키는 데 사용될 수 있다. 인터포저(302)는 솔더 리플로우 공정을 통해 기관(102)에 결합될 수 있다. 도 9b의 스테이지 5는 적어도 인터포저를 통해 통합 디바이스를 결합하는 일 예를 예시하고 설명한다.
- [0075] [0083] 방법은 (1020에서) 기관(예를 들어, 102) 위에 캡슐화 층(예를 들어, 108)을 형성한다. 캡슐화 층(108)은 기관(102) 및 통합 디바이스들(예를 들어, 104, 106) 위에 제공 및 형성될 수 있다. 캡슐화 층(108)은 통합 디바이스(들) 및/또는 구성요소들을 캡슐화할 수 있다. 캡슐화 층(108)은 몰드, 수지 및/또는 에폭시를 포함할 수 있다. 압축 성형 공정, 트랜스퍼 성형 공정 또는 액체 성형 공정이 캡슐화 층(108)을 형성하는 데 사용될 수 있다. 캡슐화 층(108)은 포토 에칭이 가능할 수 있다. 캡슐화 층(108)은 캡슐화를 위한 수단일 수 있다. 도 7b의 스테이지 5는 캡슐화 층을 형성하는 일 예를 예시하고 설명한다.
- [0076] [0084] 방법은 (1025에서) 복수의 솔더 상호연결부들(예를 들어, 130)을 기관(예를 들어, 102)의 제2 표면에 결합한다. 복수의 솔더 상호연결부들(130)은 적어도 하나의 유전체 층(120)의 제2 표면 위에 위치되는 상호연결부들(예를 들어, 122)에 결합될 수 있다. 솔더 리플로우 공정은 복수의 솔더 상호연결부들(130)을 기관(102)에 결합시키는 데 사용될 수 있다. 도 7b의 스테이지 6은 솔더 상호연결부들을 기관에 결합하는 일 예를 예시하고 설명한다.
- [0077] [0085] 본 개시에 설명된 패키지들(예를 들어, 100)은 한 번에 하나씩 제조될 수도 있고, 하나 이상의 웨이퍼들의 일부로서 함께 제조된 다음 개별 패키지들로 단일화될 수도 있다.
- [0078] **기관 제조를 위한 예시적인 순서**
- [0079] [0086] 일부 구현예들에서, 기관의 제조는 여러 공정들을 포함한다. 도 11a 내지 도 11b는 기관을 제공하거나 제조하기 위한 예시적인 순서를 예시한다. 일부 구현예들에서, 도 11a 내지 도 11b의 순서는 도 1의 기관(10

2)을 제공하거나 제조하는 데 사용될 수 있다. 그러나, 도 11a 내지 도 11b의 공정은 본 개시에 설명된 기관들 중 임의의 기관을 제조하는 데 사용될 수 있다.

- [0080] [0087] 도 11a 내지 도 11b의 순서는 기관을 제공하거나 제조하기 위한 순서를 단순화 및/또는 명확히 하기 위해 하나 이상의 스테이지들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다. 일부 구현예들에서, 공정들 중 하나 이상은 개시의 범위를 벗어나지 않고 대체되거나 치환될 수 있다.
- [0081] [0088] 도 11a에 도시된 바와 같이, 스테이지 1은 캐리어(1100)가 제공되고 캐리어(1100) 위에 금속 층이 형성된 후의 상태를 예시한다. 금속 층은 상호연결부들(1102)을 형성하도록 패터닝될 수 있다. 금속 층 및 상호연결부들을 형성하는 데 도금 공정 및 에칭 공정이 사용될 수 있다. 일부 구현예들에서, 캐리어(1100)에는 상호연결부들(1102)을 형성하도록 패터닝되는 금속 층이 제공될 수 있다.
- [0082] [0089] 스테이지 2는 캐리어(1100) 및 상호연결부(1102) 위에 유전체 층(1120)이 형성된 후의 상태를 예시한다. 유전체 층(1120)을 형성하기 위해 증착 및/또는 적층 공정이 사용될 수 있다. 유전체 층(1120)은 폴리이미드를 포함할 수 있다. 그러나, 서로 다른 구현예들은 유전체 층을 위해 서로 다른 재료들을 사용할 수 있다.
- [0083] [0090] 스테이지 3은 유전체 층(1120) 내에 복수의 캐비티들(1110)이 형성된 후의 상태를 예시한다. 복수의 캐비티들(1110)은 에칭 공정(예를 들어, 포토 에칭 공정) 또는 레이저 공정을 사용하여 형성될 수 있다.
- [0084] [0091] 스테이지 4는 복수의 캐비티들(1110) 내부 및 상부를 포함하여 유전체 층(1120) 내부 및 상부에 상호연결부들(1112)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스들이 형성될 수 있다. 상호연결부들을 형성하는 데 도금 공정이 사용될 수 있다.
- [0085] [0092] 스테이지 5는 유전체 층(1120) 위에 다른 유전체 층(1122)이 형성된 후의 상태를 예시한다. 유전체 층(1122)을 형성하기 위해 증착 및/또는 적층 공정이 사용될 수 있다. 유전체 층(1122)은 유전체 층(1120)과 동일한 재료일 수 있다. 그러나, 서로 다른 구현예들은 유전체 층을 위해 서로 다른 재료들을 사용할 수 있다.
- [0086] [0093] 도 11b에 도시된 바와 같이, 스테이지 6은 유전체 층(1122) 내에 복수의 캐비티들(1130)이 형성된 후의 상태를 예시한다. 에칭 공정 또는 레이저 공정이 캐비티들(1130)을 형성하는 데 사용될 수 있다.
- [0087] [0094] 스테이지 7은 복수의 캐비티들(1130) 내부 및 상부를 포함하여 유전체 층(1122) 내부 및 상부에 상호연결부들(1114)이 형성된 후의 상태를 예시한다. 예를 들어, 비아, 패드 및/또는 트레이스가 형성될 수 있다. 상호연결부를 형성하는 데 도금 공정이 사용될 수 있다.
- [0088] [0095] 스테이지 5 내지 스테이지 7은 추가적인 금속 층들 및 추가적인 유전체 층들을 형성하기 위해 반복적으로 되풀이 될 수 있음에 유의해야 한다. 상호연결부들(1102, 1112 및/또는 1114)의 일부 또는 전부는 기관(102)의 복수의 상호연결부들(122)을 형성할 수 있다. 유전체 층들(1120, 및 1122)은 적어도 하나의 유전체 층(120)에 의해 표현될 수 있다.
- [0089] [0096] 스테이지 8은 캐리어(1100)가 유전체 층(120)으로부터 분리(예를 들어, 제거, 연마)된 후, 적어도 하나의 유전체 층(120) 및 복수의 상호연결부들(122)을 포함한 기관(102)이 남겨진 상태를 예시한다.
- [0090] [0097] 스테이지 9는 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)이 기관(102) 위에 형성된 후의 상태를 예시한다. 증착 공정은 솔더 레지스트 층(124) 및 솔더 레지스트 층(126)을 형성하는 데 사용될 수 있다. 일부 구현예들에서, 솔더 레지스트 층은 적어도 하나의 유전체 층(120) 위에 형성되지 않거나 또는 하나만 형성될 수 있다.
- [0091] [0098] 서로 다른 구현예들은 금속 층(들)을 형성하기 위해 서로 다른 공정들을 사용할 수 있다. 일부 구현예들에서, 금속 층(들)을 형성하기 위한 화학 기상 증착(CVD) 공정 및/또는 물리적 기상 증착(PVD) 공정이 사용된다. 예를 들어, 스퍼터링 공정, 스프레이 코팅 공정 및/또는 도금 공정이 금속 층(들)을 형성하는 데 사용될 수 있다.
- [0092] **기관 제조 방법의 예시적인 흐름도**
- [0093] [0099] 일부 구현예들에서, 기관의 제조는 여러 공정들을 포함한다. 도 12는 기관을 제공하거나 제조하기 위한 방법(1200)의 예시적인 흐름도를 예시한다. 일부 구현예들에서, 도 12의 방법(1200)은 도 1의 기관(들)을 제공하거나 제조하는 데 사용될 수 있다. 예를 들어, 도 12의 방법은 기관(102)을 제조하는 데 사용될 수 있다.

- [0094] [0100] 도 12의 방법(1200)은 기판을 제공하거나 제조하는 방법을 단순화 및/또는 명확히 하기 위해 하나 이상의 공정들을 결합할 수 있음에 유의해야 한다. 일부 구현예들에서, 공정들의 순서는 변경되거나 수정될 수 있다.
- [0095] [0101] 방법은 (1205에서) 캐리어(1100)를 제공한다. 서로 다른 구현예들은 캐리어를 위해 서로 다른 재료들을 사용할 수 있다. 캐리어는 기판, 유리, 석영 및/또는 캐리어 테이프를 포함할 수 있다. 도 11a의 스테이지 1은 제공된 캐리어의 일 예를 예시하고 설명한다.
- [0096] [0102] 방법은 (1210에서) 캐리어(1100) 위에 금속 층을 형성한다. 금속 층은 상호연결부들을 형성하도록 패턴될 수 있다. 금속 층 및 상호연결부들을 형성하는 데 도금 공정이 사용될 수 있다. 일부 구현예들에서, 캐리어는 금속 층을 포함할 수 있다. 캐리어 위의 금속 층은 상호연결부들(예를 들어, 1102)을 형성하도록 패턴될 수 있다. 도 11a의 스테이지 1은 캐리어 위에 형성되는 금속 층 및 상호연결부들의 일 예를 예시하고 설명한다.
- [0097] [0103] 방법은 (1215에서) 캐리어(1100) 및 상호연결부들(1102) 위에 유전체 층(1120)을 형성한다. 유전체 층을 형성하기 위해 증착 및/또는 적층 공정이 사용될 수 있다. 유전체 층(1120)은 폴리이미드를 포함할 수 있다. 유전체 층을 형성하는 것은 유전체 층(1120) 내에 복수의 캐비티들(예를 들어, 1110)을 형성하는 것을 더 포함할 수 있다. 복수의 캐비티들은 에칭 공정(예를 들어, 포토 에칭) 또는 레이저 공정을 사용하여 형성될 수 있다. 도 11a의 스테이지 2 및 스테이지 3은 유전체 층 및 유전체 층 내의 캐비티들을 형성하는 일 예를 예시하고 설명한다.
- [0098] [0104] 이 방법은 (1220에서) 유전체 층 내부 및 유전체 층 상부에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1112)은 유전체 층(1120) 내부 및 상부에 형성될 수 있다. 상호연결부를 형성하는 데 도금 공정이 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 상부 및/또는 유전체 층 내부에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 유전체 층의 캐비티들에 상호연결부들을 형성하는 것을 더 포함할 수 있다. 도 11a의 스테이지 4는 유전체 층 내부 및/또는 유전체 층 상부에 상호연결부들을 형성하는 일 예를 예시하고 설명한다.
- [0099] [0105] 이 방법은 (1225에서) 유전체 층(1120) 및 상호연결부들 위에 유전체 층(1122)을 형성한다. 유전체 층을 형성하기 위해 증착 및/또는 적층 공정이 사용될 수 있다. 유전체 층(1122)은 폴리이미드를 포함할 수 있다. 유전체 층을 형성하는 것은 유전체 층(1122) 내에 복수의 캐비티들(예를 들어, 1130)을 형성하는 것을 더 포함할 수 있다. 복수의 캐비티들은 에칭 공정 또는 레이저 공정을 사용하여 형성될 수 있다. 도 11a 내지 도 11b의 스테이지 5 및 스테이지 6은 유전체 층 및 유전체 층 내의 캐비티들을 형성하는 일 예를 예시하고 설명한다.
- [0100] [0106] 방법은 (1230에서) 유전체 층 내부 및/또는 유전체 층 상부에 상호연결부들을 형성한다. 예를 들어, 상호연결부들(1114)이 형성될 수 있다. 상호연결부들을 형성하는 데 도금 공정이 사용될 수 있다. 상호연결부들을 형성하는 것은 유전체 층 위에 패턴화된 금속 층을 제공하는 것을 포함할 수 있다. 상호연결부들을 형성하는 것은 유전체 층의 캐비티들에 상호연결부들을 형성하는 것을 더 포함할 수 있다. 도 11b의 스테이지 7은 유전체 층 내부 및 유전체 층 상부에 상호연결부들을 형성하는 일 예를 예시하고 설명한다.
- [0101] [0107] 이 방법은 1225 및 1230에 설명된 바와 같이 추가적인 유전체 층(들) 및 추가적인 상호연결부들을 형성할 수 있다.
- [0102] [0108] 일단 모든 유전체 층(들) 및 추가 상호연결부들이 형성되면, 방법은 유전체 층(1120)으로부터 캐리어(예를 들어, 1100)를 분리(예를 들어, 제거, 연마)하여 기판이 남게 될 수 있다. 일부 구현예들에서, 방법은 기판 위에 하나 이상의 솔더 레지스트 층들(예를 들어, 124, 126)을 형성할 수 있다.
- [0103] [0109] 서로 다른 구현예들은 금속 층(들)을 형성하기 위해 서로 다른 공정들을 사용할 수 있다. 일부 구현예들에서, 금속 층(들)을 형성하기 위한 화학 기상 증착(CVD) 공정 및/또는 물리적 기상 증착(PVD) 공정이 사용된다. 예를 들어, 스퍼터링 공정, 스프레이 코팅 공정 및/또는 도금 공정이 금속 층(들)을 형성하는 데 사용될 수 있다.
- [0104] **예시적인 전자 디바이스들**
- [0105] [0110] 도 13은 전술한 디바이스, 통합 디바이스, 통합 회로(IC) 패키지, 통합 회로(IC) 디바이스, 반도체 디바이스, 통합 회로, 다이, 인터포저, 패키지, 패키지 온 패키지(PoP), 시스템 인 패키지(SiP) 또는 시스템 온 칩

(SoC) 중 어느 하나와 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 휴대 전화 디바이스(1302), 랩톱 컴퓨터 디바이스(1304), 고정 위치 단말 디바이스(1306), 웨어러블 디바이스(1308) 또는 자동차 차량(1310)은 본 명세서에 설명된 바와 같은 디바이스(1300)를 포함할 수 있다. 디바이스(1300)는 예를 들어, 본 명세서에 설명된 디바이스들 및/또는 통합 회로(IC) 패키지들 중 임의의 것일 수 있다. 도 13에 예시된 디바이스들(1302, 1304, 1306 및 1308) 및 차량(1310)은 단지 예시적인 것일 뿐이다. 다른 전자 디바이스들은 또한 모바일 디바이스들, 휴대용 개인 통신 시스템(PCS) 유닛들, 휴대용 데이터 유닛들, 예를 들어 개인 디지털 비서들, 위성 위치 확인 시스템(GPS) 지원 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 음악 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 예를 들어 검침 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들(예를 들어, 시계들, 안경들), 사물 인터넷(IoT) 디바이스들, 서버들, 라우터들, 자동차 차량들(예를 들어, 자율주행 차량들)에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 검색하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하는(그러나, 이에 제한되지 않음) 디바이스(1300)를 특징으로 할 수 있다.

[0106] [0111] 도 1 내지 도 6, 도 7a 내지 도 7b, 도 8a 내지 도 8b, 도 9a 내지 도 9b, 도 10, 도 11a 및 도 11b 및/또는 도 12 및 도 13에 예시된 구성요소들, 공정들, 특징들 및/또는 기능들 중 하나 이상이 단일 구성요소, 공정, 특징 또는 기능으로 재배열 및/또는 결합되거나, 여러 구성요소들, 공정들 또는 기능들로 구체화될 수 있다. 또한, 추가적인 요소들, 구성요소들, 공정들 및/또는 기능들이 본 개시를 벗어나지 않고 추가될 수도 있다. 또한, 도 1 내지 도 6, 도 7a 내지 도 7b, 도 8a 내지 도 8b, 도 9a 내지 도 9b, 도 10, 도 11a 및 도 11b 및/또는 도 12 및 도 13 및 본 개시에서의 대응하는 설명이 다이들 및/또는 IC에 제한되지 않는다는 점에 유의해야 한다. 일부 구현예들에서, 도 1 내지 도 6, 도 7a 및 도 7b, 도 8a 및 도 8b, 도 9a 및 도 9b, 도 10, 도 11a 및 도 11b 및/또는 도 12 및 도 13 및 그 대응하는 설명은 디바이스들 및/또는 통합 디바이스들을 제조, 생성, 제공 및/또는 생산하기 위해 사용될 수 있다. 일부 구현예들에서, 디바이스는 다이, 통합 디바이스, 통합 수동 디바이스(IPD), 다이 패키지, 통합 회로(IC) 디바이스, 디바이스 패키지, 통합 회로(IC) 패키지, 웨이퍼, 반도체 디바이스, 패키지-온-패키지(PoP) 디바이스, 방열 디바이스 및/또는 인터포저를 포함할 수 있다.

[0107] [0112] 본 개시의 도면들은 다양한 부품들, 구성요소들, 객체들, 디바이스들, 패키지들, 통합 디바이스들, 통합 회로들 및/또는 트랜지스터들의 실제 표현들 및/또는 개념적 표현들을 나타낼 수 있음에 유의해야 한다. 일부의 경우들에서, 도면들은 실척대로 그려지지 않을 수 있다. 일부 경우들에서, 명확성의 목적을 위해, 모든 구성요소들 및/또는 부품들이 도시되지 않을 수 있다. 일부 경우들에서, 도면들 내의 다양한 부품들 및/또는 구성요소들의 포지션, 위치, 크기들 및/또는 형상들은 예시적일 수 있다. 일부 구현예들에서, 도면들 내의 다양한 구성요소들 및/또는 부품들은 선택적일 수 있다.

[0108] [0113] 본 명세서에서 "예시적"이라는 단어는 "일 예, 실례 또는 예시로서의 역할"을 의미하는 의미로 사용된다. 본 명세서에서 "예시적"인 것으로 설명된 임의의 구현예 또는 양태는 반드시 본 개시의 다른 양태들보다 선호되거나 유리한 것으로 해석되어서는 안 된다. 마찬가지로, "양태들"이라는 용어는 본 개시의 모든 양태들이 논의된 특징, 이점 또는 작동 모드를 포함할 것을 요구하지 않는다. 본 명세서에서 "결합된"이라는 용어는 두 객체들 사이의 직접적 또는 간접적 결합(예를 들어, 기계적 결합)을 지칭하는 데 사용된다. 예를 들어, 객체(A)가 객체(B)에 물리적으로 닿아 있고, 객체(B)가 객체(C)에 닿아 있는 경우, 객체들(A와 C)은 여전히 — 서로 직접 물리적으로 닿지 않더라도 — 서로 결합된 것으로 간주될 수 있다. 다른 객체에 결합된 객체는 객체의 일부 또는 객체의 전체에 결합될 수 있다. "전기적으로 결합"이라는 용어는 두 객체들이 직접 또는 간접적으로 서로 결합되어 전류(예를 들어, 신호, 전원, 접지)가 두 객체들 사이를 이동할 수 있음을 의미할 수 있다. 전기적으로 결합된 두 객체들은 두 객체들 사이에 전류가 흐르거나 흐르지 않을 수 있다. "제1", "제2", "제3" 및 "제4"(및/또는 제4를 초과하는 임의의 것)라는 용어의 사용은 임의적이다. 설명된 구성요소들 중 임의의 구성요소가 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. 예를 들어, 제2 구성요소를 지칭하는 구성요소는 제1 구성요소, 제2 구성요소, 제3 구성요소 또는 제4 구성요소일 수 있다. "캡슐화"라는 용어는 객체가 다른 객체를 부분적으로 캡슐화하거나 완전히 캡슐화할 수 있음을 의미한다. "최상부"와 "저부"라는 용어는 임의적이다. 최상부에 위치한 구성요소는 저부에 위치한 구성요소 위에 위치될 수 있다. 최상부 구성요소는 저부 구성요소로 간주될 수 있으며, 그 반대의 경우도 마찬가지이다. 본 개시에 설명된 바와 같이, 제2 구성요소 "위에" 위치되는 제1 구성요소는, 저부 또는 최상부가 임의로 정의되는 방식에 따라, 제1 구성요소가 제2 구성요소의 위 또는 아래에 위치된다는 것을 의미할 수 있다. 다른 예에서, 제1 구성요소는 제2 구성요소의 제1 표면 위(예를 들어, 윗쪽)에 위치될 수 있고, 제3 구성요소는 제2 구성요소의 제2

표면 위(예를 들어, 아랫쪽)에 위치될 수 있으며, 여기서 제2 표면은 제1 표면과 반대이다. 또한, 본 출원에서 다른 구성요소 위에 위치된 하나의 구성요소의 맥락에서 사용되는 "위에"라는 용어는 다른 구성요소 및/또는 다른 구성요소 내에 있는(예를 들어, 구성요소의 표면 상에 있거나 구성요소에 내장된) 구성요소를 의미하는 것으로 사용될 수 있음에 유의해야 한다. 따라서, 예를 들어, 제2 구성요소 위에 있는 제1 구성요소는 (1) 제1 구성요소가 제2 구성요소 위에 있지만 제2 구성요소에 직접 닿지 않고, (2) 제1 구성요소가 제2 구성요소 상에(예를 들어, 표면 상에) 있고, 및/또는 (3) 제1 구성요소가 제2 구성요소 내에(예를 들어, 매립되어) 있음을 의미할 수 있다. 제2 구성요소 "내에" 위치된 제1 구성요소는 제2 구성요소 내에 부분적으로 위치되거나 제2 구성요소 내에 완전히 위치될 수 있다. 본 개시에서 사용되는 바와 같이, "약 '값 X'" 또는 "대략 값 X"라는 용어는 '값 X'의 10 퍼센트 이내를 의미한다. 예를 들어, 약 1 또는 대략 1의 값은 0.9 내지 1.1 범위의 값을 의미한다.

[0109] [0114] 일부 구현예들에서, 상호연결부는 두 지점들, 요소들 및/또는 구성요소들 사이의 전기적 연결을 허용하거나 용이하게 하는 디바이스 또는 패키지의 요소 또는 구성요소이다. 일부 구현예들에서, 상호연결부는 트레이스, 비아, 패드, 필러, 금속화 층, 재분배 층 및/또는 언더 범프 금속화(UBM) 층 / 상호연결부를 포함할 수 있다. 일부 구현예들에서, 상호연결부는 신호(예를 들어, 데이터 신호), 접지 및/또는 전력에 대한 전기 경로를 제공하도록 구성될 수 있는 전기 전도성 재료를 포함할 수 있다. 상호연결부는 하나를 초과하는 요소 또는 구성요소를 포함할 수 있다. 상호연결부는 하나 이상의 상호연결부들로 정의될 수 있다. 상호연결부는 하나 이상의 금속 층들을 포함할 수 있다. 상호연결부는 회로의 일부일 수 있다. 서로 다른 구현예들은 상호연결부들을 형성하기 위해 서로 다른 공정들 및/또는 순서들을 사용할 수 있다. 일부 구현예들에서, 화학적 기상 증착(CVD) 공정, 물리적 기상 증착(PVD) 공정, 스퍼터링 공정, 스프레이 코팅 및/또는 도금 공정이 상호연결부들을 형성하기 위해 사용될 수 있다.

[0110] [0115] 또한, 본 명세서에 포함되는 다양한 개시들은 순서도, 흐름도, 구조도 또는 블록도로 묘사된 공정으로서 설명될 수 있음에 유의해야 한다. 순서도는 동작들을 순차적인 공정으로서 설명할 수 있지만, 많은 동작들이 병렬적으로 또는 동시에 수행될 수 있다. 또한, 동작들의 순서는 재조정될 수 있다. 공정은 그 동작들이 완료되면 종료된다.

[0111] [0116] 이하에서는, 본 개시의 이해를 돕기 위해 추가적인 예들을 설명한다.

[0112] [0117] 양태 1: 패키지로써, 기관; 기관에 결합된 제1 통합 디바이스; 및 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함한다. 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행된다. 제2 통합 디바이스는 기관에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기관을 향한다.

[0113] [0118] 양태 2: 양태 1의 패키지에 있어서, 제2 통합 디바이스는 적어도 하나의 필러 상호연결부를 통해 기관에 결합된다.

[0114] [0119] 양태 3: 양태 1의 패키지에 있어서, 제2 통합 디바이스는 인터포저 및 적어도 하나의 솔더 상호연결부를 통해 기관에 결합된다.

[0115] [0120] 양태 4: 양태 3의 패키지에 있어서, 인터포저는 유전체 층 및 적어도 하나의 인터포저 상호연결부를 포함한다.

[0116] [0121] 양태 5: 양태 3 내지 양태 4의 패키지에 있어서, 인터포저는 기관과, 제1 통합 디바이스 위에 오버행된, 제2 통합 디바이스의 일부 사이에 위치된다.

[0117] [0122] 양태 6: 양태 1 내지 양태 5의 패키지에 있어서, 제2 통합 디바이스는 접착제를 통해 제1 통합 디바이스에 결합된다.

[0118] [0123] 양태 7: 양태 1 내지 양태 6의 패키지에 있어서, 제1 통합 디바이스는 제1 전면 및 제1 후면을 포함하고, 제2 통합 디바이스의 전면은 제1 통합 디바이스의 제1 후면을 향한다.

[0119] [0124] 양태 8: 양태 1 내지 양태 7의 패키지에 있어서, 제1 통합 디바이스는 복수의 솔더 상호연결부들을 통해 기관에 결합된다.

[0120] [0125] 양태 9: 양태 1 내지 양태 8의 패키지에 있어서, 제1 통합 디바이스에 결합된 제3 통합 디바이스를 더 포함하고, 제3 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행되고, 제3 통합 디바이스는 기관에 결합

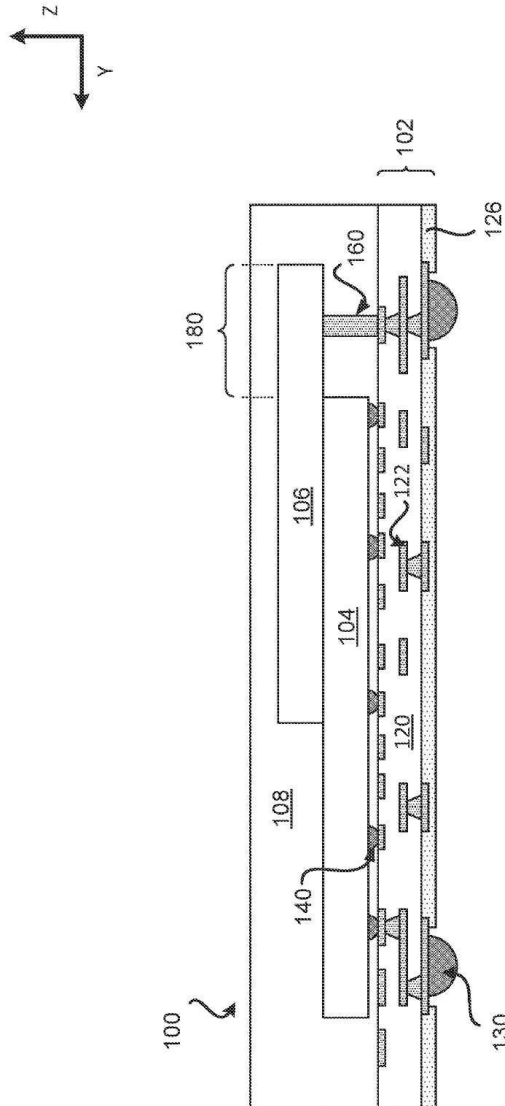
되도록 구성된다.

- [0121] [0126] 양태 10: 양태 9의 패키지에 있어서, 제3 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 기판에 결합된다.
- [0122] [0127] 양태 11: 장치로서, 기판; 기판에 결합된 제1 통합 디바이스; 및 제1 통합 디바이스에 결합된 제2 통합 디바이스를 포함한다. 제2 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행된다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다.
- [0123] [0128] 양태 12: 양태 11의 장치에 있어서, 제2 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 기판에 결합된다.
- [0124] [0129] 양태 13: 양태 12의 장치에 있어서, 인터포저는 유전체 층 및 적어도 하나의 인터포저 상호연결부를 포함한다.
- [0125] [0130] 양태 14: 양태 12 내지 양태 13의 장치에 있어서, 인터포저는 기판과, 제1 통합 디바이스 위에 오버행되는, 제2 통합 디바이스의 일부 사이에 위치된다.
- [0126] [0131] 양태 15: 양태 11 내지 양태 14의 장치에 있어서, 제2 통합 디바이스는 접착제를 통해 제1 통합 디바이스에 결합된다.
- [0127] [0132] 양태 16: 양태 11 내지 양태 15의 장치에 있어서, 제1 통합 디바이스는 제1 전면 및 제1 후면을 포함하고, 제2 통합 디바이스의 전면은 제1 통합 디바이스의 제1 후면을 향한다.
- [0128] [0133] 양태 17: 양태 11 내지 양태 16의 장치에 있어서, 제1 통합 디바이스는 복수의 솔더 상호연결부들을 통해 기판에 결합된다.
- [0129] [0134] 양태 18: 양태 11 내지 양태 17의 장치에 있어서, 제1 통합 디바이스에 결합된 제3 통합 디바이스를 더 포함하고, 제3 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행되고, 제3 통합 디바이스는 기판에 결합되도록 구성된다.
- [0130] [0135] 양태 19: 양태 18의 장치에 있어서, 제3 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 기판과 결합된다.
- [0131] [0136] 양태 20: 양태 11 내지 양태 19의 장치에 있어서, 장치는 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 디지털 비서, 고정 위치 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 사물 인터넷(IoT) 디바이스 및 자동차 차량의 디바이스로 구성된 그룹으로부터 선택된 디바이스를 포함한다.
- [0132] [0137] 양태 21: 패키지를 제조하는 방법. 방법은 기판을 제공한다. 방법은 제1 통합 디바이스를 기판에 결합한다. 방법은 제2 통합 디바이스의 일부가 제1 통합 디바이스 위에 오버행되도록, 제2 통합 디바이스를 제1 통합 디바이스에 결합한다. 제2 통합 디바이스는 기판에 결합되도록 구성된다. 제2 통합 디바이스는 전면 및 후면을 포함한다. 제2 통합 디바이스의 전면은 기판을 향한다.
- [0133] [0138] 양태 22: 양태 21의 방법에 있어서, 제2 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 기판에 결합된다.
- [0134] [0139] 양태 23: 양태 21 내지 양태 22의 방법에 있어서, 제2 통합 디바이스는 접착제를 통해 제1 통합 디바이스에 결합된다.
- [0135] [0140] 양태 24: 양태 21 내지 양태 23의 방법에 있어서, 기판 위에 캡슐화 층을 형성하는 것을 더 포함한다.
- [0136] [0141] 양태 25: 양태 21 내지 양태 24의 방법에 있어서, 제3 통합 디바이스를 제1 통합 디바이스에 결합시키는 것을 더 포함하며, 제3 통합 디바이스의 일부는 제1 통합 디바이스 위에 오버행되고, 제3 통합 디바이스는 기판과 결합되도록 구성된다.
- [0137] [0142] 양태 26: 양태 25의 방법에 있어서, 제3 통합 디바이스는 적어도 하나의 필러 상호연결부, 적어도 하나의 솔더 상호연결부 및/또는 인터포저를 통해 기판에 결합된다.
- [0138] [0143] 본 명세서에 설명된 개시의 다양한 특징들은 본 개시를 벗어남이 없이 서로 다른 시스템들에서 구현될

수 있다. 전술한 본 개시의 양태들은 단지 예들일 뿐이며, 본 개시를 제한하는 것으로 해석되어서는 안 된다는 점에 유의해야 한다. 본 개시의 양태들에 대한 설명은 예시적인 것이며, 청구항들의 범위를 제한하기 위한 것이 아니다. 따라서, 본 교시내용들은 다른 유형들의 장치들에 쉽게 적용될 수 있으며, 당업자들에게는 많은 대안들, 수정들 및 변형들이 명백할 것이다.

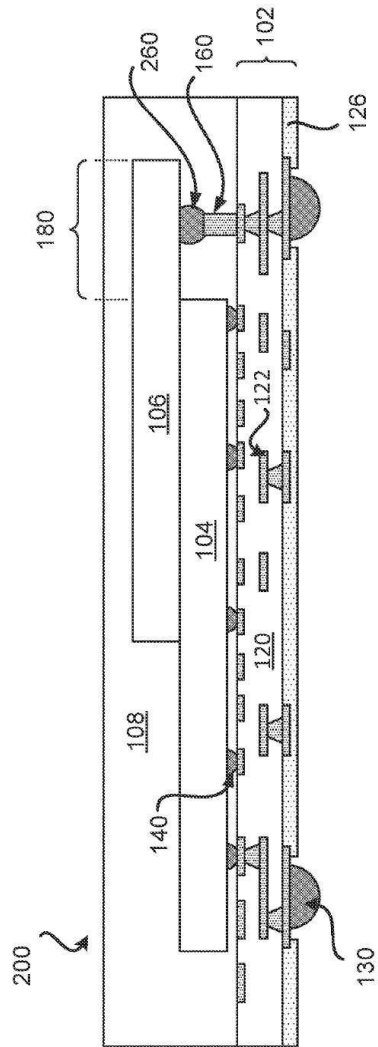
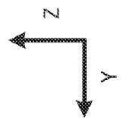
도면

도면1



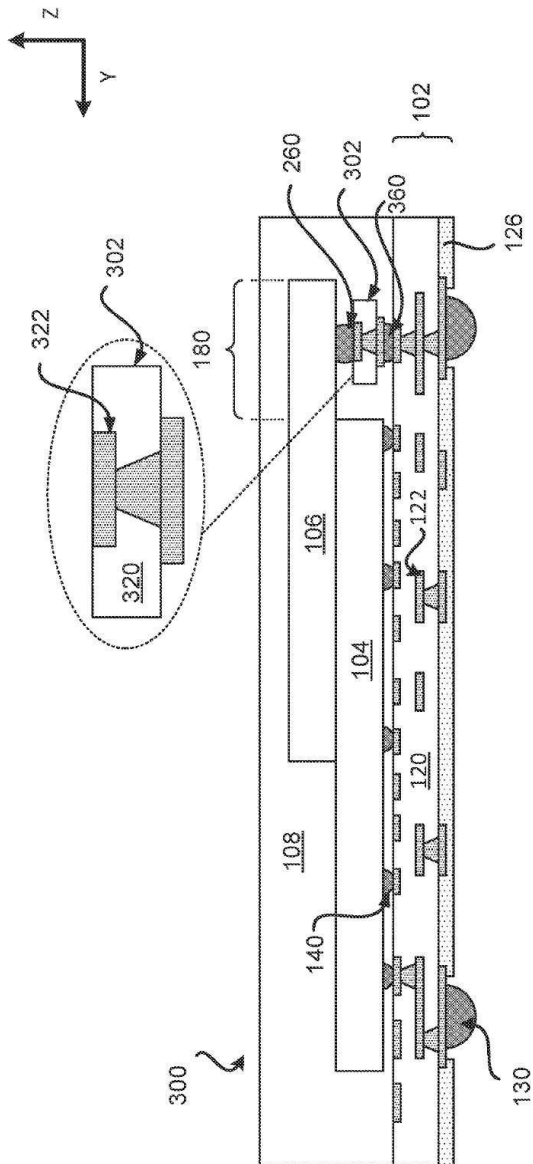
파  
잉  
파  
로  
프  
로  
단

도면2



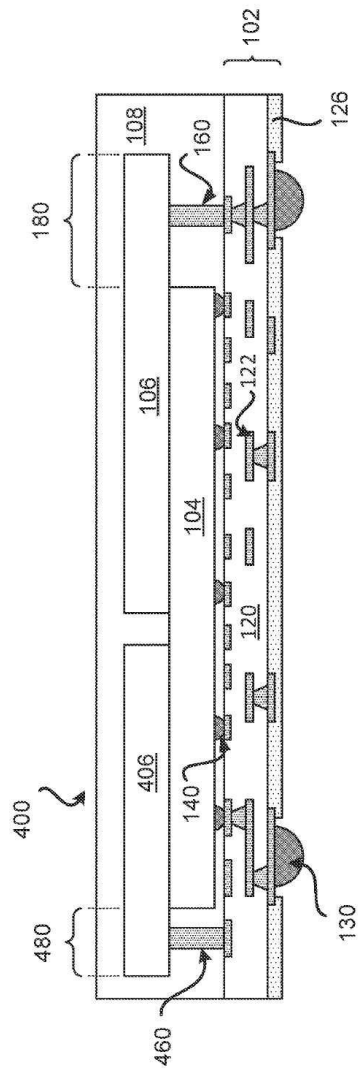
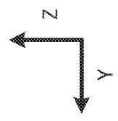
단면 프로파일 일 예

도면3



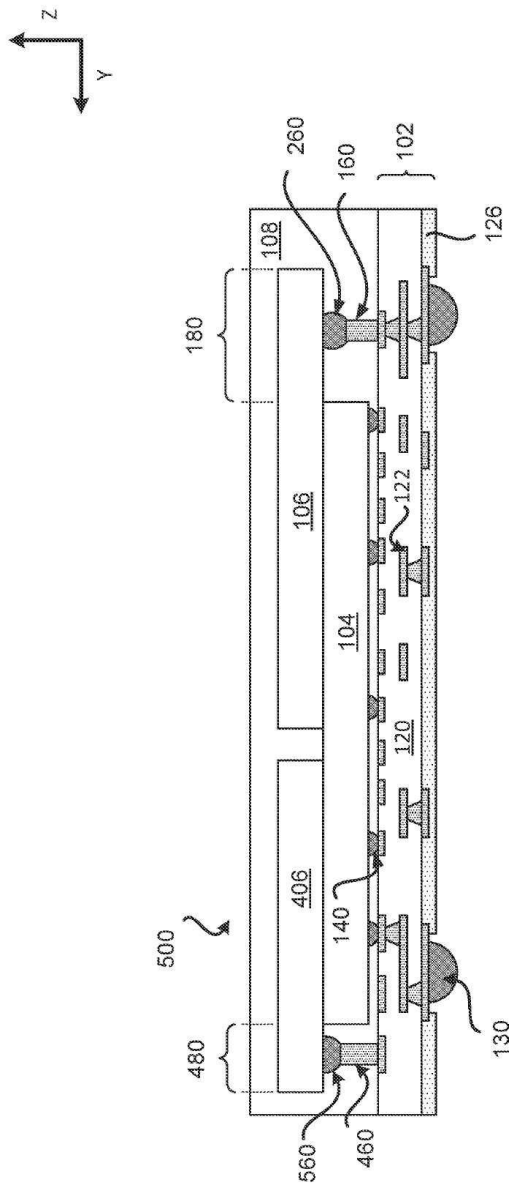
단면 프로파일

도면4



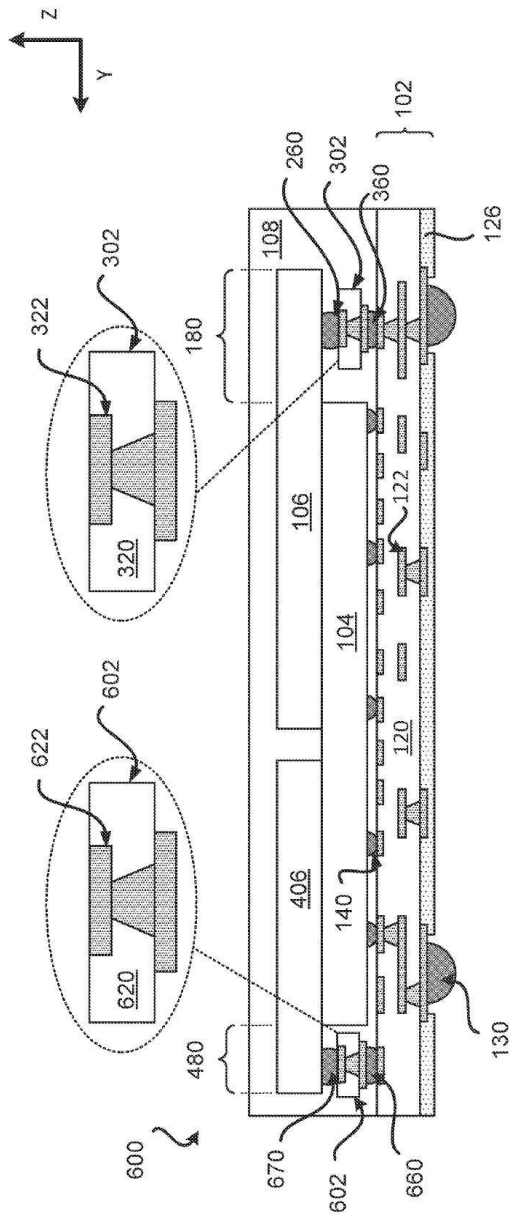
파  
단  
면  
의  
사  
상  
도

도면5



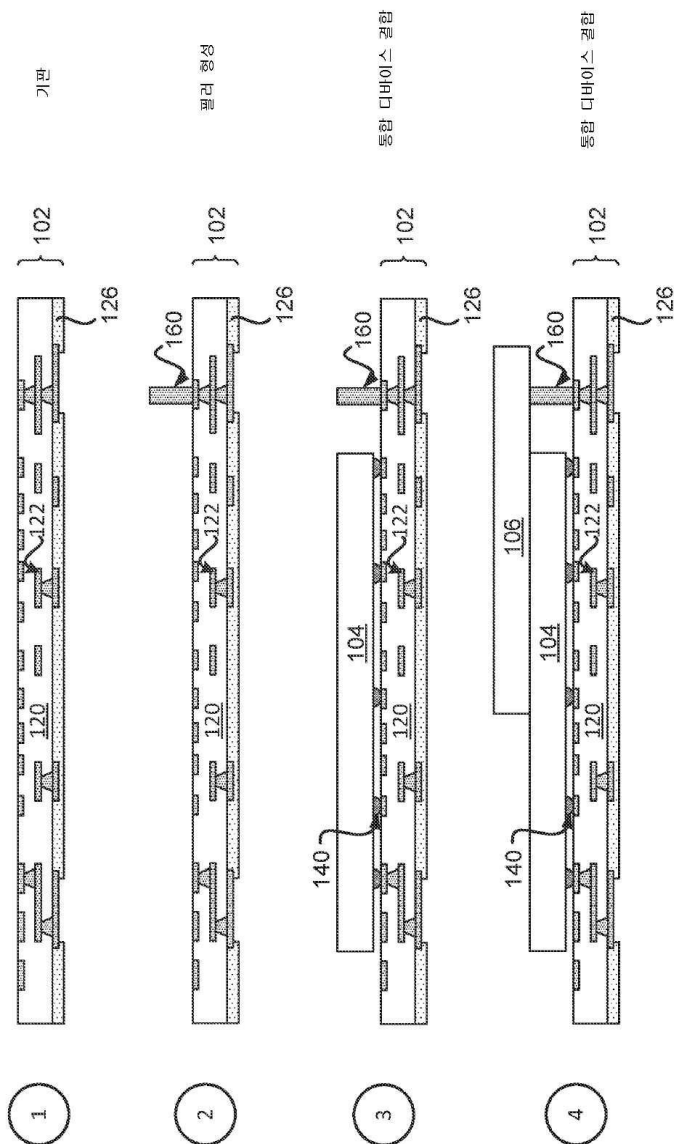
단면 프로파일 뷰

도면6

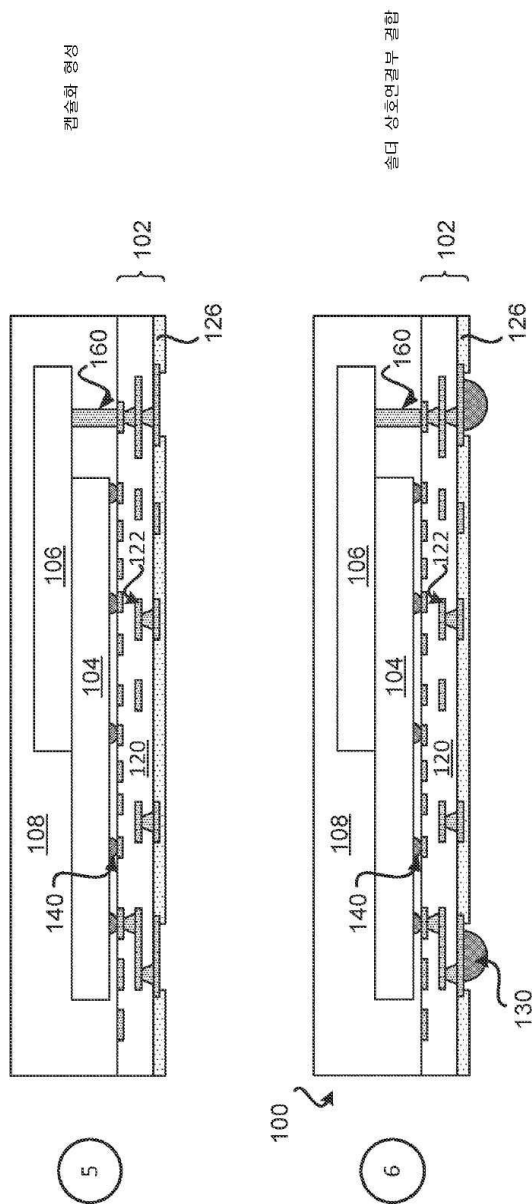


단면 프로파일 일 부

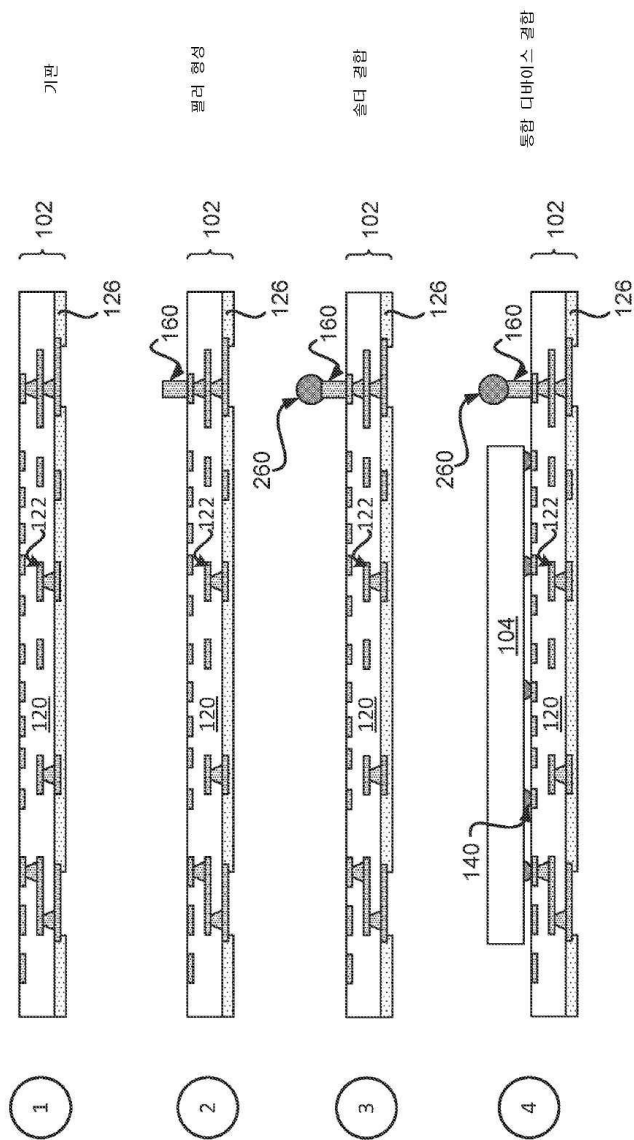
도면7a



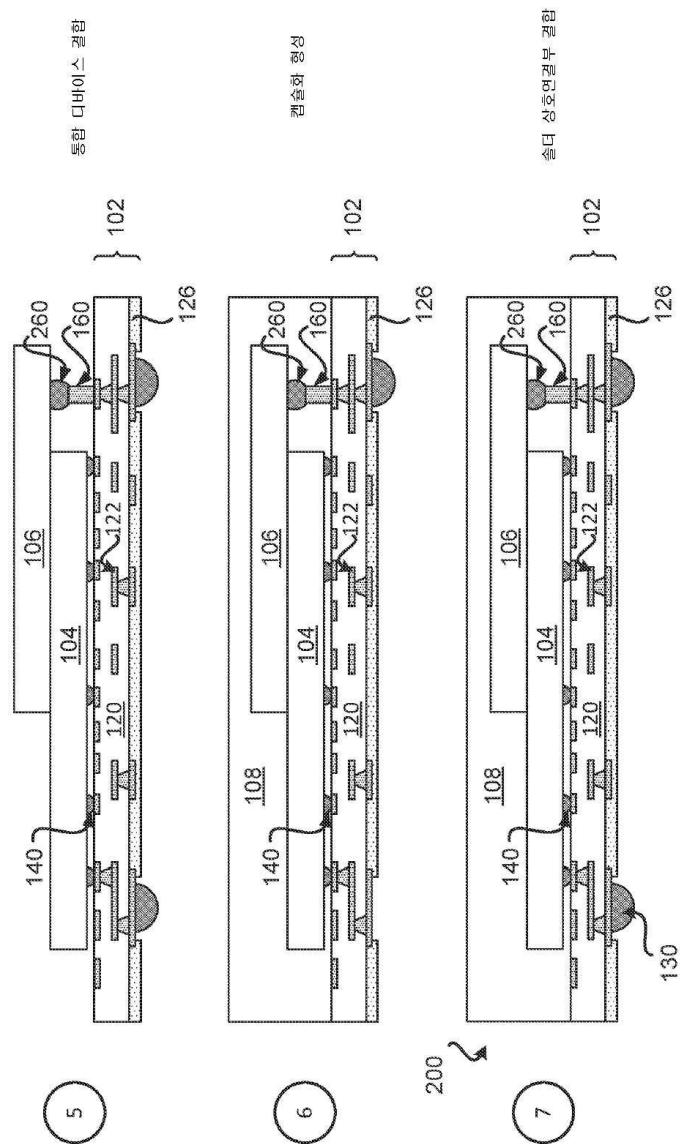
도면7b



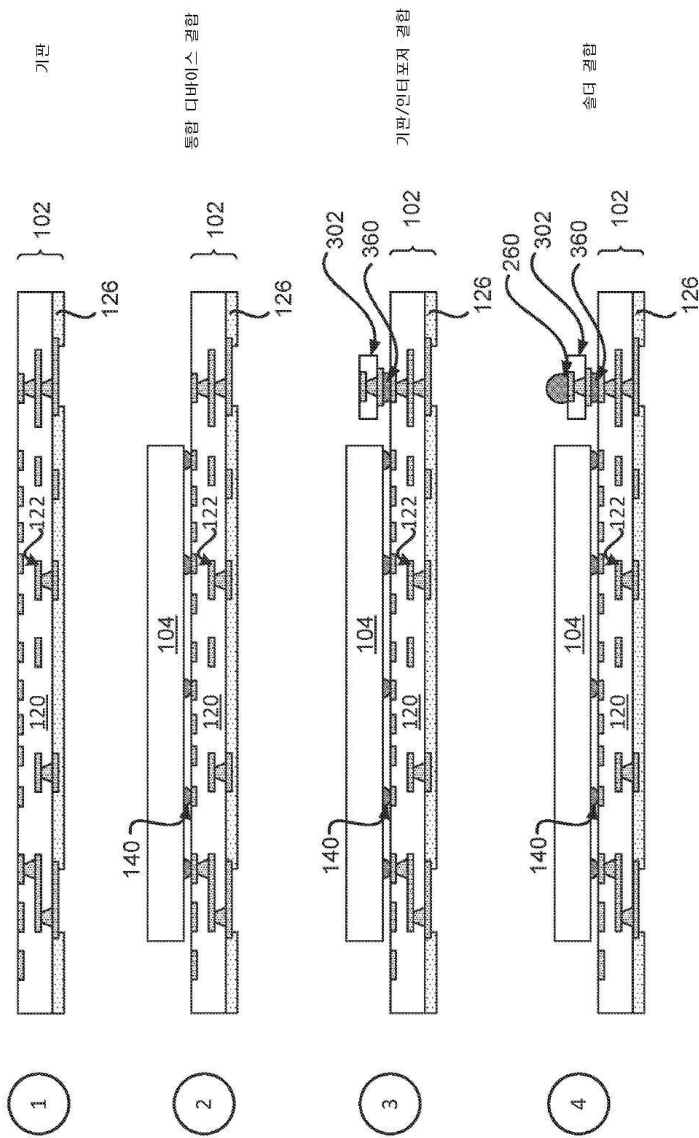
도면 8a



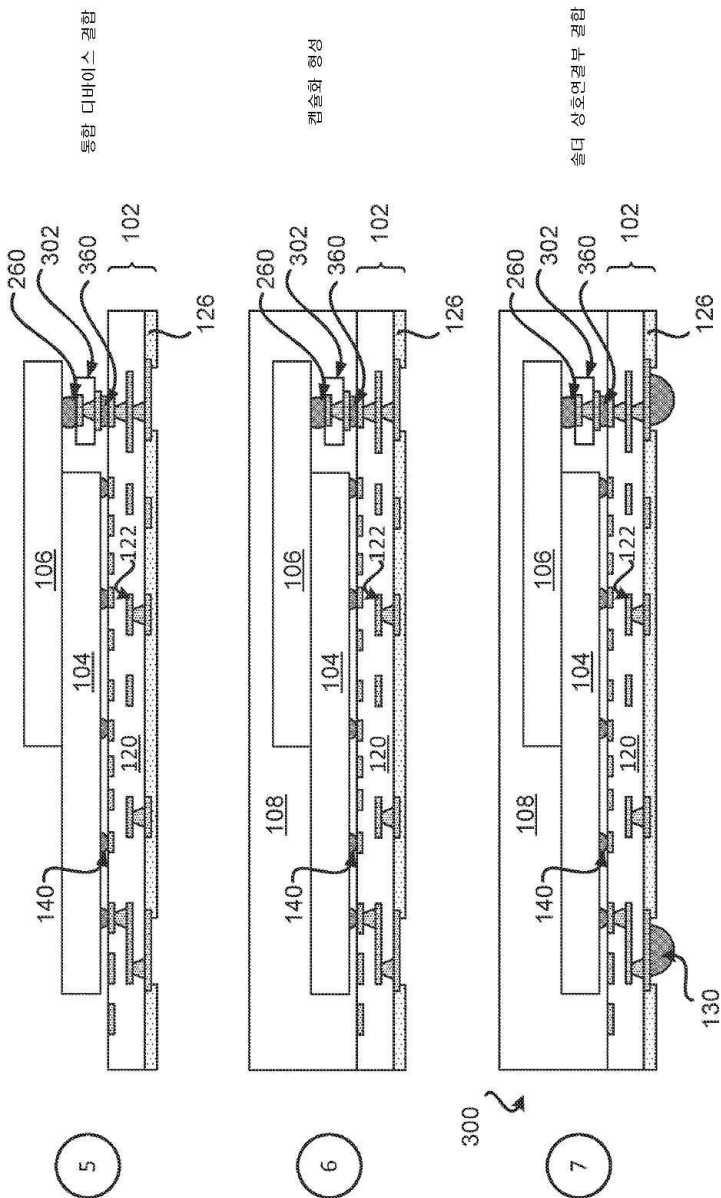
도면8b



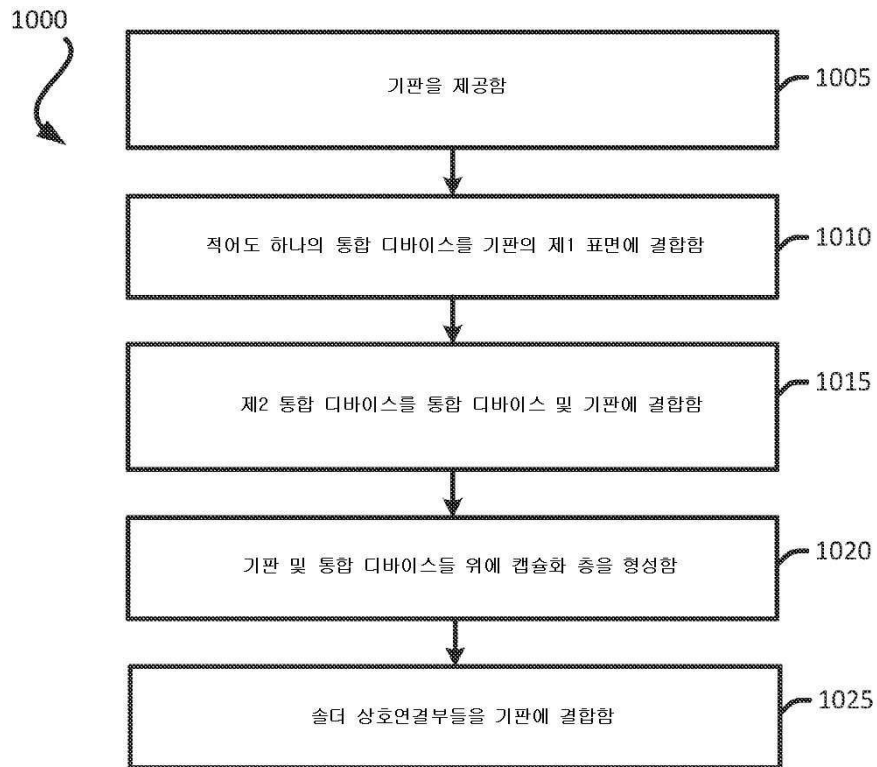
도면9a



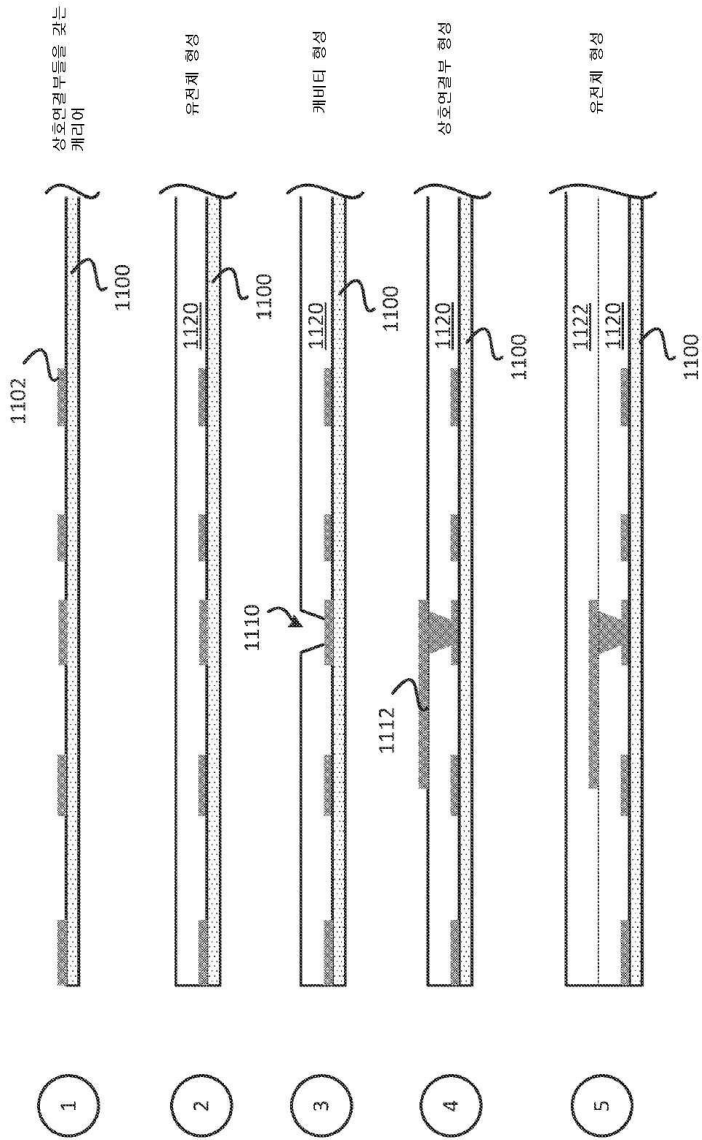
도면9b



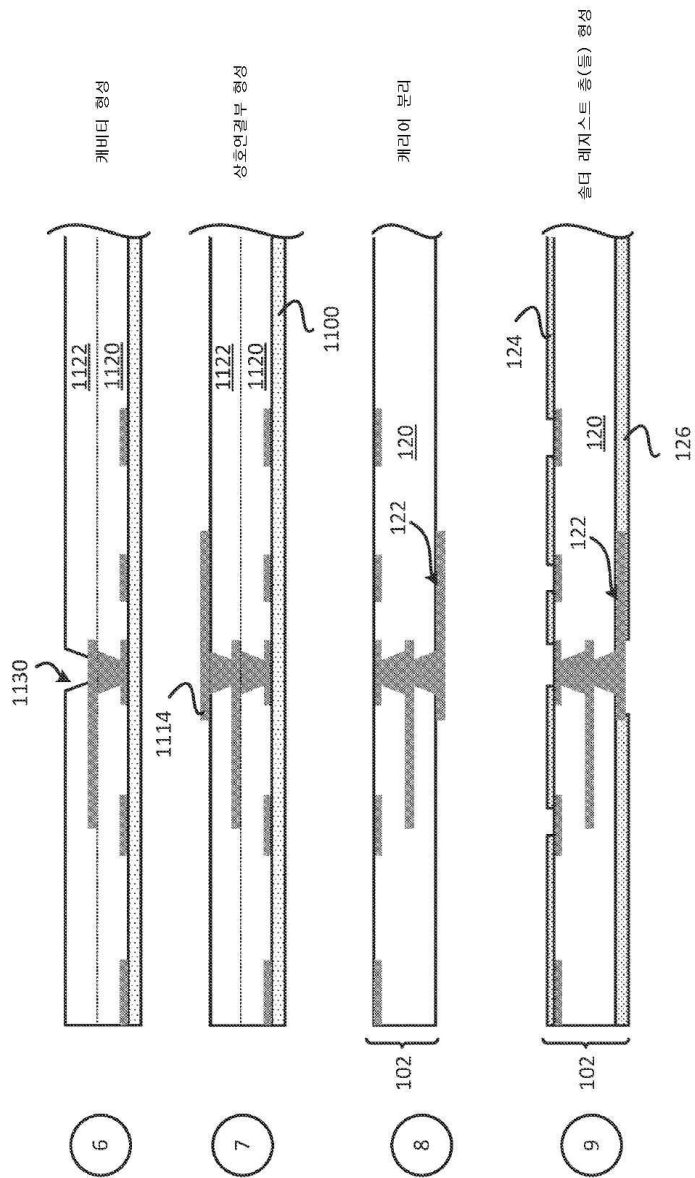
도면10



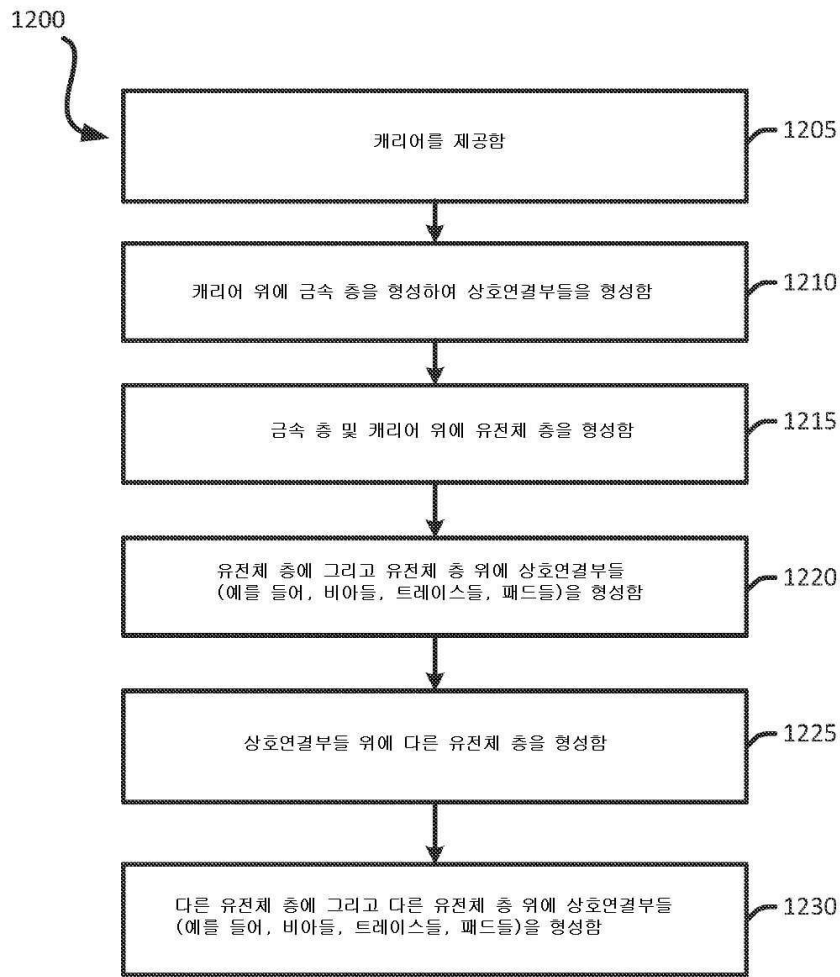
도면11a



도면11b



도면12



도면13

