



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I509448 B

(45) 公告日：中華民國 104 (2015) 年 11 月 21 日

(21) 申請案號：103127247

(22) 申請日：中華民國 103 (2014) 年 08 月 08 日

(51) Int. Cl. : G06F17/50 (2006.01)

(30) 優先權：2013/08/15 世界智慧財產權組織 PCT/US2013/055024

(71) 申請人：英派爾科技開發有限公司 (美國) EMPIRE TECHNOLOGY DEVELOPMENT LLC
(US)

美國

(72) 發明人：波特科尼爾克 米奧德拉格 POTKONJAK, MIODRAG (US) ; 梅格迪奇安 沙羅
MEGUERDICHIAN, SARO (US)

(74) 代理人：蔡濱陽

(56) 參考文獻：

TW 201201340A

US 2011/114919A1

US 2012/074387A1

審查人員：施易昉

申請專利範圍項數：22 項 圖式數：4 共 33 頁

(54) 名稱

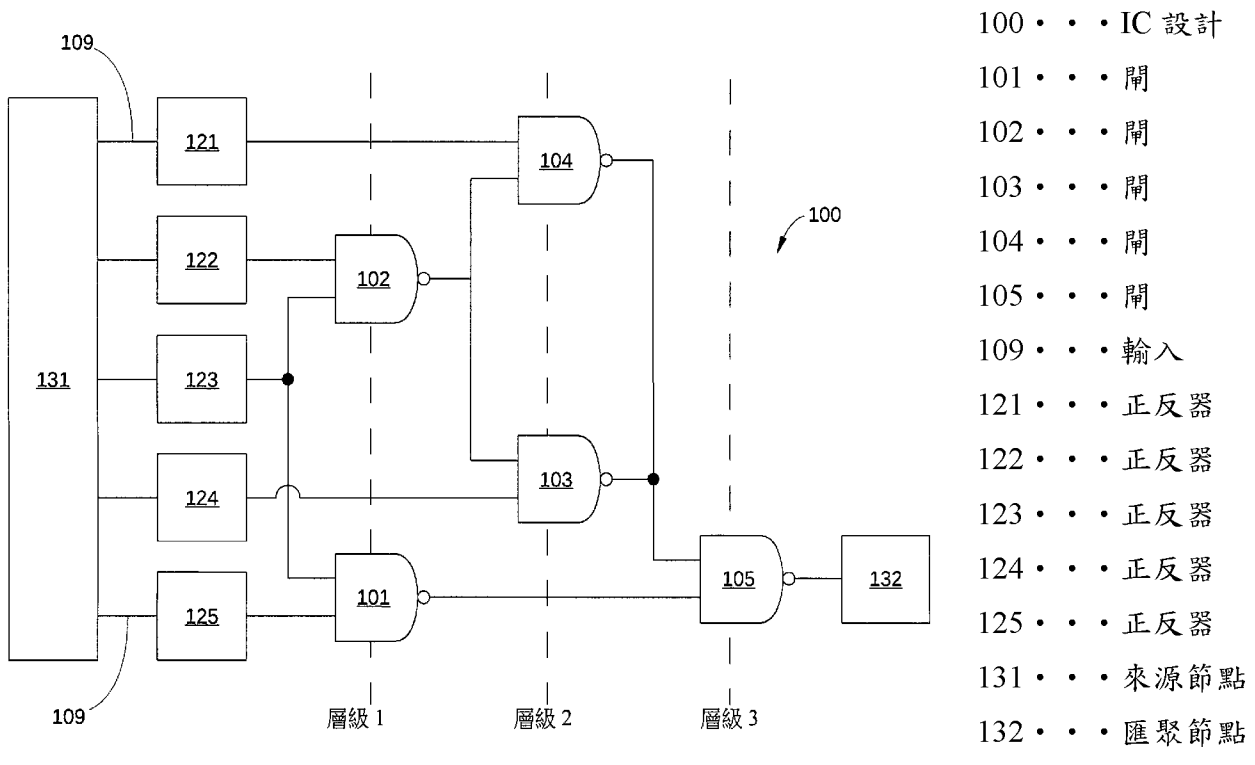
具有石墨烯電晶體之處理器的良率最佳化

YIELD OPTIMIZATION OF PROCESSOR WITH GRAPHENE-BASED TRANSISTORS

(57) 摘要

本說明書所述之技術通常包括有關選擇一積體電路(IC)設計中之石墨烯與非石墨烯電晶體組合之方法與系統。為了降低由石墨烯電晶體所導致之洩漏能量增加，在 IC 設計中，選定的非石墨烯電晶體可被替換為石墨烯電晶體，而其他的非石墨烯電晶體則仍保留在該 IC 設計中。為了限制在 IC 設計中的石墨烯電晶體的數量，在可實現明顯延遲效益的 IC 設計中，石墨烯電晶體主要可替換在某些位置處的非石墨烯電晶體。

Techniques described herein generally include methods and systems related to the selection of a combination of graphene and non-graphene transistors in an IC design. To reduce the increase in leakage energy caused by graphene transistors, selected non-graphene transistors may be replaced with graphene transistors in the IC design while other non-graphene transistors may be retained in the IC design. To limit the number of graphene transistors in the IC design, graphene transistors may replace non-graphene transistors primarily at locations in the IC design where significant delay benefit can be realized.



第一圖

發明摘要

※ 申請案號：103127247

※ 申請日：103.8.8

※IPC 分類：G06F17/50 (2006.01)

【發明名稱】(中文/英文)

具有石墨烯電晶體之處理器的良率最佳化/YIELD OPTIMIZATION OF PROCESSOR WITH GRAPHENE-BASED TRANSISTORS

【中文】

本說明書所述之技術通常包括有關選擇一積體電路 (IC) 設計中之石墨烯與非石墨烯電晶體組合之方法與系統。為了降低由石墨烯電晶體所導致之洩漏能量增加，在 IC 設計中，選定的非石墨烯電晶體可被替換為石墨烯電晶體，而其他的非石墨烯電晶體則仍保留在該 IC 設計中。為了限制在 IC 設計中的石墨烯電晶體的數量，在可實現明顯延遲效益的 IC 設計中，石墨烯電晶體主要可替換在某些位置處的非石墨烯電晶體。

【英文】

Techniques described herein generally include methods and systems related to the selection of a combination of graphene and non-graphene transistors in an IC design. To reduce the increase in leakage energy caused by graphene transistors, selected non-graphene transistors may be replaced with graphene transistors in the IC design while other non-graphene transistors may be retained in the IC design. To limit the number of graphene transistors in the IC design, graphene transistors may replace non-graphene transistors primarily at locations in the IC design where significant delay benefit can be realized.

【代表圖】

【本案指定代表圖】：第（一）圖。

【本代表圖之符號簡單說明】：

100	IC 設計	121	正反器
101	閘	122	正反器
102	閘	123	正反器
103	閘	124	正反器
104	閘	125	正反器
105	閘	131	來源節點
109	輸入	132	匯聚節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有石墨烯電晶體之處理器的良率最佳化/YIELD OPTIMIZATION OF PROCESSOR WITH GRAPHENE-BASED TRANSISTORS

【背景技術】

【0001】 除非在本說明書中另外指出，否則在此段中描述的方法並不是本申請案中申請專利範圍的先前技術，且不是藉由被包含在此段中而被認許為先前技術。

【0002】 石墨烯是碳的一種同素異形體，其結構是由緊密堆積為蜂窩狀結晶晶格（例如規則的六角圖樣）之 sp^2 -鍵結的碳原子構成的一單平面薄片。石墨烯是一種半金屬或零能隙之半導體，且在室溫下具有可觀的高電子移動率。因此，存在有對於將石墨烯使用於積體電路相關之各種應用的興趣。例如，一石墨烯電晶體是一種矽電晶體，其中電晶體的通道是利用石墨烯所形成。一般而言，在石墨烯電晶體中，電晶體的所有其他組成可與一典型的互補型金屬氧化物半導體（CMOS）電晶體中的組成實質相同。因此，將石墨烯與 CMOS 電晶體整合在一單處理器中會是相對簡單且不昂貴的。由於石墨烯電晶體的各种特性，包括非常低的延遲與切換能量，故石墨烯在積體電路中的使用會有某程度的可能潛力。然而，石墨烯同時也具有某些缺點。

【簡述】

【0003】 根據本發明的至少某些具體實施例，一種用以於一積體電路（IC）中選擇一異質電晶體的組合之方法包括：識別有關該 IC 設計的複數個層級，其中每個層級包括一或多個組合元件，其包括以一非石墨烯半導體材料所形成之電晶體，且構成接收來自該 IC 設計的一緊接層級中所含的至少一組合元件、至少一循序元件、或這兩者的組合之訊號。該方法包括選擇有關該 IC 設計的該等複數個層級之一層級；以包括由石墨烯形成之電晶體的組合元件來取代從該等複數個層級之選定一層級中的組合元件，以形成一第一組態；決定有關該第一組態的一能量洩漏率；決定有關該第一

組態的一時間延遲；比較該 IC 設計的該決定的時間延遲與一目標時間延遲，並比較乾決定的能量洩漏率與該 IC 設計之一目標能量洩漏率；及當該決定的時間延遲符合該目標時間延遲，響應該決定的能量洩漏率低於該目標能量洩漏率，選擇有關該 IC 設計之該等複數個層級之另一層級，並以包括由石墨烯形成之電晶體的組合元件來取代該等複數個層級之另一層級中的組合元件，以形成一第二組態。

【0004】 根據本發明的至少某些具體實施例，一種用以於一積體電路 (IC) 設計中選擇一異質電晶體的組合之方法，該方法包括識別有關該 IC 設計之複數個層級，其中每個層級包括一或多個組合元件，其包括以一非石墨烯半導體材料所形成之電晶體，且構成接收來自該 IC 設計的一緊接層級中所含的至少一組合元件、至少一循序元件、或這兩者的組合之訊號。該方法更包括選擇有關該 IC 設計之該等複數個層級之一層級；以包括由石墨烯形成之電晶體的組合元件來取代從該等複數個層級之選定一層級中的組合元件，以形成一第一組態；決定有關該第一組態之一能量洩漏率；決定有關該第一組態之一時間延遲；比較該 IC 設計的該決定的時間延遲與一目標時間延遲，並比較該 IC 設計的該決定的能量洩漏率與一目標能量洩漏率；及當該決定的時間延遲符合該目標時間延遲，響應該決定的能量洩漏率高於該目標能量洩漏率，以選擇有關該 IC 設計之該等複數個層級之另一層級，並以包括由石墨烯形成之電晶體的組合元件來取代該等複數個層級之另一層級中的組合元件，以形成一第二組態。

【0005】 根據本發明的至少某些具體實施例，一種製造的物件包括一非暫態電腦可讀取媒體，其具有電腦可執行之指令，其可響應一處理器的執行而使該處理器實施一種用以於一積體電路 (IC) 設計中選擇一異質電晶體的組合之方法。該方法包括：識別有關該 IC 設計之複數個層級，其中每個層級包括一或多個組合元件；選擇有關該 IC 設計之該等複數個層級之一層級；以包括由石墨烯形成之電晶體的組合元件來取代從該等複數個層級中選定的該層級中的組合元件，以形成一第一組態；決定具有該第一組態之該 IC 設計的一性能參數；比較該 IC 設計的該決定的性能參數與一目標性能參數；及當比較結果表示該目標性能參數允許對該 IC 設計的該性能

參數之一進一步變化時，選擇有關該 IC 設計之該等複數個層級之另一層級，並以包括由石墨烯形成之電晶體的組合元件來取代該等複數個層級之另一層級中的組合元件，以形成一第二組態。

【0006】 前述內容僅為例示說明，而不是要以任何方式限制。除了上述之例示態樣、具體實施例與特徵之外，參考圖式與下述詳細說明，將可清楚理解其他態樣、具體實施例、與特徵。

【圖式簡單說明】

【0007】 本發明之前述與其他特徵可從下述實施方式與文後申請專利範圍、連同附圖的描述而更理解。這些圖式僅說明根據本發明的數個具體實施例，且因此不應視為對其範疇之限制。透過使用附圖，將可更具體及詳細地說明本發明。

第一圖顯示實施本發明之某些具體實施例之一例示積體電路 (IC) 設計的方塊圖；

第二 A 圖提出用以選擇一 IC 設計中之一異質(例如石墨烯與非石墨烯)電晶體組合之一例示方法的流程圖；

第二 B 圖提出用以選擇一 IC 設計中之一異質(例如石墨烯與非石墨烯)電晶體組合之一例示方法的流程圖；

第二 C 圖提出用以選擇一 IC 設計中之一異質(例如石墨烯與非石墨烯)電晶體組合之一例示方法的流程圖；

第三圖為用以實施選擇一 IC 中之石墨烯與非石墨烯電晶體組合之方法的電腦程式產品之一例示具體實施例的方塊圖；及

第四圖為一方塊圖，其說明配置以選擇一 IC 設計中之石墨烯與非石墨烯電晶體組合之一例示計算裝置，其所有皆根據本發明的某些具體實施例而配置。

【實施方式】

【0008】 在下述詳細說明中，將參考形成說明之一部分的附圖。在圖式中，除非在上下文中有另外的指定，否則相同的符號通常用以識別相同的構件。在詳細說明、圖式、以及申請專利範圍中所說明的例示具體實施例並不是要作為限制。也可使用其他的具體實施例，且可進行其他變化，

其皆不脫離本說明書所提標的之精神與範疇。本發明的態樣（如本說明書通常說明、及在圖式中的描述）能以廣大不同組態加以配置、替換、組合、與設計，其所有皆屬本發明所能明確預期且構成本發明的一部分。

【0009】 石墨烯電晶體（電晶體的通道是利用石墨烯所形成）在大幅降低延遲與切換能量兩者上都明顯優於傳統的 CMOS 技術。然而，要在大規模積體電路中使用石墨烯電晶體會是不可行的，因為與這類電晶體相關之高洩漏能量之故（已經估算出其比具有矽通道的等效電晶體更高出數千甚至數百萬倍）。因此，雖然石墨烯電晶體有較低的切換能量，但這類電晶體的洩漏能量會使得包括一石墨烯電晶體之積體電路（IC）的整體能量支出通常高於使用矽電晶體的等效 IC。此外，石墨烯電晶體的性能通常對典型在製程中發生的製程變化更敏感，這個因素加劇要在製造之前預測石墨烯電晶體的性能的困難度。

【0010】 本發明的具體實施例包括一種用以選擇一 IC 設計中之一最佳或有用的石墨烯與非石墨烯電晶體組合之方法。為減少或降低石墨烯電晶體所導致之較高洩漏能量，在 IC 設計中被選定的非石墨電晶體可被替換為石墨烯電晶體。為了限制 IC 設計中之石墨烯電晶體的數量，石墨烯電晶體是取代在 IC 設計中可實現明顯延遲效益之位置處的非石墨電晶體。

【0011】 該方法係使用一最大受限、最小限制的選擇演算法來策略性地選擇在一已知 IC 中的哪些電晶體可以石墨烯為基礎，以產生一種具有最佳或改良設計之 IC 設計：針對一指定能量預算達最低的可能或者降低之延遲、或者是針對一指定時間延遲預算達最低或降低之洩漏能量。因此，根據本發明之具體實施例係可對一特定 IC 設計配置有數個石墨烯電晶體，其係置於 IC 中選定的策略性位置處，在下文中這被稱為是該 IC 設計的一種具體「組態」。然後，使用一相對小量的製程變數實例之預測良率可被使用作為一種可量化的指標，以決定 IC 設計的此組態（例如此特定選擇的以石墨烯為基礎之電晶體）是否為最佳、或是提供對其他可能組態的改良。一組態的預期良率通常定義為，當以此組態來進行量產時，預期可滿足一指定能量預算或時間延遲預算的 IC 的百分比。在本說明書中，預測良率係以電晶體層級之功率與延遲模型為基礎。

【0012】 IC 設計之一組態的預定良率係以一或多個指標來定義，包括能量成本（例如洩漏能量及預估的切換能量）和預估的延遲成本、及/或其他指標或其組合。洩漏能量及（小程度的）切換能量可被包括作為行動裝置中所使用的 IC 設計之性能指標，因為節能會是這類裝置的一項設計目標。延遲（例如 IC 設計的一組態要執行一特定操作或操作群組所需之時間）會是用於資料中心或速度是主要性能目標而能量使用是次要考量的其他應用的 IC 設計之指標。此外，對於某些行動裝置應用而言，延遲會是重要的，因為在例如處理多功能時，延遲是應用裝置的末端使用者所不希望的、且也是干擾的。如以下進一步詳細說明，有關一 IC 設計的特定組態之能量成本與延遲成本會是可預估值，其係根據 IC 的使用以及為該組態預測之許多不同的製程變數實例而改變。

【0013】 第一圖說明實施本發明的某些具體實施例之一例示 IC 設計 100 的方塊圖。IC 設計 100 係一 IC 實施作為任何電子裝置或小形狀因子可攜式（或行動）電子裝置、或個人電腦、或其他電子裝置的一部分之設計，其中小形狀因子可攜式（或行動）電子裝置係例如：行動電話、個人資料助理（PDA）、個人媒體播放裝置、無線網路觀看裝置、個人耳機裝置、專用裝置、包括任一種上述功能之複合裝置，個人電腦包括膝上型電腦與非膝上型電腦組態。

【0014】 IC 設計 100 係包括閘 101-105、正反器 121-125、一來源節點 131 與一匯聚節點 132。閘 101-105 和正反器 121-125 係如圖式所示般耦接，在來源節點 131 和匯聚節點 132 之間形成各種路徑。注意，為求清晰簡要，在第一圖中省略時脈輸入、正反器 121-125 之設置與重置輸入、以及一般 IC 設計所共有的其他構件。進一步要注意，IC 設計 100 可包括比第一圖所示更大量的閘 101-105 與正反器 121-125。例如，在某些具體實施例中，IC 設計 100 是一種適合於一超大規模積體（ULSI）邏輯晶片（例如具有數百萬個電晶體之處理器或處理器核心）之設計。在某些具體實施例中，會有比在第一圖中所示者更少的組件及/或有其他類型的組件。

【0015】 閘 101-105 可為組合元件（例如電晶體），且每一者可被視為 IC 設計 100 所表示之電路的一「節點」，以供決定 IC 設計 100 的不同

「層級」之用，如下述結合第二 A 圖、第二 B 圖與第二 C 圖之說明。正反器 121-125 可為循序元件（例如暫存器與正反器）。在某些具體實施例中，正反器 121-125 也被視為在決定 IC 設計 100 所表示之電路的層級時的節點，例如當 IC 設計 100 的某些組態包括可被替換為石墨烯以最佳化或改進 IC 設計 100 的性能之一或多個正反器 121-125 時。來源節點 131 係耦接至 IC 設計 100 所代表之電路的輸入 109，而匯聚節點 132 則耦接至該電路的輸出 110。一般而言，來源節點 131 與匯聚節點 132 是在本說明書所述之演算法中的抽象架構，且在某些具體實施例中並不代表 IC 設計 100 的實體節點。

【0016】 第二 A 圖提出一種根據本發明一具體實施例之用以選擇一 IC 設計中之一異質（例如石墨烯與非石墨烯）電晶體組合的例示方法 200 的流程圖。例如，方法 200 可用來選擇一 IC 設計之一最佳或適當執行石墨烯與非石墨烯電晶體/元件的組合，以提升 IC 設計的性能。方法 200 可包括如步驟 201、202、203、204、205、206、207 及/或 208 中的一或多個所述之一或多個操作、功能或動作。雖然這些步驟是以一連續順序來說明，但這些步驟也可平行執行、及/或以與本說明書所述者不同之次序來執行。同時，基於所需要的實施方式，各種步驟也可以組合為較少的步驟、分成其他步驟、及/或省略。也可設置代表其他操作、功能或動作的其他步驟。雖然方法 200 是結合第一圖的 IC 設計 100 來描述，但對於任何適當的 IC 設計之方法 200 的實施也是在本發明的範疇內的。

【0017】 方法 200 是從步驟 201「決定 IC 設計的 ϵ -關鍵路徑（epsilon-critical path）」開始；步驟 201 接著步驟 202「決定 ϵ -關鍵路徑的最小層級」；步驟 202 接著步驟 203「決定實施石墨烯電晶體之最有利益層級」；步驟 203 接著步驟 204「在 IC 設計的新組態中實施石墨烯電晶體」；步驟 204 接著步驟 205「計算實施石墨烯電晶體的效果」；步驟 205 接著步驟 206「預估新組態的良率」；步驟 206 接著步驟 207「確定是否達成最佳良率」；而步驟 207 接著步驟 208「結束」、或步驟 203。

【0018】 在某些具體實施例中，在步驟 201 之前，係開發 IC 設計 100 以提供一特定功能。因此，IC 設計的組合或循序元件的特定實體特徵（例

如閘 101-105 與正反器 121-125) 可被定義。這些實體特徵包括材料特性(例如氧化物電容值及/或其他特性) 以及相關的幾何因子(例如額定閘極長度與閘極寬度、及/或其他幾何因子)。此外, IC 設計 100 的操作參數也可被定義, 例如時脈頻率、供應電壓等。

【0019】 在步驟 201, 決定 IC 設計 100 的 ϵ -關鍵延遲網路, 其包括 IC 設計 100 的 ϵ -關鍵路徑。電路的 ϵ -關鍵延遲網路包括電路中在一來源節點至一匯聚節點的至少一路徑上的閘, 該路徑具有在該電路的關鍵路徑延遲之一預定值 (ϵ) 內的延遲, 其中 ϵ 是可根據各種條件而加以選擇的一預定值。如此, 電路中每個閘的重要性可被提取(例如被量化), 因此如在 ϵ -關鍵延遲網路中, 該閘可能會影響延遲。在方法 200 的後續步驟中, 可不需要考慮沒有在 IC 設計 100 的 ϵ -關鍵延遲網路中的閘, 因此可大幅減少完成後續步驟所需之計算。

【0020】 在步驟 202, 決定 IC 設計 100 的「最小缺口」或「層級», 其中每個最小缺口與 IC 組態中的所有 ϵ -關鍵路徑交會。為此, IC 設計 100 可被制定為一加權有向圖, 其中該等閘 101-105 之每一者可為一節點, 且若閘 j 是閘 i 的一直接輸出, 則從節點 i 至節點 j 可能存在一邊緣。該加權有向圖的最小缺口將該圖分為兩個部分, 一含有來源節點 131、一含有匯聚節點 132, 使得從來源部分至匯聚部分的所有邊緣的組合權重可達最小、或可減少。換言之, 從一特定缺口移除所有閘會導致來源節點 131 與匯聚節點 132 中斷, 例如在其間沒有剩餘路徑。

【0021】 要找出代表 IC 設計 100 的加權有向圖的最小缺口則是一種非決定性多項式 (NP) 完整問題 (NP complete problem), 且可藉由使用層級概念來逼近。在一電路中的總層級數為從來源節點到匯聚節點、含有最大閘數之路徑中的閘數。在一電路中的閘的最小層級為在該閘與來源節點之間的最小閘數, 而閘的最大層級為在該閘與匯聚節點之間的最小閘數。因此, 若一閘接收到來自層級 N 閘的輸入, 則接收閘的層級可能為至少層級 $N+1$ 。

【0022】 在第一圖中, 要找出代表例示 IC 設計 100 的加權有向圖的最小缺口可能涉及/包括: 閘 101 與 102 在層級 1, 因為其係各僅接收來自

正反器之輸入；閘 103 與 104 在層級 2，因為閘 103 接收來自一正反器（正反器 124）或一層級 1 閘（閘 102）之輸入，而閘 4 接收來自一正反器（正反器 121）或一層級 1 閘（閘 102）之輸入；而閘 105 在層級 3，因為閘 105 是接收來自一層級 1 閘（閘 101）或一層級 2 閘（分別為閘 103 與閘 104）之輸入。因此，藉由制定 IC 設計 100 的組態（其中 IC 設計 100 的任一層級的電晶體被替換為石墨烯電晶體），即可提升 IC 設計 100 的時間延遲與切換能量（相較於所有電晶體都為非石墨烯電晶體之 IC 設計 100 的組態）。此外，藉由選擇「狹窄」層級（例如具有最少閘的層級）之一層級來進行石墨烯電晶體之替換，即可使 IC 設計 100 中的增加之洩漏能量達最小化或降低。在第一圖中，層級 3 是具有一單閘 105 的此層級之一實例。

【0023】 在更複雜的 IC 設計 100 之具體實施例中，例如當 IC 設計 100 是配置為具有數百萬個電晶體之一 ULSI 電路時，要識別層級就會更為複雜，但其為一種非決定性多項式 (NP) 完整問題 (NP complete problem)。為了使問題能在實質線性時間中為可解，必須將有效缺口限制為涵蓋具有重疊層級的閘。此外，在某些具體實施例中，節點的加權可用來擷取每一節點在一或多個特定性能參數（例如電路延遲、洩漏能量、及切換能量）上的相關性。具體而言，節點的權重是與節點的負洩漏衝擊成正比或直接相關，或是與節點的正切換衝擊成反比或逆關聯性，其中，較低加權節點即為可能被替換成石墨烯電晶體的候選者。因此，將被選擇來替換為石墨烯閘的層級即為具有最小或降低之權重的層級，如上述所說明。此層級是在步驟 203 中被選擇。

【0024】 在步驟 203，決定一更有利益的層級來實施石墨烯電晶體。在步驟 203 係決定當替換為石墨烯電晶體時，對於在步驟 202 中所決定的每個層級的性能之影響。因為在每個閘中受關注的性能參數（例如電路延遲、洩漏能量與切換能量）都會明顯受到製造時製程變數影響，在選擇最有利益層級來實施石墨烯電晶體時，這類製程變數通常需在步驟 203 中加以考慮。

【0025】 製程變數會直接影響有效通道長度 (L) 與臨界電壓 (V_{th})。在某些具體實施例中，由克萊恩等人所提出的四元樹模型（見“*Analysis and*

modeling of CD variation for statistical static timing,” IEEE/ACM ICCAD, pp. 60–66, 2006) 係用以反映 IC 設計 100 中在鄰近閘之間的空間相關性以及 IC 對 IC 之變異。四元樹模型係將 L 分散於多個層級中，並將閘分配於每一層級上，其於擷取一相關性來源之一正常分佈後係各被指定一變異值。接著，L 的總值為在閘所屬之所有層級上的閘的製程變數的總和， ΔL_{ij} 。在此模型中，如下式 1 所述， ΔL_{ij} 為閘所屬之第 i 層級與第 j 格柵的變數，而 μ_i 與 σ_i 為在層級 i 之正常分佈的參數。對於未受變異之閘臨界電壓 V_{th} 而言，則可假設一高斯分佈。

$$\Delta L = \sum_i \Delta L_{ij}, \text{ where } \Delta L_{ij} \sim N(\mu_i, \sigma_i) \quad (1)$$

【0026】 在步驟 203，量化地決定最有利益層級以實施石墨烯電晶體是一種具有未知限制的設計最佳化/改良問題。在此情況下，未知限制係與在正被檢視的一特定層級中每個閘所會發生之非常大量的不同製程變數組合有關。為了估計製程變數所產生的可變限制的無限空間，係利用對這些限制的採樣。具體而言，對於正受檢視的一特定閘而言，關注的性能參數（例如電路延遲、洩漏能量以及切換能量）會在一無限量或大量的可能組合上變化，但該閘可被指定為一分格（bin），被指定至該分格的閘係具有在一預定範圍中之性能參數值。例如，在延遲、洩漏能量、與切換能量各針對一特定閘組態而分為五個離散的分格值之一具體實施例中，該組態的任何閘之可能分格總數可為 125。因此，在要替換為石墨烯電晶體之 IC 設計 100 的一層級中所要考量的每個閘的可能分佈版本會是有限的。在本說明書中，每個這種性能參數分格係稱為一「製程變數實例」。一特定閘之每個製程變數實例的機率可利用功率與延遲模型。在某些具體實施例中，係於方塊 203 中使用如式(2)至(5)所示之功率與延遲模型。

$$D = \frac{k_{tp} \cdot C_L \cdot V_{dd}}{2 \cdot n \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot \left(\frac{kT}{q}\right)^2} \cdot \frac{k_{fit}}{\left[\ln\left(e^{\frac{(1+\sigma)V_{dd}-V_{th}}{2 \cdot n \cdot (kT/q)}}\right) + 1\right]^2} \quad (2)$$

$$C_L = C_{ox} \cdot L \cdot (\gamma \cdot W + W_{fanout}) \quad (3)$$

$$P_{leakage} = 2 \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} \cdot \left(\frac{kT}{q} \right)^2 \cdot V_{dd} \cdot e^{\frac{\sigma \cdot V_{dd} - V_{th}}{n \cdot (kT/q)}} \quad (4)$$

$$P_{switching} = \alpha \cdot C_L \cdot V_{dd}^2 \cdot f \quad (5)$$

其中， V_{dd} 為供應電壓， n 為次臨界斜率， μ 為移動率， C_{ox} 為氧化物電容值， W 為閘寬度， L 為閘長度，熱電壓 $\phi_t = (kT/q)$ ， σ 為 DIBL 因子， V_{th} 為臨界電壓， k_p 為延遲參數，而 k_f 為一模型匹配參數。負載電容值 C_L 是定義於式(2)，其中 γ 為閘的邏輯效應，而 W_{fanout} 為負載閘的寬度總和。

【0027】 在決定 IC 設計 100 中的最有利益層級（或改良層級）以替換為石墨烯電晶體時，對於並非已為石墨烯且是在 IC 設計的 ε -關鍵網路中之層級中的每個閘而言，在步驟 203 所考量的每一層級之目標函數是以一洩漏因子乘以閘能量洩漏、與一切換因子乘以閘的切換能量之一比例為基礎。藉由最小化或減少該目標函數，即可決定在 IC 設計 200 中要進行石墨烯電晶體替換的最有利益層級（或改良層級）。注意該目標函數可針對不同的目標（只要適當的話）來予以最小化/減少。例如，在某些具體實施例中，該目標函數可用以最小化或減少一指定最大能量預算之時間延遲，因此方法 200 最終可選擇出仍滿足此能量預算之 IC 設計 100 的最快速組態。或者，該目標函數可用以最小化或減少一指定最大延遲限制之能量-延遲乘積，因此方法 200 最終可選擇仍滿足該最大延遲限制之 IC 設計 100 的最具能量效率組態。

【0028】 在步驟 204，藉由替換在 IC 設計 100 的層級中的所有電晶體(選定供在步驟 203 使用石墨烯來替換)，在 IC 設計 100 中實施石墨烯電晶體。

【0029】 在步驟 205，計算在 IC 設計 100 的選定層級中實施石墨烯電晶體的效果。具體而言，計算在步驟 204 中實施之 IC 設計 100 的組態之延遲、洩漏能量、與切換能量、及/或其他參數。可使用功率與延遲模型（例如式(2)至式(5)中所示之功率與延遲模型）來量化這些數值。使用石墨烯電晶體來實施 IC 設計 100 中的閘的衝擊係可利用代表石墨烯相對於非石墨烯之行為的規模因子來加以估計。例如，就延遲而言，使用典型的規模因子

為 0.05；對於洩漏功率而言，使用的典型規模因子為 1000；而對於切換功率而言，使用的典型規模因子為 0.2。換言之，利用石墨烯來實施閘可降低有關閘之延遲約 20 倍，增加有關閘之洩漏功率約 1000 倍，以及降低有關閘之切換功率約 5 倍。

【0030】 一般而言，可針對考量之 IC 設計 100 的組態的所有製程變數實例來計算延遲、洩漏能量、與切換能量、及/或其他參數。因此，在步驟 205 中並不產生延遲、洩漏能量、與切換能量等之單一數值。相反地，根據具組態製造之積體電路的預期製程變數，可針對考量之 IC 設計 100 的組態而產生這些參數的分佈。因此，在步驟 205 所決定之分佈中的部分或全部的製程變數實例、或沒有製程變數實例可滿足一特定性能參數（例如時間延遲或洩漏能量）。

【0031】 在步驟 206，可計算在步驟 204 實施之 IC 設計 100 的組態之良率，其中良率係包括當製造所關注之組態時預估可滿足一特定性能目標的 IC 晶片的百分比。此一預估係統計上根據製程變數、及其對於以步驟 204 中實施之 IC 設計 100 的組態所製成之積體電路群體的性能的影響。因此，在步驟 206，可針對所關注組態的所有製程變數實例來計算所製造之 IC 晶片的預期性能（例如延遲、洩漏能量、切換能量、及/或一能量-延遲乘積或其他），並將其與一指定速度及/或能量目標進行比較。

【0032】 在步驟 207，確定是否已經找出 IC 設計 100 的一最佳或改良實施方式，例如，在步驟 204 實施的組態的可能製程變數實例中，是否已有令人滿意的百分比（良率）已經達到指定速度及/或洩漏能量目標。若確定在步驟 204 實施的 IC 設計 100 的組態為一最佳化或最佳可行實施方式，則方法 200 進行步驟 208 並結束。若確定在步驟 205 中所實施的組態並非一最佳化或最佳可行實施方式，則方法 200 返回步驟 203，並重複進行步驟 203 至 207。

【0033】 在某些具體實施例中，IC 設計 100 的一最佳化/改良實施方式係包括一種 IC 設計 100 的組態，其在步驟 206 中具有大於一最小所需良率或其他臨界值之一預測良率。在其他具體實施例中，IC 設計 100 的一最佳化/改良實施方式可包括符合或超過一特定性能目標、同時又使用實質上

全部的指定性能參數預算的 IC 設計 100 之組態。例如，已知 IC 設計 100 之一指定能量預算及以延遲為基礎之一性能目標（例如，要在不超過能量預算下達到最大可能速度），則一最佳化/改良實施方式為使用實質上全部的指定能量預算、具有不大於一最大允許延遲、且具有令人滿意的良率之 IC 設計 100 的組態。因為該組態使用實質上全部的指定能量分配，因此在不超過能量預算下，IC 設計 100 的一附加層級可能無法替換為石墨烯電晶體。因此，此一組態在這些條件下會是 IC 設計 100 的最佳化或最佳可行實施方式。

【0034】 因此，已知一特定的 IC 設計與性能目標，即可決定該 IC 設計的某些閘是否應該、或是否可使用石墨烯電晶體來實施。當 IC 設計包括非常大量的閘時，可使用有限數量的製程變數實例（其依循製程變數模型、功率模型與延遲模型及/或其他模型）以幫助問題解決。此外，可在延遲與功率限制下使一預測良率（例如該 IC 設計的預測製程變數實例）達最大化或增加。在某些具體實施例中，製程變數實例的數量是假設為一大數量（屬百萬的等級），其係一足夠大量的樣本集合，足以涵蓋整個製程變數（process variation, PV）模型。

【0035】 第二 B 圖係提出根據本發明一具體實施例之例示方法 220 的流程圖，該方法 220 係用以選擇一積體電路（IC）設計中之一異質電晶體組合。例如，方法 220 係用以選擇一 IC 設計之一最佳的或適合執行的石墨烯與非石墨烯電晶體/元件組合，以提升該 IC 設計的性能。方法 220 可包括如步驟 221、222、223、224、225 及/或 226 所述之操作、功能或動作。雖然是以連續順序方式說明該等步驟，但這些步驟也可平行執行、及/或使用不同於本說明書所述方式的順序來執行。同時，基於所需實施方式，各種方塊也可以組合為較少的步驟、分為其他步驟、及/或省略。也可設有代表其他操作、功能或動作的其他步驟。雖然方法 220 是結合第一圖的 IC 設計 100 來說明，但有關任何合適 IC 設計的方法 220 效能亦屬於本發明之範疇。

【0036】 方法 220 是從步驟 221「識別有關該 IC 設計的複數個層級」開始。步驟 221 接著步驟 222「選擇有關該 IC 設計的複數個層級之一層級」；

步驟 222 接著步驟 223「使用包括由石墨烯所形成之電晶體的組合元件來替換該選定層級中的組合元件，以形成一第一組態」；步驟 223 接著步驟 224「決定有關該第一組態之一能量洩漏」；步驟 224 接著步驟 225「比較該 IC 設計的該決定的能量洩漏率與一目標能量洩漏率」；且步驟 225 接著步驟 226「選擇有關該 IC 設計之複數個層級之另一層級，以替換由石墨烯所形成之電晶體」。

【0037】 在步驟 221，識別有關該 IC 設計之複數個層級，其中每個層級係含有一或多個組合元件，其包由非石墨烯半導體材料所形成之電晶體。每個層級構成接收來自於該 IC 設計的一較低層級中所含之至少一組合元件、至少一循序元件、或兩者之組合的訊號。

【0038】 在步驟 222，選擇有關該 IC 設計之該等複數個層級之一層級。在某些具體實施例中，選定的層級為一「狹窄」層級，其具有的關係少於該 IC 設計中的其他層級。

【0039】 在步驟 223，於步驟 222 中選定的層級的組合元件被替換為包括由石墨烯所形成之電晶體的組合元件，以形成一第一組態。

【0040】 在步驟 224，決定有關該第一組態之能量洩漏率。例如，在某些具體實施例中，更新在第一組態中替換為石墨烯的每個組合元件之一能量洩漏率，以決定整個第一組態之一總能量洩漏率。

【0041】 在步驟 225，比較該 IC 設計的該決定之能量洩漏率與一目標能量洩漏率。

【0042】 在步驟 226，響應在步驟 225 的該決定的能量洩漏率低於該目標能量洩漏率，選擇有關該 IC 設計之該等複數個層級之另一層級以替換為包括由石墨烯形成之電晶體的組合元件，以形成一第二組態。

【0043】 第二 C 圖提出根據本發明一具體實施例之例示方法 230 的流程圖，該方法 230 係用以選擇一積體電路 (IC) 設計中之一異質電晶體組合。例如，方法 230 係用以選擇一 IC 設計之一最佳的或適合執行的石墨烯與非石墨烯電晶體/元件組合，以提升該 IC 設計的性能。方法 230 可包括如步驟 231、232、233、234、235 及/或 236 所述之操作、功能或動作。雖然所述步驟是以一連續次序方式來說明，但這些方塊也可平行執行、及/或

以與不同於本說明書所述方式的次序來執行。同時，基於所需實施方式，各種步驟也可以組合為較少的步驟、分成其他步驟、及/或省略。也可設有代表其他操作、功能或動作的其他步驟。雖然方法 230 是結合第一圖的 IC 設計 100 來說明，但有關任何合適 IC 設計的方法 230 效能亦屬於本發明之範疇。

【0044】 方法 230 是從步驟 231「識別有關該 IC 設計的複數個層級」開始。步驟 231 接著步驟 232「選擇有關該 IC 設計的複數個層級之一層級」；步驟 232 接著步驟 233「使用包括由石墨烯所形成之電晶體的組合元件來替換選定層級中的組合元件，以形成一第一組態」；步驟 233 接著步驟 234「決定有關該第一組態之一時間延遲」；步驟 234 接著步驟 235「比較該 IC 設計的該所決定的時間延遲與一目標時間延遲」；且步驟 235 接著步驟 236「選擇有關該 IC 設計之複數個層級之另一層級，以替換由石墨烯所形成之電晶體」。

【0045】 步驟 231 至 233 在方法 220 中可分別實質類似步驟 221 至 223。

【0046】 在步驟 234，決定有關該第一組態之時間延遲，其中該時間延遲係對應於一時脈循環的持續時間。在某些具體實施例中，在步驟 234 的時間延遲是藉由計算在步驟 232 所選定之層級（要替換為石墨烯以形成第一組態）中的每個個別組合元件之時間延遲而決定。

【0047】 在步驟 235，比較該 IC 設計的該決定的時間延遲與一目標時間延遲。

【0048】 在步驟 236，響應在步驟 235 的該決定的時間延遲低於該目標時間延遲，選擇有關該 IC 設計之該等複數個層級之另一層級以替換包括由石墨烯形成之電晶體的組合元件，以形成一第二組態。

【0049】 第三圖為一電腦程式產品 300 的例示具體實施例之方塊圖，該電腦程式產品 300 係實施一種用以選擇一 IC 設計之異質電晶體的組合之方法。電腦程式產品 300 可包括一訊號載具媒體 304。訊號載具媒體 304 可包括一或多組可執行指令 302，其在由例如一電腦裝置的處理器執行時，係至少提供前述圖式中所說明之上述功能。

【0050】 在某些具體實施例中，訊號載具媒體 304 係涵蓋一非暫態電腦可讀取媒體 308，例如、但不限於例如硬碟機、光碟片（Compact Disc，CD）、數位多功能碟片（Digital Video Disk，DVD）、數位帶、記憶體等。在某些實施方式中，訊號載具媒體 304 係包括一可記錄媒體 310，例如、但不限於：記憶體、讀/寫（R/W）CD、R/W DVD 等。在某些實施方式中，訊號載具媒體 304 可包括一通訊媒體 306，例如、但不限於：數位及/或類比通訊媒體（例如，光纖纜線、波導、有線通訊鏈結、無線通訊鏈結等）。電腦程式產品 300 可被記錄於非暫態電腦可讀取媒體 308 或其他類似的可讀取媒體 310 上。

【0051】 第四圖是說明一例示計算裝置 400 的方塊圖，其係根據本發明之至少某些具體實施例而配置，以選擇一 IC 設計中石墨烯與非石墨烯電晶體之組合。在某些具體實施例中，計算裝置 400 的某些構件/部件本身係利用上述石墨烯與非石墨烯元件組合而實施。在一非常基礎的配置 402 中，計算裝置 400 一般係包括一或多個處理器 404 與一系統記憶體 406。記憶體匯流排 408 係用於處理器 404 和系統記憶體 406 間進行通訊。

【0052】 根據所需配置，處理器 404 可為任何類型，包括、但不限於微處理器、微控制器、數位訊號處理器、或其任意組合。處理器 404 可包括一或多個快取層級，例如一層級 1 快取 410 與一層級 2 快取 412、一處理器核心 414 與一暫存器 416。一例示處理器核心 414 可包括一算術邏輯單元（ALU）、一浮動點單元（FPU）、一數位訊號處理核心（DSP Core）、或其任何組合。處理器 404 可包括可編程邏輯電路，例如、但不限於：場可編程閘陣列（FPGA）、可修補之專用積體電路（ASIC）、複雜可編程程式裝置（CPLD）等等。一例示記憶體控制器 418 也可與處理器 404 一起使用，或在某些實施方式中，記憶體控制器 418 可為處理器 404 的一內部部件。

【0053】 根據所需配置，系統記憶體 406 可為任何類型，包括、但不限於揮發性記憶體（例如隨機存取記憶體）、非揮發性記憶體（例如唯讀記憶體、快閃記憶體等）、或其任何組合。系統記憶體 406 可包括一作業系統 420、一或多個應用程式 422、以及程式資料 424。應用程式 422 包括

分為方塊的一或多個應用程式，如上述一或多個圖式所說明者。程式資料 424 包括可用於計算裝置 400 的操作之資料。在某些具體實施例中，應用程式 422 係配置為以作業系統 420 上的程式資料 424 進行運作。所述之基礎配置 402 係以在內部虛線內的組件而於第四圖中說明。

【0054】 計算裝置 400 可具有其他特徵或功能、及其他介面，以促進基礎配置 402 與任何所需裝置及介面間之通訊。例如，一匯流排/介面控制器 490 係用以促進基礎配置 402 與一或多個資料儲存裝置 492 間、經由一儲存介面匯流排 494 之通訊。資料儲存裝置 492 係可移除之儲存裝置 496、非可移除之儲存裝置 498、或其組合。可移除之儲存裝置與非可移除之儲存裝置的實例包括磁碟裝置（如可撓性碟機與硬碟驅動機（HDD））、光碟機（如光碟（CD）驅動機或數位多功能光碟（DVD）驅動機）、固體狀態驅動機（SSD）、以及帶式驅動機等，僅舉幾例。例示的電腦儲存媒體可包括以任何方法或技術所實施之揮發性與非揮發性、可移除與非可移除媒體，其係供儲存資訊（例如電腦可讀取指令、資料結構、程式模組、或其他資料）之用。

【0055】 系統記憶體 406、可移除之儲存裝置 496 與非可移除之儲存裝置 498 僅為電腦儲存媒體的實例。電腦儲存媒體包括、但不限於：隨機存取記憶體（RAM）、唯讀記憶體（ROM）、電子可拭除可編程唯讀記憶體（EEPROM）、快閃記憶體或其他記憶體技術、唯讀光碟（CD-ROM）、數位多功能光碟（DVD）或其他光學儲存裝置、磁匣、磁帶、磁碟儲存裝置或其他詞性儲存裝置、或可用以儲存所需資訊且可由計算裝置 400 進行存取的任何其他媒體。任何這類電腦儲存媒體可為計算裝置 400 的部件。

【0056】 計算裝置 400 也包括一介面匯流排 440，以促進各種介面裝置（例如輸出裝置 442、周邊介面 444 與通訊裝置 446）經由匯流排/介面控制器 430 而對基礎配置 402 之通訊。例示的輸出裝置 442 包括一圖型處理單元 448 與一音頻處理單元 450，其構成經由一或多個 A/V 埠 452 而對各種外部裝置（例如顯示器或揚聲器）通訊。例示的周邊介面 444 包括一串列介面控制器 454 或一並列介面控制器 456，其構成經由一或多個 I/O 埠 458 而與外部裝置通訊，例如輸入裝置（如鍵盤、滑鼠、筆、聲音輸入裝置、

觸控輸入裝置等)或其他周邊裝置(例如印表機、掃描器等)。例示通訊裝置 446 包括一網路控制器 460,其構成經由一或多個通訊埠 464 而於一網路通訊鏈結上與一或多個其他計算裝置 462 通訊,該網路通訊鏈結為例如、但不限於:光纖、長期演進計畫(LTE)、第三代行動通信技術(3G)、全球互通微波存取技術(WiMax)。

【0057】 網路通訊鏈結為通訊媒體的一實例。通訊媒體一般可由電腦可讀取指令、資料結構、程式模組、或在一調變資料訊號中的其他資料(例如載波或其他傳輸機制)加以具現,且其係包括任何資訊傳送媒體。「調變資料訊號」是其一或多種特徵係經設定或改變以對訊號中資訊進行編碼之訊號。舉例(但非限制)而言,通訊媒體可包括有線媒體,例如有線網路或直接連線之連接、以及無線媒體(例如音頻、射頻(RF)、微波、紅外線(IR)與其他無線媒體)。在本說明書中,用語「電腦可讀取媒體」係包括儲存媒體與通訊媒體兩者。

【0058】 計算裝置 400 係實施為一小形狀因子可攜式(或行動)電子裝置的一部分,其中小形狀因子可攜式(或行動)電子裝置係例如:行動電話、個人資料助理(PDA)、個人媒體播放裝置、無線網路觀看裝置、個人耳機裝置、專用裝置、包括任一種上述功能之複合裝置。計算裝置 400 也可實施為個人電腦,包括膝上型電腦與非膝上型電腦組態。本發明的具體實施例包括一種用以選擇一 IC 設計中石墨烯與非石墨烯電晶體的組合之方法。因此,可利用策略性放置石墨烯電晶體、同時最小化或降低有關石墨烯電晶體之高洩漏能量的不良效應以改良一特定 IC 設計。

【0059】 在系統的具體實施例的硬體與軟體實施之間存在些微差異;硬體或軟體的使用一般(但非總是,在某些上下文中硬體與軟體之間的選擇會變得明顯)為一種設計選擇,其代表成本與效率之間的權衡結果。本說明書所述之程序及/或系統及/或其他技術係可藉由各種載體(硬體、軟體、及/或韌體)來實現,且較佳的載體將隨程序及/或系統及/或其他技術所部署之上下文而改變。例如,若一實施者決定速度與精確度極為重要,則該實施者可選擇一主要硬體及/或韌體載體;若彈性是極為重要的,則該實施者可選擇主要為軟體之實施方式;或者,另外可替代地,該實施者可選

擇硬體、軟體、及/或韌體之組合。

【0060】 前述詳細說明已經經由方塊圖、流程圖及/或實例的使用來提出各種具體實施例。只要這些方塊圖、流程圖、及/或實例含有一或多個功能及/或操作，該領域中技術人士即可理解在這些方塊圖、流程圖、或實例中的每個功能及/或方塊都可藉由廣大範圍的硬體、軟體、韌體、或其任意組合來個別地及/或整合性地實施。在一具體實施例中，本說明書所述之標的中的數個部分係可經由專用積體電路（Application Specific Integrated Circuits, ASIC）、場可編程閘陣列（Field Programmable Gate Arrays, FPGA）、數位訊號處理器（digital signal processor, DSP）、或其他整合形式來實施。然而，本說明書所揭之具體實施例中的某些構想（其整體或部分）係可等效地實施於積體電路中，作為在一或多部電腦上運行的一或多個電腦程式（例如，作為在一或多個電腦系統上運行的一或多個程式）、作為在一或多個處理器上運行的一或多個程式（例如，作為在一或多個微處理器上運行的一或多個程式）、作為韌體、或作為其組合，且在本發明的教示下，設計電路及/或為軟體或韌體寫程式碼亦屬熟習該領域技術人士的技能。此外，熟習該領域技術人士將可得知，本說明書所述標的的機制係可以各種形式分佈為程式產品，且不管是使用哪種特定類型的訊號載具媒體來實際實施該分佈，皆可應用本說明書所述標的的一例示具體實施例。訊號載具媒體的實例包括但不下於下列媒體：可記錄類型之媒體，例如軟碟、硬碟機、光碟片（Compact Disc, CD）、數位多功能碟片（Digital Versatile Disk, DVD）、數位帶、電腦記憶體等；及傳輸類型之媒體，例如數位及/或類比通訊媒體（例如光纖纜線、波導、有線通訊鏈結、無線通訊鏈結等）。

【0061】 熟習該領域技術人士將認同，在該領域中以本說明書所提出的形式來描述裝置及/或製程是常見的，且其後會使用工程實務來將這類描述裝置及/或製程整合至資料處理系統中。亦即，本說明書所述裝置及/或製程中的至少一部分係可經由合理的試驗量而被整合至一資料處理系統中。具備該領域技術人士將認同，典型的資料處理系統一般係包括：系統單元外殼、多功能顯示裝置、記憶體（例如揮發性與非揮發性記憶體）、處理器（例如微處理器與數位訊號處理器）、計算實體（例如作業系統）、驅

動機、圖型使用者介面與應用程式中之一或多個，一或多個互動裝置（例如觸控板或螢幕），及/或包括反饋回路與控制馬達（例如位置及/或速度偵測之反饋；用於移動及/或調整組件及/或數量之控制馬達）之控制系統。典型的資料處理系統係利用任何合適的市售構件來實施，例如一般存在於資料計算/通訊及/或網路計算/通訊系統中之構件。

【0062】 本說明書所述之標的有時係描述在不同的其他構件內所含、或連接於不同的其他構件之不同構件。應理解的是，這類說明架構係僅為實例，且事實上有許多其他架構亦可被實施而達成相同功能。在概念意義上，用以實現相同功能的任何構件安排係有效地「關聯」而使得所需功能得以實現。因此，為實現一特定功能而結合的任何兩個構件係被視為與彼此「相關聯」而使得所需功能得以實現，無論是架構或是中間構件。同樣的，如此相關聯的任何兩個構件也被視為是彼此「運作上連接」或「操作耦接」以實現所需功能，且能夠如此相關聯的任何兩個構件也被視為是彼此「運作上連接」或「操作耦接」以實現所需功能。可操作耦接之具體實例包括、但不限於：可物理上匹配及/或物理上相互作用的構件、/或可無線相互作用及/或無線上相互作用的構件、及/或邏輯上相互作用及/或可邏輯上相互作用之構件。

【0063】 關於在本說明書中實質上任何複數及/或單數用語的使用，只要上下文及/或應用上適當，熟習該領域技術人士可從複數轉換為單數、及/或從單數轉換為複數。為求清楚，本說明書中係表達性地提出各種單數/複數之置換。

【0064】 該領域技術人士應理解，一般而言，在本說明書中，且特別是在如文後申請專利範圍中(例如在文後申請專利範圍的主體中)所使用之用語通常是意旨「開放性」用語（例如，用語「包括」應解釋為「包括、但不限於」，用語「具有」應解釋為「至少具有」，用語「包含」應解釋為「包括、但不限於」等）。該領域中技術人士應進一步理解，如果需要具體數量之引述請求項載述內容，則這樣的需要將被明確記載於請求項中，且在沒有這類記載時即不存在這樣的需要。例如，作為對理解之輔助，下述申請專利範圍係包括引導性用語「至少一者」與「一或多個」的使用，

以導入請求項載述內容。然而，這類用語的使用不應解釋為暗示以不定冠詞「一」來引用一請求項載述內容時就是將含有這類引導性請求項載述內容的任何特定請求項限制為僅含有一這類載述內容之具體實施例，即使是在相同請求項包括引導性用語「一或多個」或「至少一」、以及例如「一」之不定冠詞（例如「一」應解釋為表示「至少一者」或「一或多個」）時；對於使用定冠詞來引導請求項載述內容者亦然。此外，即使在具體指明一特定數量的引導請求項載述內容時，熟習該領域技術人士將可理解這類載述應該被解釋為表示至少該所載數量（例如不含其他修飾詞之「兩載述內容」的空記載是指有至少兩個載述內容、或兩個或更多個載述內容）。此外，在使用類似「A、B 與 C 等中至少其一」之慣例用語時，一般而言是要解釋為在意義上具有該領域知識之人士將可理解此慣例用語（例如「一種具有 A、B 與 C 中至少其一之系統」係包括、但不限於：具有單獨 A、單獨 B、單獨 C、A 與 B 一起、A 與 C 一起、B 與 C 一起、及/或 A 與 B 與 C 一起等之系統）。在使用類似於「A、B 或 C 等中至少其一」之慣例用語的情況下，一般而言是要解釋為在意義上具有該領域知識之人士將可理解此慣例用語（例如「一種具有 A、B 或 C 中至少其一之系統」係包括、但不限於：具有單獨 A、單獨 B、單獨 C、A 與 B 一起、A 與 C 一起、B 與 C 一起、及/或 A 與 B 與 C 一起等之系統）。該領域技術人士將可進一步理解的是，實際上代表兩個或更多之替代性用語的任何反義詞及/或用語（無論是在說明書中、申請專利範圍中、或是在圖式中）應該要被理解為涵蓋包括這些用詞中其一、任一、或兩者的可能性。例如，用語「A 或 B」將被理解為包括「A」或「B」或「A 與 B」之可能性。

【0065】 雖然在本說明書中已經揭露各種構想與具體實施例，但熟習該領域技術人士將可明顯理解其他構想與具體實施例。本說明書所揭之各種構想與具體實施例係為例示說明之目的，且不應被視為限制之用，其真實範疇與精神係如下述申請專利範圍所載。

【符號說明】

- | | | | |
|-----|---------|-----|-----------|
| 102 | 閘 | 414 | 處理器核心 |
| 103 | 閘 | 416 | 暫存器 |
| 104 | 閘 | 418 | 記憶體控制器 |
| 105 | 閘 | 420 | 作業系統 |
| 109 | 輸入 | 422 | 應用程式 |
| 121 | 正反器 | 424 | 程式資料 |
| 122 | 正反器 | 440 | 介面匯流排 |
| 123 | 正反器 | 442 | 輸出裝置 |
| 124 | 正反器 | 444 | 周邊介面 |
| 125 | 正反器 | 446 | 通訊裝置 |
| 131 | 來源節點 | 448 | 圖形處理單元 |
| 132 | 匯聚節點 | 450 | 音頻處理單元 |
| 300 | 電腦程式產品 | 452 | A/V 埠 |
| 302 | 可執行指令 | 454 | 串列介面控制器 |
| 304 | 訊號載具媒體 | 456 | 並列介面控制器 |
| 306 | 通訊媒體 | 458 | I/O 埠 |
| 308 | 電腦可讀取媒體 | 460 | 網路控制器 |
| 310 | 可記錄媒體 | 462 | 其他計算裝置 |
| 400 | 計算裝置 | 464 | 通訊埠 |
| 402 | 基礎配置 | 490 | 匯流排/介面控制器 |
| 404 | 處理器 | 492 | 儲存裝置 |
| 406 | 系統記憶體 | 494 | 儲存介面匯流排 |
| 408 | 記憶體匯流排 | 496 | 可移除之儲存裝置 |
| 410 | 層級 1 快取 | 498 | 非可移除之儲存裝置 |
| 412 | 層級 2 快取 | | |

申請專利範圍

1. 一種用以在一積體電路（IC）設計中選擇異質電晶體的組合之方法，該方法包括：

識別有關該 IC 設計的複數個層級，其中每個層級包括一或多個組合元件，其包含使用一非石墨烯半導體材料所形成之電晶體，且構成接收來自該 IC 設計的一緊接層級中所含的至少一組合元件、至少一循序元件、或這兩者的組合之訊號；

選擇有關該 IC 設計的該等複數個層級之一層級；

使用包含由石墨烯形成之電晶體的組合元件來取代在該等複數個層級之選定一層級中的組合元件，以形成一第一組態；

決定有關該第一組態的一能量洩漏率；

決定有關該第一組態的一時間延遲；

比較該 IC 設計的該決定的時間延遲與一目標時間延遲，並比較該 IC 設計的該決定的能量洩漏率與一目標能量洩漏率；及

在該決定的時間延遲符合該目標時間延遲時，響應該決定的能量洩漏率低於該目標能量洩漏率，選擇有關該 IC 設計之該等複數個層級之另一層級，並使用包括由石墨烯形成之電晶體的組合元件來取代該等複數個層級之另一層級中的組合元件，以形成一第二組態。

2. 如申請專利範圍第 1 項所述之方法，其中決定該能量洩漏率包括決定該 IC 設計的複數個製程變數實例之一能量洩漏率。
3. 如申請專利範圍第 2 項所述之方法，更包括根據為該 IC 設計的該等複數個製程變數實例而決定之該能量洩漏率以及根據該 IC 設計之該目標能量洩漏率而決定該第一組態之一良率。
4. 如申請專利範圍第 3 項所述之方法，其中決定該第一組態之該良率係根據該 IC 設計中的一有效通道長度的製程變化及一組合元件的臨界電壓。
5. 如申請專利範圍第 3 項所述之方法，其中決定該第一組態之該良率係基於一閘層級延遲模型、一閘層級洩漏功率模型、與一閘層級切換功率模型之至少一者。

6. 如申請專利範圍第 1 項所述之方法，其中替換該等複數個層級之選定一者的組合元件包括使用包含由石墨烯所形成之一電晶體的一組合元件來替換該等複數個層級之選定一者的每個組合元件，以形成該第一組態。
7. 如申請專利範圍第 1 項所述之方法，其中選擇有關該 IC 設計之該等複數個層級之一層級係包括對該 IC 設計中的至少一節點加權，其與該節點的一負洩漏衝擊成正比，且與該節點的一正切換衝擊成反比。
8. 如申請專利範圍第 1 項所述之方法，更包括：在識別該等複數個層級之前，決定從該 IC 設計的一來源節點至一匯聚節點的 ϵ -關鍵路徑 (epsilon-critical-path)，其延遲大於或等於 ϵ 倍於該 IC 設計的該臨界路徑延遲。
9. 如申請專利範圍第 1 項所述之方法，其中選擇有關該 IC 設計的該等複數個層級之一層級係包括：降低有關該 IC 設計之一時間延遲成本、有關該 IC 設計之一能量成本、及有關該 IC 設計之一時間延遲乘積之至少一者之一目標函數。
10. 一種用以選擇一積體電路 (IC) 中之異質電晶體的組合之方法，該方法包括：
 - 識別有關該 IC 設計之複數個層級，其中每個層級包括一或多個組合元件，其包括使用一非石墨烯半導體材料所形成之電晶體，且構成接收來自該 IC 設計的一緊接層級中所含的至少一組合元件、至少一循序元件、或這兩者的組合之訊號；
 - 選擇有關該 IC 設計之該等複數個層級之一層級；
 - 使用包括由石墨烯形成之電晶體的組合元件來取代從該等複數個層級之選定一者中的組合元件，以形成一第一組態；
 - 決定有關該第一組態之一能量洩漏率；
 - 決定有關該第一組態之一時間延遲；
 - 比較該 IC 設計的該決定的時間延遲與一目標時間延遲，並比較該 IC 設計的該決定的能量洩漏率與一目標能量洩漏率；及
 - 在該決定的能量洩漏率符合該目標能量洩漏率，響應該決定的時間

- 延遲高於該目標時間延遲，選擇有關該 IC 設計之該等複數個層級之另一層級，並使用包括由石墨烯形成之電晶體的組合元件來取代該等複數個層級之另一層級中的組合元件，以形成一第二組態。
11. 如申請專利範圍第 10 項所述之方法，其中決定該時間延遲包括決定該 IC 設計的複數個製程變數實例之一時間延遲。
 12. 如申請專利範圍第 11 項所述之方法，更包括根據為該 IC 設計的該等複數個製程變數實例而決定之該時間延遲、及根據該 IC 設計之該目標時間延遲而決定該第一組態之一良率。
 13. 如申請專利範圍第 12 項所述之方法，其中決定該第一組態之該良率係根據該 IC 設計之一有效通道長度的製程變化及一組合元件的臨界電壓。
 14. 如申請專利範圍第 12 項所述之方法，其中決定該第一組態之該良率係基於一閘層級延遲模型、一閘層級洩漏功率模型、與一閘層級切換功率模型之至少一者。
 15. 如申請專利範圍第 10 項所述之方法，其中替換該等複數個層級中選定一者的組合元件包括使用包含由石墨烯所形成之一電晶體的一組合元件來替換該等複數個層級之選定一者中的每個組合元件，以形成該第一組態。
 16. 如申請專利範圍第 10 項所述之方法，其中選擇有關該 IC 設計之該等複數個層級之一層級係包括對該 IC 設計中的至少一節點加權，其與該節點的一負洩漏衝擊成正比，且與該節點的一正切換衝擊成反比。
 17. 如申請專利範圍第 10 項所述之方法，更包括：在識別該等複數個層級之前，決定有關該 IC 設計之 ϵ -關鍵路徑 (epsilon-critical path)，其時間延遲大於該目標時間延遲。
 18. 如申請專利範圍第 10 項所述之方法，其中選擇有關該 IC 設計的該等複數個層級之一層級係包括：降低有關該 IC 設計之一時間延遲成本、有關該 IC 設計之一能量成本、及有關該 IC 設計之一時間延遲乘積之至少一者之一目標函數。
 19. 一種製造的物件，包括：

一非暫態電腦可讀取媒體，其具有電腦可執行之指令，響應一處理器的執行而使該處理器實施一種用以選擇一積體電路（IC）設計中之異質電晶體的組合之方法，該方法包括：

識別有關該 IC 設計之複數個層級，其中每個層級包括一或多個組合元件；

選擇有關該 IC 設計之該等複數個層級之一層級；

使用包括由石墨烯形成之電晶體的組合元件來取代從該等複數個層級中之選定一者的組合元件，以形成一第一組態；

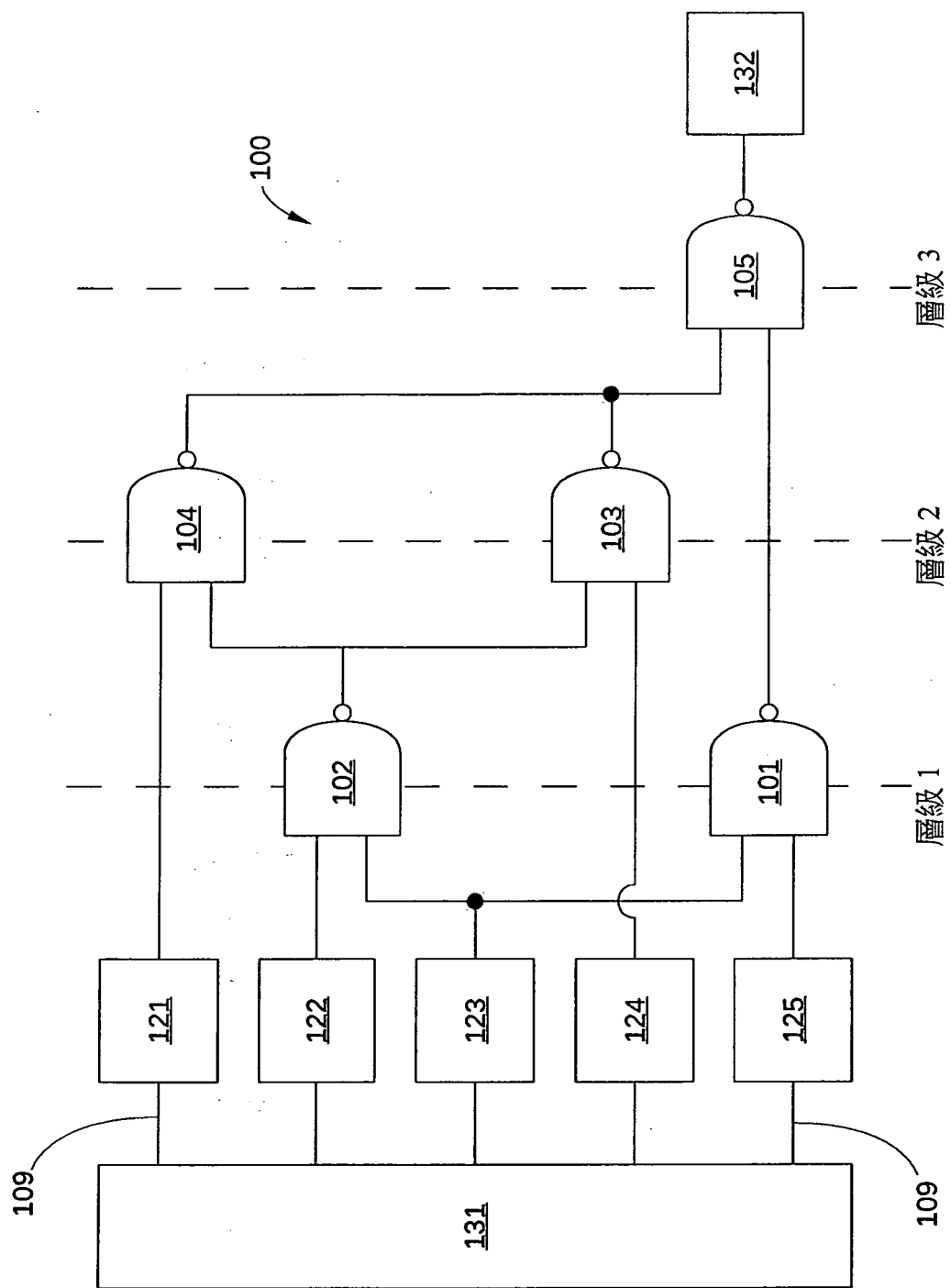
決定具有該第一組態之該 IC 設計的一性能參數；

比較該 IC 設計的該決定的性能參數與一目標性能參數；及

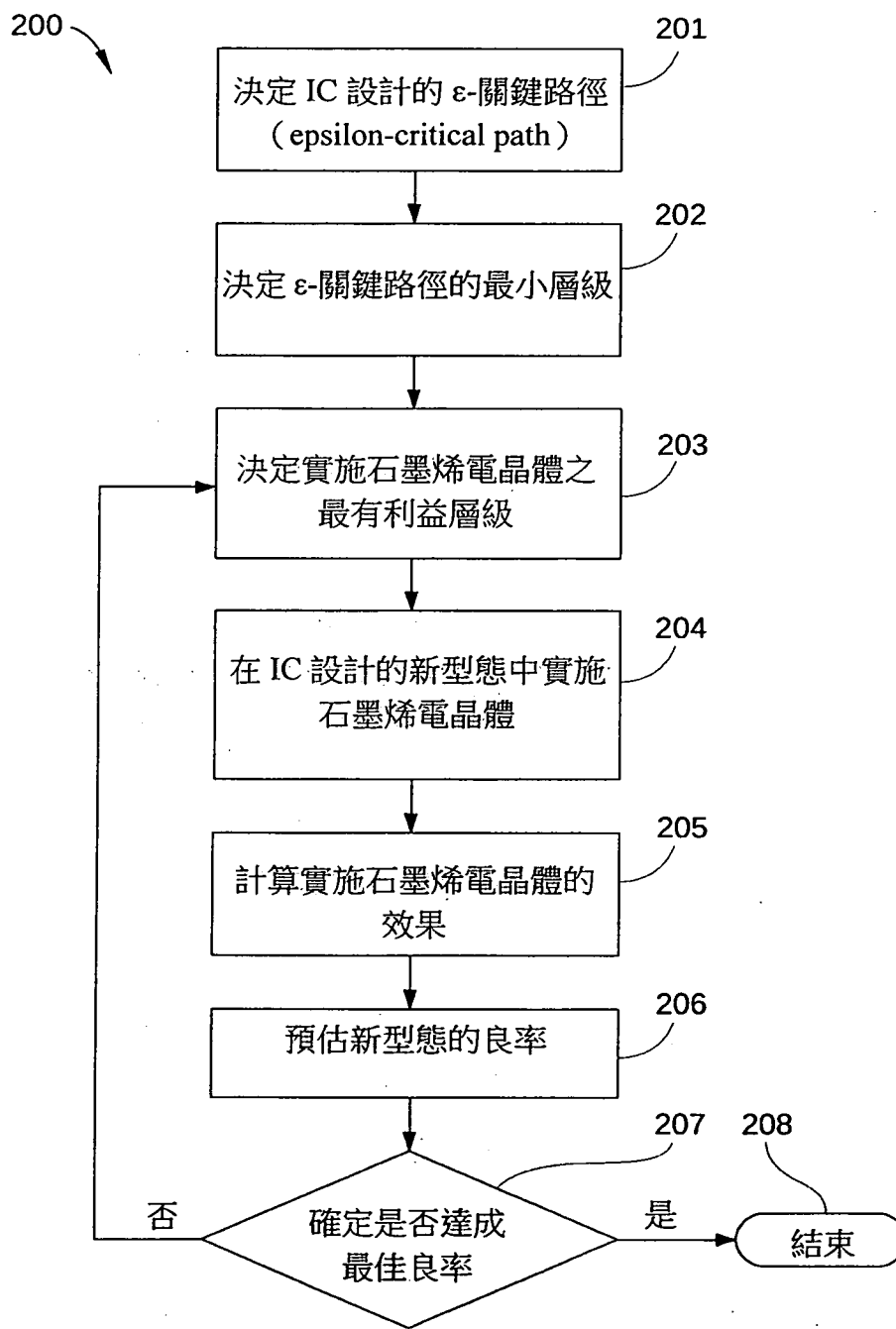
當比較結果表示該目標性能參數允許對該 IC 設計的該性能參數之一進一步變化時，選擇有關該 IC 設計之該等複數個層級中之另一層級，並使用包括由石墨烯形成之電晶體的組合元件來取代該等複數個層級之另一者中的組合元件，以形成一第二組態。

20. 如申請專利範圍第 19 項所述之製造物件，其中該決定的性能參數與該目標性能參數兩者屬於該 IC 設計之一能量洩漏率。
21. 如申請專利範圍第 19 項所述之製造物件，其中該決定的性能參數與該目標性能參數兩者屬於該 IC 設計之時間延遲。
22. 如申請專利範圍第 19 項所述之製造物件，其中替換該等組合元件以形成該第一與該第二組態中之任一或兩者係包括使用由石墨烯所形成之電晶體來替換該等組合元件之一些者，同時保留具有非石墨烯所形成之電晶體的其他組合元件。

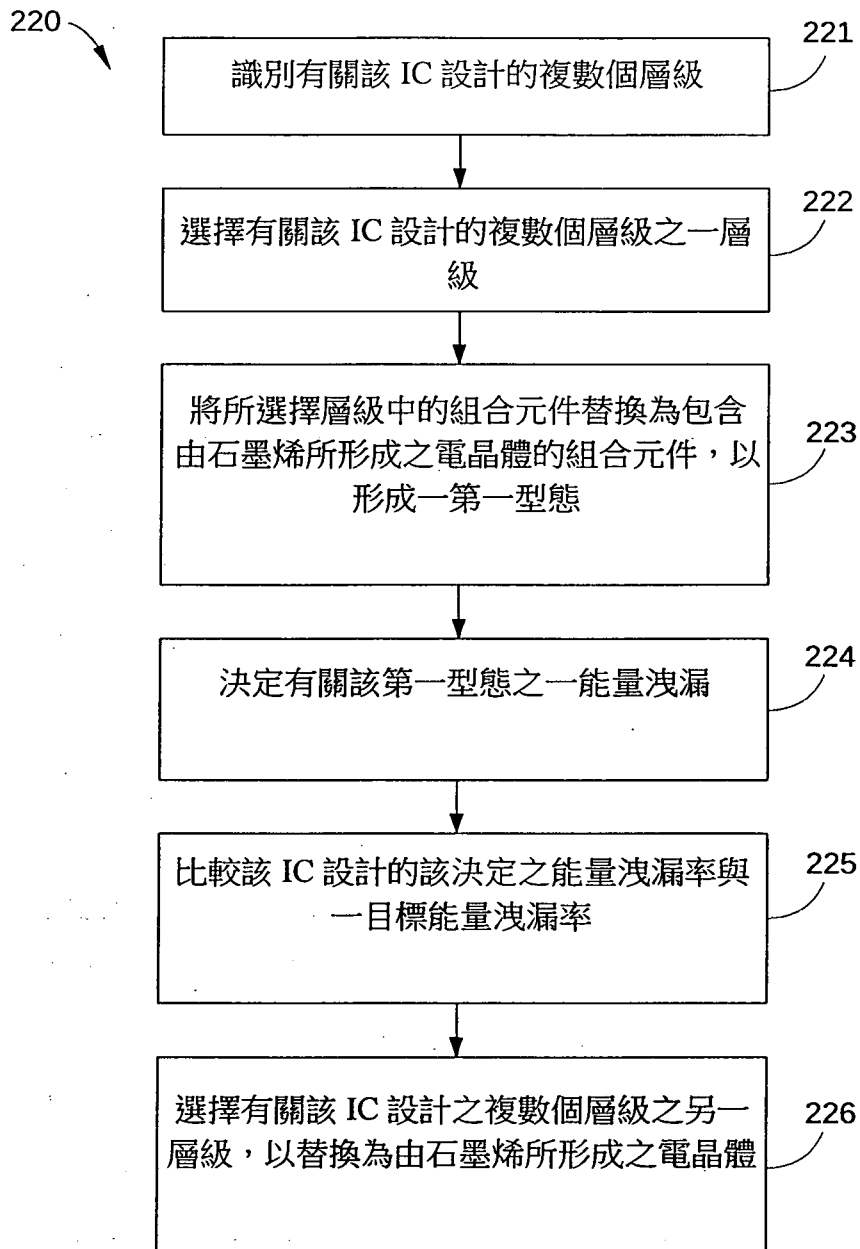
圖式



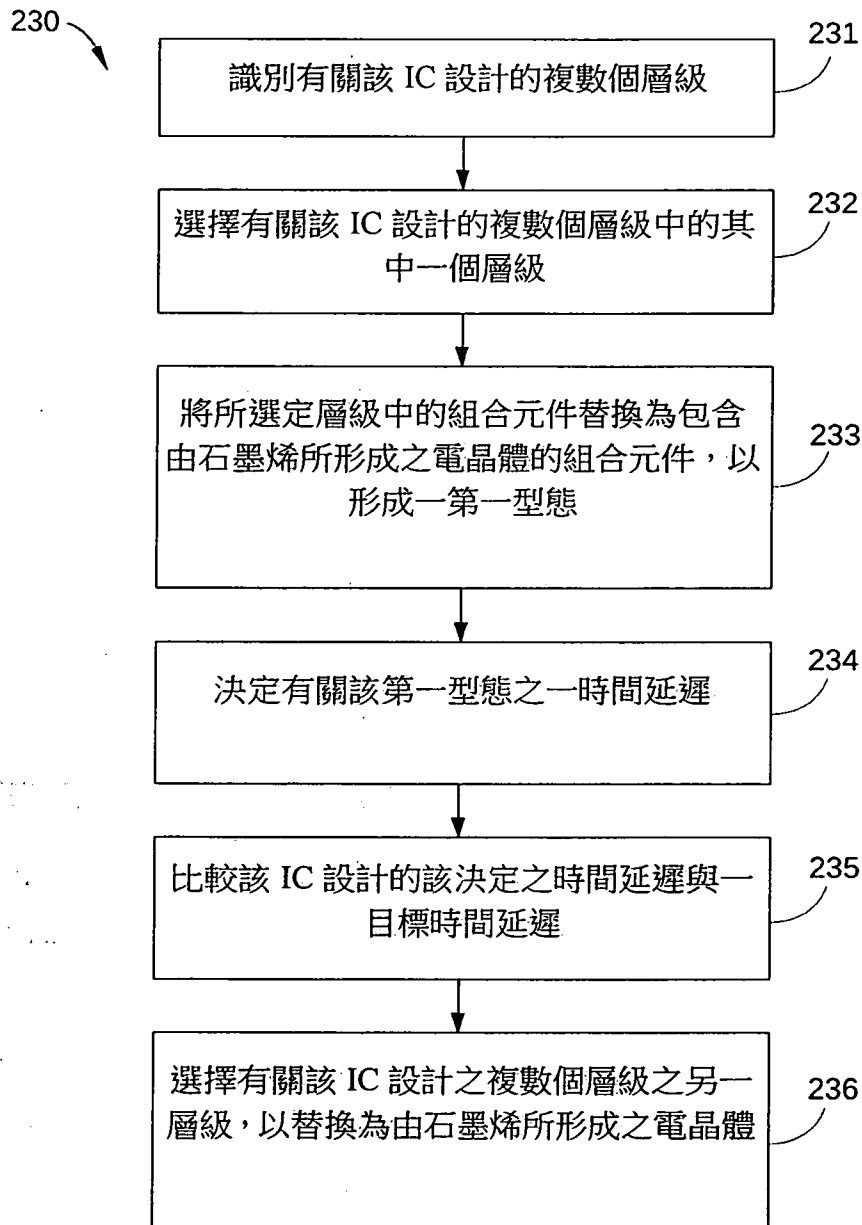
第一圖



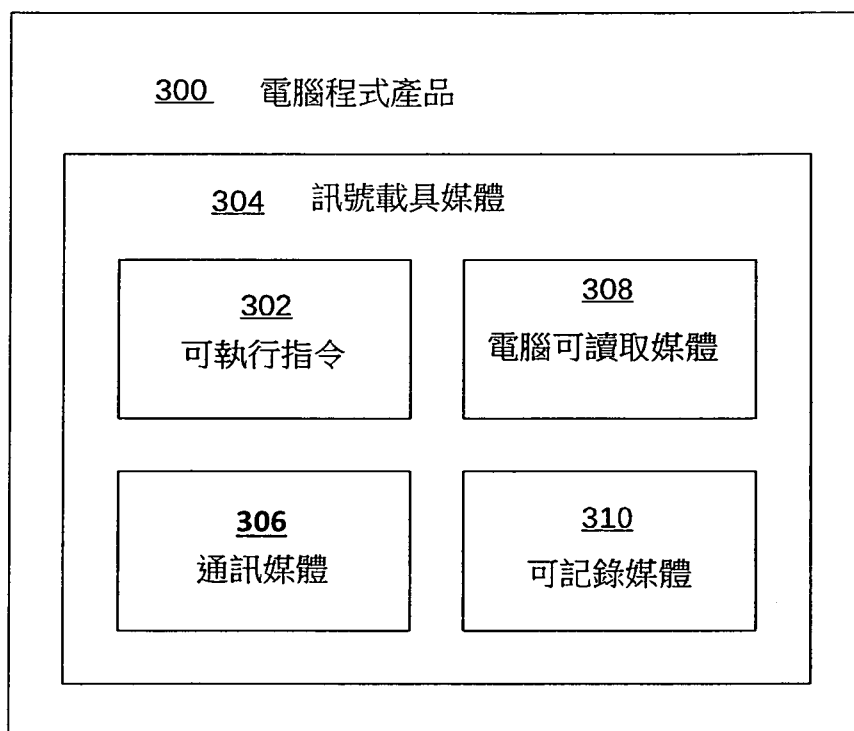
第二 A 圖



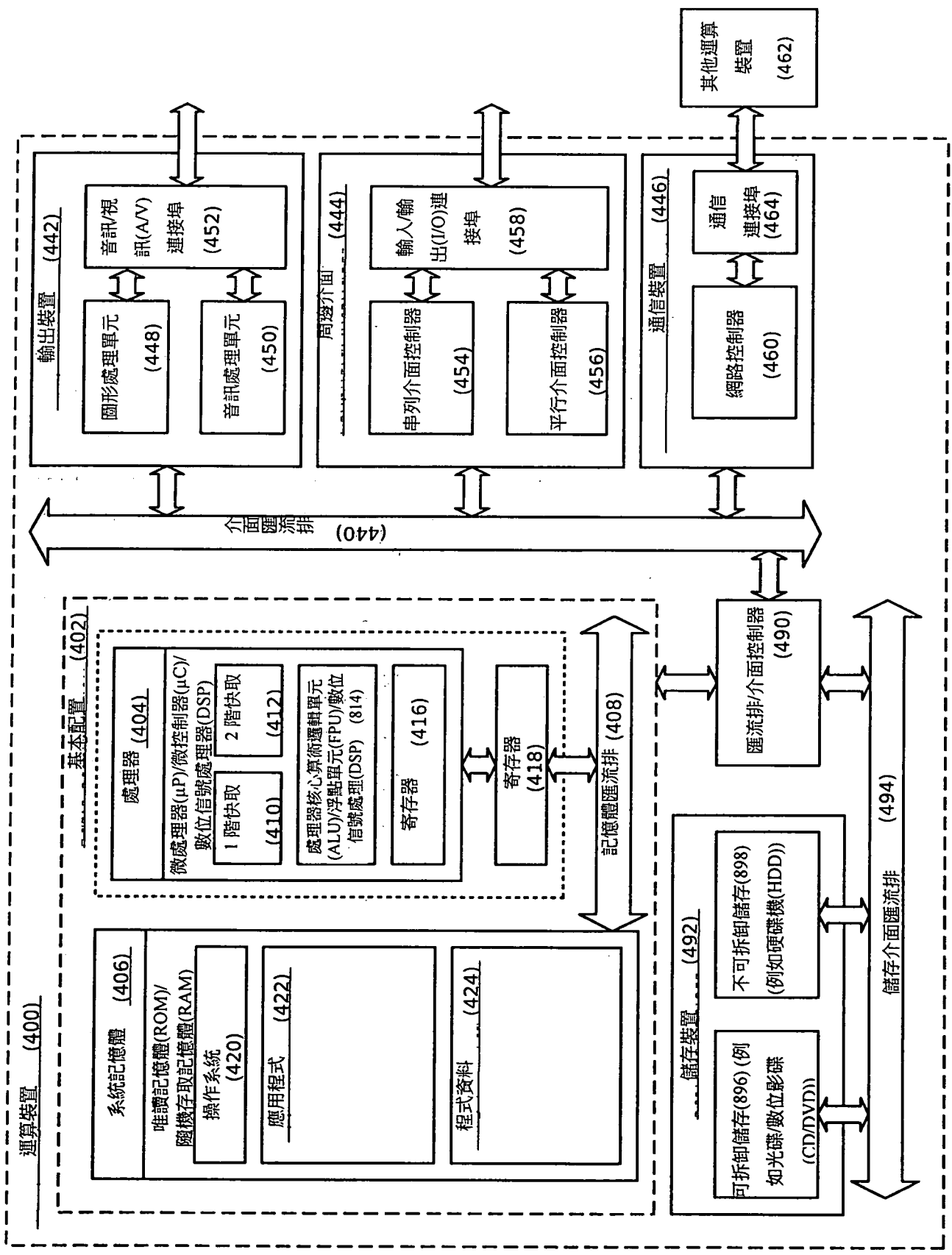
第二 B 圖



第二 C 圖



第三圖



第四圖