(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
G11C 11/22

(45) 공고일자 2000년10월16일
(11) 등록번호 10-0268909
(24) 등록일자 2000년07월18일

(21) 출원번호 10-1998-0014401
(22) 출원일자 1998년04월22일
(65) 공개번호 특1999-0080862
(43) 공개일자 1999년11월15일

(73) 특허권자 현대반도체주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 강희복
대전광역시 서구 도마동 359-27 양지타운 3-401
(74) 대리인 김용인, 강용복

심사관 : 곽준영

(54) 비휘발성 강유전체 메모리 소자

요약

본 발명은 SWL(Split Word Line)구조를 갖는 비휘발성 강유전체 메모리 소자에 관한 것으로, 그 구성은 짝수개의 칼럼으로 배열되어 있는 메인 셀 어레이와; 2 칼럼으로 배열되어 있는 레퍼런스 셀 어레이와; 상기 메인 셀 어레이와 레퍼런스 셀 어레이로 이루어진 복수개의 쌍이 배열되어 있는 복수개의 셀 어레이 블록들과;상기 칼럼과 평행하게 배열된 SWL 워드라인 드라이버와; 상기의 셀 어레이 블록과 이웃하는 다른 셀 어레이 블록을 컨트롤하기 위해 상기 칼럼의 양단에 연결된 컨트롤 블록으로 구성된 것을 특징으로 한다.

대표도

도8

명세서

도면의 간단한 설명

도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도

도 2는 종래 기술의 강유전체 메모리의 셀 어레이 구성도

도 3a와 도3b는 종래 기술의 강유전체 메모리 구동회로의 구성도

도 4는 종래 기술의 강유전체 메모리의 쓰기 모드의 동작을 나타낸 타이밍도

도 5는 종래 기술의 강유전체 메모리의 읽기 모드의 동작을 나타낸 타이밍도

도 6은 본 발명에 따른 SWL 강유전체 메모리의 구동 제어 및 데이터 입출력 회로의 구성 블록도

도 7은 본 발명에 따른 SWL 강유전체 메모리의 셀 어레이의 블록 다이어그램

도 8은 본 발명에 따른 SWL 강유전체 메모리의 셀 어레이의 상세 블록 다이어그램

도 9는 본 발명에 따른 SWL 강유전체 메모리의 기본 메모리 셀의 구성도

도 10은 본 발명에 따른 SWL 강유전체 메모리의 단위 구동 제어 및 데이터 입출력 회로의 구성 블록도

도 11은 비트라인 레벨과 레퍼런스 레벨의 관계를 나타낸 동작 타이밍도

도 12는 본 발명에 따른 SWL 강유전체 메모리의 메모리 셀 어레이 구성도

도 13은 본 발명에 따른 SWL 강유전체 메모리의 레퍼런스 셀 어레이 구성도

도 14는 본 발명에 따른 SWL 강유전체 메모리의 비트라인 제어 회로의 구성도

도 15는 도 14의 회로에서 각 노드의 커패시턴스 성분을 나타낸 구성도

도 16은 본 발명에 따른 SWL 강유전체 메모리의 동작 타이밍도

도 17은 비트 라인 유도 전압과 센스 앰프를 통한 증폭시의 입출력 노드의 전압 변화도

도 18은 본 발명에 따른 글로벌 제어 펄스 발생부의 구성 블록도

도 19a는 글로벌 제어 펄스 발생부의 Y 토글시의 동작 타이밍도

도 19b는 글로벌 제어 펄스 발생부의 X,Z 토글시의 동작 타이밍도

도 20은 본 발명에 따른 로컬 제어 펄스 발생부의 구성도

도 21은 본 발명의 제 1 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도

도 22는 본 발명의 제 2 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도

도 23은 본 발명에 따른 칼럼 제어부의 회로 구성도

도 24는 본 발명 제 1 실시예에 따른 레퍼런스 비트라인 레벨 조정 회로의 구성도

도 25는 본 발명의 제 2 실시예에 따른 레퍼런스 비트라인 레벨 조정 회로의 구성도

도 26은 본 발명의 제 3 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도

도 27은 본 발명의 제 4 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도

도 28은 Y-어드레스 변화시 쓰기 모드에서의 로칼 제어 펄스 발생부의 동작 파형도

도 29는 Y-어드레스 변화시 읽기 모드에서의 로칼 제어 펄스 발생부의 동작 파형도

도 30은 X,Z-어드레스 변화시 쓰기 모드에서의 로칼 제어 펄스 발생부의 동작 파형도

도 31은 X,Z-어드레스 변화시 읽기 모드에서의 로칼 제어 펄스 발생부의 동작 파형도

도면의 주요부분에 대한 부호의 설명

70. SWL 드라이버 블록	71. 셀 어레이 블록
72. 코아 블록	73. 메인 메모리 셀 어레이 블록
74. 레퍼런스 셀 어레이 블록	75. 비트라인 제어 회로 블록
76. 레퍼런스 비트라인 제어 회로 블록	200. 제 1 제어 펄스 발생부
201. 제 2 제어 펄스 발생부	202. 제 3 제어 펄스 발생부
203. 제 1 논리 연산부	204. 제 2 논리 연산부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자에 관한 것으로, 특히 SWL(Split Word Line)구조를 갖는 비휘발성 강유전체 메모리 소자에 관한 것이다.

일반적으로 반도체 기억 소자로 많이 사용되는 DRAM(Dynamic Random Access Memory)정도의 데이터 처리 속도를 갖고 전원의 OFF시에도 데이터가 보존되는 강유전체 메모리 즉, FRAM(Ferroelectric Random Access Memory)이 차세대 기억 소자로 주목받고 있다.

FRAM은 DRAM과 거의 같은 구조를 갖는 기억 소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용하여 전계를 제거해도 데이터가 지워지지 않도록한 기억 소자이다.

즉, 도 1의 히스테리시스 루프에서와 같이, 전계에 의해 유기된 분극이 전계를 제거해도 자발 분극의 존재로 인하여 소멸되지 않고 일정량(d,a 상태)을 유지하고 있는 것을 알 수 있다. 이 d,a 상태를 각각 1,0으로 대응시켜 기억 소자로 응용한 것이다.

이하, 첨부된 도면을 참고하여 종래 기술의 강유전체 메모리에 관하여 설명하면 다음과 같다.

도 2는 종래 기술의 강유전체 메모리의 셀 어레이 구성도이다.

종래의 1T/1C FRAM의 단위 셀 구조는 DRAM과 유사하게 하나의 트랜지스터와 하나의 커패시터로 구성된 1T/1C이다.

즉, 일정 간격을 갖고 일 방향으로 복수개의 워드 라인(W/L)들이 형성되고, 각 워드 라인(W/L) 사이에는 워드 라인(W/L)과 평행하게 복수개의 플레이트 라인(Plate Line, P/L)이 형성되며, 상기 각 워드 라인(W/L) 및 플레이트 라인(P/L)과 수직한 방향으로 일정한 간격을 갖고 복수개의 비트 라인(B_n,B_n+1,B_n+2,...)이 형성된다.

그리고 단위 메모리 셀을 구성하는 하나의 트랜지스터의 게이트 전극은 워드 라인(W/L)에 연결되고 상기 트랜지스터의 소오스 전극은 인접한 비트 라인(B/L)에 연결되며 트트랜지스터의 드레인 전극은 커패시터의 제 1 전극과 연결되고 커패시터의 제 2 전극은 인접한 플레이트 라인(P/L)에 연결된다.

이와 같은 종래 기술의 1T/1C구조의 강유전체 메모리 장치의 구동회로 및 동작을 설명하면 다음과 같다.

도 3a와 도 3b는 종래 기술의 강유전체 메모리 구동 회로의 구성도이다.

종래의 1T/1C구조의 강유전체 메모리 장치의 구동회로는 기준전압을 발생하는 기준전압 발생부(1)와, 복수개의 트랜지스터(Q1~Q4), 커패시터(C1) 등으로 이루어져 상기 기준 전압 발생부(1)에서 출력되는 기준전압을 바로 센스 엠프에 공급할 수 없으므로 인접한 두 개의 비트 라인의 기준 전압을 안정화 시키기 위

한 기준 전압 안정화부(2)와, 복수개의 트랜지스터(Q6~Q7), 커패시터(C2~C3) 등으로 이루어져 인접한 비트 라인에 각각 로직 값 "1"과 로직 값 "0"의 기준 전압을 저장하고 있는 제 1 기준 전압 저장부(3)와, 트랜지스터(Q5)로 이루어져 인접한 두 개의 비트 라인을 등전위화(EQULIZING)시키기 위한 제 1 이퀄라이저부(4)와, 서로 다른 워드 라인 및 플레이트 라인에 연결되어 데이터를 저장하는 제 1 메인 셀 어레이부(5)와, 복수개의 트랜지스터(Q10~Q14), P-센스앰프(PSA) 등으로 이루어져 상기 메인 셀 어레이부(5)의 복수개의 셀 중 상기 워드 라인에 의해 선택된 셀의 데이터를 센싱하기 위한 제 1 센스 앰프부(6)와, 서로 다른 워드 라인 및 플레이트 라인에 연결되어 데이터를 저장하는 제 2 메인 셀 어레이부(7)와, 복수개의 트랜지스터(Q27~Q28), 커패시터(C9~C10) 등으로 이루어져 인접한 비트 라인에 각각 로직 값 "1"과 로직 값 "0"의 기준 전압을 저장하고 있는 제 2 기준 전압 저장부(3)와, 복수개의 트랜지스터(Q15~Q24), N-센스앰프(NSA) 등으로 이루어져 상기 제 2 메인 셀 어레이부(7)의 데이터를 센싱하여 출력하는 제 2 센싱 앰프부(9)를 포함하여 구성된다.

이와 같이 구성된 종래의 1T/1C구조의 강유전체 메모리 셀의 데이터 입출력 동작은 다음과 같다.

도 4는 종래 기술의 강유전체 메모리의 쓰기 모드의 동작을 나타낸 타이밍도이고, 도 5는 종래 기술의 강유전체 메모리의 읽기 모드의 동작을 나타낸 타이밍도

쓰기 모드와 읽기 모드를 구분하여 설명하면 다음과 같다.

먼저, 쓰기 모드시에는 외부에서 칩 선택 신호인 CSBpad 신호를 "High"에서 "Low"로 인에이블 시키고 동시에 쓰기 인에이블 신호(WEBpad)를 "High"에서 "Low"로 인가하면 쓰기 모드가 시작된다.

이어, 쓰기 모드에서의 어드레스 디코딩이 시작되면 해당 워드 라인(W/L)에 인가되는 펄스가 "Low"에서 "High"로 천이되어 셀이 선택된다.

이와 같이 워드 라인이 "High"를 유지하고 있는 구간에서 해당 플레이트 라인(P/L)에는 차례로 일정 구간의 "High" 신호와 일정 구간의 "Low" 신호가 인가되고 선택된 셀에 로직 값 "1" 또는 "0"를 쓰기위하여 해당 비트 라인에 상기 쓰기 인에이블 신호에 동기되는 "High" 또는 "Low" 신호를 인가한다.

즉, 비트 라인에 "High"신호를 인가하고 워드 라인에 인가되는 펄스가 "High"인 구간에서 플레이트 라인에 인가되는 신호가 "Low"이면 강유전체 커패시터에는 로직 값 "1"이 기록된다.

그리고 비트 라인에 "Low"신호를 인가하고 플레이트 라인에 인가되는 신호가 "High"이면 강유전체 커패시터에는 로직 값 "0"이 기록된다.

이와 같은 쓰기 모드의 동작으로 셀에 저장된 데이터를 읽어내기 위한 동작은 다음과 같다.

먼저, 외부에서 칩 선택 신호인 CSBpad 신호를 "High"에서 "Low"로 인에이블하면, 해당 워드 라인이 선택되기 전에 모든 비트 라인은 이퀄라이저 신호에 의해 Low로 등전위가 된다.

즉, 도 3a와 도 3b에서 이퀄라이저부(4)에 "High" 신호를 인가하고 트랜지스터(Q18, Q19)에 "High"신호를 인가하면 비트 라인은 상기 트랜지스터(Q18, Q19)를 통해 접지되므로 저 전압으로 등전위가 된다.

그리고 트랜지스터(Q5, Q18, Q19)를 오프시켜 각 비트 라인은 비 활성화 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드 라인에 "Low"에서 "High"로 신호가 천이되어 해당 셀을 선택한다.

그리고 선택된 셀의 플레이트 라인에 "High"신호를 인가하여 강유전체 메모리에 저장된 로직 값 "1"에 상응하는 데이터를 파괴시킨다. 만약 강유전체 메모리에 로직 값 "0"가 저장되어 있다면 그에 상응하는 데이터는 파괴되지 않는다.

이와 같이 데이터가 파괴된 데이터와 파괴되지 않는 데이터는 상기한 바와 같은 히스터리시스 로프의 원리에 의해 서로 다른 값을 출력하게 되어 센스 엠프에서는 로직 값 "1" 또는 "0"을 센싱하게 된다.

즉, 데이터가 파괴된 경우는 도 1의 히스터리시스 루프에서 d에서 f로 변경되는 경우이고 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 경우이므로 일정 시간 후 센스 앰프가 인에이블되면 데이터가 파괴된 경우는 증폭되어 로직 값 "1"을 출력하고, 데이터가 파괴되지 않는 경우는 증폭되어 로직 값 "0"을 출력하게 된다.

이와 같이 센스 앰프에서 증폭하여 데이터를 출력한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드 라인에 "High"를 인가한 상태에서 플레이트 라인을 "High"에서 Low"로 비 활성화 시킨다.

이와 같은 1T/1C 구조를 갖는 종래 기술의 강유전체 메모리에 있어서는 데이터 입출력 동작에서 기준 셀이 메인 메모리 셀 보다 더욱 많은 동작을 하여야 하므로 기준 셀이 급격히 열화하는 특성이 있다.

발명이 이루고자 하는 기술적 과제

이와 같은 종래의 강유전체 메모리 장치 및 구동회로에 있어서는 다음과 같은 문제점이 있다.

첫째, 전원 OFF시에도 데이터가 보존된다는 장점이 있음에도 불구하고 종래의 FRAM에는 셀 플레이트 라인을 별도로 구성하여야 하므로 레이 아웃이 복잡하다.

둘째, 별도의 플레이트 라인을 이용하여 데이터 입출력 동작을 하므로 데이터의 읽기, 쓰기 동작에서 플레이트 라인에 컨트롤 신호를 공급하여야 하므로 기억 소자로서의 효율성이 떨어진다.

셋째, 강유전체막의 특성이 완벽하게 확보되지 않은 상태에서 기준 셀 하나가 약 수백 배 이상 많은 메인 메모리의 읽기 동작에 사용되도록 구성되어 있기 때문에 기준 셀이 메인 메모리 셀보다 더욱 많은 동작을 하여야 하므로 기준 셀의 열화 특성이 급격히 악화되어 기준 전압이 안정적이지 못하다.

넷째, 전압 조정 회로에 의한 기준 전압 발생 방법은 외부 전원 특성에 의해 기준 전압이 영향을 받으므로써 불안정하고 외부 노이즈에 의한 특성 열화의 문제가 있다.

다섯째, 강유전체 메모리를 활성화시키는 방법으로 CSBpad(칩 셀렉트 신호)만을 이용하기 때문에 고속 액세스를 이루지 못한다.

본 발명은 이와 같은 종래 기술의 FRAM의 문제점을 해결하기 위하여 안출한 것으로, 별도의 셀 플레이트 라인을 구성하지 않는 SWL 구조를 갖는 비휘발성 강유전체 메모리 소자를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명의 비휘발성 강유전체 메모리 소자는 짝수개의 칼럼으로 배열되어 있는 메인 셀 어레이와; 2 칼럼으로 배열되어 있는 레퍼런스 셀 어레이와; 상기 메인 셀 어레이와 레퍼런스 셀 어레이로 이루어진 복수개의 쌍이 배열되어 있는 복수개의 셀 어레이 블록들과; 상기 칼럼과 평행하게 배열된 SWL 워드라인 드라이버와; 상기의 셀 어레이 블록과 이웃하는 다른 셀 어레이 블록을 컨트롤하기 위해 상기 칼럼의 양단에 연결된 컨트롤 블록으로 구성되는 것을 특징으로 한다.

그리고 본 발명의 또다른 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자는 센스 앰프를 제어하기 위한 예비신호(SAP,SAN)와 프리디코딩된 Z 어드레스 신호(Z_Add3,Z_Add4)를 포함하는 제어 신호들을 입력으로 하여 센스 앰프 제어 신호(SAP_C,SAN_C)와 등전위 제어 신호(C3N_C,C3P_C)를 출력하는 제 1 논리 연산부,프리 디코딩된 Z 어드레스 신호(Z_Add1,Z_Add2)를 입력으로 하여 비트라인의 연결 및 레벨 조정을 제어하기 위한 (C1P_T,C1N_T,C2P_T,C2N_T, C3N_T)신호를 출력하는 제 2 논리 연산부로 구성되는 제 1 제어 펄스 발생부와; 쓰기 인에이블 신호(WEBpad)를 포함하는 신호를 받아 칼럼 선택에 관한 제어 신호(C4P_T,C4N_T)를 만들어 내는 제 2 제어 펄스 발생부와; Y 어드레스 천이검출(Y_ATD)신호를 받아 예비 SWL 구동신호(PS1_T,PS2_T)를 출력하는 제 3 제어 펄스 발생부를 포함하여 로칼 제어 펄스 발생부가 구성되는 것을 특징으로 한다.

그리고 본 발명의 또다른 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자는 센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 상부 셀 어레이 블록의 Y-어드레스 토글에 의한 데이터 쓰기 모드에서, 칩 인에이블신호인 CSBpad신호와 WEBpad신호가 Low(L)상태로 인에이블된 후 다시 High(H)상태로 디스에이블되는 구간을 t1에서부터 t15까지 분할하면 예비 SWL 구동 신호(①PS1_T,②PS2_T)와 SWL 구동 신호(③SWL1,④SWL2)비트라인 연결에 관한 제어 신호(⑤C1N_T,⑥C2N_T),칼럼 선택에 관한 신호(⑦C4N_T),예비 SWL 구동 신호 발생 동작이 방해 받지 않도록 보장하는 인터록 신호(⑧P2),비트라인 등전위에 관한 신호(⑨C3N_C),센스앰프 인에이블 신호(⑩SAP_C,⑪SAN_C)가 각각 H,H,L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고; Y 어드레스 천이 검출 신호(Y-ATD)가 비활성화 상태인 t2 구간에서 PS1_T,PS2_T 신호,C3N_C 신호가 Low로 천이하고 SWL1,SWL2와 C4N_T,P2 신호가 High로 천이하고, t3 구간에서 C1N_T,C2N_T 신호가 Low 상태로 천이하고 SAN_C,SAP_C 신호들은 활성화 상태가 되고 다른 모든 신호들은 이전 상태를 유지하는 제 1 단계; PS1_T,C1N_T 신호는 High 상태로 천이하고 SWL1 신호는 Low 상태로 천이하는 t4 구간, PS1_T,SWL2 신호는 Low로 각각 천이하고 PS2_T,SWL1 신호는 각각 High 상태로 천이하는 t5 구간, PS1_T 신호가 High상태로 변화되고 SWL1,P2 신호가 Low 상태로 천이하는 t6 구간에서 다른 신호들은 이전 상태를 유지하는 제 2 단계; Y-ATD 신호가 활성화 상태를 유지하는 t7 구간에서 PS1_T신호가 Low 상태로 천이되고 SWL1 신호가 High 상태로 천이되고, t8 구간에서 PS2_T 신호가 Low로 천이되고 SWL2 신호가 High로 천이되고 다른 신호들은 이전 상태를 유지하는 제 3 단계; Y-ATD 신호가 비활성화 상태를 유지하는 t9 구간에서 PS1_T신호가 High 상태로 천이되고 SWL1 신호가 Low 상태로 천이되고, t10 구간에서 PS2_T 신호가 High 상태로 천이되고 SWL2 신호가 Low로 천이되고 다른 신호들은 이전 상태를 유지하는 제 4 단계; Y-ATD 신호가 활성화 상태를 유지하는 t11,t12 구간에서 PS1_T,SWL1,PS2_T,SWL2 신호가 제 3 단계에서와 동일하게 상태 변화를 갖고 다른 신호들은 이전 상태를 유지하는 제 5 단계; Y-ATD 신호가 비활성화 상태를 유지하는 t13,t14 구간에서 PS1_T,SWL1,PS2_T,SWL2 신호가 제 4 단계에서와 동일하게 상태 변화를 갖고 다른 신호들은 이전 상태를 유지하는 제 6 단계로 이루어지는 것을 특징으로 한다.

이와 같은 본 발명의 비휘발성 강유전체 메모리 소자의 셀 어레이의 구조 그리고 그의 구동 제어 장치 및 방법에 관하여 첨부된 도면을 참고하여 보다 상세히 설명하면 다음과 같다.

도 6은 본 발명에 따른 SWL 강유전체 메모리의 구동 제어 및 데이터 입출력 회로의 구성 블록도이다.

도 6은 구동 제어 및 데이터 입출력 회로의 기본 구성을 나타낸 것으로, 외부에서 입력되는 X, Y, Z 어드레스 중 X 어드레스 신호를 버퍼링하는 X-어드레스 버퍼와(11), 상기 X-어드레스 버퍼(11)에서 출력되는 신호를 예비 디코딩하는 X-프리디코더(X-PreDecoder)(12)와, 외부에서 입력되는 X, Y, Z 어드레스 중 Z 어드레스를 버퍼링하는 Z-어드레스 버퍼(13)와, 상기 Z-어드레스 버퍼(13)에서 출력되는 신호를 예비 디코딩하는 Z-프리디코더(X-PreDecoder)(14)와, 상기 X-어드레스 버퍼(11) 및 Z-어드레스 버퍼(13)에서 출력되는 X-어드레스 및 Z-어드레스 신호의 어드레스 천이점을 검출하여 출력하는 X,Z-ATD 발생부(15)와, 상기 X,Z-ATD 발생부(15)의 출력신호와 외부에서 입력되는 CSB-pad 신호를 입력하고 자체에서 power-up 감지 신호를 생성하여 상기 X,Z-ATD 신호, CSBpad 신호 및 power-up 감지 신호에 따라 메모리 제어에 관한 기본 펄스를 출력하는 글로벌 제어 펄스 발생부(16)와, 외부에서 입력되는 X, Y, Z 어드레스 중 Y 어드레스를 버퍼링하는 Y-어드레스 버퍼와(17), 상기 Y-어드레스 버퍼(17)에서 출력되는 신호를 예비 디코딩하는 Y-프리디코더(X-PreDecoder)(18)와, 상기 Y-어드레스 버퍼(17)에서 출력되는 Y-어드레스 신호의 어드레스 천이점을 검출하여 출력하는 Y-ATD 발생부(19)와, 상기 글로벌 제어 펄스 발생부(16)에서 출력된 신호와 상기 Z-프리 디코더(14)에서 출력되는 Z-프리 디코딩 신호와 Y-ATD 발생부(19)의 출력신호를 합성하여 각 메모리 블록에 필요한 펄스를 발생하는 로칼 제어 펄스 발생부(20)와, 상기 X-프리디코더(12) 및 Z-프리디코더(14)에서 출력되는 X-프리 디코딩 신호와 Z-프리 디코딩 신호를 합성하여 해당 메모리 셀 블록을 선택하는 X-포스트 디코더(21)와, 상기 X-포스트 디코더(21)와 상기 로칼 제어 펄스 발생부(20)에서 출력되는 신호를 합성하여 각 SWL 셀 블럭(23)의 각 스플리트 워드 라인을 구동하는 SWL 드라이버(22)와, 상기 Y-프리디코더(18) 및 로칼 제어 펄스 발생부(20)의 출력신호를 합성하여 해당 비트 라인을 선택하는 칼럼 제어부(24)와, 상기 로칼 제어 펄스 발생부(20)의 출력신호와 상기 칼럼 제어부(24)의 출력신호를 합성하여 센스 앰프(Sense Amp)의 동작 및 입/출력(I/O)을 제어하는 센스 앰프/입출력 제어부(25)와, 외부의 데이터 버스와 상기 센스 앰프/입출력 제어부(25)를 인터페이스시키기 위한 입출력 버스

제어부(26)를 포함하여 구성된다.

이와 같은 구동 제어 및 데이터 입출력 구조를 갖는 본 발명의 SWL 강유전체 메모리의 셀 어레이의 구성에 관하여 설명하면 다음과 같다.

도 7은 본 발명에 따른 SWL 강유전체 메모리의 셀 어레이의 블록 다이어그램이고,도 8은 본 발명에 따른 SWL 강유전체 메모리의 셀 어레이의 상세 블록 다이어그램이다. 그리고 도 9는 본 발명에 따른 SWL 강유전체 메모리의 기본 메모리 셀의 구성도이다.

도 7은 단위 메모리 블록들의 어레이의 기본 구성을 나타낸 것으로 회로 영역을 크게 3개의 블록으로 구분한 것이다.

각 단위 메모리 블록마다 대응하여 각각 하나씩 SWL 드라이버 블록(70)이 구성되고, 메인 메모리 셀 어레이 블록과 레퍼런스 셀 어레이 블록을 포함하는 셀 어레이 블록(71)이 각 단위 메모리 블록마다 대응하여 1개씩 구성된다.

그리고 칼럼 제어 회로 블록,센싱앰프 어레이 블록을 포함하는 코아 블록(72)이 각 단위 메모리 블록 마다 2개의 영역으로 각각 분할되어 구성되고 이웃하는 두 개의 단위 메모리 블록과 서로 공유하는 구조로 구성된다.

이와 같은 본 발명의 SWL 강유전체 메모리 어레이의 상세 구성은 도 8에서와 같다.

먼저, SWL 드라이버 블록(70)이 제 1,2 스플리트 워드라인(SWL1)(SWL2)을 기본의 한쌍으로 하여 반복되는 어레이로 구성된다.

즉, SWL1_n과 SWL2_n, SWL1_n+1과SWL2_n+1, SWL1_n+2와SWL2_n+2, SWL1_n+3과 SWL2_n+3,....의 순서로 한쌍이 되어 반복 구성된다.

그리고 셀 어레이 블록(71)이 메인 메모리 셀 어레이 블록(73)과 레퍼런스 셀 어레이 블록(74)이 분할 그룹으로 배열되어 4개의 메인 메모리 셀 어레이 블록(73)이 2개의 레퍼런스 셀 어레이 블록(74)으로 하나의 그룹을 구성한다.

즉, B_n, B_n+1, B_n+2, B_n+3의 4개의 메인 메모리 셀 어레이 블록과 RB_n, RB_n+1의 2개의 레퍼런스 셀 어레이 블록이 하나의 그룹으로 배열된다.

이와 같이 B_n+4, B_n+5, B_n+6, B_n+7의 4개의 메인 메모리 셀 어레이 블록과 RB_n+2, RB_n+3의 2개의 레퍼런스 셀 어레이 블록이 하나의 그룹으로 배열되는 방식으로 메모리 블록이 반복 구성된다.

여기서, 메인 메모리 셀 어레이 블록(73)을 4개의 칼럼으로 구성하였으나, 4개 이외에도 6,8,10,...과 같이 짝수로 칼럼수를 확장하여 구성할 수 있다.

그리고 비트라인 제어 회로 블록(75),레퍼런스 비트라인 제어 회로 블록(76)를 포함하는 코아 블록(72)이 각 단위 메모리 블록 마다 2개의 영역으로 각각 분할되어 구성되고 이웃하는 두 개의 단위 메모리 블록과 서로 공유하는 구조로 구성되는데, 이들은 셀 어레이 블록(71)의 칼럼 방향 양쪽 끝에 대칭적인 위치에 구성된다.

여기서 비트라인 제어 회로 블록(75)는 메인 메모리 셀에 데이터를 쓰거나 읽기의 동작을 수행하는 센스앰프 블록과 쓰기 제어 회로를 포함하여 구성된다.

여기서, 셀 어레이 블록(71)은 일정 간격의 두 라인이 한쌍으로되어 복수개의 스플리트 워드 라인(SWL1_n,SWL2_n),(SWL1_n+1,SWL2_n+1),...들이 일방향으로 배열되고, 각각의 스플리트 워드라인들에 대응하여 그에 수직한 방향으로 복수개의 비트라인(Bit_n, Bit_n+1, Bit_n+2,...)들이 배열된다.

각각의 메인과 레퍼런스 셀 어레이 그룹내의 비트라인 제어 회로 블록(75)은 각각 다른 메인 셀 칼럼과 공통의 레퍼런스 셀 칼럼으로 구성된다.

하부(Bottom)쪽의 좌측 비트라인 제어회로 블록(75)의 칼럼 구성은 메인 셀 칼럼의 B_n과 공통의 레퍼런스 셀 칼럼인 RB_n으로 구성된것과 메인 셀 칼럼 B_n+2와 공통의 레퍼런스 셀 칼럼의 RB_n으로 구성된다.

그리고 하부(Bottom)쪽의 우측 비트라인 제어회로 블록(75)의 칼럼 구성은 메인 셀 칼럼의 B_n+4과 공통의 레퍼런스 셀 칼럼인 RB_n+2로 구성된것과 메인 셀 칼럼 B_n+6와 공통의 레퍼런스 셀 칼럼의 RB_n+2로 구성된다.

그리고 상부(Top)쪽의 좌측 비트라인 제어회로 블록(75)의 칼럼 구성은 메인 셀 칼럼의 B_n+1과 공통의 레퍼런스 셀 칼럼인 RB_n+1로 구성된것과 메인 셀 칼럼 B_n+3와 공통의 레퍼런스 셀 칼럼의 RB_n+1로 구성된다.

그리고 상부(Top)쪽의 우측 비트라인 제어회로 블록(75)의 칼럼 구성은 메인 셀 칼럼의 B_n+5와 공통의 레퍼런스 셀 칼럼인 RB_n+3로 구성된것과 메인 셀 칼럼 B_n+7과 공통의 레퍼런스 셀 칼럼의 RB_n+3로 구성된다.

각 스플리트 워드라인과 비트 라인이 교차되는 부분에는 단위 셀들이 구성되는데, 이들의 상세 구성은 도 9에서와 같다.

도 9는 기본적인 메모리 셀의 구성을 나타낸 것으로, 제 1 스플리트 워드 라인(SWL1)(90)에 게이트가 연결되는 NMOS의 제 1 트랜지스터(T1)(92)와, 제 2 스플리트 워드 라인(SWL2)(91)에 게이트가 연결되는 NMOS의 제 2 트랜지스터(T2)(93)와, 상기 제 1 트랜지스터(92)의 소오스에 한쪽 전극이 연결되고 다른쪽 전극은 제 2 스플리트 워드 라인(91)에 연결되는 제 1 강유전체 커패시터(C1)(94)와, 한쪽 전극이 제 1 스플리트 워드 라인(90)에 연결되고 다른쪽 전극은 제 2 트랜지스터(93)의 소오스에 연결되는 제 2 강유전체 커패시터(C2)(95)로 구성된다.

여기서, 제 1 트랜지스터(92)의 드레인은 비트 라인(Bit_n)에 연결되고 제 2 트랜지스터(93)의 드레인은 비트 라인(Bit_n+1)에 연결된다.

이와 같은 단위 메모리 셀에는 2개의 데이터를 저장할 수 있으며 제 1,2 스플리트 워드 라인(SWL1)(SWL2)이 한쌍이 되어 한 개의 로우(Row)어드레스를 구성하고, 비트라인(Bit_n)(Bit_n+1)의 한쌍이 2개의 칼럼을 구성한다.

이와 같은 어레이 구성을 갖는 SWL 강유전체 메모리의 각 구성 블록의 상세 구성에 관하여 설명하면 다음과 같다.

먼저, 더미셀을 이용한 레퍼런스 레벨의 발생에 따른 더미셀의 열화 및 레퍼런스 전압의 불안정 등의 문제를 해결하기 위하여 제시한 본 발명의 단위 구동제어 및 데이터 입출력 회로는 다음과 같다.

도 10은 본 발명에 따른 SWL 강유전체 메모리의 단위 구동 제어 및 데이터 입출력 회로의 구성 블록도이고,도 11은 비트라인 레벨과 레퍼런스 레벨의 관계를 나타낸 동작 타이밍도이다.

도 10은 본 발명의 SWL 강유전체 메모리 셀 2개가 구성된 것을 나타낸 것으로, 단위 구동 제어 및 데이터 입출력 개념을 보여주고 있다.

즉, N번째 비트라인(BIT_N)에 한쪽 전극이 연결되는 제 1 트랜지스터(T1)와 N+1번째 비트라인(BIT_N+1)에 한쪽 전극이 연결되는 제 2 트랜지스터(T2)와, 이들 트랜지스터(T1)(T2)의 게이트에 연결되는 한쌍의 워드 라인 즉, 제 1,2 스플리트 워드라인(SWL1)SWL2)으로 구성되는 단위 셀과, 제 1,2 스플리트 워드라인(SWL1)(SWL2)에 연결되어 SWL 구동 신호를 인가하는 SWL 드라이버(100)와, N번째 비트라인(BIT_N)과 N+1번째 비트라인(BIT_N+1)에 각각 연결되는 센스 앰프(102a)(102b)에서 사용될 레퍼런스 레벨을 발생하는 레퍼런스 레벨 발생부(101)와, 센스 앰프(102a)(102b)에서 출력되는 데이터를 어드레스 신호(Y_N)(Y_N+1)에 의해 데이터 버스 라인으로 전달하는 칼럼 디코더(103a)(103b)로 단위 블록에서의 구동 제어 및 데이터 입출력 회로가 구성된다.

여기서, 한쌍의 페어 워드 라인으로 동작하는 N번째 셀과 N+1번째 셀은 Low(Row)어드레스는 같고 동작하는 펄스 파형만 다르기 때문에 셀의 구분은 칼럼 디코더(103a)(103b)에 입력되는 칼럼 어드레스 신호(Y_N)(Y_N+1)에 의해 이루어진다.

그리고 레퍼런스 레벨 발생부(101)에서는 데이터 센싱에 필요한 기준 레벨을 발생하여 레퍼런스 라인(REF)통하여 센스 앰프(102a)(102b)에 공통으로 입력한다.

이와 같은 구동 제어 및 데이터 입출력 회로의 구성을 갖는 본 발명의 SWL강유전체 메모리는 읽기 모드의 동작에서 메인 셀(읽기모드에 선택되어진 메모리셀)이 선택되어지기 전과 후의 비트 라인 레벨과 레퍼런스 레벨과의 신호관계가 도 11에서와 같다.

프리차지 구간과 셀 데이터 전송 구간 그리고 센싱 증폭 구간으로 크게 3부분으로 나눌 수 있는데, 첫 번째의 프리차지 구간은 워드 라인이 인에이블되기 전에 비트 라인과 레퍼런스 레벨을 Low 레벨로 프리차지하는 구간이다.

두 번째의 셀 데이터 전송 구간은 메인 메모리 셀 데이터가 비트 라인에 실리고 레퍼런스 레벨 발생부(101)의 데이터가 레퍼런스 라인에 실리는 구간이다.

그리고 세 번째의 센싱 증폭 구간은 칼럼 디코더(103a)(103b)에 의해 동작하는 센스 앰프(102a)(102b)가 비트라인에서의 데이터 레벨과 레퍼런스 라인(REF)의 데이터 레벨의 신호 차이를 증폭하여 비트 라인에 피드백시켜주는 구간이다.

이와 같은 본 발명의 SWL 강유전체 메모리의 단위 메모리 블록에서의 메인 메모리 셀 어레이 블록(73)의 상세 구성은 도 12에서와 같고, 레퍼런스 셀 어레이 블록(74)은 도 13에서와 같다.

도 12에서 보면,스플리트 워드라인(SWL1_n,SWL2_n),(SWL1_n+1,SWL2_n+1),...

들과 비트 라인(B_n),(B_n+1),(B_n+2),....들의 모든 교차점에 메모리 셀이 존재하는 것이 아니라 어느 특정의 스플리트 워드라인에서 보면 각각의 비트라인에 하나씩 건너뛰어 메모리 셀이 배열되어 Folded Bit Line을 구성하고 있음을 알 수 있다.

그러므로 단위 메모리 블록의 SWL 셀 어레이에서 보면 정방향으로 SWL 셀이 배열된 것으로 볼 수 있다.

따라서, 각 스플리트 워드 라인은 짝수나 홀수의 비트 라인으로 각각 분할하여 메모리 셀을 갖도록 구성된다. 이는 SWL 셀 어레이 구조에서 SWL 하나만을 인에이블시킬 수 없고 반드시 SWL1,SWL2 두 개를 동시에 인에이블시킨다는 것을 의미한다.

마찬가지로 도 13에서 보면, SWL 메모리 셀을 한 개의 칼럼으로 배열시켜 메인 셀 어레이의 SWL1,SWL2를 레퍼런스 SWL 셀의 SWL1,SWL2에 상호 연결하므로써 두 개의 비트 라인은 Folded Bit Line 구조임을 알 수 있다.

이와 같은 메모리 셀 어레이 및 레퍼런스 셀 어레이 구조를 갖는 본 발명의 SWL 강유전체 메모리에서의 비트라인 제어 회로 그리고 센스 앰프 어레이의 구성을 설명하면 다음과 같다.

도 14는 본 발명에 따른 SWL 강유전체 메모리의 비트라인 제어 회로의 구성도이다. 그리고 도 15는 도 14의 회로에서 각 노드의 커패시턴스 성분을 나타낸 구성도이다.

도 14는 본 발명에 따른 SWL 강유전체 메모리의 비트 라인 제어 회로의 기본 구성을 나타낸 것으로, 먼저 제 1 제어 신호(C1)가 인에이블되는 것에 의해 on되어 메인 메모리 셀 영역의 복수개의 비트 라인(B_n,B_n+1,B_n+2,....)을 입출력 노드 (B1,B2,B3,B4,..)에 연결시키는 트랜지스터들(T21,T22,T23,T24)과, 제 2 제어 신호(C2)에 의해 on되어 레퍼런스 비트라인(RB0)을 입출력 노드(R1,R2,R3,R4,....)에 전기적으로 연결시키는 트랜지스터들(T25,T26,T27,T28)과, 제 3 제어 신호(C3)에 의해 레벨 조정되는 비트 라인

레벨 조정부(140)와, 제 4 제어 신호(C4)에 의해 레퍼런스 비트라인(RB10)에 풀업된 VCC를 인가하는 풀업 트랜지스터(PU0)로 구성된다.

이와 같은 기본 구조의 비트라인 제어 회로에서 각 노드에서의 커패시턴스에 대하여 설명하면 다음과 같다.

먼저, 메인 메모리 셀 영역에서의 각 비트라인의 커패시턴스 성분을 Cb_n, Cb_n+1, Cb_n+2, Cb_n+3,..으로 하고 레퍼런스 셀 영역의 레퍼런스 셀 영역의 레퍼런스 비트 라인의 커패시턴스를 Crb0라고 정의하고, 그 이외의 부분의 커패시턴스 성분을 Cr1,Cr2,Cr3,Cr4,...와 Cb1,Cb2,Cb3,Cb4,...라고 정의하면 회로의 각 부분을 다음과 같이 구성한다.

메인 메모리 셀과 레퍼런스 셀의 배열을 각각의 비트 라인에 연결된 메모리 셀의 숫자와 레퍼런스 셀의 수를 동일하게 구성하여 Cb_n = Crb0가 되도록하고, Cb1 = Cr1, Cb2 = Cr2, Cb3 = Cr3, Cb4 = Cr4가 되도록한다.

메인 셀 어레이의 비트 라인수 n을 Crb0 = n * Cr1의 조건으로 결정한다.

따라서, 메인 메모리 셀에 관련된 비트 라인의 전체 커패시턴스를 Cbit_total이라 하면, Cbit_total = Cb_n + Cb1인데 Cb_n 〉〉 Cb1이면 Cbit_total =Cb_n으로 나타낼 수 있다.

그리고 레퍼런스 셀에 관련된 비트 라인의 전체 커패시턴스를 Crbit_total이라하면 Grbit_total = Crb0 + n*Cr1으로 나타낼 수 있다.

레퍼런스 셀에 관련된 전체 비트라인 커패시턴스가 메인 메모리 셀에 관련된 전체 비트라인 커패시턴스에 비하여 약 두배가 되도록 한다.

이와 같은 기본 구성을 갖는 본 발명의 데이터 입출력 회로의 동작을 설명하면 다음과 같다.

도 16은 본 발명에 따른 SWL 강유전체 메모리의 동작 타이밍도이고, 도 17은 비트 라인 유도 전압과 센스 앰프를 통한 증폭시의 입출력 노드의 전압 변화도이다.

먼저, 제 1 제어신호(C1)이 High로 인에이블되면 NMOS 트랜지스터들(T21,T22,T23,T24)이 on되어 메인 메모리 셀 영역의 비트라인 B_n, B_n+1, B_n+2, B_n+3이 입출력 노드(B1,B2,B3,B4,..)에 전기적으로 연결된다.

제 2 제어신호(C2)가 High로 인에이블되면 NMOS 트랜지스터들(T25,T26,T27,T28)가 on되어 레퍼런스 메모리 셀 영역의 비트라인(RB0)가 입출력 노드(R1,R2,R3,R4,...)에 전기적으로 연결된다.

이와 같이 제 1,2 제어신호(C1)(C2)가 High로 인에이블된 상태에서 제 3 제어신호(C3)를 High로 인에이블하면 비트 라인 레벨 조정부(140)의 트랜지스터들(T29,T30,.....T40)이 활성화되어 메인 메모리 셀의 비트라인과 레퍼런스 셀의 비트라인이 Equalibrate되어 접지 레벨로 풀 다운된다.

제 1,2 제어신호를 계속 High상태로 하여 등전위와 풀 다운이 완료된 시점에서 제 3 제어신호(C3)를 Low 상태로 디져블시킨다.

제 3 제어신호를 디져블시킨후 두 개의 워드라인(SWL1,SWL2)을 High상태로 활성화시킴으로써 메인 메모리 셀에 저장된 데이터는 B_n, B_n+1, B_n+2, B_n+3를 거쳐 B1,B2,B3,B4에 전달되고 레퍼런스 셀에 저장된 데이터는 RB0를 거쳐R1,R2,R3,R4에 각각 전달된다.

이어, 각각의 셀에 저장된 데이터가 메인과 레퍼런스 비트라인에 충분히 전달되었을 때 제 1,2 제어신호를 Low 상태로 디져블시켜 트랜지스터들(T21,T22,...T28)을 off시킨다.

이 상태에서 센스 앰프(도 14,도15에 도시되지 않음)의 활성화를 위하여 SAP신호를 Low로 하고 SAN 신호를 High로 하여 R1,R2,R3,R4와 B1,B2,B3,B4에 전달된 미세 전압을 증폭한다.

증폭이 완료되면 제 1 제어 신호를 다시 High로 인에이블시켜 센스 앰프에서 증폭된 B1,B2,B3,B4의 데이터가 메인 메모리 셀의 비트라인(B_n,B_n+1,B_n+2,B_n+3)로 전달되도록 한다.

또한 레퍼런스 메모리 셀에 파괴된 로직 1 데이터를 재저장(Restore)하기 위해 제 4 제어신호를 High로 활성화시켜 NMOS 트랜지스터(PU0)를 on시켜 레퍼런스 비트라인이 High레벨이 되도록한다.

이상태에서 워드라인(SWL1,SWL2)에 교대로 High와 Low전압을 인가함으로써 파괴된 레퍼런스와 메인 메모리 셀의 데이터를 복구한다.

이와 같은 재저장 동작이 끝나면 워드 라인(SWL1,SWL2) 그리고 제 1,4 제어신호를 Low로 하여 디져블시키고 SAN을 Low로, SAP를 High로하여 센스 앰프가 디져블 상태가 되도록 한다.

이와 같은 본 발명의 데이터 입출력 회로의 기본 구성은 메인 메모리 셀과 레퍼런스 셀의 액세스되는 수를 같게하여 모든 강유전체 열화 특성을 같은 경향으로 변화하도록 유도한 것이다.

이는 레퍼런스 셀에 의한 비트라인 유도전압과 메인 메모리 셀에 의한 비트라인 유도전압 관계를 일정하게 유지시킬 수 있어 센스 앰프의 동작 안정화 및 칩의 수명을 연장할 수 있도록한 것이다.

즉, 도 17에서와 같이 레퍼런스와 메인 셀에 같은 저장 용량으로 로직 1이 저장되었을 때 레퍼런스와 메인 메모리 셀에 의해 유도되는 비트라인 전압 변동폭을 비교해보면 메인 메모리 셀의 비트라인쪽이 레퍼런스 셀의 비트라인쪽보다 높게 나타나는 것을 알 수 있다.

그리고 레퍼런스 셀에는 로직 1이 저장되어 있고 메인 셀에는 로직 0이 저장되어 있을 때 레퍼런스와 메인 메모리 셀에 의해 유도되는 비트라인 전압 변동폭을 비교하면 레퍼런스 셀쪽이 메인 메모리 셀의 비트라인쪽 보다 높게 나타난다.

즉, 메인 메모리 셀에 저장된 로직 1과 로직 0의 각각의 상태가 비트라인에 유도되는 전압의 약 중간 레

벨에서 레퍼런스 셀에 의한 비트라인 전압이 형성되게 된다.

따라서, 레퍼런스 셀에 로직 1을 저장하면 도 15에서와 같은 조건으로 회로를 구성할 경우 메인 메모리 셀에 저장된 로직 1과 로직 0를 정확히 구분하여 읽어 낼 수 있음을 알 수 있다.

이와 같은 데이터 입출력 회로의 기본 구성을 갖는 본 발명의 SWL 비휘발성 강유전체 메모리의 구동 제어 회로에 관하여 상세히 설명하면 다음과 같다.

본 발명의 SWL 강유전체 메모리의 구동 제어 회로는 구동 제어 회로의 전체 구성을 나타낸 도 6에서 SWL 셀어레이(23)과 SWL 드라이버(22)를 중심으로 하여 로컬 컨트롤 펄스 발생부(20),Y_어드레스 버퍼(17),Y_ATD 발생부(19),X_포스트 디코더(21),Y_프리디코더(18),칼럼 제어부(25),센스 앰프/입출력 제어부(25)를 중심 기술내용으로 한다.

즉, 본 발명의 SWL 강유전체 메모리는 로컬 제어 펄스 발생부(20)를 중심으로 하여 데이터 입출력을 제어하는 블록들에 관한 것이다.

먼저, 여러 제어 신호들의 흐름을 정확히 하기 위하여 로컬 제어 펄스 발생부(20)에 여러 동작 펄스를 공급하는 글로벌 제어 펄스 발생부에 관하여 간략히 설명하면 다음과 같다.

도 18은 본 발명에 따른 글로벌 제어 펄스 발생부의 구성 블록도이고, 도 19a와 도 19b는 글로벌 제어 펄스 발생부의 동작 펄스 발생 타이밍도이다.

글로벌 제어 펄스 발생부(16)의 구성은 먼저, 외부에서 입력되는 CSBpad 신호, X,Z-ATD 발생부(15)의 X,Z-ATD 신호 또는 파워-업 검출신호 중 적어도 CSBpad 신호를 포함한 신호를 입력 받아 제 1, 제 2 동기신호를 발생하는 입력버퍼부(31)와, 상기 입력 버퍼부(31)의 제 1 동기신호와 피드백 신호를 받아 저전압 시에는 동작이 이루어지지 않도록 하는 저전압 검출신호 및 상기 제 1 동기신호의 노이즈를 필터링하는 노이즈 제거신호 그리고 비트 라인 등의 예비 충전을 위한 예비 활성화 펄스를 각 출력하는 저전압 동작 및 노이즈 방지부(32)와, 상기 저전압 동작 및 노이즈 방지부(32)에서 정상 전원 전압이 공급될 때 상기 노이즈 제거된 신호를 입력하여 센스 엠프의 인에이블 시점을 조절하기 위한 제 1 콘트롤 신호와 칼럼 선택 인에이블 시점을 조절하고 기준 셀의 비트 라인의 풀업(pull-up)을 조정하기 위한 제 2 콘트롤 신호 그리고 SWL 구동부의 입력신호 및 기타 콘트롤 신호를 생성하기 위한 제 3 콘트롤 신호를 각각 출력하는 제 1 콘트롤부(33)와, 상기 제 1 콘트롤부(33)의 제 3 콘트롤 신호를 입력하여 상기 SWL 구동부의 한 쌍의 SWL을 위한 SWL1의 기본 파형 발생 신호(S1) 및 SWL2의 기본 파형 발생 신호(S2)와 상기 신호(S1,S2)의 활성화 기간을 조절하기 위한 기본 펄스 신호인 제 4 컨트롤 신호를 상기 저전압 동작 및 노이즈 방지부(32)의 피드백 신호로 출력하고 제 4 컨트롤 신호의 구동 능력을 향상시킨 펄스 신호(P2)를 로칼 제어 펄스 발생부(20)로 출력하는제 2 콘트롤부(34)와, 상기 입력 버퍼부(31)의 제 1, 제 2 동기신호와 상기 제 2 콘트롤부(34)의 제 4 콘트롤 신호를 입력하여 상기 SWL1의 기본 파형 발생 신호(S1)과 상기 SWL2의 기본 파형 발생 신호(S2)를 제외한 모든 신호 디스에이블시 상기 CSBpad 신호에 동기되도록 조절하기 위한 제 5 콘트롤 신호와 상기 SWL1의 기본 파형 발생 신호(S1)와 상기 SWL2의 기본 파형 발생 신호(S2)가 인에이블된 상태에서 만약 CSBpad 신호가 디스에이블 되면 디스에이블을 차단하여 상기 SWL1의 기본 파형 발생 신호(S1)와 상기 SWL2의 기본 파형 발생 신호(S2)가 정상적으로 동작이 완료될 때까지 인에이블상태를 연장시켜주는 제 6 콘트롤 신호를 출력하는 제 3 콘트롤부(35)와, 상기 제 3 콘트롤부(35)의 제 5, 제 6 콘트롤 신호와 상기 제 1 콘트롤부(33)의 제 1, 제 2, 제 3 콘트롤 신호와 상기 저전압 동작 및 노이즈 방지부(32)의 예비 활성화 펄스를 입력하여 센스엠프의 n-MOS 소자의 인에이블 신호(SAN) 및 p-MOS 소자의 인에이블 신호(SAP)와 메인 셀 블록의 비트 라인과 센스 엠프의 제 1 입/출력 노드를 서로 연결하기 위한 콘트롤 신호(C1)와 기준 셀 블록의 비트 라인과 센스 엠프의 제 2 입/출력 노드를 서로 연결하기 위한 콘트롤 신호(C2)와 메인 셀의 비트 라인과 기준 셀의 비트 라인 및 센스앰프 노드의 저전압 프리차지를 조정하기 위한 콘트롤 신호(C3) 그리고 칼럼 선택 인에이블 시점과 기준 셀의 비트 라인의 풀업(pull-up)을 조절하는 콘트롤 신호(C4)를 출력하는 제 4 콘트롤부(36)를 포함하여 구성된다.

이와 같은 글로벌 제어 펄스 발생부의 제어 펄스 발생 동작은 다음과 같다.

도 19a는 Y 어드레스 토글시의 글로벌 제어 펄스 발생부의 동작 파형이고, 도 19b는 X,Z 어드레스 토글시의 글로벌 제어 펄스 발생부의 동작 파형이다.

칩 인에이블신호인 CSBpad신호는 칩 인에이블 핀을 통해 외부에서 인가되는 것으로 칩 인에이블신호는 Low상태를 인에이블상태로 하기 때문에 상기 CSBpad신호가 High에서 Low로 천이될 때가 인에이블상태가 된다.

새로운 읽기동작이나 쓰기동작을 수행하기 위해서는 반드시 High 상태로의 비활성화(disable)구간이 요구된다.

도 19a를 t1에서부터 t15구간으로 분할하여 각 구간별로 신호의 변화 상태를 설명하면 다음과 같다.

CSBpad 신호는 t1구간 시작점에서 t14 구간의 끝점까지 Low로 활성화되고 t15구간의 시작점에서 High가되어 비활성화된다.

CSBpad 신호가 활성화되어 있는 동안 X와 Z 어드레스는 변하지 않으나 Y 어드레스는 t7구간의 시작점과 t11의 시작점에서 각각 천이가 일어난다.

Y-ATD는 Y 어드레스의 변화를 감지하여 t7에서 t8구간과 t11에서 t12구간동안에서 High 펄스를 발생한다.

여기서, S1,S2는 SWL셀의 워드라인(SWL1,SWL2)의 기본 파형을 형성하는데 사용하는 펄스이다.

먼저, t1구간에서는 CSBpad신호를 High에서 Low로 인에이블시킨다.

이때, X, Y, Z-어드레스는 t1이전의 상태를 계속 유지하고, t7이 시작되는 시점에서 Y-어드레스가 천이되면 이때에 Y-ATD신호는 t7에서 부터 t8구간까지 High상태가 된다.

그리고 Y-어드레스가 t11이 시작되는 시점에서 천이될 때 Y-ATD신호는 t11에서부터 t12구간까지 High상태가 된다.

t10이 경과하고 t2구간이 시작되면, S1, S2신호가 모두 High상태가 되는데 여기서, S1신호는 t3구간까지 High상태를 유지하고, t4구간에서는 Low상태가 된다.

이때, S2신호는 t3에서부터 t4구간동안에 High상태를 유지하게 된다.

그리고 메인 셀 비트라인과 센스 앰프의 한쪽 입출력단과의 신호 흐름을 조정하는 기본 신호인 C1신호는 t3구간에서만 Low 상태가 되는 한 개의 Low 펄스를 발생한다.

그러므로 t3 구간에서만 메인 셀 비트라인과 센스 앰프의 한쪽 입출력단과의 신호 흐름이 차단된다.

그리고 레퍼런스 셀 비트라인과 센스 앰프의 다른쪽 입출력단과의 신호 흐름을 조정하는 기본 신호인 C2신호는 t3구간에서 t14구간동안 Low 상태가 되는 펄스를 발생한다.

그러므로 t3 구간에서 t14구간동안 메인 셀 비트라인과 센스 앰프의 다른쪽 입출력단과의 신호 흐름이 차단된다.

그리고 메인셀의 비트라인과 외부 데이터 버스의 신호 전달을 조정하고 레퍼런스 비트라인의 풀업을 조정하는 C4신호는 t4가 시작되는 시점에서 이전의 상태인 Low상태에서 High상태로 천이되어 CSBpad신호가 디스에이블되는 시점(t14구간의 끝점)에서 다시 Low상태로 천이된다.

그러므로 t4구간에서 t14구간동안만 메인셀의 비트라인과 외부 데이터 버스의 신호 전달을 조정하는 것이 가능하고 레퍼런스 비트라인의 풀업을 조정하는 것이 가능하다.

S1과 S2가 정상 펄스를 발생하는 구간에서 다른 펄스에 의한 방해를 방지하는 P2신호는 S1, S2신호가 High상태로 되는 t2구간이 시작되는 시점에서 High상태로 천이되어 t6가 시작되는 시점에서 다시 Low상태로 천이된다.

그리고 S1과 S2가 활성화되기 전에 메인셀과 레퍼런스 셀 비트라인의 Low전압을 프리차지시키는 C3신호는 t1구간까지는 이전상태인 High상태를 유지하다가 t2가 시작되는 시점에서 Low상태로 천이된다. 그리고 CSBpad신호가 디스에이블되는 시점에서 다시 High상태로 천이된다.

그리고 SAN신호(센스앰프/입출력 제어부의 센스앰프를 동작시키기 위해 앤모스로 구성된 트랜지스터를 제어하는 신호인 SAN_C신호를 만들기 위해 예비신호)는 t2구간까지는 이전상태인 Low상태를 유지하다가 t3가 시작되는 시점에서 High상태로 천이되고 CSBpad신호가 디스에이블되는 시점에서 Low상태로 천이된다.

SAP신호(센스앰프/입출력 제어부의 센스앰프를 동작시키기 위해 피모스 구성된 트랜지스터를 제어하는 신호인 SAP_C신호의 예비신호)는 상기 SAN신호와 반대로 변화한다. 즉, t2구간까지는 이전상태인 High상태를 유지하다가 t3가 시작되는 시점에서 Low상태로 천이되고 CSBpad신호가 디스에이블되는 시점에서 High상태로 천이된다.

그리고 X,Z-어드레스 변화시 글로벌 제어신호 발생부의 입출력 동작 파형은 도 19a의 Y-어드레스 변화시의 입출력 동작 파형과 유사하다.

서로 다른 동작 파형을 갖는 부분은 도 19a에서는 Y-어드레스가 변화하는 시점에서는 Y-ATD신호가 High상태로 되는 반면에 X,Z-어드레스가 변화할 경우에는 X,Z-ATD 신호가 High상태로 된다.

글로벌 제어 펄스 발생부에서는 X,Z-어드레스가 변화하면 X,Z-ATD신호를 CSBpad신호와 함께 합성하여 사용하게 된다.

그러므로 X,Z-ATD 신호의 High 상태 구간(t7,t14)이 존재하면 글로벌 제어 펄스 발생부에서는 그 구간동안 CSBpad신호가 High상태로 된 것으로 인식한다.

따라서, 글로벌 제어 펄스 발생부에서는 모든 출력신호가 다시 발생하게 되어 해당 X,Z-어드레스가 정상적으로 억세스(Access)되도록 한다.

그러므로 S1,S2의 두 신호가 모두 High상태인 구간에서 Low로 한구간동안 천이되었다가 이전상태로 천이하는 C1신호는 t3,t10,t17 구간에서 Low로 천이된다.

그리고 C2신호는 C1신호가 Low로 천이되는 시점에서 High상태에서 Low로 천이된다.

그리고 C4신호는 C2신호가 High로 천이하는 시점에서 Low로 천이하였다가 C1신호가 다시 High로 천이하는 시점에서 High로 천이한다.

그리고 P2신호는 S1,S2신호가 같이 High로 천이하는 시점에서 High로 천이되고 두 구간의 High펄스 구간을 갖는 S1신호의 두 번째 High 구간이 끝나는 시점에서 Low로 천이한다.

그리고 C3신호는 S1,S2신호가 같이 High로 천이하는 시점에서 Low로 천이되고 X,Z-ATD신호가 High로 천이되는 시점에서 High로 천이한다.

그리고 SAN신호와 SAP신호는 C2신호가 변화하는 시점에서 각각 반대 상태로 천이된다.

이와 같이 발생되는 글로벌 제어 펄스 발생부의 펄스 신호를 받아 로컬 제어 펄스 발생부는 본 발명의 SWL 강유전체 메모리를 제어 구동하게 된다.

이어, 본 발명의 로컬 제어 펄스 발생부에 관하여 상세히 설명하면 다음과 같다.

도 20은 본 발명에 따른 로컬 제어 펄스 발생부의 구성도이다.

로컬 제어 펄스 발생부로 입력되는 S1,S2,P2,C1,C2,C3,C4,SAN, SAP신호는 상기한 글로벌 제어 펄스 발생

부의 출력신호이고, Y-ATD신호는 Y-어드레스가 천이될 때 발생하는 어드레스 천이 검출신호로써 High 펄스가 된다.

그리고 WEBpad신호는 라이트 인에이블 패드의 신호로써, 라이트 모드시, Low 상태를 활성화 상태로 정의한다.

Z_Add1,Z_Add2,Z_Add3,Z_Add4는 Z_어드레스 프리디코더(14)에서 출력되는 신호이다.

도 20에 나타낸 본 발명의 로컬 제어 펄스 발생부는 도 8에서 Top 블록을 제어하는 신호를 출력하는 것을 예로 한 것이다. Bottom 블록의 구동 제어 펄스의 발생은 이와 동일하다.

로컬 제어 펄스 발생부(20)는 센스 앰프/입출력 제어부(25)로 입력되는 신호를 만들어 내는 제 1 제어 펄스 발생부(200)와, 칼럼 제어부(24)로 입력되는 신호를 만들어 내는 제 2 제어 펄스 발생부(201)와, SWL 드라이버(22)로 입력되는 신호를 만들어 내는 제 3 제어 펄스 발생부(202)로 크게 구성된다.

여기서, 제 1 제어 펄스 발생부(200)는 SAP, SAN, Z_Add3, Z_Add4, 제 3 제어 신호(C3)를 입력으로 하여 상부 블록(Top Block)과 하부 블록(Bottom Block)을 제어하기 위한 제어 펄스 SAP_C, SAN_C, C3N_C, C3P_C 신호를 출력하는 제 1 논리 연산부(203)와, 제 1,2 제어 신호(C1,C2)와 Z_Add1, Z_Add2신호를 입력으로 하여 상부 블록을 제어하기 위한 제어 펄스 C1P_T, C1N_T, C2P_T, C2N_T, C3N_T 신호를 출력하는 제 2 논리 연산부(204)로 구성된다.

이와 같이 구성된 로컬 제어 펄스 발생부의 구성을 보다 상세히 설명하면 다음과 같다.

제 1 제어 펄스 발생부(200)의 제 1 논리 연산부(203)는 Z-Add3,Z-Add4신호를 논리 연산하여 하부 블록(Bottom Block)에 인가되는 제어 신호들의 발생에 관계하는 신호를 출력하는 제 1 NAND 게이트(203-1)와, 제 1 NAND 게이트(203-1)의 출력 신호와 NAND 연산된 Z-Add1,Z-Add2신호를 논리 연산하여 출력하는 제 2 NAND 게이트(203-2)와, 입력되는 SAP신호와 제 2 NAND 게이트(203-2)의 출력 신호를 연산 출력하는 제 3 NAND 게이트(203-3)와, 제 3 NAND 게이트(203-3)의 출력 신호를 반전하여 SAP_C 신호를 출력하는 제 1 인버터(203-4)와, SAN 신호와 제 2 NAND 게이트(203-2)의 출력 신호를 논리 연산하여 출력하는 제 4 NAND 게이트(203-5)와, 제 4 NAND 게이트(203-5)의 출력 신호를 반전하여 SAN_C 신호를 출력하는 제 2 인버터(203-6)와, 제 3 인버터(203-7)에 의해 반전된 제 3 제어 신호(C3)와 제 2 NAND 게이트(203-2)의 출력 신호를 논리 연산하여 출력하는 제 5 NAND 게이트(203-8)와, 제 5 NAND 게이트(203-8)의 출력 신호를 반전하여 C3P_C 신호를 출력하는 제 4 인버터(203-9)와, 제 4 인버터(203-9)의 출력 신호를 반전하여 C3N_C 신호를 출력하는 제 5 인버터(203-10)로 구성된다.

그리고 제 1 제어 펄스 발생부(200)의 제 2 논리 연산부(204)는 Z-Add1,Z-Add2신호를 논리 연산하여 상부 블록(Top Block)에 인가되는 제어 신호들의 발생에 관계하는 신호를 출력하는 제 1 NAND 게이트(204-1)와, 제 1 NAND 게이트(204-1)의 출력 신호를 반전하는 제 1 인버터(204-2)와, 제 1 인버터(204-2)의 출력 신호와 제 1 제어신호(C1)를 NAND 연산하여 출력하는 제 2 NAND 게이트(204-3)와, 제 2 NAND 게이트(204-3)의 출력 신호를 증강하여 C1P_T신호를 출력하는 제 2,3 인버터(204-4)(204-5)와,제 2 NAND 게이트(204-3)의 출력 신호를 반전하여 C1N_T신호를 출력하는 제 4 인버터(204-6)와, 제 1 인버터(204-2)의 출력 신호와 제 2 제어 신호(C2)를 논리 연산하여 출력하는 제 3 NAND 게이트(204-7)와, 제 3 NAND 게이트(204-7)의 출력 신호를 증강하여 C2P_T 신호를 출력하는 제 5,6 인버터(204-8)(204-9)와, 제 3 NAND 게이트(204-7)의 출력 신호를 반전하여 C2N_T 신호를 출력하는 제 7 인버터(204-10)와, 제 1 인버터(204-2)의 출력 신호와 반전된 제 3 제어 신호(C3)를 논리 연산하여 출력하는 제 4 NAND 게이트(204-11)와, 제 4 NAND 게이트(204-11)의 출력 신호를 증강하여 C3N_T신호를 출력하는 제 9,10 인버터(204-12)(204-13)로 구성된다.

그리고 제 2 제어 펄스 발생부(201)는 WEBpad 신호를 반전하는 제 1 인버터(201-1)와, 제 1 인버터(201-1)의 출력 신호를 반전하는 제 2 인버터(201-2)와, 제 4 제어 신호(C4)를 반전하는 제 3 인버터(201-3)와, 제 2,3 인버터(201-2)(201-3)의 출력 신호를 연산하여 출력하는 NAND 게이트(201-4)와, NAND 게이트(201-4)의 출력 신호를 반전하여 출력하는 제 4 인버터(201-5)와, 제 3 제어 신호(C3)와 제 4 인버터(201-5)의 출력 신호 그리고 제 1 제어 펄스 발생부(200)의 제 2 논리 연산부(204)의 제 1 NAND 게이트(204-1)의 출력 신호를 NOR연산하여 출력하는 NOR 연산부(201-6)와, NOR 연산부(201-6)의 출력 신호를 반전하여 C4P_T신호를 출력하는 제 5 인버터(201-7)와, 제 5 인버터(201-7)의 출력 신호를 반전하여 C4N_T 신호를 출력하는 제 6 인버터(201-8)로 구성된다.

그리고 제 3 제어 펄스 발생부(202)는 P2 신호를 반전하는 제 1 인버터(202-1)와, Y_ATD신호,제 1 인버터(202-1)의 출력 신호,제 4 제어 신호(C4) 그리고 반전된 WEBpad신호를 논리 연산하여 출력하는 제 1 NAND 게이트(202-2)와, 제 1 NAND 게이트(202-2)의 출력 신호를 반전하는 제 2 인버터(202-3)와, 제 2 인버터(202-3)의 출력 신호를 지연하는 제 3,4,5,6 인버터(202-4)(202-5)(202-6)(202-7)와, S1 신호와 제 2 인버터(202-3)의 출력 신호를 연산하여 출력하는 제 1 NOR 게이트(202-8)와, 제 1 NOR 게이트(202-8)의 출력 신호와 제 2 논리 연산부(204)의 제 1 NAND 게이트(204-1)의 출력 신호를 NOR연산하여 출력하는 제 2 NOR 게이트(202-9)와, 제 2 NOR 게이트(202-9)의 출력 신호를 반전하여 PS1_T 신호를 출력하는 제 7 인버터(202-10)와, 제 2 제어 신호(S2)와 제 6 인버터(202-7)의 출력 신호를 연산하여 출력하는 제 3 NOR 게이트(202-11)와, 제 3 NOR 게이트(202-11)의 출력 신호와 제 2 논리 연산부(204)의 제 1 NAND 게이트(204-1)의 출력 신호를 NOR연산하여 출력하는 제 4 NOR 게이트(202-12)와, 제 4 NOR 게이트(202-12)의 출력 신호를 반전하여 PS2_T 신호를 출력하는 제 7 인버터(202-13)로 구성된다.

이와 같은 본 발명의 로컬 제어 펄스 발생부는 제 1 제어 펄스 발생부(200)의 제 1 논리 연산부(203)가 상부 블록과 하부 블록에 공통으로 사용되는 제어 펄스를 발생하는 블록이고, 제 1 제어 펄스 발생부(200)의 제 2 논리 연산부(204)와 제 2,3 제어 펄스 발생부(201)(202)가 상부 블록을 제어하는 펄스를 발생하는 블록이다.

이와 같은 본 발명의 로컬 제어 펄스 발생부의 제어 펄스 발생 동작에 관하여 설명하면 다음과 같다.

먼저, 쓰기 모드의 동작시에는 WEBpad신호가 Low상태이므로 제 2 제어 펄스 발생부(201)의 제 1 인버터

(201-1),제 2 인버터(201-2)를 거친 출력 신호는 Low 상태가 된다.

그러므로 제 1 NAND 게이트(201-4)는 비활성화 상태가 되어 High 레벨의 신호를 출력하게 되어 NOR 연산부(201-6)를 활성화 상태가 되도록 한다.

NOR 연산부(201-6)가 활성화되어 제 3 제어신호(C3)는 제 5 인버터(201-7)를 통과하여 C4P_T신호를 출력하고,다시 제 6 인버터(201-8)를 통과하여 C4N_T신호를 출력한다.

상기 제 3 제어신호(C3)는 스플리트 워드라인(SWL1)(SWL2)이 활성화되기 전의 상태 즉, 메모리 셀 비트라인과 레퍼런스 셀 비트라인의 프리차지구간에서 칼럼 선택신호를 모두 비활성화 상태가 되도록 한다.

비활성화된 칼럼 선택신호에 의해 데이터 버스와 비트라인간의 신호 흐름은 차단된다.

따라서, 쓰기 모드에서의 비트라인 프리차지시에 비트라인에 실린 데이터와 입출력 데이터버스에 실린 데이터가 충돌하는 것을 피할 수가 있다.

또한, 쓰기모드에서는 WEBpad신호가 Low상태이므로 제 2 제어 펄스 발생부(201)의 제 1 인버터(201-1)의 출력 신호가 High상태가 되므로 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)를 활성화시킨다.

따라서, 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)는 Y-ATD신호, P2,C4신호의 지배를 받는다.

즉, P2 신호가 High인 상태로써, S1,S2 신호가 활성화 상태로 정상 동작하고 있는 동안에는 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)를 비활성화시켜 S1,S2 신호의 정상 동작을 보장하게 된다.

S1,S2 신호의 정상 동작이 완료되면 P2 신호는 Low 상태가 되므로 이때 제 3 제어 펄스 발생부(202)의 제 1 인버터(202-1)의 출력은 High상태가 되어 결과적으로 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)가 활성화된다.

이상태에서는 Y-ATD 또는 C4 신호의 상태에 따라서 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)의 동작이 결정된다.

여기서, 제 2 제어 펄스 발생부(201)의 제 1 인버터(202-1)의 출력이 High상태이므로 C4 신호까지 High 상태가 되면 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)활성화되어 Y-ATD신호가 SWL 드라이버 블록(70)으로 전달된다.

부연 설명하면, Y-어드레스가 천이되는 구간에서 S1신호와 S2신호가 제 3 제어 펄스 발생부(202)의 제 1,3 NOR 게이트(202-8)(202-11)를 활성화시켜 Y-ATD신호는 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2),제 2 인버터(202-3)를 거쳐 제 3 제어 펄스 발생부(202)의 제 1 NOR 게이트(202-8)에 전달되고 동시에 제 3 제어 펄스 발생부(202)의 제 2 인버터(202-3)의 출력 신호를 지연하는 제 3,4,5,6 인버터(202-4)(202-5)(202-6)(202-7)에 의해 지연된 신호는 제 3 NOR 게이트(202-11)에 전달된다.

상기 제 3 제어 펄스 발생부(202)의 제 1,2 NOR 게이트(202-8)(202-9)와 제 7 인버터(202-10)를 통과한 Y-ATD신호는 반전된 Low상태의 PS1_T 신호가 된다.

제 3 제어 펄스 발생부(202)의 제 3,4 NOR 게이트(202-11)(202-12)와 제 7 인버터(202-13)를 통과한 지연된 Y-ATD신호는 반전된 Low상태의 PS2_T 신호가 된다.

따라서, PS1_T 신호와 PS2_T 신호는 Y-ATD신호에 대하여 반전된 위상을 갖는다.

여기서, 제 3 제어 펄스 발생부(202)의 제 2 인버터(202-3)의 출력 신호를 지연하는 제 3,4,5,6 인버터(202-4)(202-5)(202-6)(202-7)의 사이즈를 조절함으로써 PS1_T 신호 및 PS2_T 신호의 Low신호가 겹치는 시간을 조절할 수가 있다.

그리고 읽기 모드에서는 제 2 제어 펄스 발생부(201)의 NAND 게이트(201-4)가 활성화 상태가 되어 C4의 신호가 제 2 제어 펄스 발생부(201)의 제 3 인버터(201-3),NAND 게이트(201-4),제 4 인버터(201-5),NOR 연산부(201-6) 그리고 제 5 인버터(201-7)를 거쳐 C4P_T 신호로 출력된다.

그리고 제 5 인버터(201-7)의 출력 신호는 제 6 인버터(201-8)을 거쳐 C4N_T 신호로 출력된다.

C4P_T,C4N_T 신호는 센스앰프에 의해 증폭된 신호를 데이터버스에 전달하는 역할을 한다.

이와 같은 읽기모드에서는 제 2 제어 펄스 발생부(201)의 제 1 인버터(201-1)의 출력신호가 Low상태로써 제 3 제어 펄스 발생부(202)의 NAND 게이트(202-2)를 비활성화시킴으로 Y-ATD신호, P2,C4신호의 전달이 차단된다.

그리고 제 3 제어 펄스 발생부(202)의 제 2 인버터(202-3)의 출력신호가 Low상태가 되어 제 3 제어 펄스 발생부(202)의 제 1 NOR 게이트(202-8)를 활성화시킨다.

이와 같은 제어 펄스 발생 동작으로 SWL 드라이버 블록(70)의 입력신호로 사용되는 PS1_T 신호와 PS2_T 신호는 S1과 S2신호에 대해 각각 반대 위상을 갖는 파형이 된다.

그리고 본 발명에 따른 센스 앰프 및 입출력 제어 회로에 관하여 상세히 설명하면 다음과 같다.

도 21은 본 발명의 제 1 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도이고,도 22는 본 발명의 제 2 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도이다.

먼저, 도 21의 센스 앰프 및 입출력 제어 회로의 구성은 다음과 같다.

도 7에서와 같이 본 발명의 SWL 강유전체 메모리는 코아 블록(72)을 상부 셀 어레이 블록(71)과 하부 셀 어레이 블록(72)이 공유하고 있기 때문에 센스 앰프 블록(210)을 중심으로 하여 상부 메인 메모리 셀에 연결되는 임의의 비트 라인(BIT_T),상부 레퍼런스 셀에 연결되는 임의의 비트 라인(RBIT_T),하부 메인 메모리 셀에 연결되는 임의의 비트 라인(BIT_B),하부 레퍼런스 셀에 연결되는 임의의 비트 라인(RBIT_B)이

연결된다.

그 구성은 먼저, 비트 라인(BIT_T)(RBIT_T)(BIT_B)(RBIT_B)들에 연결되어 로컬 제어 펄스 발생부에서 출력되는 센싱앰프 인에이블 신호(SAP_C)(SAN_C)에 의해 해당 라인들의 데이터를 센싱 및 증폭하는 센싱앰프(210)와, 이퀄라이징 신호(C3N_C,C3P_C)에 의해 비트 라인(BIT_T)(RBIT_T) 또는 (BIT_B)(RBIT_B)의 전위를 등전위화하는 이퀄라이져부(211)와, 로컬 제어 펄스 발생부에서 출력되는 상부 셀 어레이 연결 신호(C1P_T,C1N_T,C2P_T,C2N_T)에 의해 스위칭되어 상부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트 라인(BIT_T)(RBIT_T)을 상기 센싱앰프(210)의 입출력 라인에 선택적으로 연결하는 제 1,2 트랜스미션 게이트(212)(213)와, 하부 셀 어레이 연결 신호(C1P_B,C1N_B,C2P_B,C2N_B)에 의해 스위칭되어 하부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 상기 센싱앰프(210)의 입출력 라인에 선택적으로 연결하는 제 3,4 트랜스미션 게이트(214)(215)와, 제 1 트랜스미션 게이트(212)와 상부 메모리 셀사이의 비트라인(BIT_T)에 연결되어 칼럼 선택 신호(Y_n_T,YB_n_T)에 의해 데이터 버스(D_BUS)와의 연결을 제어하는 제 5 트랜스미션 게이트(216)와, 제 3 트랜스미션 게이트(214)와 하부 메모리 셀사이의 비트라인(BIT_B)에 연결되어 칼럼 선택 신호(Y_n_B,YB_n_B)에 의해 데이터 버스(D_BUS)와의 연결을 제어하는 제 6 트랜스미션 게이트(217)와, 상기 제 1 트랜스미션 게이트(212)와 제 5 트랜스미션 게이트(216) 사이의 비트라인(BIT_T)에 한쪽 전극이 연결되고 다른쪽 전극은 전원 전압 단자에 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_T)에 의해 비트라인(BIT_T)의 레벨을 조정하는 제 1 비트라인 레벨 조정부(218)와, 상기 제 3 트랜스미션 게이트(214)와 하부 메모리 셀 어레이 블록 사이의 비트라인(BIT_B)에 한쪽 전극이 연결되고 다른쪽 전극은 전원 전압 단자에 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_B)에 의해 비트라인(BIT_B)의 레벨을 조정하는 제 2 비트라인 레벨 조정부(219)를 포함하여 구성된다.

여기서, 데이터 버스(D_BUS)는 읽기 모드와 쓰기 모드의 동작 모두에서 공통으로 사용된다. 즉, 읽기 모드의 동작시에는 센스 앰프의 출력 전송로로 사용되고 쓰기 모드에서는 메모리 셀에 라이트(Write)할 데이터 전송로로 사용된다.

센스 앰프 및 데이터 입출력 제어 회로에 입력되는 각각의 제어 신호와 각 구성 블록의 동작에 관하여 설명하면 다음과 같다.

SAN_C는 한쪽 전극이 센스앰프에 연결되고 다른쪽 전극이 접지(VSS)단자에 연결되는 NMOS 트랜지스터의 게이트에 인가되어 High에서 센싱앰프(210)를 활성화시키고 Low에서 센싱앰프(210)를 비활성화시키게 된다.

그리고 SAP_C는 한쪽 전극이 센스앰프에 연결되고 다른쪽 전극이 전원전압 (VCC)단자에 연결되는 PMOS 트랜지스터의 게이트에 인가되어 Low에서 센싱앰프(210)를 활성화시키고 High에서 센싱앰프(210)를 비활성화시키게 된다.

이퀄라이져부(211)에 입력되는 이퀄라이징 신호(C3N_C,C3P_C)는 스플리트 워드라인(SWL1)(SWL2)가 활성화되기 전에 메인과 레퍼런스 셀의 비트 라인(BIT_T)(RBIT_T)(BIT_B)(RBIT_B) 및 센싱앰프(210)의 전위를 등전위화 한다.

풀다운 제어신호(C3N_T)는 상부쪽의 메인 셀 칼럼과 레퍼런스 셀 칼럼의 선택시에 제 1 비트라인 레벨 조정부(218)를 턴온시켜 풀다운 동작을 수행하여 상부의 메인 메모리 셀 및 레퍼런스 셀에 연결된 비트라인(BIT_T)(RBIT_T)을 Low레벨로 만든다.

그리고 풀다운 제어신호(C3N_B)는 하부쪽의 메인 셀 칼럼과 레퍼런스 셀 칼럼의 선택시에 제 2 비트라인 레벨 조정부(219)를 턴온시켜 풀다운 동작을 수행하여 하부의 메인 메모리 셀 및 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 Low레벨로 만든다.

그리고 도 22에 나타낸 센스 앰프 및 입출력 제어 회로는 본 발명의 제 2 실시예를 나타낸 것으로 NMOS트랜지스터로 각각의 제어 펄스에 의한 스위칭 블록을 구성한 것이다.

먼저, 그 구성은 비트 라인(BIT_T)(RBIT_T)(BIT_B)(RBIT_B)들에 연결되어 로컬 제어 펄스 발생부에서 출력되는 센싱앰프 인에이블 신호(SAP_C)(SAN_C)에 의해 해당 라인들의 데이터를 센싱 및 증폭하는 센싱앰프(220)와, 이퀄라이징 신호(C3N_C,C3P_C)에 의해 비트 라인(BIT_T)(RBIT_T) 또는 (BIT_B)(RBIT_B)의 전위를 등전위화하는 이퀄라이져부(221)와, 로컬 제어 펄스 발생부에서 출력되는 상부 셀 어레이 연결 신호(C1N_T,C2N_T)에 의해 스위칭되어 상부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트 라인
(BIT_T)(RBIT_T)을 상기 센싱앰프(220)의 입출력 라인에 선택적으로 연결하는 제 1,2 NMOS 트랜지스터(222)(223)와, 하부 셀 어레이 연결 신호(C1N_B,C2N_B)에 의해 스위칭되어 하부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 상기 센싱앰프(220)의 입출력 라인에 선택적으로 연결하는 제 3,4 NMOS 트랜지스터(224)(225)와, 제 1 NMOS 트랜지스터(222)와 상부 메모리 셀사이의 비트라인(BIT_T)에 연결되어 칼럼 선택 신호(Y_n_T)에 의해 데이터 버스(D_BUS)와의 연결을 제어하는 제 5 NMOS 트랜지스터(226)와, 제 3 NMOS 트랜지스터(224)와 하부 메모리 셀사이의 비트라인(BIT_B)에 연결되어 칼럼 선택 신호(Y_n_B)에 의해 데이터 버스(D_BUS)와의 연결을 제어하는 제 6 NMOS 트랜지스터(227)와, 상기 제 1 NMOS 트랜지스터(222)와 제 5 NMOS 트랜지스터(226) 사이의 비트라인(BIT_T)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_T)에 의해 비트라인(BIT_T)의 레벨을 조정하는 제 1 비트라인 레벨 조정부(228)와, 상기 제 3 NMOS 트랜지스터(224)와 하부 메모리 셀 어레이 블록 사이의 비트라인(BIT_B)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_B)에 의해 비트라인(BIT_B)의 레벨을 조정하는 제 2 비트라인 레벨 조정부(229)를 포함하여 구성된다.

이와 같은 본 발명의 SWL 강유전체 메모리 소자의 칼럼 제어부의 구성에 관하여 설명하면 다음과 같다.

도 23은 본 발명에 따른 칼럼 제어부의 회로 구성도이다.

도 23은 상부 메모리 셀 어레이를 제어하는 블록을 예로한 것으로, 칼럼 제어부는 Y-프리디코더와 로컬 제어 펄스 발생부로부터 어드레스 및 제어 신호를 받아 데이터 입출력시에 임의의 셀을 선택하기 위한 칼럼 선택 신호를 출력하는 블록으로 그 구성은 다음과 같다.

먼저, Y-프리디코더(18)에서 프리디코딩되어 출력되는 어드레스들(Ypre_n, Ypre_n+1, Ypre_n+2, Ypre_n+3, …)중 각각의 어드레스와 로컬 제어 펄스 발생부에서 출력되는 C4N_T신호를 논리연산하여 출력하는 복수개의 NAND 게이트들(230)(231)(232)(233)과, 각 NAND 게이트들(230)(231)(232)(233)의 출력단에 연결된 인버터(234)(235)(236)(237)들을 포함하여 구성된다.

여기서, 각 NAND 게이트(230)(231)(232)(233)의 출력은 각각의 인버터들(234)(235)(236)(237)을 통과하게 되면 Y-어드레스(Y_n_T, Y_n+1_T, Y_n+2_T, Y_n+3_T, …)가 되고, 인버터들(234)(235)(236)(237)을 통과하지 않은 신호는 레퍼런스 /Y-어드레스(YB_n_T, YB_n+1_T, YB_n+2_T, YB_n+3_T, …)가 된다.

활성화시에 Y-어드레스(Y_n_T, Y_n+1_T, Y_n+2_T, Y_n+3_T, …)의 어느하나만 High로 활성화되고 /Y-어드레스(YB_n_T, YB_n+1_T, YB_n+2_T, YB_n+3_T, …)의 어느 하나만 Low로 된다.

이들 활성화된 신호는 상기한 센싱앰프 및 입출력 제어 회로에서 데이터 버스에 연결되어 있는 트랜지스터들 또는 트랜스미션 게이트로 구성된 스위칭 블록의 활성화,비활성화를 조정하게 된다.

그리고 본 발명의 레퍼런스 비트라인 레벨 조정 회로(76)에 관하여 설명하면 다음과 같다.

도 24는 본 발명 제 1 실시예에 따른 레퍼런스 비트라인 레벨 조정 회로의 구성도이고, 도 25는 본 발명의 제 2 실시예에 따른 레퍼런스 비트라인 레벨 조정 회로의 구성도이다.

먼저, 도 24의 레퍼런스 비트라인 레벨 조정 회로(76)는 레퍼런스 셀 칼럼에 풀업을 수행하기위한 것으로, 게이트에 로컬 제어 펄스 발생부에서 출력되는 레퍼런스 비트라인 레벨 조정 신호(C4P_T)가 입력되고 한쪽 전극(소오스)에 VCC가 인가되고 드레인 전극에는 레퍼런스 비트 라인(RBIT_T)가 연결되는 제 1 PMOS 트랜지스터(240)와, 드레인에는 레퍼런스 비트 라인(RBIT_T)가 연결되고 소오스 전극에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_T)가 게이트에 입력되는 제 1 NMOS 트랜지스터(241)로 이루어져 상부 레퍼런스 셀에 연결된 레퍼런스 비트 라인(RBIT_T)의 레벨을 조정하기 위한 풀업 또는 풀다운 신호를 출력하는 상부 레퍼런스 비트라인 레벨 조정 회로가 구성된다.

그리고 게이트에 로컬 제어 펄스 발생부에서 출력되는 레퍼런스 비트라인 레벨 조정 신호(C4P_B)가 입력되고 한쪽 전극(소오스)에 VCC가 인가되고 다른쪽 전극(드레인)에는 레퍼런스 비트라인(RBIT_T)이 연결되는 제 2 PMOS 트랜지스터(242)와, 드레인에는 레퍼런스 비트라인(RBIT_T)이 연결되고 소오스 전극에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_B)가 게이트에 입력되는 제 2 NMOS 트랜지스터(243)로 이루어져 하부 레퍼런스 셀에 연결된 비트 라인(RBIT_B)의 레벨을 조정하기 위한 풀업 또는 풀다운 신호를 출력하는 하부 레퍼런스 비트라인 레벨 조정 회로가 구성된다.

이와 같은 레퍼런스 비트라인 레벨 조정 회로는 C4P_T 신호에 의해 제 1 PMOS 트랜지스터(240)가 활성화되는 것에 의해 레퍼런스 비트라인(RBIT_T)이 High 전압으로의 풀업이 이루어진다.

이와 같이, 레퍼런스 비트라인이 High 전압으로 풀업되는 것에 의해 상부 레퍼런스 셀에는 High 데이터가 저장된다.

그리고 C4P_B 신호에 의해 제 2 PMOS 트랜지스터(242)가 활성화되는 것에 의해 레퍼런스 비트라인(RBIT_B)이 High 전압으로의 풀업이 이루어진다.

이와 같이, 레퍼런스 비트라인이 High 전압으로 풀업되는 것에 의해 하부 레퍼런스 셀에는 High 데이터가 저장된다.

그리고 High 상태로 인가되는 C3N_T 신호에 의해 제 1 NMOS 트랜지스터(241)가 활성화되는 것에 의해 레퍼런스 비트라인(RBIT_T)이 Low 전압으로의 풀 다운 되어진다.

그리고 High 상태로 인가되는 C3N_B 신호에 의해 제 2 NMOS 트랜지스터(243)가 활성화되는 것에 의해 레퍼런스 비트라인(RBIT_T)이 Low 전압으로 풀 다운 되어진다.

그리고 도 25는 본 발명의 레퍼런스 비트라인 레벨 조정 회로의 제 2 실시예를 나타낸 것으로 그 구성은 다음과 같다.

먼저, 게이트에 로컬 제어 펄스 발생부에서 출력되는 레퍼런스 비트라인 레벨 조정 신호(C4N_T)가 입력되고 한쪽 전극(소오스)에 VCC가 인가되고 다른쪽 전극(드레인)에는 레퍼런스 비트라인(RBIT_B)이 연결되는 제 1 NMOS 트랜지스터(270)와, 드레인에는 레퍼런스 비트라인(RBIT_T)이 연결되고 소오스 전극에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_T)가 게이트에 입력되는 제 2 NMOS 트랜지스터(271)로 이루어져 상부 레퍼런스 셀에 연결된 비트 라인(RBIT_B)의 레벨을 조정하기 위한 풀업 또는 풀다운 신호를 출력하는 상부 레퍼런스 비트라인 레벨 조정 회로가 구성된다.

그리고 게이트에 로컬 제어 펄스 발생부에서 출력되는 레퍼런스 비트라인 레벨 조정 신호(C4N_B)가 입력되고 한쪽 전극(소오스)에 VCC가 인가되고 다른쪽 전극(드레인)에는 레퍼런스 비트라인(RBIT_B)이 연결되는 제 3 NMOS 트랜지스터(272)와, 드레인에는 레퍼런스 비트라인(RBIT_B)이 연결되고 소오스 전극에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_B)가 게이트에 입력되는 제 4 NMOS 트랜지스터(273)로 이루어져 하부 레퍼런스 셀에 연결된 비트 라인(RBIT_B)의 레벨을 조정하기 위한 풀업 또는 풀다운 신호를 출력하는 하부 레퍼런스 비트라인 레벨 조정 회로가 구성된다.

그리고 본 발명의 제 3,4 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성에 관하여 설명하면 다음과 같다.

도 26은 본 발명의 제 3 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도이고, 도 27은 본 발명의 제 4 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성도이다.

먼저, 본 발명의 제 3 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성은 다음과 같다.

비트 라인(BIT_T)(RBIT_T)(BIT_B)(RBIT_B)들에 연결되어 로컬 제어 펄스 발생부에서 출력되는 센싱앰프 인에이블 신호(SAP_C)(SAN_C)에 의해 해당 라인들의 데이터를 센싱 및 증폭하는 센싱앰프(260)와, 이퀄라

이징 신호(C3N_C,C3P_C)에 의해 비트 라인(BIT_T)(RBIT_T) 또는 (BIT_B)(RBIT_B)의 전위를 등전위화하는 이퀄라이져부(261)와, 로컬 제어 펄스 발생부에서 출력되는 상부 셀 어레이 연결 신호 (C1P_T,C1N_T,C2P_T,C2N_T)에 의해 스위칭되어 상부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트 라인(BIT_T)(RBIT_T)을 상기 센싱앰프(260)의 입출력 라인에 선택적으로 연결하는 제 1,2 트랜스미션 게이트(262)(263)와, 하부 셀 어레이 연결 신호(C1P_B,C1N_B,C2P_B,C2N_B)에 의해 스위칭되어 하부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 상기 센싱앰프(260)의 입출력 라인에 선택적으로 연결하는 제 3,4 트랜스미션 게이트(264)(265)와, 상기 센싱앰프(260)의 입출력단에 연결되어 칼럼 선택 신호(Y_n,YB_n)에 의해 데이터 버스(D)와의 연결을 제어하는 제 5 트랜스미션 게이트(266)와, 상기 센싱앰프(260)의 입출력단에 연결되어 칼럼 선택 신호(Y_n,YB_n)에 의해 /데이터 버스(DB)와의 연결을 제어하는 제 6 트랜스미션 게이트(267)와, 상기 제 1 트랜스미션 게이트(262)와 상부 메모리셀의 비트라인(BIT_T)의 사이에 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_T)에 의해 비트라인(BIT_T)의 레벨을 조정하는 제 1 비트라인 레벨 조정부(268)와, 상기 제 3 트랜스미션 게이트(264)와 하부 메모리 셀 어레이 블록 사이의 비트라인(BIT_B)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_B)에 의해 비트라인(BIT_B)의 레벨을 조정하는 제 2 비트라인 레벨 조정부(269)를 포함하여 구성된다.

SAN_C는 한쪽 전극이 센스앰프에 연결되고 다른쪽 전극이 접지(VSS)단자에 연결되는 NMOS 트랜지스터의 게이트에 인가되어 High에서 센싱앰프(210)를 활성화시키고 Low에서 센싱앰프(260)를 비활성화시키게 된다.

그리고 SAP_C는 한쪽 전극이 센스앰프에 연결되고 다른쪽 전극이 전원전압 (VCC)단자에 연결되는 PMOS 트랜지스터의 게이트에 인가되어 Low에서 센싱앰프(260)를 활성화시키고 High에서 센싱앰프(260)를 비활성화시키게 된다.

이퀄라이져부(261)에 입력되는 이퀄라이징 신호(C3N_C,C3P_C)는 스플리트 워드라인(SWL1)(SWL2)가 활성화되기 전에 메인과 레퍼런스 셀의 비트 라인(BIT_T)(RBIT_T)(BIT_B)(RBIT_B) 및 센싱앰프(260)의 전위를 등전위화 한다.

풀다운 제어신호(C3N_T)는 상부쪽의 메인 셀 칼럼과 레퍼런스 셀 칼럼의 선택시에 제 1 비트라인 레벨 조정부(268)를 턴온시켜 풀다운 동작을 수행하여 상부의 메인 메모리 셀 및 레퍼런스 셀에 연결된 비트라인(BIT_T)(RBIT_T)을 Low레벨로 만든다.

그리고 풀다운 제어신호(C3N_B)는 하부쪽의 메인 셀 칼럼과 레퍼런스 셀 칼럼의 선택시에 제 2 비트라인 레벨 조정부(269)를 턴온시켜 풀다운 동작을 수행하여 하부의 메인 메모리 셀 및 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 Low레벨로 만든다.

그리고 본 발명의 제 4 실시예에 따른 센스 앰프 및 입출력 제어 회로의 구성은 다음과 같다.

먼저, 그 구성은 비트 라인(BIT_T)(RBIT_T)(BIT_B)(RBIT_B)들에 연결되어 로컬 제어 펄스 발생부에서 출력되는 센싱앰프 인에이블 신호(SAP_C)(SAN_C)에 의해 해당 라인들의 데이터를 센싱 및 증폭하는 센싱앰프(270)와, 이퀄라이징 신호(C3N_C,C3P_C)에 의해 비트 라인(BIT_T)(RBIT_T) 또는 (BIT_B)(RBIT_B)의 전위를 등전위화하는 NMOS 트랜지스터로 구성된 이퀄라이져부(271)와, 로컬 제어 펄스 발생부에서 출력되는 상부 셀 어레이 연결 신호(C1N_T,C2N_T)에 의해 스위칭되어 상부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트 라인(BIT_T)(RBIT_T)을 상기 센싱앰프(270)의 입출력 라인에 선택적으로 연결하는 제 1,2 NMOS 트랜지스터(272)(273)와, 하부 셀 어레이 연결 신호(C1N_B,C2N_B)에 의해 스위칭되어 하부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 상기 센싱앰프(270)의 입출력 라인에 선택적으로 연결하는 제 3,4 NMOS 트랜지스터(274)(275)와, 센싱앰프(270)의 입출력단에 연결되어 칼럼 선택 신호(Y_n)에 의해 데이터 버스(D)와의 연결을 제어하는 제 5 NMOS 트랜지스터(276)와, 센싱앰프(270)의 입출력단에 연결되어 칼럼 선택 신호(Y_n)에 의해 /데이터 버스(DB)와의 연결을 제어하는 제 6 NMOS 트랜지스터(277)와, 상기 제 1 NMOS 트랜지스터(272)와 메모리 셀 블록 사이의 비트라인(BIT_T)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_T)에 의해 비트라인(BIT_T)의 레벨을 조정하는 NMOS 트랜지스터로 이루어진 제 1 비트라인 레벨 조정부(278)와, 상기 제 3 NMOS 트랜지스터(272)와 하부 메모리 셀 어레이 블록 사이의 비트라인(BIT_B)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_B)에 의해 비트라인(BIT_B)의 레벨을 조정하는 NMOS 트랜지스터로 이루어진 제 2 비트라인 레벨 조정부(279)를 포함하여 구성된다.

이상에서와 같은 구동 제어 회로를 갖는 본 발명의 SWL 강유전체 메모리 장치의 데이터 입출력 동작에 관하여 설명하면 다음과 같다.

도 28은 Y-어드레스 변화시 쓰기 모드에서의 로칼 제어 펄스 발생부의 동작 파형도이다.

본 발명의 SWL 강유전체 메모리에서는 센싱앰프 및 데이터 입출력 제어 회로를 포함하는 코아 블록을 상하로 이웃하는 메모리셀 블록이 서로 공유하고 있으므로 여기서는 상부 메모리셀 블록의 구동 제어를 중심으로 하여 설명한다.

먼저, 도 28의 동작 파형도를 칩 인에이블신호인 CSBpad신호가 Low상태로 인에이블된 후 다시 High상태로 디스에이블되는 구간을 t1에서부터 t15까지 분할하여 각 구간별로 설명하면 다음과 같다.

t1구간에서는 CSBpad신호를 Low상태로 인에이블시키고, WEBpad신호를 Low상태로 인에이블시킨다.

이때, X, Y, Z-어드레스는 이전의 상태를 유지하고, 로컬 제어 펄스 발생부에서 출력되는 PS1_T, PS2_T신호와 C1N_T,C2N_T,C4N_T, C3N_C, SAP_C, SAN_C신호 또한 t1이전의 상태를 유지하고 있다.

이후, PS1_T신호는 t1 구간은 High이고, t2,t3 구간 동안 Low상태를 유지한다.

그리고 t4구간에서는 High상태를, t5구간에서는 Low상태를, 그리고 t6구간에서는 다시 High상태를 유지한다.

이어, t7에서 t8구간까지는 다시 Low상태를, t9에서부터 t10구간까지는 High상태를 유지하고, 다시 t11에

서부터 t13구간까지는 Low상태를 유지하고 t13이 시작되는 시점에서부터는 계속해서 High상태를 유지한다.

그리고 PS2_T신호는 t1 구간은 High이고 t2,t3,t4 구간은 Low상태를 유지하다가 t5에서부터 t7구간까지는 High상태을 유지한다.

이어, t8에서 t9구간까지는 Low상태를, t10에서부터 t11구간까지는 High상태를, 그리고 t12에서부터 t13 구간까지는 Low상태를 유지하다가 t14가 시작되는 시점에서부터는 계속하여 High상태를 유지한다.

또한, SWL 드라이버 블록(70)에서 출력되는 SWL1, SWL2신호도 t1구간까지는 이전의 상태인 Low상태를 유지하고, t2시점에서 부터 High상태로 천이된다.

여기서, SWL1신호는 PS1_T신호와 위상이 반대이며 천이타이밍은 동일하다. 그리고 SWL2신호는 PS2_T신호와 위상이 반대이며 천이 시점이 동일하다.

그리고 센싱앰프의 입출력 라인과 메모리셀 블록의 비트라인,레퍼런스셀 블록의 비트라인을 전기적으로 연결하는 제어 신호인 C1N_T,C2N_T 신호의 파형 변화는 다음과 같다.

C1N_T 신호는 Y-Add 신호가 토글되기전의 SWL1,SWL2의 두신호가 High 상태를 유지하는 구간의 일부 t3 구간 동안만 Low로 천이되었다가 그 이외의 구간에서 다시 High로 천이되어 이를 계속 유지한다.

C2N_T 신호는 C1N_T 신호가 Low로 천이되는 시점인 t3 구간 시작점에서 Low로 천이되어 이상태를 계속 유지하다가 CSBpad 신호가 High로 천이되는 시점에서 High 상태로 천이한다.

C4N_T신호는 SWL1,SWL2가 동시에 High로 천이하는 시점(t2)에서 High 상태로 천이되었다가 CSBpad신호가 디스에이블되는 시점에서 다시 Low상태로 천이된다.

그리고 P2신호는 SWL1,SWL2가 동시에 High로 천이하는 시점인, t2에서부터 t5까지 High를 유지하고 그 이외의 구간에서는 Low 상태를 유지한다.

C3N_C신호는 t1구간까지는 이전의 High상태를 유지하고 SWL1,SWL2가 동시에 High로 천이하는 시점(t2)에서 Low 상태로 천이되어 Low 상태를 유지하다가 CSBpad신호가 디스에이블될 때 다시 High 상태로 천이된다.

즉, C4N_T신호와 반대 위상의 파형을 갖는다.

그리고 SAN_C신호는 C1N_T,C2N_T 두신호가 동시에 천이되는 시점(t2)에서 High 상태로 천이하고 이상태를 CSBpad신호가 디스에이블될 때까지 유지한다.

SAP_C신호는 SAN_C신호와 반대 위상을 가지며 천이 시점은 동일하다.

이와 같은 동작 파형을 갖는 본 발명의 SWL 강유전체 메모리 장치는 Y-어드레스 변화에 의해 Y-ATD신호가 발생되면 쓰기 모드인 경우에 로컬 제어 펄스 발생부에서 PS1_T와 PS2_T가 발생되도록 하여 SWL 드라이버 블록(70)에서 SWL1신호와 SWL2신호를 만들게 된다.

이와 같이 발생된 SWL1,SWL2 두신호가 High인 구간 즉,t2 ~ t3,t8,t12 구간에서 SWL 메모리 셀에 로직 `0'을 쓰게된다.

그리고 SWL1과 SWL2중 하나만 High인 구간 즉, t4 ~ t5,t7,t9,t11,t13 구간에서 SWL 메모리 셀에 로직 `1'을 쓰게된다.

그리고 읽기 모드(read mode)시의 본 발명의 비휘발성 강유전체 메모리장치에 따른 동작에 관하여 설명하면 다음과 같다.

도 29는 Y-어드레스 변화시 읽기 모드에서의 로칼 제어 펄스 발생부의 동작 파형도이다.

읽기 모드인 경우 WEDpad신호는 High 상태로 디져블되어진 상태를 유지한다.

그리고 쓰기 모드시와 마찬가지로 Y-어드레스가 변화될 때만 Y-ATD신호가 High 상태가 된다.

즉, Y-어드레스가 t7이 시작되는 시점에서 천이될 경우, Y-ATD신호는 t7에서부터 t8까지 High상태를 유지하게 되고, 다시 Y-어드레스가 t11이 시작되는 시점에서 천이될 때 Y-ATD신호는 t11에서부터 t13구간까지 High상태를 유지한다. 이외의 구간에서는 모두 Low상태를 유지하게 된다.

PS1_T 신호는 t2에서부터 t3구간까지, 그리고 t5구간동안에만 Low상태를 유지하고 그 이외에는 High상태를 유지한다.

PS2_T 신호는 t2에서부터 t4구간까지만 Low상태를 유지하고 그 이외에는 High상태를 유지한다.

SWL1신호는 상기 PS1_T 신호와 천이 시점이 동일하고 위상은 반대이고, SWL2신호 PS2_T신호와 천이 시점이 동일하고 위상은 반대이다.

그리고 센싱앰프의 입출력 라인과 메모리셀 블록의 비트라인,레퍼런스셀 블록의 비트라인을 전기적으로 연결하는 제어 신호인 C1N_T,C2N_T 신호의 파형 변화는 다음과 같다.

C1N_T 신호는 Y-Add 신호가 토글되기전의 SWL1,SWL2의 두신호가 High 상태를 유지하는 구간의 일부(t3)에서 Low로 천이되었다가 다시 High로 천이되어 이를 계속 유지한다.

C2N_T 신호는 C1N_T 신호가 Low로 천이되는 시점에서 Low로 천이되어 이상태를 계속 유지하다가 WEBpad 신호가 High로 천이되는 시점에서 High 상태로 천이한다.

C4N_T 신호는 C1N_T 신호가 High로 천이하는 시점(t4)에서 High 상태로 천이되었다가 CSBpad신호가 디스에이블되는 시점에서 다시 Low상태로 천이된다.

그리고 P2신호는 SWL1,SWL2가 동시에 High로 천이하는 시점(t2)에서 High 상태로 천이되어 이상태를 계속 유지하다가 Y-Add 신호가 토글되기 바로전의 SWL1 신호의 천이가 있는 시점에서 Low 상태로 천이된다.

C3N_C신호는 t1구간까지는 이전의 High상태를 유지하고 SWL1,SWL2가 동시에 High로 천이하는 시점(t2)에서 Low 상태로 천이되어 CSBpad신호가 디스에이블될 때까지 Low 상태를 유지하다가 다시 High 상태로 천이된다.

그리고 SAN_C신호는 C1N_T,C2N_T 두신호가 동시에 천이되는 시점(t2)에서 High 상태로 천이하고 이상태를 CSBpad신호가 디스에이블될 때까지 유지한다.

SAP_C신호는 SAN_C신호와 반대 위상을 가지며 천이 시점은 동일하다.

이상에서와 같이, CSBpad신호를 Low상태로 활성화시킨 상태에서 Y-어드레스만을 변화시키면 글로벌 컨트롤펄스 제너레이터부의 입력에는 변화가 없으므로 그 출력또한 변화가 없다.

Y-어드레스의 변화에 의해 Y-ATD신호가 High상태가 되어도 읽기 모드에서 로컬 제어 펄스 발생부의 PS1_T 신호와 PS2_T신호는 변하지 않도록하여 SWL1신호와 SWL2신호가 비활성화 상태를 계속 유지하도록 한다.

따라서 변경된 Y-어드레스에 해당하는 칼럼 디코더를 활성화시켜 센스앰프에 래치되어 있는 데이터를 데이터버스에 전달하게 된다.

첫 번째로 Y-어드레스가 변환되는 시점인 t7구간에서는 센스앰프의 데이터가 데이터버스에 전달되어 리드동작이 수행된다.

그리고 두 번째로 Y-어드레스가 변환되는 시점인 t11구간에서도 센스앰프의 데이터가 데이터버스에 전달되어 리드동작이 수행된다.

이는 Y-어드레스의 토글시 칼럼 게이트 선택의 변화만으로도 센싱앰프에 래치되어 있는 데이터를 출력할 수 있음을 뜻한다.

이상에서는 Y-어드레스만 변환시 쓰기 모드와 읽기 모드의 SWL 강유전체 메모리 장치의 데이터 입출력 동작을 설명하였다.

이하, X,Z-어드레스만 변환할때의 쓰기 모드 및 읽기 모드에 따른 동작 파형을 설명하면 다음과 같다.

먼저, X,Z-어드레스 변환시 쓰기 모드에서의 SWL 강유전체 메모리장치의 동작 파형을 t1에서부터 t21까지 설정하여 각 구간별로 설명하면 다음과 같다.

도 30은 본 발명에 따른 SWL 강유전체 메모리의 쓰기 모드시의 X,Z-어드레스 토글에 관한 동작 파형도이다.

먼저, t1이 시작되는 시점에서 CSBpad신호가 이전의 상태인 High상태에서 Low로 천이됨으로써 활성화상태가 되어 t21이 시작되는 시점에서 다시 비활성화상태로 천이된다.

이와 동시에 라이트 인에이블신호인 WEBpad신호도 Low상태로 천이되어 활성화상태를 유지하다가 CSBpad신호가 비활성화됨과 동시에 비활성화되도록 한다.

여기서, CSBpad신호와 WEBpad신호는 모두 외부에서 인가된다.

X,Z 어드레스가 천이되는 시점이 t7구간의 시작점,t14구간의 시작점일 경우 X,Z ATD는 t8구간과 t14구간에서 High 상태를 갖는다.

t1구간에서는 CSBpad신호와 WEDpad신호만이 인에이블되고, 나머지 신호는 이전의 상태를 그대로 유지한다.

t2구간에서는 CSBpad신호와 WEDpad신호는 그대로 인에이블상태를 유지하고, PS1_T 신호와 PS2_T 신호, 그리고 C3N_C 신호는 이전의 상태인 High상태에서 Low상태로 천이된다.

그리고 SWL1, SWL2, C4N_T, 그리고 P2신호는 이전상태인 Low상태에서 High상태로 천이된다.

상기 C4N_T 신호가 Low상태에서 High상태로 천이되어 활성화 상태가 되어 외부에서 전달된 데이터가 메모리셀의 비트라인과 레퍼런스 셀의 비트라인에 실리게 된다.

이어, t3구간에서는 상기 모든신호(CSBpad, WEDpad, PS1_T, PS2_T, SWL1, SWL2, C3N_C, C4N_T, P2)는 t2 상태의 신호를 그대로 유지하고, SAN_C신호는 이전상태인 Low상태에서 High상태로 천이하고 SAP_C신호는 High상태에서 Low상태로 천이한다.

여기서, PS1_T,PS2_T의 동작 파형은 두신호가 High(H),Low(L)의 상태를 다음과 같이 반복하는 것을 알 수 있다.

PS1-T 신호는 t1,t4,t6,t7,t8,t11,t13,t14,t15,t18,t20의 구간에서 High 상태를 유지하고 그 이외의 구간에서는 Low 상태를 유지한다.

그리고 PS2_T 신호는 t1,t5 ~ t8,t12 ~ t15,t19 ~구간에서 High 상태를 유지하고 그 이외의 상태에서는 Low 상태를 유지한다.

SWL1 신호는 상기 PS1_T 신호와 동일한 시점에서 천이되고 서로 반대의 위상을 갖는다.

SWL2 신호는 상기 PS2_T 신호와 동일한 시점에서 천이되고 서로 반대의 위상을 갖는다.

그리고 C1N_T 신호는 SWL1,SWL2 신호가 동시에 High상태로 있는 구간의 일부에서만(t3,t10,t17) Low상태를 갖는다.

C2N_T 신호는 C1N_T 신호가 Low 상태로 천이하는 시점에서 Low 상태로 천이되어 X,Z-ATD 신호가 High 상태로 천이하는 시점에서 다시 High 상태로 천이된다.

그리고 C4N_T 신호는 SWL1,SWL2 신호가 동시에 High 상태로 천이하는 시점에서 High 상태로 천이하고 X,Z-ATD 신호가 High 상태로 천이하는 시점에서 다시 Low 상태로 천이된다.

P2신호는 SWL1,SWL2 신호가 동시에 High 상태로 천이하는 시점에서 High 상태로 천이하고 SWL1,SWL2 신호가 동일하게 Low 상태를 갖는 시점에서 다시 Low 상태로 천이된다.

그리고 SAN_C 신호는 C2N_T 신호와 반대 위상을 갖고,SAP_T 신호는 C2N_T 신호와 동일한 위상의 파형을 갖는다.

동작 파형을 다시 구간별로 설명한다.

t4구간에서는 PS1_T,C1N_T 신호는 High상태로 천이되고, SWL1신호는 High상태에서 Low상태로 천이된다.

이어, t5구간에서는 PS1_T 신호는 이전의 High상태에서 Low상태로 천이되고, 이에 따라 SWL1신호는 Low상태에서 High상태로 천이된다.

그리고 PS2_T 신호는 이전의 Low상태에서 High상태로 천이되고, 이에 따라 SWL2신호는 High상태에서 Low상태로 천이된다.

t6구간이 시작되면, PS1_T 신호가 Low상태에서 High상태로 천이되고, 이에 따라 SWL1신호는 High상태에서 Low상태로 천이된다.

그리고 P2신호는 이전의 상태 즉, High상태에서 Low상태로 천이된다.

t7구간에서는 X,Z-어드레스가 변화하는 시점이다. 따라서, X,Z-ATD신호가 이전의 Low신호에서 High신호로 발생된다.

그리고 C2N_T 신호가 Low에서 High 상태로 천이하고,C4N_T 신호와 SAN_C 신호는 이전의 High상태에서 Low상태로 천이되고,C3N_C신호와 SAP_C신호는 이전의 Low상태에서 High상태로 천이된다.

t8가 시작되면 상기 X.Z-ATD신호만이 이전의 High상태에서 Low상태로 천이되고, X,Z-ATD신호를 제외한 모든 신호는 이전의 t7구간의 상태를 그대로 유지한다.

이어, t9가 시작되는 시점부터는 상기한 t2 구간 ~ t8 구간까지의 파형 변화와 동일하다.

마지막으로 t21이 시작되는 시점에서는 t1에서부터 계속해서 Low상태를 유지해오고 있던 CSBpad신호와 WEBpad신호가 High상태로 천이되어 쓰기 모드가 비활성화상태로 된다.

그리고 C4N_T 신호가 이전의 High상태에서 Low상태로 천이되고, SAN_C신호는 High상태에서 Low상태로 그리고 SAP_C신호는 Low상태에서 High상태로 천이된다.

이와 같이, 쓰기 모드에서 X,Z-어드레스 변화시 본 발명의 SWL 강유전체 메모리 장치는 C4N_T 신호가 SWL1 및 SWL2신호의 활성화 시점과 동일하게 활성화되어 센스앰프가 활성화되기 이전에 미리 데이터를 비트라인에 전달하도록 한다.

그리고 X,Z-어드레스 변환시 읽기 모드에서의 SWL 강유전체 메모리장치의 동작 파형을 t1에서부터 t21까지 설정하여 각 구간별로 설명하면 다음과 같다.

도 31은 본 발명에 따른 SWL 강유전체 메모리의 읽기 모드시의 X,Z-어드레스 토글에 관한 동작 파형도이다.

읽기 모드시의 동작 파형도를 쓰기 모드에서의 동작 파형도와 비교하면 C4N_T 신호의 천이 시점이 달라지는 것을 알 수 있다.

그리고 읽기 모드에서는 WEBpad신호가 High상태로 비활성화되어 있다.

C4N_T 신호는 t1에서부터 t3구간까지는 Low상태를 유지한다.

이후, t4가 시작되면 Low상태에서 High상태로 활성화되므로 이때에 센스앰프에서 증폭된 데이터가 비트라인에 실리게된다.

t4가 시작되는 시점에서 High상태로 천이된 C4N_T 신호는 t6구간까지 계속해서 High상태를 유지하다가 t7이 시작되는 시점에서 Low상태로 천이된다.

Low상태로 천이된 후, 계속해서 t10구간까지 Low상태를 유지하다가 t11이 시작되는 시점에서 High상태로 천이된다.

C4N_T 신호가 Low상태에서 High상태로 천이됨과 동시에 센스앰프에 의해 증폭된 데이터가 데이터 입출력 라인에 실리게 된다.

이와 같이, 읽기 모드시에는 센스앰프가 미리 데이터를 센싱한 후, C4N_T 신호를 활성화시켜 센싱된 데이터를 데이터 입출력 라인으로 인가하여 읽기 동작을 하게 된다.

발명의 효과

이와 같은 본 발명의 SWL 강유전체 메모리 소자는 다음과 같은 효과가 있다.

첫째, 셀 플레이트 라인을 별도로 구성하지 않고 셀 어레이를 구성하므로 레이 아웃상에서의 복잡도를 크게 감소시킬수 있다.

둘째, 더미 셀을 이용하지 않고 레퍼런스 레벨 발생부를 이용하여 기준 레벨을 공급하므로 소자의 동작이 안정적이고 더미셀의 열화에 따른 문제를 해결한다.

셋째, 메인 메모리셀과 레퍼런스 셀의 액세스되는 숫자를 갖게 구성하여 비트 라인에 유도되는 전압을 일정하게 유지시킬수 있어 소자의 동작 특성을 향상시키는 효과가 있다.

넷째, 센싱앰프의 입력단에 걸리는 커패시턴스를 선택적으로 조정할 수 있어 센싱앰프의 동작을 안정화하고, 동작 속도를 향상시킬 수 있다.

다섯째, CSBpad 신호를 이용한 액세스를 가능하도록 하고, X,Z 어드레스의 변화만을 이용한 액세스 그리고 Y 어드레스의 변화만을 이용한 액세스를 가능하게 하여 고속의 메모리 셀 액세스 동작이 가능하도록 하는 효과가 있다.

(57) 청구의 범위

청구항 1

짝수개의 칼럼으로 배열되어 있는 메인 셀 어레이와;

2 칼럼으로 배열되어 있는 레퍼런스 셀 어레이와;

상기 메인 셀 어레이와 레퍼런스 셀 어레이로 이루어진 복수개의 쌍이 배열되어 있는 복수개의 셀 어레이 블록들과;

상기 칼럼과 평행하게 배열된 SWL 워드라인 드라이버와;

상기의 셀 어레이 블록과 이웃하는 다른 셀 어레이 블록을 컨트롤하기 위해 상기 칼럼의 양단에 연결된 컨트롤 블록으로 구성된 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 2

일정 간격 배열되는 제 1,2 비트라인들과 그들에 수직한 방향으로 반복 배열되는 제 1,2 스플리트 워드라인(SWL1)(SWL2)들이 교차하는 부분에 구성되는 단위 셀들을 포함하는 메인 메모리 셀 어레이들,

그들 사이에 제 1 방향으로 이웃하여 구성되는 레퍼런스 셀 어레이들을 포함하는 셀 어레이 블록들과;

서로 이웃하는 두 개의 셀 어레이 블록을 하나의 단위로 하여 그들을 사이에 두고 제 1 방향으로 서로 대칭되는 위치에 각각 구성되는 SWL 드라이버들과;

어느 하나의 셀 어레이 블록에 포함되는 메인 메모리 셀 어레이들의 제 1 비트라인들과 그들에 상응하는 레퍼런스 셀 어레이의 제 1 비트라인에 연결되고 이웃하는 다른 셀 어레이 블록에 포함되는 메인 셀 어레이의 제 2 비트라인들과 그들에 상응하는 레퍼런스 셀 어레이의 제 2 비트라인에 연결되는 비트라인 제어 회로 블록들,

어느 하나의 셀 어레이 블록에 포함되는 레퍼런스 셀 어레이의 제 1 비트라인과 이웃하는 셀 어레이 블록의 레퍼런스 셀 어레이의 제 2 비트라인에 연결되는 레퍼런스 비트라인 제어 회로 블록들을 포함하는 코아 블록들이 제 2 방향으로 셀 어레이 블록들 사이에 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 3

제 2 항에 있어서, 2의 배수(2,4,6,...)단위의 개수의 메인 메모리 셀 비트 라인 칼럼들에 대응하여 2 비트의 레퍼런스 셀 비트라인 칼럼이 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 4

N번째 비트라인(BIT_N),N+1번째 비트라인(BIT_N+1)과 그들에 수직 교차하는 한쌍의 제 1,2 스플리트 워드라인(SWL1)SWL2)과,

각각의 비트라인에 한쪽 전극이 연결되고 게이트가 제 1,2 스플리트 워드라인(SWL1)(SWL2)에 연결되어 그들이 교차하는 부분에 구성되는 제 1,2 트랜지스터(T1)(T2)들과,

트랜지스터들의 다른쪽 전극과 제 1,2 스플리트 워드라인(SWL1)(SWL2)에 각각의 전극이 연결되는 제 1,2 강유전체 커패시터(C1)(C2)와,

상기 제 1,2 스플리트 워드라인(SWL1)(SWL2)에 연결되어 SWL 구동 신호를 인가하는 SWL 드라이버와,

상기 SWL 구동 신호에 의해 N번째 비트라인(BIT_N),N+1번째 비트라인(BIT_N+1)에 유기되는 전압을 센싱하는 동작에서 사용되는 레퍼런스 레벨을 발생하는 레퍼런스 레벨 발생부와,

N번째 비트라인(BIT_N)과 N+1번째 비트라인(BIT_N+1)에 각각 연결되어 레퍼런스 레벨과 N번째 비트라인(BIT_N),N+1번째 비트라인(BIT_N+1)에 유기되는 전압을 비교 증폭하는 센스 앰프와,

센스 앰프에서 출력되는 데이터를 어드레스 신호(Y_N)(Y_N+1)에 의해 데이터 버스 라인으로 전달하는 칼럼 디코더를 포함하여 단위 셀에서의 구동 제어 및 데이터 입출력 회로가 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 5

제 4 항에 있어서, 단위 셀에는 2개의 데이터를 저장할 수 있으며 제 1,2 스플리트 워드 라인(SWL1)(SWL2)이 한쌍이 되어 한 개의 로우(Row)어드레스를 구성하고, 비트라인(Bit_n)(Bit_n+1)의 한쌍이

2개의 칼럼을 구성하는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 6

제 4 항에 있어서, 읽기 모드의 동작이 워드 라인이 인에이블되기 전에 비트 라인과 레퍼런스 레벨을 Low 레벨로 프리차지하는 단계와,

메인 메모리 셀 데이터가 비트 라인에 실리고 레퍼런스 레벨 발생부의 데이터가 레퍼런스 라인에 실리는 단계와,

칼럼 디코더에 의해 동작하는 센스 앰프가 비트라인에서의 데이터 레벨과 레퍼런스 라인(REF)의 데이터 레벨의 신호 차이를 증폭하여 비트 라인에 피드백시켜주는 단계로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 7

제 1 제어 신호(C1)가 인에이블되는 것에 의해 on되어 메인 메모리 셀 영역의 복수개의 비트 라인(B_n,B_n+1,B_n+2,...)을 센스 앰프 어레이(B1,B2,B3,B4,..)에 연결시키는 트랜지스터들(T21,T22,T23,T24)과,

제 2 제어 신호(C2)에 의해 on되어 레퍼런스 비트라인(RB0)을 센스 앰프 어레이(R1,R2,R3,R4,...)에 전기적으로 연결시키는 트랜지스터들(T25,T26,T27,T28)과,

제 3 제어 신호(C3)에 의해 레벨 조정되는 비트 라인 레벨 조정부와,

제 4 제어 신호(C4)에 의해 레퍼런스 비트라인(RB10)에 풀업된 VCC를 인가하는 풀업 트랜지스터(PU0)로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 8

제 7 항에 있어서, 메인 메모리셀 영역의 각 비트라인의 커패시턴스 성분을 Cb_n, Cb_n+1, Cb_n+2, Cb_n+3,..으로 하고 레퍼런스 셀 영역의 레퍼런스 비트 라인의 커패시턴스를 Crb0라고 정의하고, 그 이외의 부분의 커패시턴스 성분을 Cr1,Cr2,Cr3,Cr4,...와 Cb1,Cb2,Cb3,Cb4,...라고 정의할 때, 메인 메모리 셀과 레퍼런스 셀의 배열을 각각의 비트 라인에 연결된 메모리 셀의 숫자와 레퍼런스 셀의 수를 동일하게 구성하여 Cb_n = Crb0가 되고, Cb1 = Cr1, Cb2 = Cr2, Cb3 = Cr3, Cb4 = Cr4가 되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 9

제 7 항에 있어서, 메인 셀 어레이의 비트 라인수 n을 Crb0 = n * Cr1의 조건으로 구성하여 레퍼런스 셀에 관련된 전체 비트라인 커패시턴스가 메인 메모리 셀에 관련된 전체 비트라인 커패시턴스에 비하여 약 두배가 되도록 하는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 10

제 7 항에 있어서, 레퍼런스와 메인 셀에 같은 저장 용량으로 로직 1이 저장되었을 때 레퍼런스와 메인 메모리 셀에 의해 유도되는 비트라인 전압 변동폭이 메인 메모리 셀의 비트라인쪽이 레퍼런스 셀의 비트라인쪽보다 높은 것을 특징으로 하는 비휘발성 강유전체 메모리소자.

청구항 11

제 7 항에 있어서, 레퍼런스 셀에는 로직 1이 저장되어 있고 메인 셀에는 로직 0이 저장되어 있을 때 레퍼런스와 메인 메모리 셀에 의해 유도되는 비트라인 전압 변동폭이 레퍼런스 셀쪽이 메인 메모리 셀의 비트라인쪽 보다 높은 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 12

제 7 항에 있어서, 메인 메모리 셀에 저장된 로직 1과 로직 0의 각각의 상태가 비트라인에 유도되는 전압의 약 중간 레벨에서 레퍼런스 셀에 의한 비트라인 전압이 형성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 13

외부에서 입력되는 X,Z-어드레스 신호의 어드레스 천이점을 검출하여 출력하는 X,Z-ATD 발생부와,

상기 X,Z-ATD 발생부의 출력신호와 외부에서 입력되는 CSB-pad 신호(칩인에이블 신호)를 입력하고 자체에서 power-up 감지 신호를 생성하여 상기 X,Z-ATD 신호, CSBpad 신호 및 power-up 감지 신호에 따라 메모리 제어에 관한 기본 펄스를 출력하는 글로벌 제어 펄스 발생부와,

외부에서 입력되는 Y-어드레스 신호의 어드레스 천이점을 검출하여 출력하는 Y-ATD 발생부와,

상기 글로벌 제어 펄스 발생부에서 출력된 신호와 프리 디코딩된 Z-어드레스 신호와 Y-ATD 발생부의 출력신호를 합성하여 각 메모리 블록에 필요한 펄스를 발생하는 로칼 제어 펄스 발생부와,

프리 디코딩된 X,Z-어드레스 신호를 합성하여 해당 메모리 셀 블록을 선택하는 X-포스트 디코더와,

상기 X-포스트 디코더와 상기 로칼 제어 펄스 발생부에서 출력되는 신호를 합성하여 일정 간격 배열되는 제 1,2 비트라인들과 그들에 수직한 방향으로 반복 배열되는 제 1,2 스플리트 워드 라인(SWL1)(SWL2)들이 교차하는 부분에 구성되는 단위 셀들을 포함하는 메인 메모리 셀 어레이들과 그들 사이에 구성되는 레퍼런스 셀 어레이들을 포함하는 셀 어레이 블록으로 이루어진 각 SWL 셀 블럭의 각 스플리트 워드 라인을

구동하는 SWL 드라이버와,

프리 디코딩된 Y-어드레스 신호 및 로칼 제어 펄스 발생부의 출력신호를 합성하여 해당 비트 라인을 선택하는 칼럼 제어부와,

상기 로칼 제어 펄스 발생부의 출력신호와 상기 칼럼 제어부의 출력신호를 합성하여 각 SWL 셀 블록의 센싱 동작 및 데이터 입/출력(I/O)을 제어하는 센스 앰프/입출력 제어부를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 14

센스 앰프를 제어하기 위한 예비신호(SAP,SAN)와 프리디코딩된 Z 어드레스 신호(Z_Add3,Z_Add4)를 포함하는 제어 신호들을 입력으로 하여 센스 앰프 제어 신호(SAP_C,SAN_C)와 등전위 제어 신호(C3N_C,C3P_C)를 출력하는 제 1 논리 연산부,

프리 디코딩된 Z 어드레스 신호(Z_Add1,Z_Add2)를 입력으로 하여 비트라인의 연결 및 레벨 조정을 제어하기 위한 (C1P_T,C1N_T,C2P_T,C2N_T, C3N_T)신호를 출력하는 제 2 논리 연산부로 구성되는 제 1 제어 펄스 발생부와;

쓰기 인에이블 신호(WEBpad)를 포함하는 신호를 받아 칼럼 선택에 관한 제어 신호(C4P_T,C4N_T)를 만들어 내는 제 2 제어 펄스 발생부와;

Y 어드레스 천이검출(Y_ATD)신호를 받아 예비 SWL 구동신호(PS1_T,PS2_T)를 출력하는 제 3 제어 펄스 발생부를 포함하여 로칼 제어 펄스 발생부가 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 15

제 14 항에 있어서, 제 1 논리 연산부에는 SWL 구동 신호가 활성화되기 전에 메인 메모리셀과 레퍼런스 셀의 비트 라인을 Low 전압으로 프리차지하는 제 3 제어 신호(C3)가 입력되어 센스 앰프의 PMOS 트랜지스터를 제어하는 신호(SAP_C),센스 앰프의 NMOS 트랜지스터를 제어하는 신호(SAN_C), 비트라인을 등전위화하는 블록의 NMOS 트랜지스터를 제어하는 신호(C3N_C)와 PMOS 트랜지스터를 제어하는 신호(C3P_C)를 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 16

제 14 항에 있어서, 제 2 논리 연산부에는 메인 메모리 셀의 비트라인과 센스 앰프의 한쪽 입출력단의 신호 흐름을 제어하는 제 1 제어신호(C1),레퍼런스 셀의 비트라인과 센스 앰프의 한쪽 입출력단의 신호 흐름을 제어하는 제 2 제어신호(C2)가 입력되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 17

제 14 항에 있어서, 제 2 제어 펄스 발생부는 SWL 구동 신호가 활성화되기 전에 메인 메모리셀과 레퍼런스 셀의 비트 라인을 Low 전압으로 프리차지하는 제 3 제어 신호(C3)가 입력되어 칼럼 선택을 제어하는 블록의 PMOS 트랜지스터를 제어하기 위한 신호(C4P_T),NMOS 트랜지스터를 제어하기 위한 신호(C4N_T)를 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 18

제 14 항에 있어서, 제 3 제어 펄스 발생부에는 예비 SWL 구동 신호를 만들기위한 예비신호(S1,S2)와 상기 S1,S2 신호의 정상 동작이 방해 받지 않도록 보장하는 인터록 신호(P2)와 메인 메모리셀의 비트라인과 외부 데이터 버스의 신호 전달을 조정하고 레퍼런스 셀 비트라인의 풀업을 조정하는 제 4 제어신호(C4)가 입력되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 19

제 14 항에 있어서, 로칼 제어 펄스 발생부는 프리디코딩된 Z 어드레스 신호(Z_Add3,Z_Add4)를 연산하는 제 1 제어 펄스 발생부의 제 1 논리 연산부의 NAND 게이트의 출력단에 제 1 제어 펄스 발생부의 제 2 논리 연산부 그리고 제 2,3 제어 펄스 발생부와 동일한 구성을 갖는 회로를 더 포함하고 구성되어 센스 앰프 및 데이터 입출력 회로를 공유하는 다른 셀 어레이 블록의 센싱 동작과 데이터 입출력을 제어하는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 20

제 19 항에 있어서, 더 구비되어 센스 앰프 및 데이터 입출력 회로를 공유하는 다른 셀 어레이 블록의 센싱 동작과 데이터 입출력을 제어하는 로칼 제어 펄스 발생부에서는 제 1,2,3,4 제어신호(C1)(C2)(C3)(C4) 그리고 예비 SWL 구동 신호를 입력으로 하여 비트라인의 연결 및 레벨 조정을 제어하기 위한 (C1P_B,C1N_B,C2P_B,C2N_B, C3N_B)신호와 칼럼 선택에 관한 제어 신호(C4P_B,C4N_B) 그리고 예비 SWL 구동신호(PS1_B,PS2_B)를 출력하는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 21

제 14 항에 있어서, 제 1 논리 연산부는 Z-Add3,Z-Add4신호를 논리 연산하는 제 1 NAND 게이트와,

제 1 NAND 게이트의 출력 신호와 NAND 연산된 Z-Add1,Z-Add2신호를 논리 연산하여 출력하는 제 2 NAND 게이트와,

입력되는 SAP신호와 제 2 NAND 게이트의 출력 신호를 연산 출력하는 제 3 NAND 게이트의 출력 신호를 반전하여 SAP_C 신호를 출력하는 제 1 인버터와,

SAN 신호와 제 2 NAND 게이트의 출력 신호를 논리 연산하여 출력하는 제 4 NAND 게이트의 출력 신호를 반전하여 SAN_C 신호를 출력하는 제 2 인버터와,

등전위 및 칼럼 선택에 관한 제 3 제어신호(C3)를 반전하는 제 3 인버터의 출력 신호와 제 2 NAND 게이트의 출력 신호를 논리 연산하여 출력하는 제 5 NAND 게이트와,

제 5 NAND 게이트의 출력 신호를 반전하여 C3P_C 신호를 출력하는 제 4 인버터와,

제 4 인버터의 출력 신호를 반전하여 C3N_C 신호를 출력하는 제 5 인버터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 22

제 14 항에 있어서, 제 2 논리 연산부는 Z-Add1,Z-Add2신호를 논리 연산하는 제 1 NAND 게이트와,

제 1 NAND 게이트의 출력 신호를 반전하는 제 1 인버터의 출력 신호와

센스 앰프 및 데이터 입출력 회로를 공유하는 두개의 셀 어레이 블록들의 비트라인 연결을 제어하는 제 1 제어신호(C1)를 NAND 연산하여 출력하는 제 2 NAND 게이트와,

제 2 NAND 게이트의 출력 신호를 지연하여 C1P_T신호를 출력하는 제 2,3 인버터와,

제 2 NAND 게이트의 출력 신호를 반전하여 C1N_T신호를 출력하는 제 4 인버터와,

제 1 인버터의 출력 신호와 센스 앰프 및 데이터 입출력 회로를 공유하는 두개의 레퍼런스 셀 어레이 블록들의 레퍼런스 비트라인 연결을 제어하는 제 2 제어 신호(C2)를 논리 연산하여 출력하는 제 3 NAND 게이트와,

제 3 NAND 게이트의 출력 신호를 지연하여 C2P_T 신호를 출력하는 제 5,6 인버터와,

제 3 NAND 게이트의 출력 신호를 반전하여 C2N_T 신호를 출력하는 제 7 인버터와,

제 1 인버터의 출력 신호와 반전된 제 3 제어 신호(C3)를 논리 연산하여 출력하는 제 4 NAND 게이트의 출력 신호를 지연하여 C3N_T신호를 출력하는 제 9,10 인버터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 23

제 14 항에 있어서, 제 2 제어 펄스 발생부는 WEBpad(쓰기 인에이블)신호를 반전하는 제 1 인버터와,

제 1 인버터의 출력 신호를 반전하는 제 2 인버터와,

센스 앰프 및 데이터 입출력 회로를 공유하는 두개의 셀 어레이 블록들의 SWL 구동 및 칼럼 선택에 관한 제 4 제어 신호(C4)를 반전하는 제 3 인버터와,

제 2,3 인버터의 출력 신호를 연산하여 출력하는 NAND 게이트의 출력 신호를 반전하여 출력하는 제 4 인버터와,

제 3 제어 신호(C3)와 제 4 인버터의 출력 신호 그리고 제 2 논리 연산부의 제 1 NAND 게이트의 출력 신호를 NOR연산하여 출력하는 NOR 연산부와,

NOR 연산부의 출력 신호를 반전하여 C4P_T신호를 출력하는 제 5 인버터와, 제 5 인버터의 출력 신호를 반전하여 C4N_T 신호를 출력하는 제 6 인버터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 24

제 14 항에 있어서, 제 3 제어 펄스 발생부는 P2 신호를 반전하는 제 1 인버터와,

Y_ATD신호,제 1 인버터의 출력 신호,제 4 제어 신호(C4) 그리고 반전된 WEBpad신호를 논리 연산하여 출력하는 제 1 NAND 게이트와,

제 1 NAND 게이트의 출력 신호를 반전하는 제 2 인버터의 출력 신호를 지연하는 제 3,4,5,6 인버터와,

S1 신호와 제 2 인버터의 출력 신호를 연산하여 출력하는 제 1 NOR 게이트와,

제 1 NOR 게이트의 출력 신호와 제 2 논리 연산부의 제 1 NAND 게이트의 출력 신호를 NOR연산하여 출력하는 제 2 NOR 게이트와,

제 2 NOR 게이트의 출력 신호를 반전하여 PS1_T 신호를 출력하는 제 7 인버터와,

제 2 제어 신호(S2)와 제 6 인버터의 출력 신호를 연산하여 출력하는 제 3 NOR 게이트와,

제 3 NOR 게이트의 출력 신호와 제 2 논리 연산부의 제 1 NAND 게이트의 출력 신호를 NOR연산하여 출력하는 제 4 NOR 게이트와,

제 4 NOR 게이트의 출력 신호를 반전하여 PS2_T 신호를 출력하는 제 7 인버터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 25

제 14 항에 있어서, 쓰기 모드의 동작시에 제 3 제어신호(C3)는 스플리트 워드라인(SWL1)(SWL2)이 활성화되기 전의 상태인 메모리 셀 비트라인과 레퍼런스 셀 비트라인의 프리차지구간에서 칼럼 선택신호를 모두 비활성화 상태가 되도록 하여 데이터 버스와 비트라인간의 신호 흐름은 차단되도록 하는 것을 특징으로

하는 비휘발성 강유전체 메모리 소자.

청구항 26

제 14 항에 있어서, P2 신호가 High인 상태이고 S1,S2 신호가 활성화 상태로 정상 동작하고 있는 동안에는 제 3 제어 펄스 발생부의 NAND 게이트를 비활성화시켜 S1,S2 신호의 정상 동작을 보장하는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 27

센스 앰프를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에 있어서,

상부 셀 어레이,하부 셀 어레이의 임의의 메모리 셀과 레퍼런스 셀에 연결되는 비트 라인 (BIT_T)(RBIT_T)(BIT_B)(RBIT_B)들에 연결되어 센싱앰프 인에이블 신호(SAP_C)(SAN_C)에 의해 해당 라인들의 데이터를 센싱 및 증폭하는 센싱앰프와,

이퀄라이징 신호(C3N_C,C3P_C)에 의해 비트 라인(BIT_T)(RBIT_T) 또는 (BIT_B)(RBIT_B)의 전위를 등전위화하는 이퀄라이져부와,

상부 셀 어레이 연결 신호(C1P_T,C1N_T,C2P_T,C2N_T)에 의해 스위칭되어 비트 라인(BIT_T)(RBIT_T)을 상기 센싱앰프의 입출력 라인에 선택적으로 연결하는 제 1,2 트랜스미션 게이트와,

하부 셀 어레이 연결 신호(C1P_B,C1N_B,C2P_B,C2N_B)에 의해 스위칭되어 비트라인(BIT_B)(RBIT_B)을 상기 센싱앰프의 입출력 라인에 선택적으로 연결하는 제 3,4 트랜스미션 게이트와,

제 1 트랜스미션 게이트와 상부 메모리 셀사이의 비트라인(BIT_T)에 연결되어 칼럼 선택 신호 (Y_n_T,YB_n_T)에 의해 데이터 버스(D_BUS)와의 연결을 제어하는 제 5 트랜스미션 게이트와,

제 3 트랜스미션 게이트와 하부 메모리 셀사이의 비트라인(BIT_B)에 연결되어 칼럼 선택 신호 (Y_n_B,YB_n_B)에 의해 데이터 버스(D_BUS)와의 연결을 제어하는 제 6 트랜스미션 게이트를 포함하여 코아 블록이 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 28

제 27 항에 있어서, 상기 제 1 트랜스미션 게이트와 제 5 트랜스미션 게이트 사이의 비트라인(BIT_T)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_T)에 의해 비트라인(BIT_T)의 레벨을 조정하는 제 1 비트라인 레벨 조정부와,

상기 제 3 트랜스미션 게이트와 하부 메모리 셀 어레이 블록 사이의 비트라인(BIT_B)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_B)에 의해 비트라인(BIT_B)의 레벨을 조정하는 제 2 비트라인 레벨 조정부를 더 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 29

제 28 항에 있어서, 제 1,2 비트라인 레벨 조정부는 다른 한쪽 전극이 접지 단자에 연결되는 NMOS 트랜지스터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 30

제 27 항에 있어서, 제 1,2,3,4,5,6 트랜스미션 게이트로 구성된 스위칭 블록을 NMOS 트랜지스터로 구성한 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 31

칼럼 선택을 위한 칼럼 디코더를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에 있어서,

프리디코딩되어 출력되는 어드레스들(Ypre_n, Ypre_n+1, Ypre_n+2, Ypre_n+3, …)중 각각의 어드레스와 로컬 제어 펄스 발생부에서 출력되는 칼럼 선택에 관한 신호(C4N_T)를 논리연산하여 출력하는 복수개의 NAND 게이트들과,

각 NAND 게이트들의 출력단에 연결된 인버터들을 포함하여 상부 셀 어레이 블록에서의 데이터 입출력시 칼럼을 선택하는 블록이 구성되고 상기 블록과 동일한 구조로 프리디코딩되어 출력되는 어드레스들(Ypre_n, Ypre_n+1, Ypre_n+2, Ypre_n+3, …)중 각각의 어드레스와 로컬 제어 펄스 발생부에서 출력되는 칼럼 선택에 관한 신호(C4N_B)를 논리연산하여 출력하는 복수개의 NAND 게이트들과,

각 NAND 게이트들의 출력단에 연결된 인버터들을 포함하여 하부 셀 어레이 블록에서의 데이터 입출력시 칼럼을 선택하는 블록이 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 32

제 31 항에 있어서, 각 NAND 게이트의 출력은 각각의 인버터들을 통과하게 되면 메모리 셀 비트라인을 선택하기 위한 Y-어드레스(Y_n_T, Y_n+1_T, Y_n+2_T, Y_n+3_T, …)가 되고, 인버터들을 통과하지 않은 신호는 레퍼런스 셀 비트라인을 선택하기 위한 /Y-어드레스(YB_n_T, YB_n+1_T, YB_n+2_T, YB_n+3_T, …)가 되어 활성화시에 Y-어드레스(Y_n_T, Y_n+1_T, Y_n+2_T, Y_n+3_T, …)의 어느 하나만 High로 활성화되고 /Y-어드레스(YB_n_T, YB_n+1_T, YB_n+2_T, YB_n+3_T, …)의 어느 하나만 Low로 되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 33

레퍼런스 비트라인의 레벨을 조정하기 위한 블록을 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에 있어서,

게이트에 레퍼런스 비트라인 레벨 조정 신호(C4P_T)가 입력되고 소오스에 VCC가 인가되고 드레인 전극에는 레퍼런스 비트라인(RBIT_T)이 연결되는 제 1 PMOS 트랜지스터와,

드레인 전극에는 레퍼런스 비트라인(RBIT_T)이 연결되고 소오스 전극에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_T)가 게이트에 입력되는 제 1 NMOS 트랜지스터로 이루어져 상부 레퍼런스 셀에 연결된 비트 라인(RBIT_T)의 레벨을 조정하기 위한 풀업 또는 풀다운 신호를 출력하는 상부 레퍼런스 비트라인 레벨 조정 회로와;

게이트에 레퍼런스 비트라인 레벨 조정 신호(C4P_B)가 입력되고 소오스에 VCC가 인가되고 드레인 전극에는 레퍼런스 비트라인(RBIT_B)이 연결되는 제 2 PMOS 트랜지스터와,

드레인에는 레퍼런스 비트라인(RBIT_B)이 연결되고 소오스에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_B)가 게이트에 입력되는 제 2 NMOS 트랜지스터로 이루어져 하부 레퍼런스 셀에 연결된 비트 라인(RBIT_B)의 레벨을 조정하기 위한 풀업 또는 풀다운 신호를 출력하는 하부 레퍼런스 비트라인 레벨 조정 회로를 포함하여 레퍼런스 비트라인의 레벨을 조정하기 위한 블록이 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 34

제 33 항에 있어서, 상부 레퍼런스 비트라인 레벨 조정 회로가 게이트에 레퍼런스 비트라인 레벨 조정 신호(C4N_T)가 입력되고 소오스에 VCC가 인가되고 드레인 전극에는 레퍼런스 비트라인(RBIT_T)이 연결되는 제 1 NMOS 트랜지스터와,

드레인에는 레퍼런스 비트라인(RBIT_T)이 연결되고 소오스 전극에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_T)가 게이트에 입력되는 제 2 NMOS 트랜지스터로 구성되고, 하부 레퍼런스 비트라인 레벨 조정 회로가 게이트에 레퍼런스 비트라인 레벨 조정 신호(C4N_B)가 입력되고 소오스에는 VCC가 인가되고 드레인에는 레퍼런스 비트라인(RBIT_B)이 연결되는 제 3 NMOS 트랜지스터와,

드레인에는 레퍼런스 비트라인(RBIT_B)이 연결되고 소오스에는 VSS가 인가되고, 레퍼런스 비트라인 레벨 조정 신호(C3N_T)가 게이트에 입력되는 제 4 NMOS 트랜지스터로 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 35

센스 앰프를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에 있어서,

상부 셀 어레이,하부 셀 어레이의 임의의 메모리 셀과 레퍼런스 셀에 연결되는 비트 라인 (BIT_T)(RBIT_T)(BIT_B)(RBIT_B)들에 연결되어 센싱앰프 인에이블 신호(SAP_C)(SAN_C)에 의해 해당 라인들의 데이터를 센싱 및 증폭하는 센싱앰프와, 이퀄라이징 신호(C3N_C,C3P_C)에 의해 비트 라인 (BIT_T)(RBIT_T) 또는 (BIT_B)(RBIT_B)의 전위를 등전위화하는 이퀄라이져부와,

로컬 제어 펄스 발생부에서 출력되는 상부 셀 어레이 연결 신호(C1P_T,C1N_T,C2P_T,C2N_T)에 의해 스위칭되어 상부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트 라인(BIT_T)(RBIT_T)을 상기 센싱앰프의 입출력 라인에 선택적으로 연결하는 제 1,2 트랜스미션 게이트와,

하부 셀 어레이 연결 신호(C1P_B,C1N_B,C2P_B,C2N_B)에 의해 스위칭되어 하부의 메인 메모리셀과 레퍼런스 셀에 연결된 비트라인(BIT_B)(RBIT_B)을 상기 센싱앰프의 입출력 라인에 선택적으로 연결하는 제 3,4 트랜스미션 게이트와,

상기 센싱앰프의 입출력단에 연결되어 칼럼 선택 신호(Y_n,YB_n)에 의해 데이터 버스(D)와의 연결을 제어하는 제 5 트랜스미션 게이트와,

상기 센싱앰프의 입출력단에 연결되어 칼럼 선택 신호(Y_n,YB_n)에 의해 /데이터 버스(DB)와의 연결을 제어하는 제 6 트랜스미션 게이트를 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 36

제 35 항에 있어서, 제 1 트랜스미션 게이트와 상부 메모리셀의 비트라인(BIT_T)의 사이에 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_T)에 의해 비트라인(BIT_T)의 레벨을 조정하는 제 1 비트라인 레벨 조정부와,

상기 제 3 트랜스미션 게이트와 하부 메모리 셀 어레이 블록 사이의 비트라인(BIT_B)에 한쪽 전극이 연결되어 게이트에 인가되는 풀다운 제어신호(C3N_B)에 의해 비트라인(BIT_B)의 레벨을 조정하는 제 2 비트라인 레벨 조정부를 더 포함하여 구성되는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 37

제 35 항에 있어서, 제 1,2,3,4,5,6 트랜스미션 게이트로 구성된 스위칭 블록들을 각각 NMOS 트랜지스터로 구성한 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 38

센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 Y-어드레스 토글시의 글로벌 제어 펄스 발생에 있어서,

칩 인에이블신호인 CSBpad신호가 Low(L)상태로 인에이블된 후 다시 High(H)상태로 디스에이블되는 구간을 t1에서부터 t15까지 분할하면 SWL 구동을 위한 예비 신호(①S1,②S2)와 비트라인 연결을 위한 예비신호(③C1,④C2),칼럼 선택을 위한 예비 신호(⑤C4),S1과S2 신호의 정상 동작을 보장하는 신호(⑥P2),비트라인 등전위에 관한 예비신호(⑦C3),센스앰프 인에이블 예비신호(⑧SAN,⑨SAP)가 각각 L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고;

S1,S2 신호가 High,High로 각각 변화되는 t2 구간에서 P2와 C3 신호만 각각 High와 Low로 각각 천이되고, S1,S2 신호가 High,High 상태를 계속 유지하는 t3 구간에서 C1,C3,SAP 신호가 각각 Low로 천이되고 SAN 신호는 High로 천이되어 그상태를 유지하는 제 1 단계;

S1,S2 신호가 Low,High 상태를 각각 유지하는 t4 구간에서 C1,C4 신호만 High로 변화되고 다른 신호들은 전 구간의 상태를 계속 유지하는 제 2 단계;

S1,S2 신호가 High,Low 상태를 각각 유지하는 t5 구간에서 모든 신호는 변화없이 전 구간의 상태를 유지하고 S1,S2 신호가 Low,Low 상태를 각각 유지하는 t6구간에서 P2 신호만 Low 상태로 천이되어 그 상태를 계속 유지하는 제 3 단계;

Y-ATD 신호가 활성화 상태가 되는 t7,t8 구간, 다시 Y-ATD 신호가 비활성화 상태가 되는 t9,t10 구간, Y-ATD 신호가 활성화 상태가 되는 t11,t12 구간 그리고 Y-ATD 신호가 비활성화 상태가 되는 t13,t14 구간에서 다른 모든 신호가 변화 없이 제 3 단계의 t6 구간의 상태를 계속 유지하는 제 4 단계;

그리고 CSBpad 신호가 High 상태로 디져블되는 t15 구간에서 모든 신호들이 제 1 단계의 t1 구간과 동일한 상태를 유지하는 제 5 단계로 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 39

센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 X,Z-어드레스 토글시의 글로벌 제어 펄스 발생에 있어서,

칩 인에이블신호인 CSBpad신호가 Low(L)상태로 인에이블된 후 다시 High(H)상태로 디스에이블되는 구간을 t1에서부터 t21까지 분할하면 SWL 구동을 위한 예비 신호(①S1,S2)와 비트라인 연결을 위한 예비신호(③C1,④C2),칼럼 선택을 위한 예비 신호(⑤C4),S1과S2 신호의 정상 동작을 보장하는 신호(⑥P2),비트라인 등전위에 관한 예비신호(⑦C3),센스앰프 인에이블 예비신호(⑧SAN,⑨SAP)가 각각 L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고;

S1,S2 신호가 High,High 상태를 유지하는 t2 구간에서 P2,C3 신호만 각각 High 상태와 Low 상태로 천이하고, S1,S2 신호가 계속 High,High 상태를 유지하는 t3 구간에서 C1,C2 신호만 Low 상태로 변화되는 제 1 단계;

S1,S2 신호가 Low,High 상태를 각각 유지하는 t4 구간에서 C1,C4 신호만 High상태로 천이되고, SAN,SAP 신호가 각각 활성화 상태가 되는 제 2 단계;

S1,S2 신호가 각각 High,Low 상태가 되는 t5 구간에서 제 2 단계의 t4 구간과 동일한 상태를 모든 신호들이 유지하고 S1,S2 신호가 각각 low,Low 상태를 유지하는 t6 구간에서 P2 신호만 Low로 천이하고 모든 신호들이 t5 구간과 동일한 상태를 유지하는 제 3 단계;

그리고 X,Z-ATD 신호가 활성화 상태를 유지하는 t7 구간에서 C2,C3 신호가 High 상태로 다시 천이하고 C4 신호는 Low 상태로 천이되고 SAN,SAP 신호는 비활성화 상태를 유지하는 제 4 단계;

다시 X,Z-ATD 신호가 비활성화 상태가 되는 t8 ~ t13 구간에서 모든 신호가 각 구간별로 t1 ~ t6 구간과 동일한 상태를 유지하고 X,Z-ATD 신호가 활성화 상태를 유지하는 t14 구간은 모든 신호가 t7 구간과 동일한 상태를 유지하는 제 5 단계;

그리고 X,Z-ATD 신호가 비활성화 상태가 되는 t15 ~ t20 구간에서 모든 신호가 각 구간별로 t1 ~ t6 구간과 동일한 상태를 유지하다가 CSBpad 신호가 High 상태로 비활성화되는 t21 구간에서 모든 신호가 t1 구간과 동일한 상태를 유지하는 제 6 단계로 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 40

센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 상부 셀 어레이 블록의 Y-어드레스 토글에 의한 데이터 쓰기 모드에서,

칩 인에이블신호인 CSBpad신호와 WEBpad신호가 Low(L)상태로 인에이블된 후 다시 High(H)상태로 디스에이블되는 구간을 t1에서부터 t15까지 분할하면 예비 SWL 구동 신호(①PS1_T,②PS2_T)와 SWL 구동 신호(③SWL1,④SWL2)비트라인 연결에 관한 제어 신호(⑤C1N_T,⑥C2N_T),칼럼 선택에 관한 신호(⑦C4N_T),예비 SWL 구동 신호 발생 동작이 방해 받지 않도록 보장하는 인터록 신호(⑧P2),비트라인 등전위에 관한 신호(⑨C3N_C),센스앰프 인에이블 신호(⑩SAP_C,⑪SAN_C)가 각각 H,H,L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고;

Y 어드레스 천이 검출 신호(Y-ATD)가 비활성화 상태인 t2 구간에서 PS1_T,PS2_T 신호,C3N_C 신호가 Low로 천이하고 SWL1,SWL2와 C4N_T,P2 신호가 High로 천이하고, t3 구간에서 C1N_T,C2N_T 신호가 Low 상태로 천이하고 SAN_C,SAP_C 신호들은 활성화 상태가 되고 다른 모든 신호들은 이전 상태를 유지하는 제 1 단계;

PS1_T,C1N_T 신호는 High 상태로 천이하고 SWL1 신호는 Low 상태로 천이하는 t4 구간, PS1_T,SWL2 신호는 Low로 각각 천이하고 PS2_T,SWL1 신호는 각각 High 상태로 천이하는 t5 구간, PS1_T 신호가 High상태로 변화되고 SWL1,P2 신호가 Low 상태로 천이하는 t6 구간에서 다른 신호들은 이전 상태를 유지하는 제 2 단

계;

Y-ATD 신호가 활성화 상태를 유지하는 t7 구간에서 PS1_T신호가 Low 상태로 천이되고 SWL1 신호가 High 상태로 천이되고, t8 구간에서 PS2_T 신호가 Low로 천이되고 SWL2 신호가 High로 천이되고 다른 신호들은 이전 상태를 유지하는 제 3 단계;

Y-ATD 신호가 비활성화 상태를 유지하는 t9 구간에서 PS1_T신호가 High 상태로 천이되고 SWL1 신호가 Low 상태로 천이되고, t10 구간에서 PS2_T 신호가 High 상태로 천이되고 SWL2 신호가 Low로 천이되고 다른 신호들은 이전 상태를 유지하는 제 4 단계;

Y-ATD 신호가 활성화 상태를 유지하는 t11,t12 구간에서 PS1_T,SWL1,PS2_T,SWL2 신호가 제 3 단계에서와 동일하게 상태 변화를 갖고 다른 신호들은 이전 상태를 유지하는 제 5 단계;

Y-ATD 신호가 비활성화 상태를 유지하는 t13,t14 구간에서 PS1_T,SWL1,PS2_T,SWL2 신호가 제 4 단계에서와 동일하게 상태 변화를 갖고 다른 신호들은 이전 상태를 유지하는 제 6 단계로 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 41

센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 상부 셀 어레이 블록의 Y-어드레스 토글에 의한 데이터 읽기 모드에서,

칩 인에이블신호인 CSBpad신호가 Low(L)상태로 인에이블되고 WEBpad신호가 High(H)상태로 인에이블되는 구간을 t1에서부터 t15까지 분할하면 예비 SWL 구동 신호(①PS1_T,②PS2_T)와 SWL 구동 신호(③SWL1,④SWL2)비트라인 연결에 관한 제어 신호(⑤C1N_T,⑥C2N_T),칼럼 선택에 관한 신호(⑦C4N_T),예비 SWL 구동 신호 발생 동작이 방해 받지 않도록 보장하는 인터록 신호(⑧P2),비트라인 등전위에 관한 신호(⑨C3N_C),센스앰프 인에이블 신호(⑩SAP_C,⑪SAN_C)가 각각 H,H,L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고;

Y 어드레스 천이 검출 신호(Y-ATD)가 비활성화 상태인 t2 구간에서 PS1_T,PS2_T 신호,C3N_C 신호가 Low로 천이하고 SWL1,SWL2와 P2 신호가 High로 천이하고, t3 구간에서 C1N_T,C2N_T 신호가 Low 상태,C4N_T 신호가 High 상태로 천이하고 SAN_C,SAP_C 신호들은 활성화 상태가 되고 다른 모든 신호들은 이전 상태를 유지하는 제 1 단계;

PS1_T,C1N_T 신호는 High 상태로 천이하고 SWL1 신호는 Low 상태로 천이하는 t4 구간, PS1_T,SWL2 신호는 Low로 각각 천이하고 PS2_T,SWL1 신호는 각각 High 상태로 천이하는 t5 구간, PS1_T 신호가 High상태로 변화되고 SWL1,P2 신호가 Low 상태로 천이하는 t6 구간에서 다른 신호들은 이전 상태를 유지하는 제 2 단계;

Y-ATD 신호가 활성화 상태를 유지하는 t7,t8 구간에서 모든 신호들은 이전 상태를 유지하는 제 3 단계;

Y-ATD 신호가 비활성화 상태를 유지하는 t9,t10 구간에서 모든 신호들은 변화없이 이전 상태를 유지하는 제 4 단계;

Y-ATD 신호가 활성화 상태를 유지하는 t11,t12 구간에서 신호들은 이전 상태를 유지하는 제 5 단계;

Y-ATD 신호가 비활성화 상태를 유지하는 t13,t14 구간에서 모든 신호들이 이전 상태를 유지하는 제 6 단계로 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 42

센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 상부 셀 어레이 블록의 X,Z-어드레스 토글에 의한 데이터 쓰기 모드에서,

칩 인에이블신호인 CSBpad신호와 WEBpad신호가 Low(L)상태로 인에이블된 후 다시 High(H)상태로 디스에이블되는 구간을 t1에서부터 t21까지 분할하면 예비 SWL 구동 신호(①PS1_T,②PS2_T)와 SWL 구동 신호(③SWL1,④SWL2)비트라인 연결에 관한 제어 신호(⑤C1N_T,⑥C2N_T),칼럼 선택에 관한 신호(⑦C4N_T),예비 SWL 구동 신호 발생 동작이 방해 받지 않도록 보장하는 인터록 신호(⑧P2),비트라인 등전위에 관한 신호(⑨C3N_C),센스앰프 인에이블 신호(⑩SAP_C,⑪SAN_C)가 각각 H,H,L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고;

X,Z 어드레스 천이 검출 신호(X,Z-ATD)가 비활성화 상태인 t2 구간에서 PS1_T,PS2_T 신호,C3N_C 신호가 Low로 천이하고 SWL1,SWL2와 C4N_T,P2 신호가 High로 천이하고, t3 구간에서 C1N_T,C2N_T 신호가 Low 상태로 천이하고 SAN_C,SAP_C 신호들은 활성화 상태가 되고 다른 모든 신호들은 이전 상태를 유지하는 제 1 단계;

PS1_T,C1N_T 신호는 High 상태로 천이하고 SWL1 신호는 Low 상태로 천이하는 t4 구간, PS1_T,SWL2 신호는 Low로 각각 천이하고 PS2_T,SWL1 신호는 각각 High 상태로 천이하는 t5 구간, PS1_T 신호가 High상태로 변화되고 SWL1,P2 신호가 Low 상태로 천이하는 t6 구간에서 다른 신호들은 이전 상태를 유지하는 제 2 단계;

X,Z 어드레스 천이 검출 신호(X,Z-ATD)가 활성화 상태인 t7 구간에서 SAN_C,SAP_C 신호는 비활성화되고 C2N_T,C3N_C 신호는 High 상태로 천이되고 C4N_T 신호는 Low 상태로 천이되고 다른 신호들은 상태 변화 없이 이전 상태를 유지하는 제 3 단계;

t8 구간에서 부터 다음번 X,Z 어드레스 천이 검출 신호(X,Z-ATD)가 활성화 상태가 되는 t14 구간까지는 t1 ~ t7 구간까지와 동일한 파형을 갖고, t15 ~ t20까지는 t1 ~ t6 구간까지와 동일한 상태를 유지하는 제 4 단계;

t21 구간에서는 CSBpad신호와 WEBpad신호가 High 상태로 디져블되고 다른 신호들은 t1 구간과 동일한 상태를 유지하는 제 5 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

청구항 43

센스 앰프 및 데이터 입출력 회로를 포함하는 코아 블록을 상부 셀 어레이 블록과 하부 셀 어레이 블록이 공유하는 SWL 강유전체 메모리에서 상부 셀 어레이 블록의 Z,X-어드레스 토글에 의한 데이터 읽기 모드에서,

칩 인에이블신호인 CSBpad신호와 WEBpad신호가 Low(L)상태로 인에이블된 후 다시 High(H)상태로 디스에이블되는 구간을 t1에서부터 t15까지 분할하면 예비 SWL 구동 신호(①PS1_T,②PS2_T)와 SWL 구동 신호(③SWL1,④SWL2)비트라인 연결에 관한 제어 신호(⑤C1N_T,⑥C2N_T),칼럼 선택에 관한 신호(⑦C4N_T),예비 SWL 구동 신호 발생 동작이 방해 받지 않도록 보장하는 인터록 신호(⑧P2),비트라인 등전위에 관한 신호(⑨C3N_C),센스앰프 인에이블 신호(⑩SAP_C,⑪SAN_C)가 각각 H,H,L,L,H,H,L,L,H,L,H 상태를 t1에서 유지하고;

Y 어드레스 천이 검출 신호(Y-ATD)가 비활성화 상태인 t2 구간에서 PS1_T,PS2_T 신호,C3N_C 신호가 Low로 천이하고 SWL1,SWL2와 P2 신호가 High로 천이하고, t3 구간에서 C1N_T,C2N_T 신호가 Low 상태로,C4N_T 신호가 High 상태로 천이하고 SAN_C,SAP_C 신호들은 활성화 상태가 되고 다른 모든 신호들은 이전 상태를 유지하는 제 1 단계;

PS1_T,C1N_T 신호는 High 상태로 천이하고 SWL1 신호는 Low 상태로 천이하는 t4 구간, PS1_T,SWL2 신호는 Low로 각각 천이하고 PS2_T,SWL1 신호는 각각 High 상태로 천이하는 t5 구간, PS1_T 신호가 High상태로 변화되고 SWL1,P2 신호가 Low 상태로 천이하는 t6 구간에서 다른 신호들은 이전 상태를 유지하는 제 2 단계;

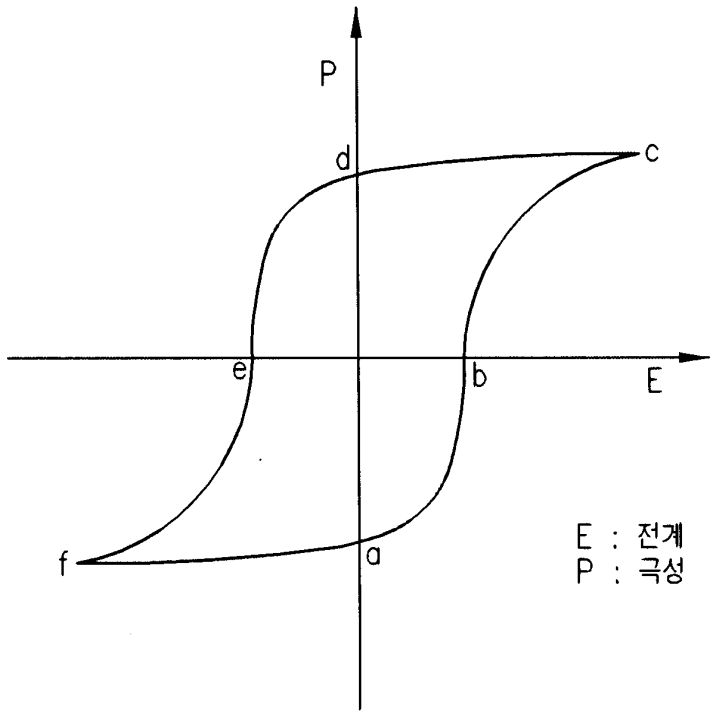
X,Z 어드레스 천이 검출 신호(X,Z-ATD)가 활성화 상태인 t7 구간에서 SAN_C,SAP_C 신호는 비활성화되고 C2N_T,C3N_C 신호는 High 상태로 천이되고 C4N_T 신호는 Low 상태로 천이되고 다른 신호들은 상태 변화없이 이전 상태를 유지하는 제 3 단계;

t8 구간에서 부터 다음번 X,Z 어드레스 천이 검출 신호(X,Z-ATD)가 활성화 상태가 되는 t14 구간까지는 각각 t1 ~ t7 구간까지와 동일한 파형을 갖고, t15 ~ t20까지는 t1 ~ t6 구간까지와 동일한 상태를 유지하는 제 4 단계;

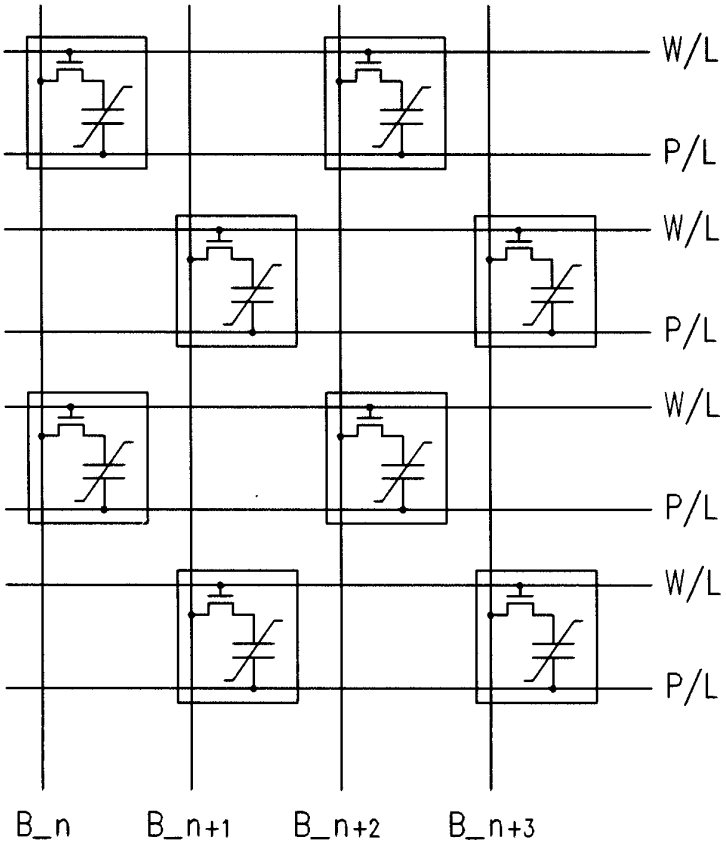
t21 구간에서는 CSBpad신호와 WEBpad신호가 High 상태로 디져블되고 다른 신호들은 t1 구간과 동일한 상태를 유지하는 제 5 단계를 포함하여 이루어지는 것을 특징으로 하는 비휘발성 강유전체 메모리 소자.

도면

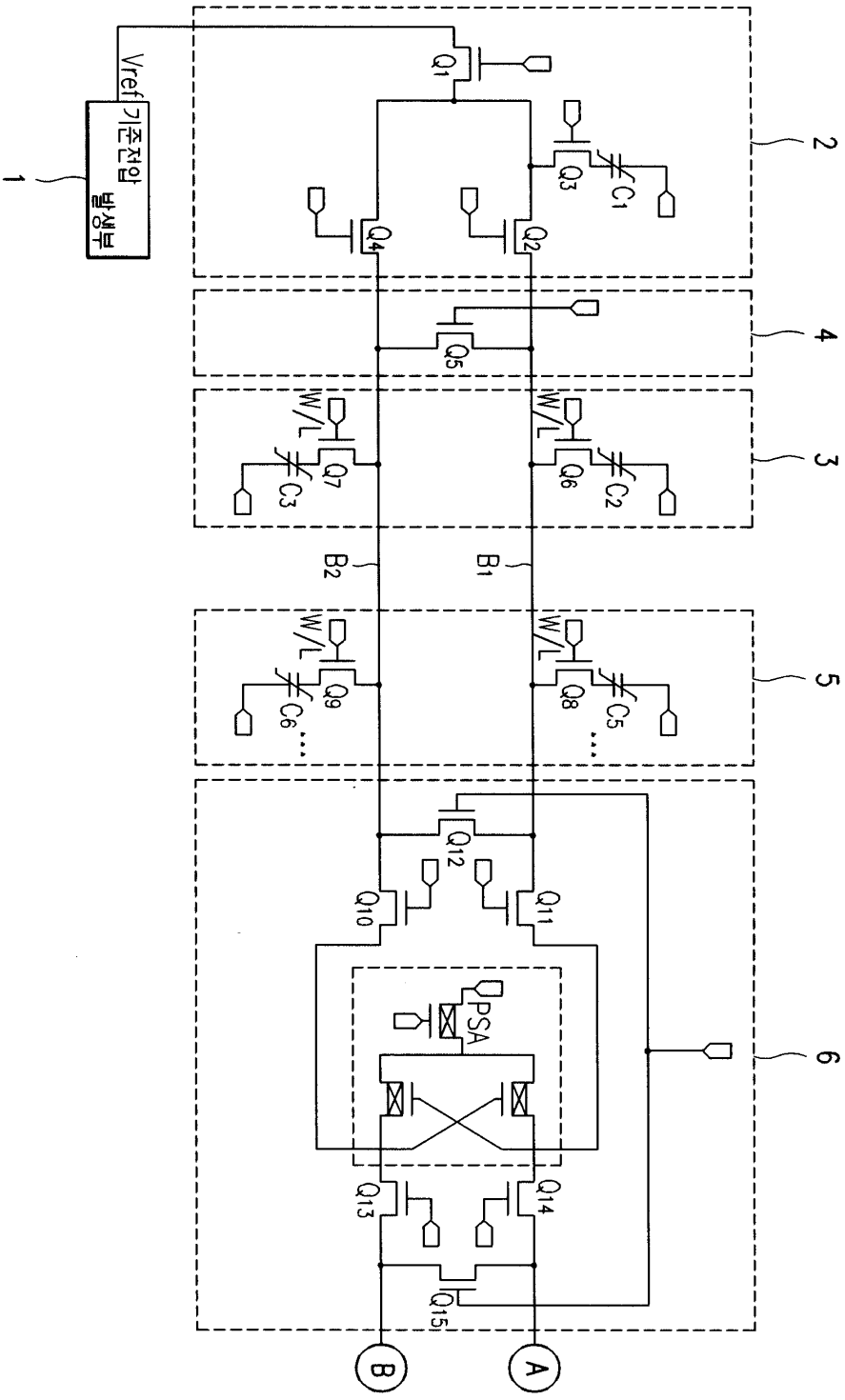
도면1



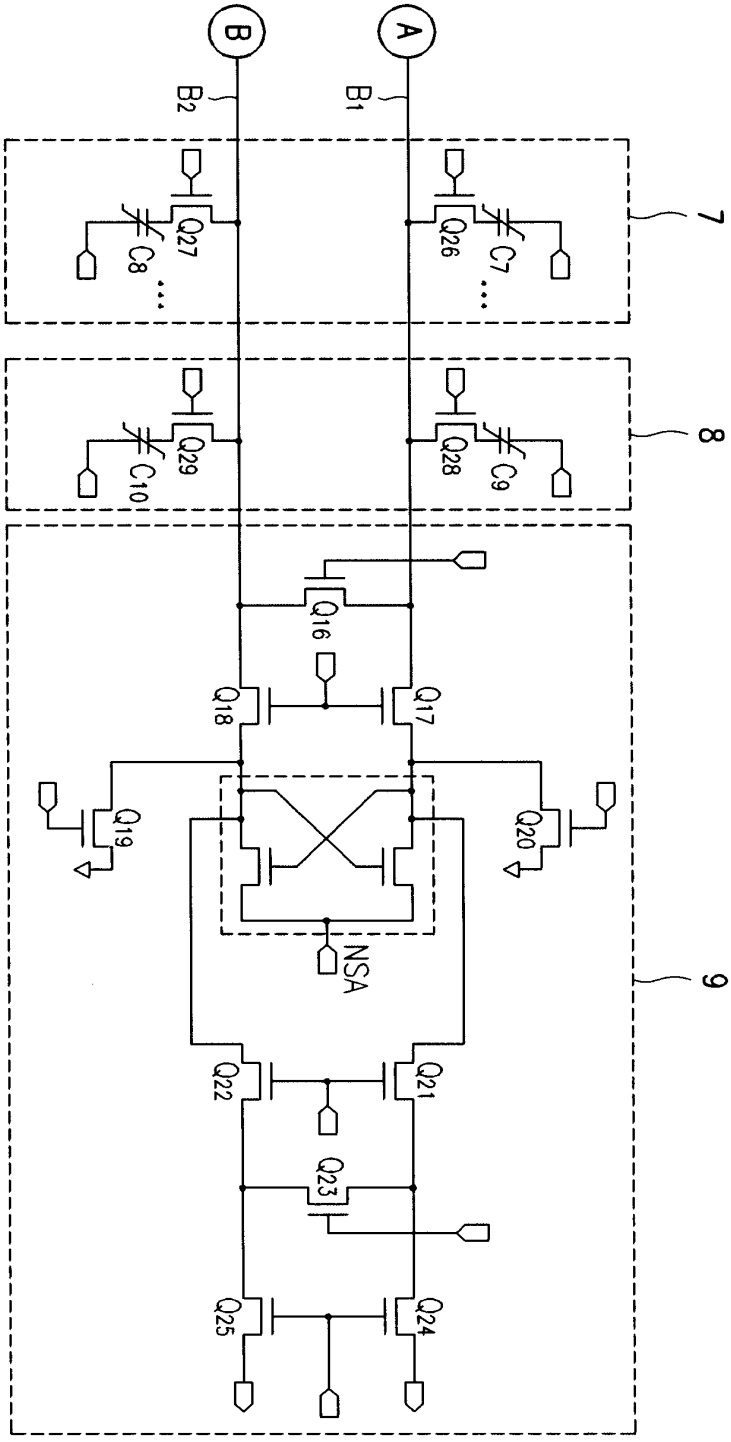
도면2



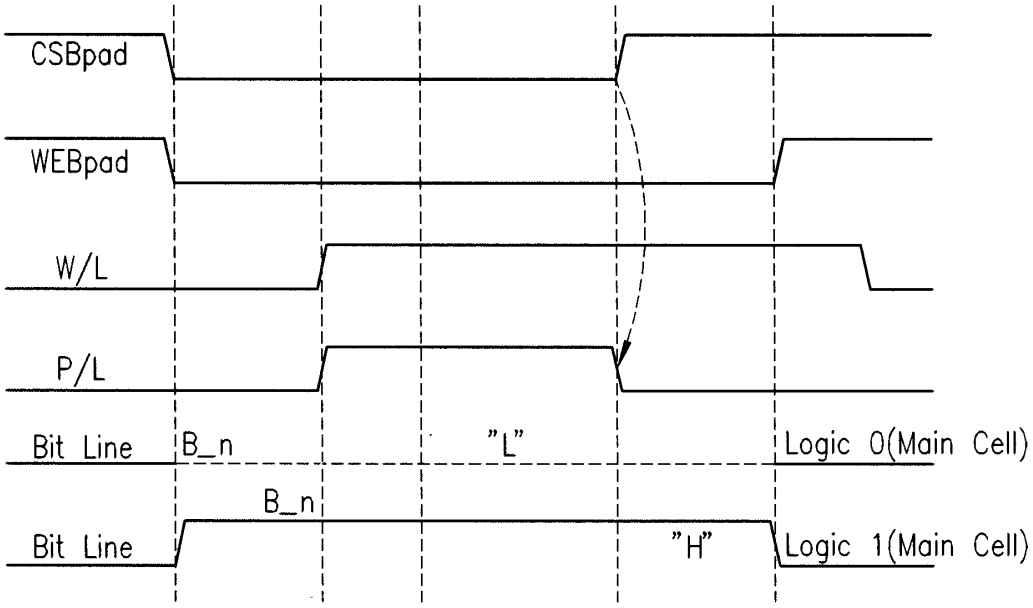
도면3a


1
Vref 기준전압 발생부
2
3
4
5
6
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
Q9
Q10
Q11
Q12
Q13
Q14
Q15
C1
C2
C3
C5
C6
W/L
PSA
B1
B2
A
B

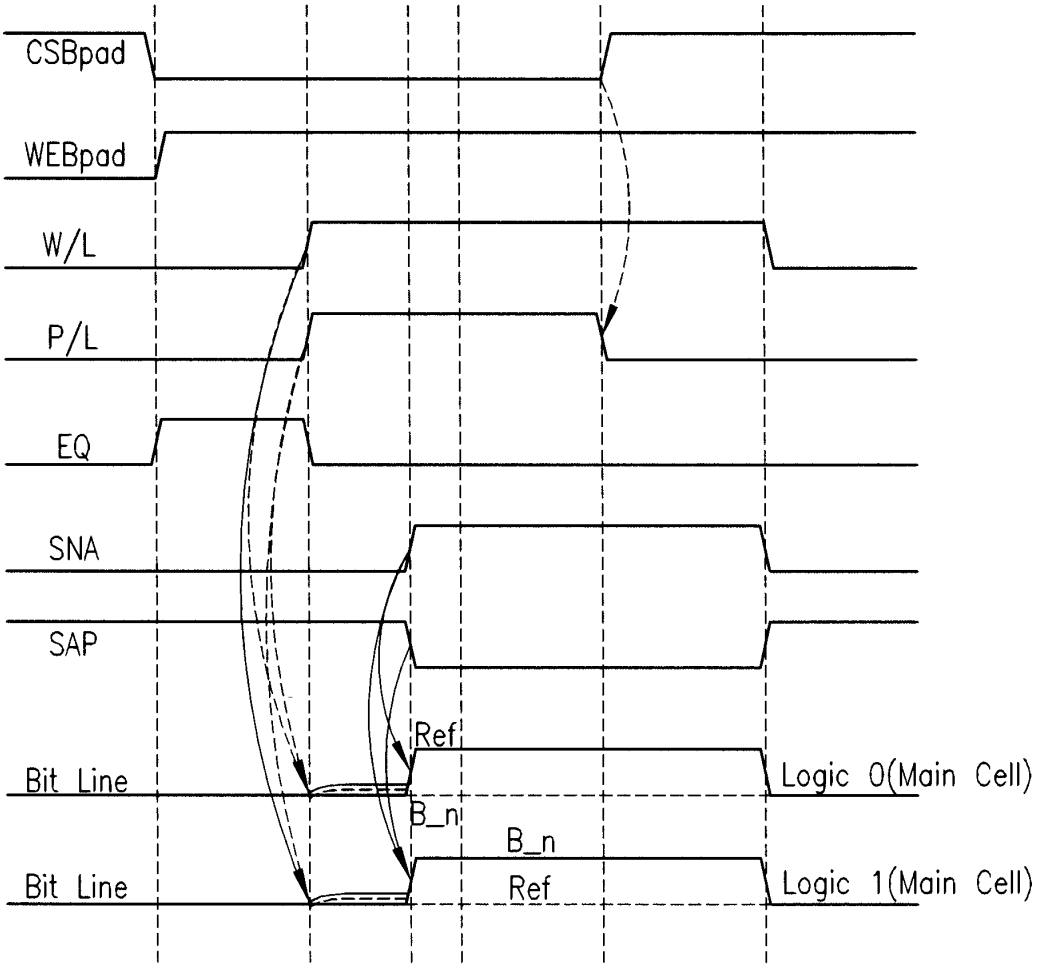
도면3b


B
A
B2
B1
Q27
C8
Q26
C7
7
Q29
C10
Q28
C9
8
Q16
Q18
Q17
Q19
Q20
NSA
9
Q22
Q21
Q23
Q25
Q24

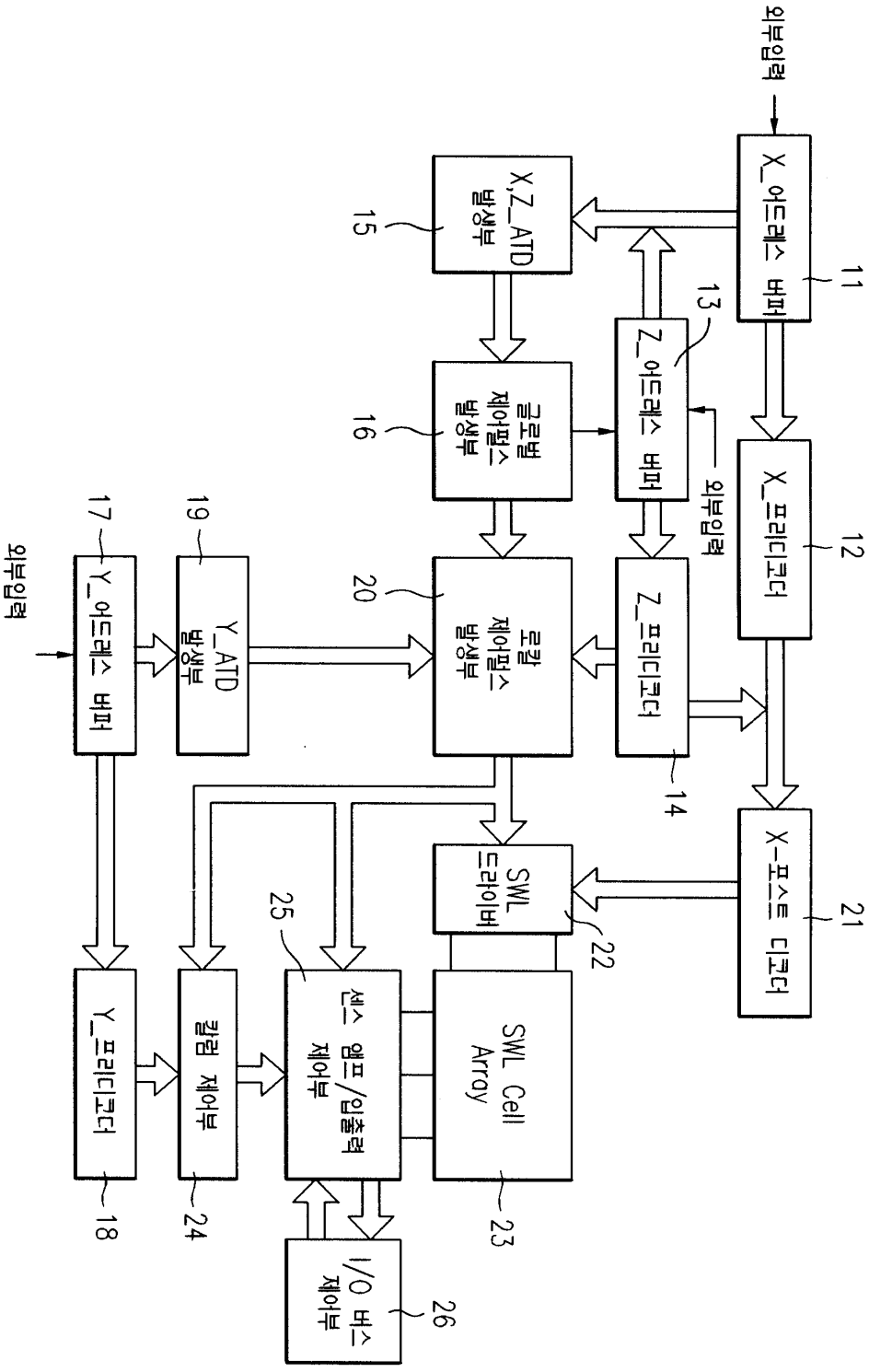
도면4


CSBpad
WEBpad
W/L
P/L
Bit Line
B_n
"L"
Logic 0(Main Cell)
B_n
Bit Line
"H"
Logic 1(Main Cell)

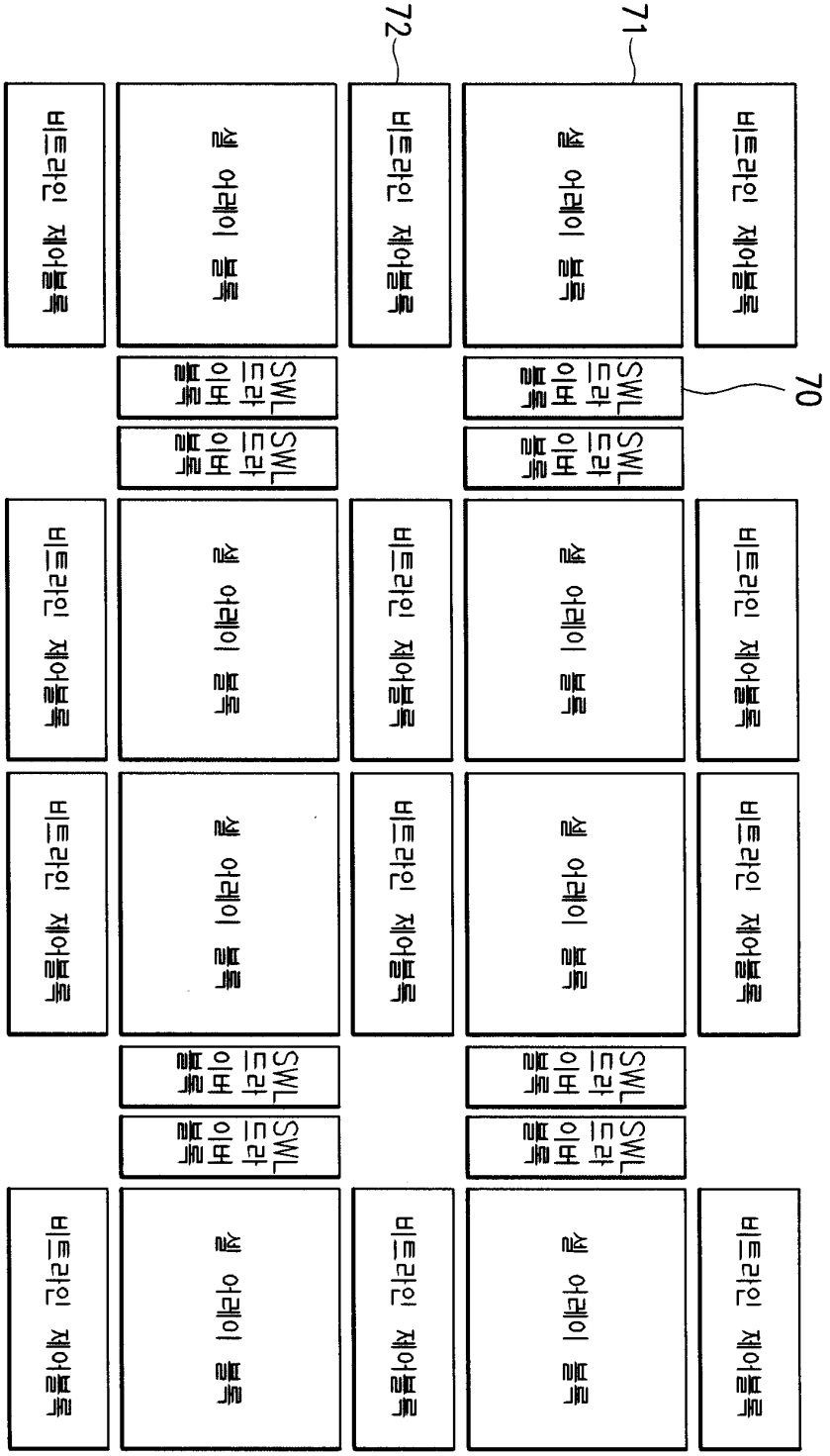
도면5


CSBpad
WEBpad
W/L
P/L
EQ
SNA
SAP
Ref
Bit Line
Logic 0(Main Cell)
B_n
B_n
Bit Line
Ref
Logic 1(Main Cell)

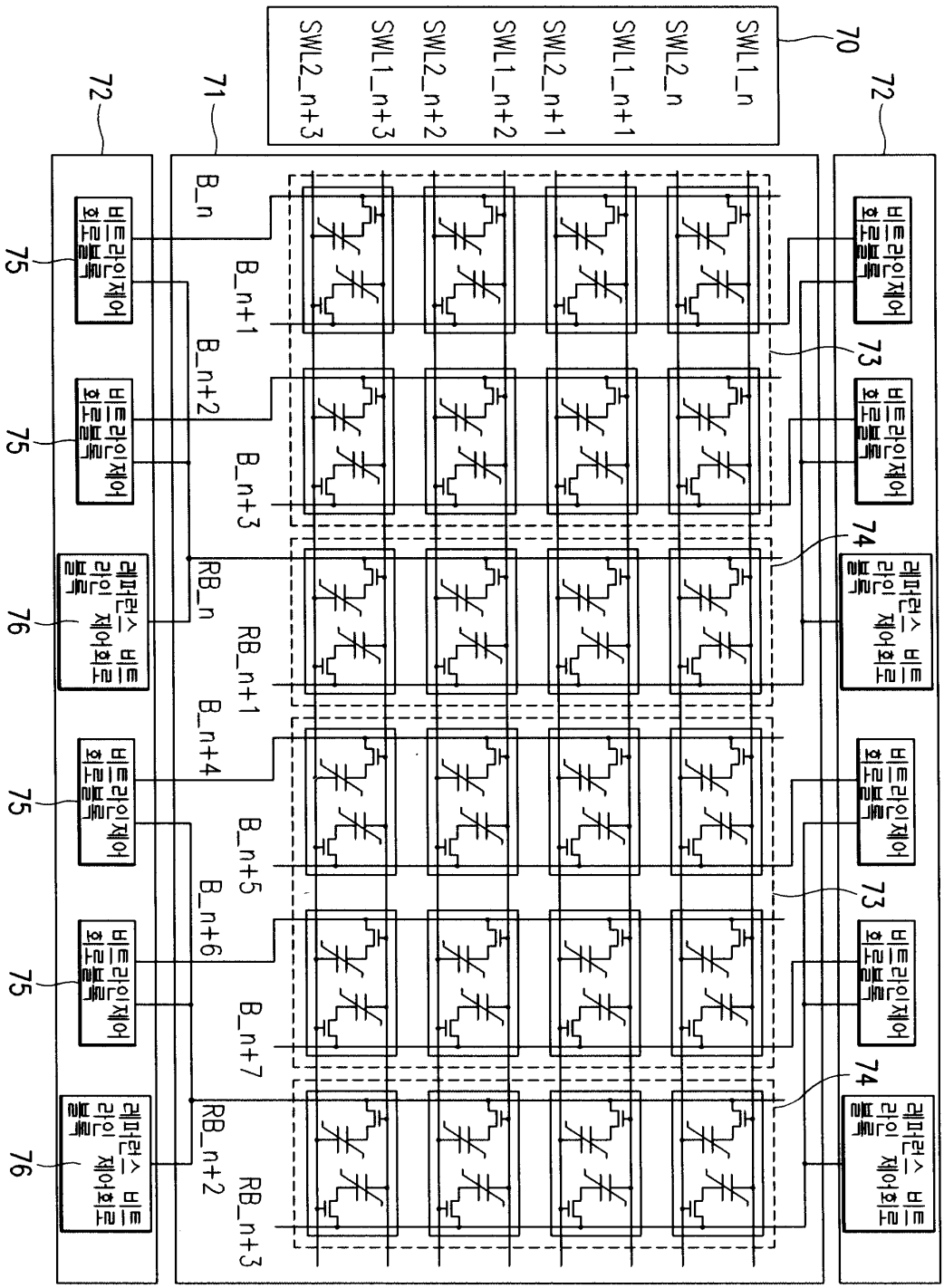
도면6


외부입력
X_어드레스 버퍼
11
X,Z_ATD 발생부
15
Z_어드레스 버퍼
13
X_프리디코더
12
글로벌 제어펄스 발생부
16
외부입력
외부입력
17
Y_어드레스 버퍼
19
Y_ATD 발생부
20
로칼 제어펄스 발생부
Z_프리디코더
14
X-포스트 디코더
21
SWL 드라이버
22
25
센스 앰프/입출력 제어부
SWL Cell Array
23
Y_프리디코더
18
칼럼 제어부
24
I/O 버스 제어부
26

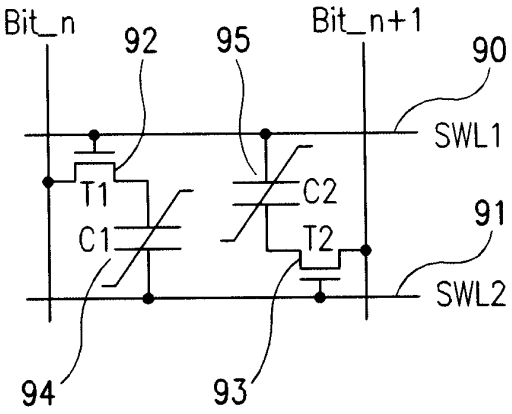
도면7


71
72
70
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록
셀 어레이 블록
SWL 드라이버 블록
비트라인 제어블록

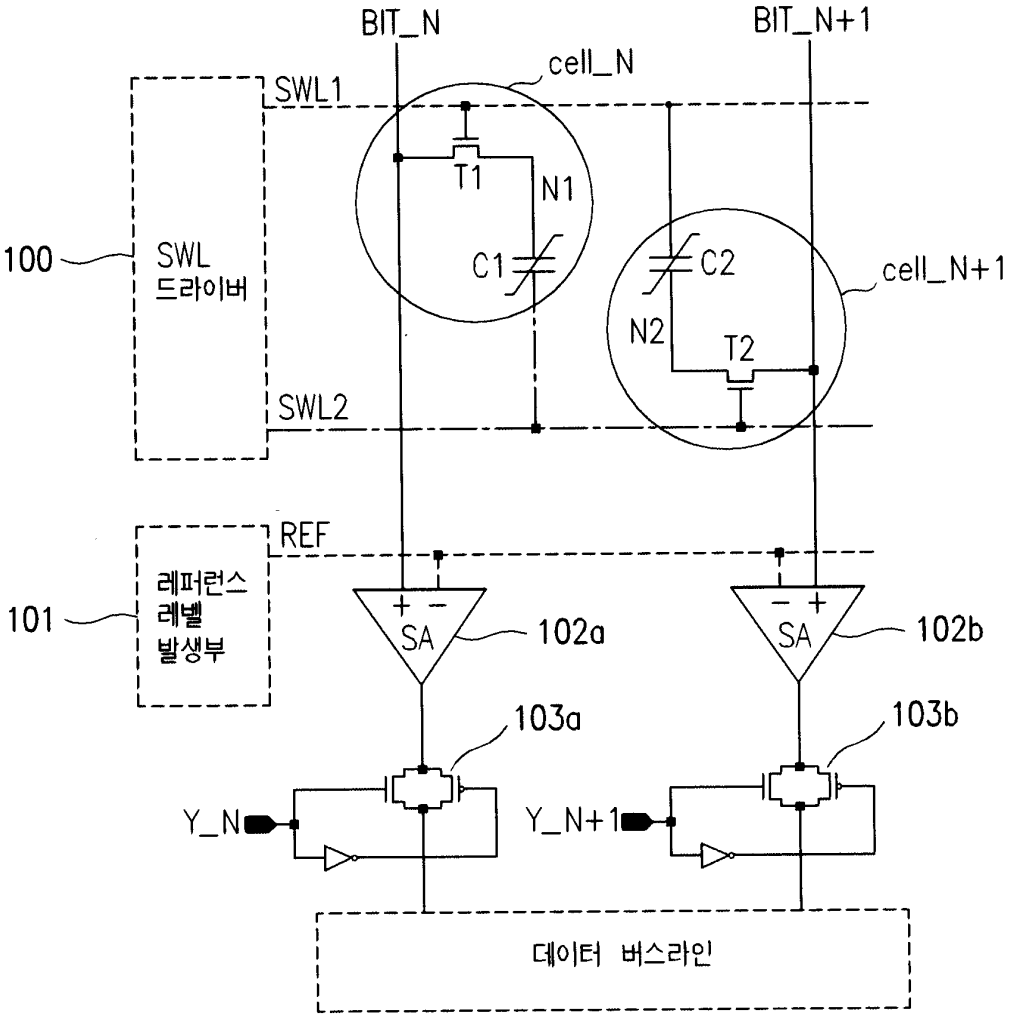
도면8


70
71
72
73
74
75
76
SWL1_n
SWL2_n
SWL1_n+1
SWL2_n+1
SWL1_n+2
SWL2_n+2
SWL1_n+3
SWL2_n+3
B_n
B_n+1
B_n+2
B_n+3
B_n+4
B_n+5
B_n+6
B_n+7
RB_n
RB_n+1
RB_n+2
RB_n+3
비트라인제어 회로블록
레퍼런스 비트 라인 제어회로 블록

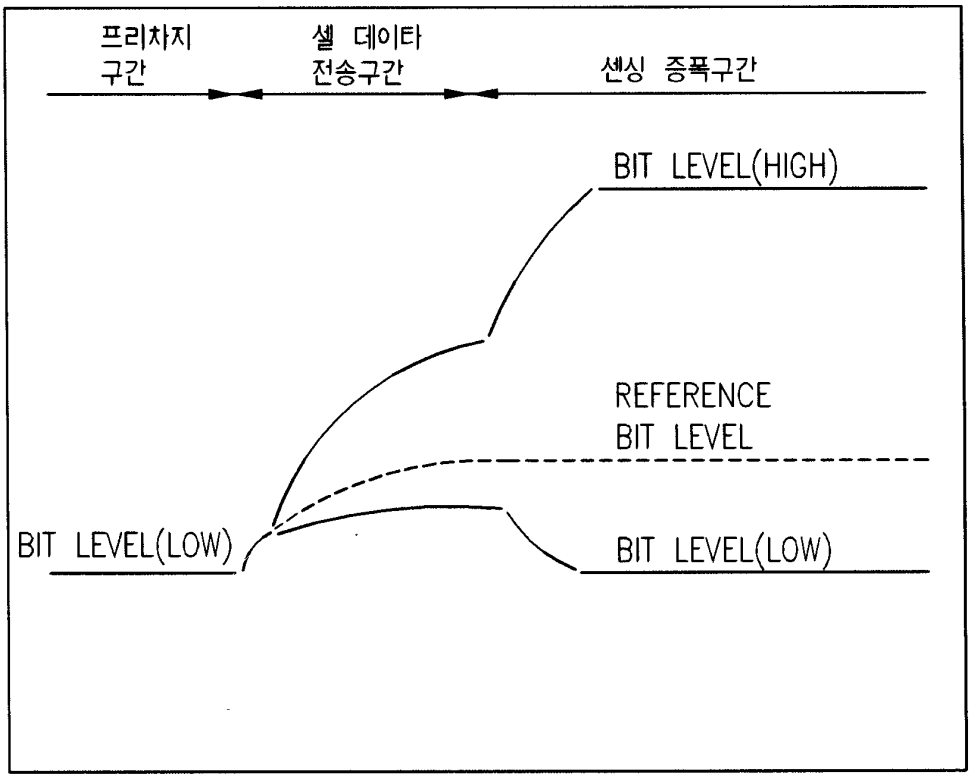
도면9


Bit_n
92
95
Bit_n+1
90
SWL1
T1
C1
C2
T2
91
SWL2
94
93

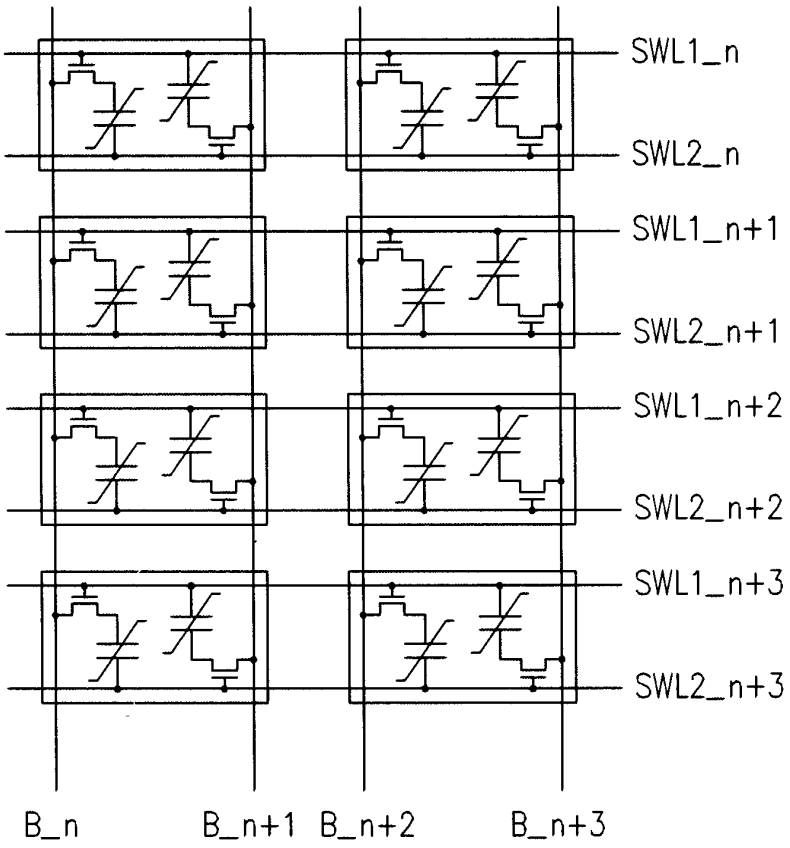
도면10


BIT_N
BIT_N+1
cell_N
SWL1
T1
N1
C1
C2
cell_N+1
N2
T2
100
SWL
드라이버
SWL2
REF
101
레퍼런스
레벨
발생부
SA
102a
SA
102b
103a
103b
Y_N
Y_N+1
데이터 버스라인

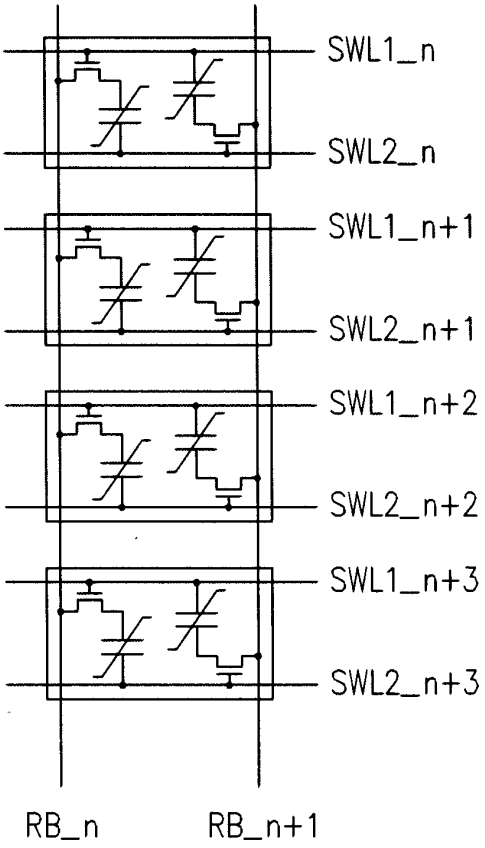
도면11


프리차지
구간
셀 데이타
전송구간
센싱 증폭구간
BIT LEVEL(HIGH)
REFERENCE
BIT LEVEL
BIT LEVEL(LOW)
BIT LEVEL(LOW)

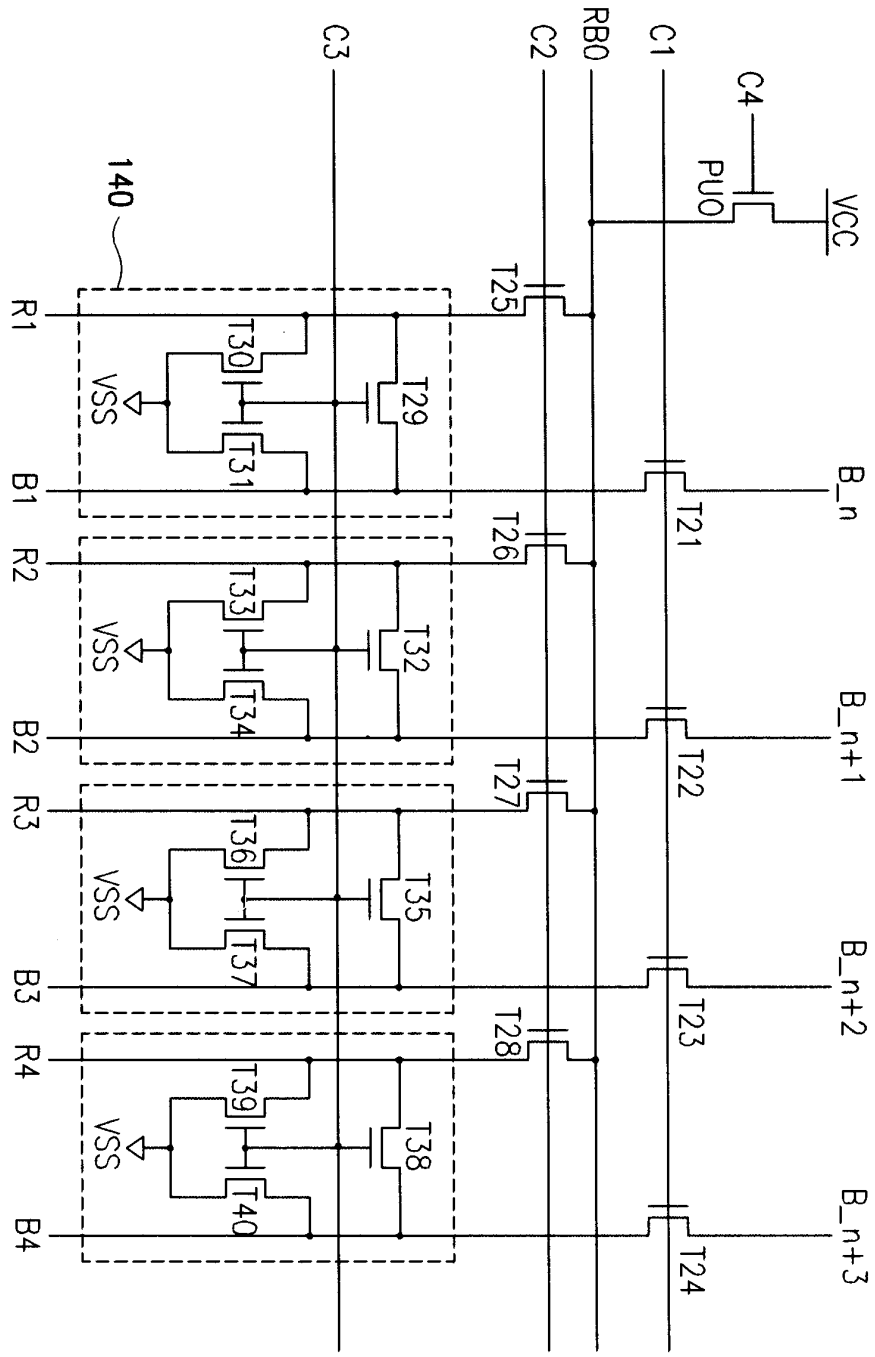
도면12


SWL1_n
SWL2_n
SWL1_n+1
SWL2_n+1
SWL1_n+2
SWL2_n+2
SWL1_n+3
SWL2_n+3
B_n
B_n+1
B_n+2
B_n+3

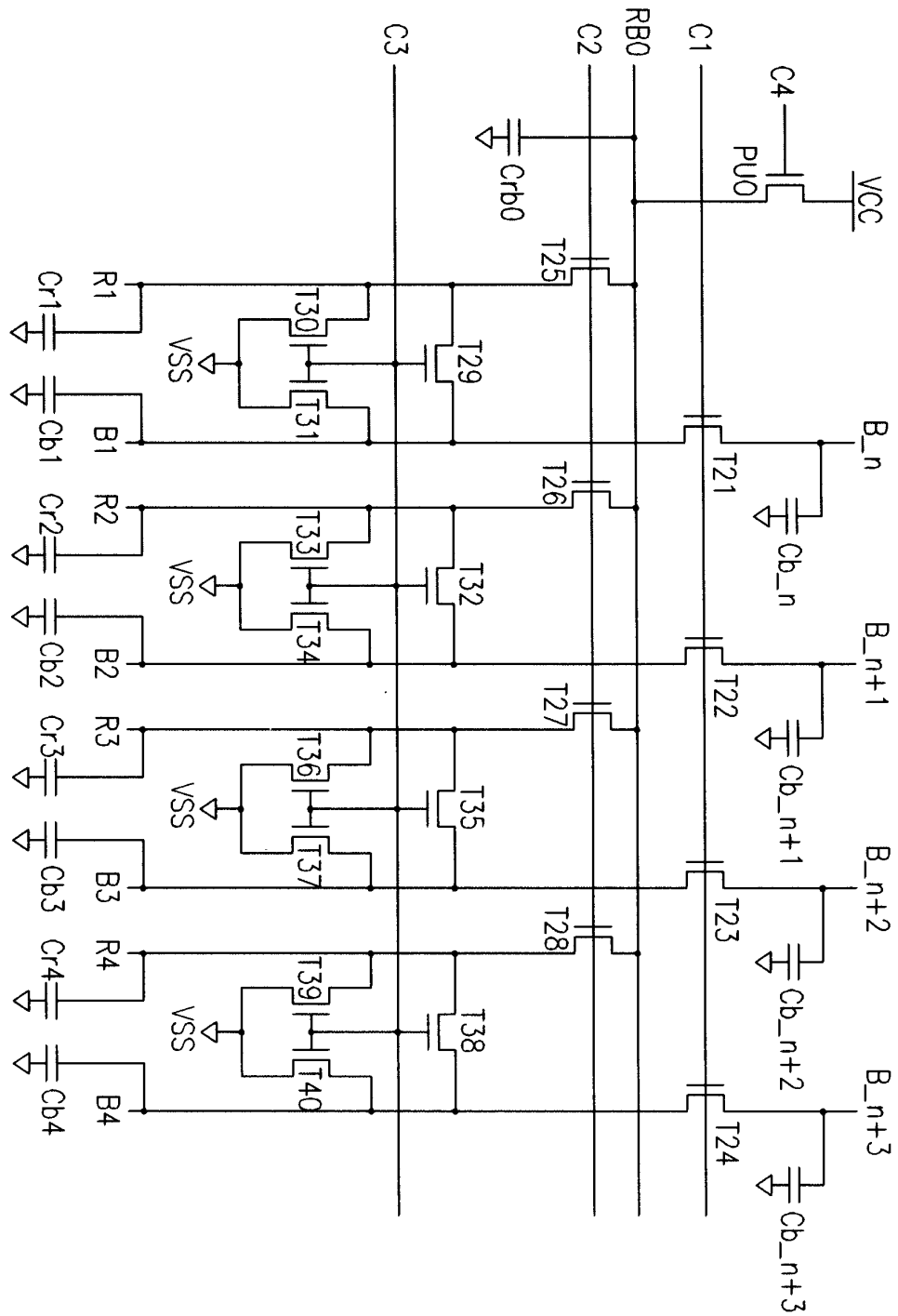
도면13


SWL1_n
SWL2_n
SWL1_n+1
SWL2_n+1
SWL1_n+2
SWL2_n+2
SWL1_n+3
SWL2_n+3
RB_n
RB_n+1

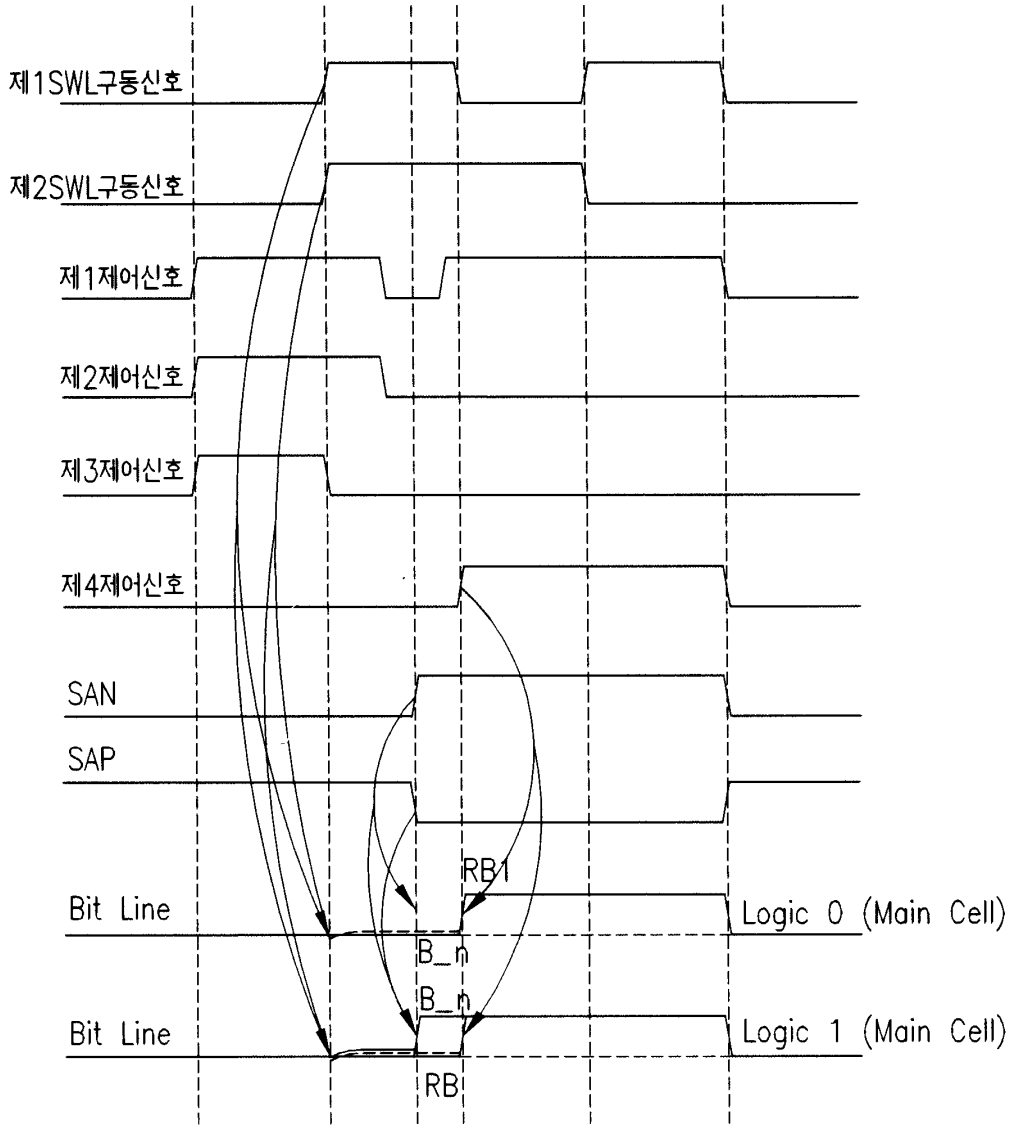
도면14


C4
C3
C2
RB0
C1
PU0
VCC
140
T25
T26
T27
T28
R1
B1
R2
B2
R3
B3
R4
B4
T30
T31
T29
T33
T34
T32
T36
T37
T35
T39
T40
T38
VSS
T21
T22
T23
T24
B_n
B_n+1
B_n+2
B_n+3

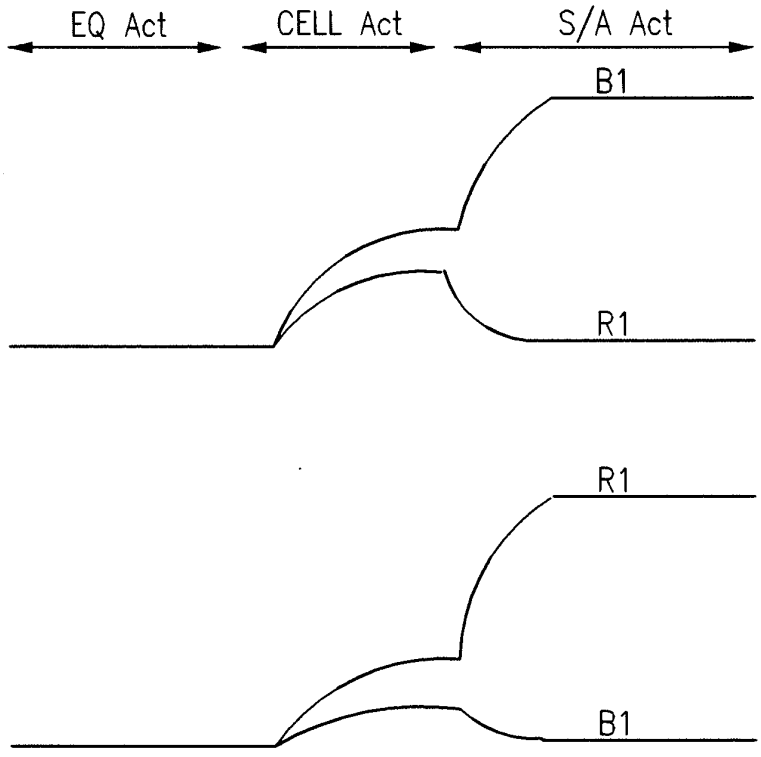
도면15


C4
PU0
VCC
C1
C2
RB0
C3
Crb0
T25
T26
T27
T28
R1
R2
R3
R4
Cr1
Cr2
Cr3
Cr4
Cb1
Cb2
Cb3
Cb4
B1
B2
B3
B4
T30
T31
T33
T34
T36
T37
T39
T40
T29
T32
T35
T38
VSS
B_n
B_n+1
B_n+2
B_n+3
T21
T22
T23
T24
Cb_n
Cb_n+1
Cb_n+2
Cb_n+3

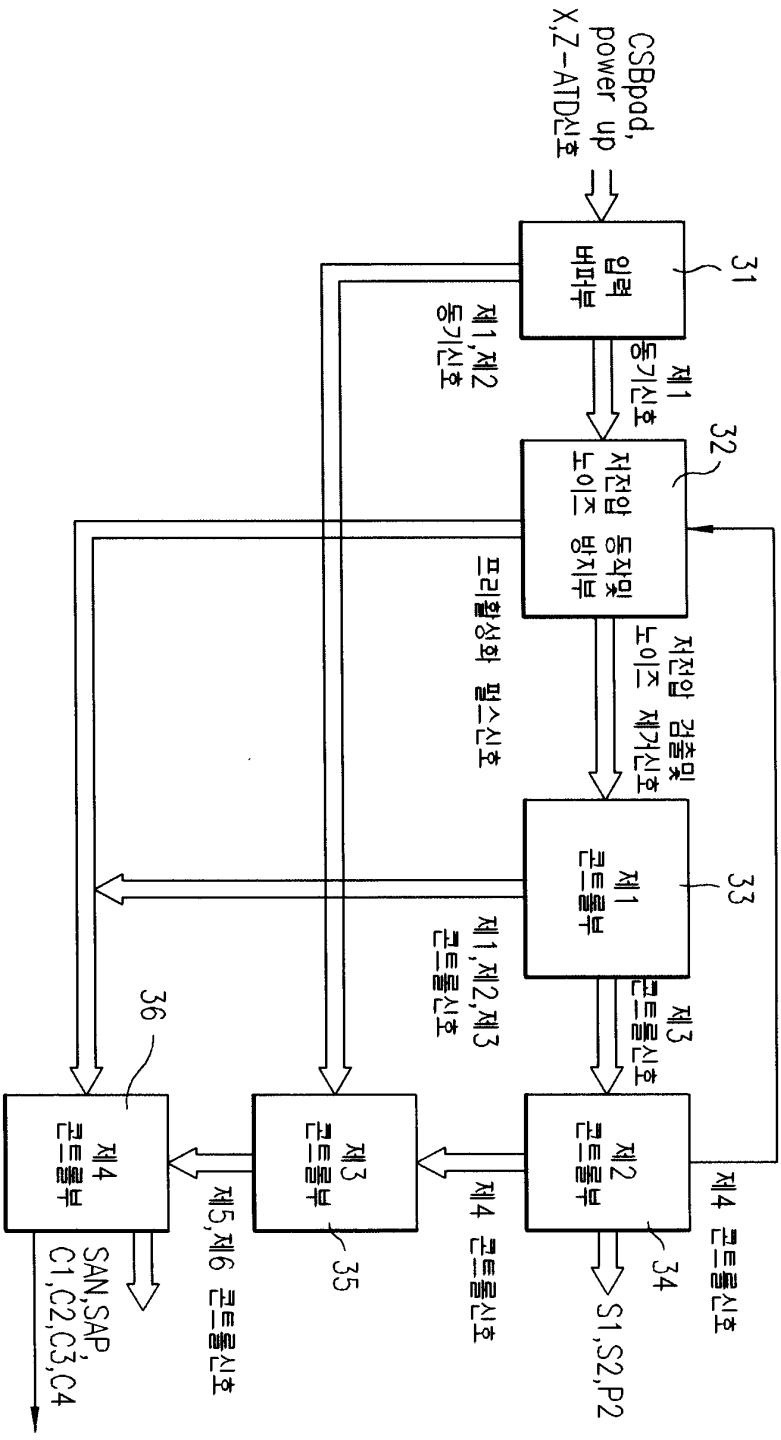
도면16


제1SWL구동신호
제2SWL구동신호
제1제어신호
제2제어신호
제3제어신호
제4제어신호
SAN
SAP
RB1
Bit Line
Logic 0 (Main Cell)
B_n
B_n
Bit Line
Logic 1 (Main Cell)
RB

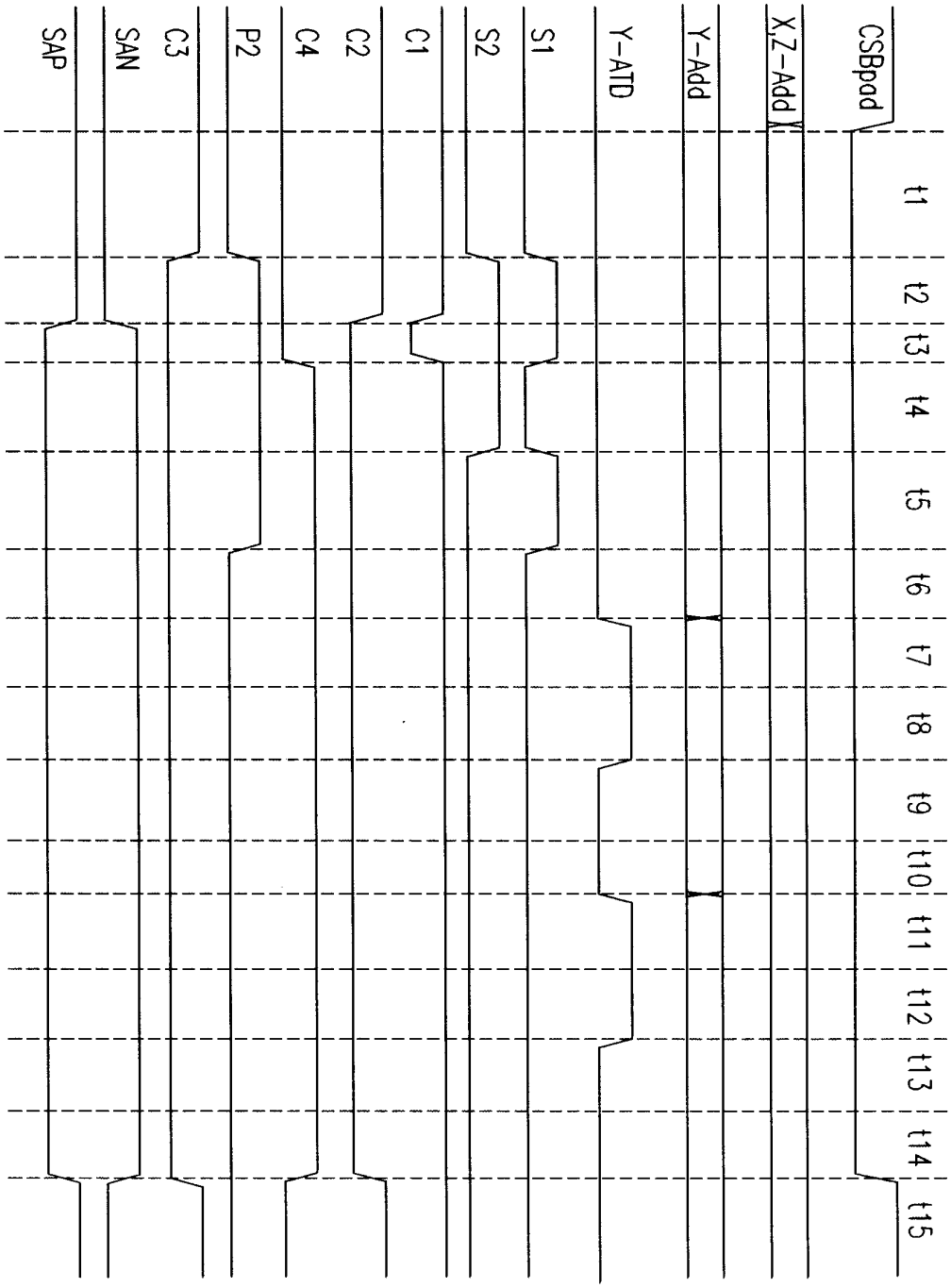
도면17



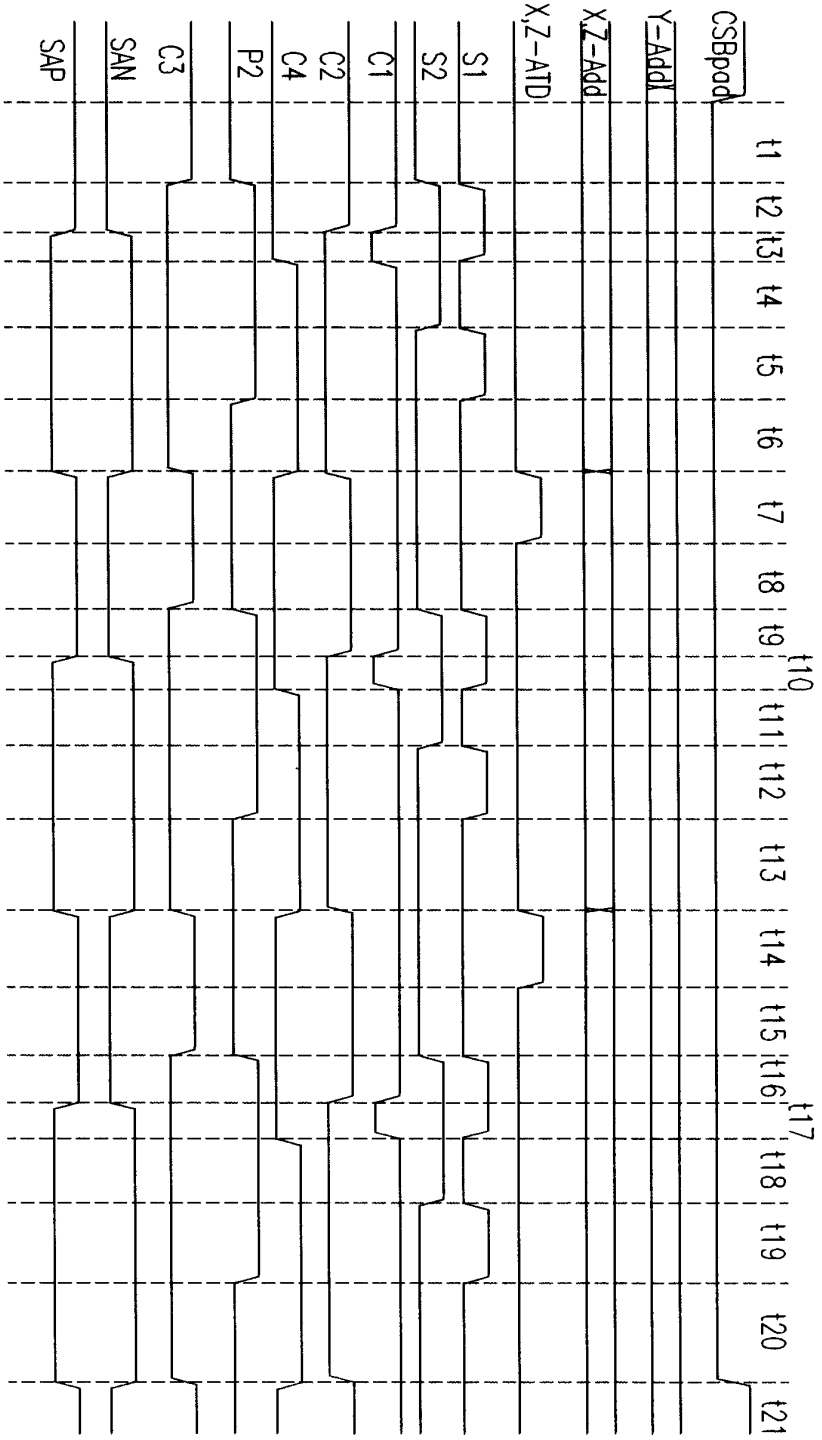
도면18


CSBpad,
power up
X,Z-ATD신호
입력
버퍼부
31
제1,제2
동기신호
제1
동기신호
저전압 동작및
노이즈 방지부
32
프리활성화 펄스신호
저전압 검출및
노이즈 제거신호
제1
콘트롤부
33
제1,제2,제3
콘트롤신호
제3
콘트롤신호
제2
콘트롤부
34
제4 콘트롤신호
제3
콘트롤부
35
제4 콘트롤신호
제4
콘트롤부
36
제5,제6 콘트롤신호
S1,S2,P2
SAN,SAP,
C1,C2,C3,C4

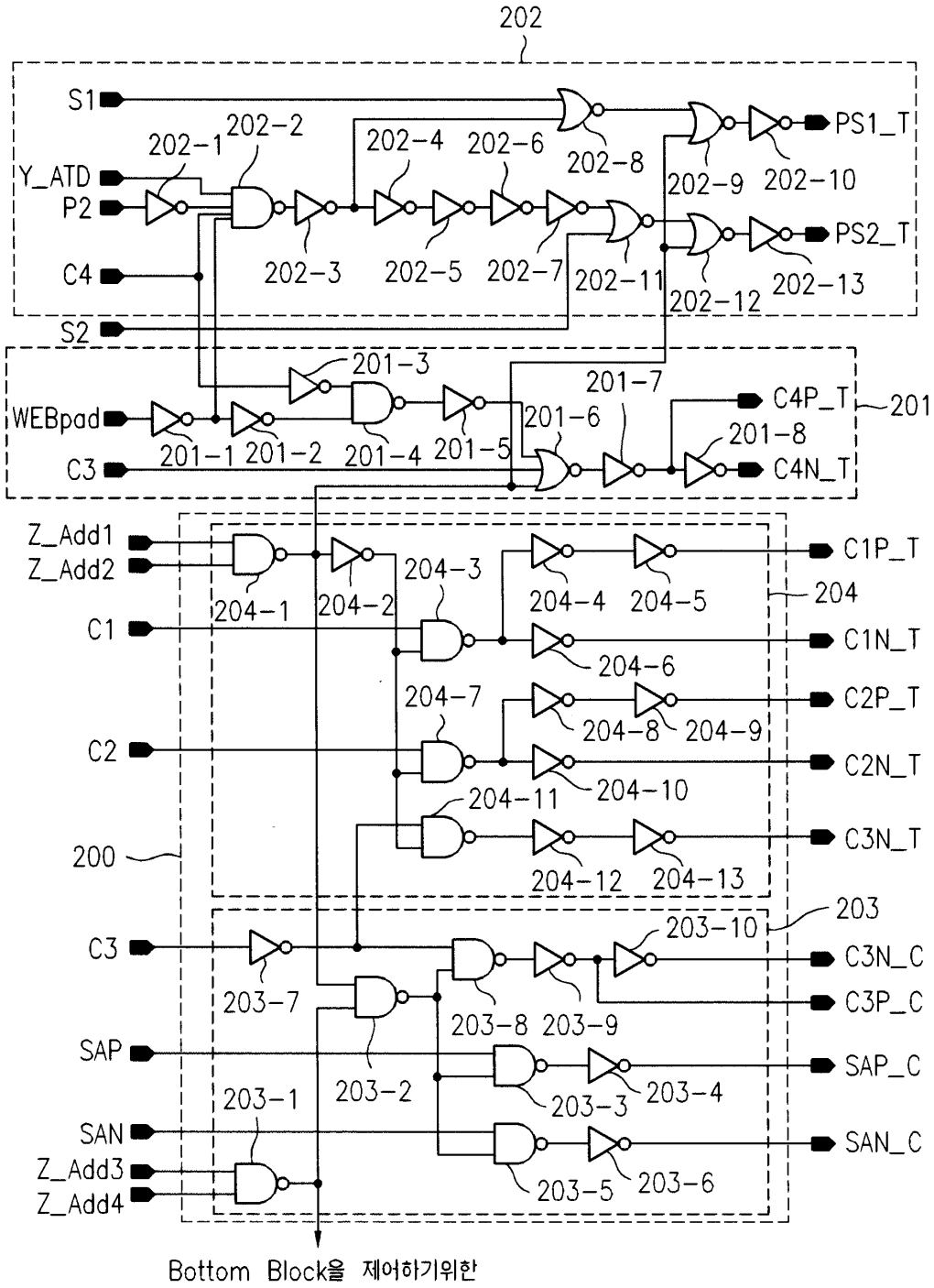
도면19a


CSBpad
X,Z-Add
Y-Add
Y-ATD
S1
S2
C1
C2
C4
P2
C3
SAN
SAP
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15

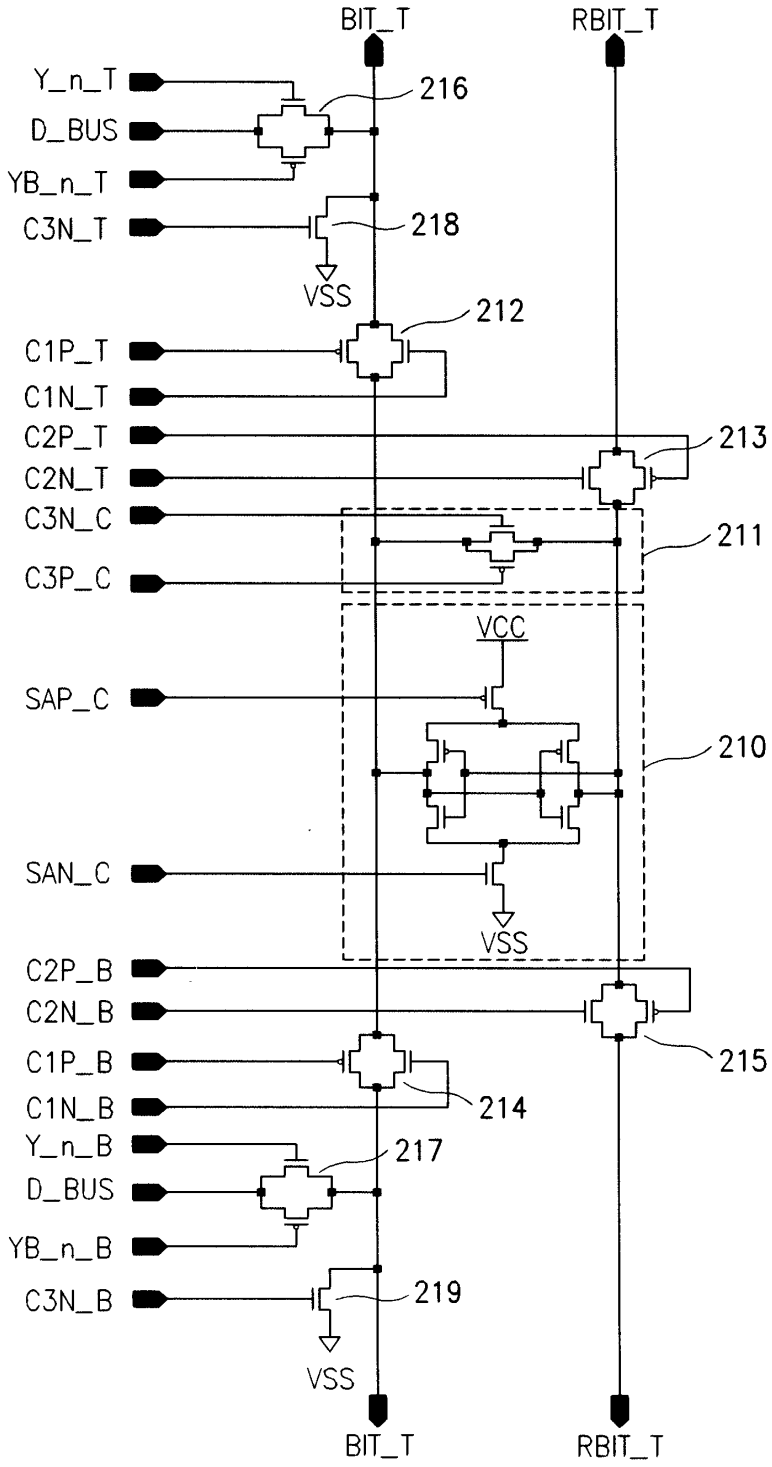
도면19b


CSBpad
Y-Add
X,Z-Add
X,Z-AID
S1
S2
C1
C2
C4
P2
C3
SAN
SAP
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16
t17
t18
t19
t20
t21

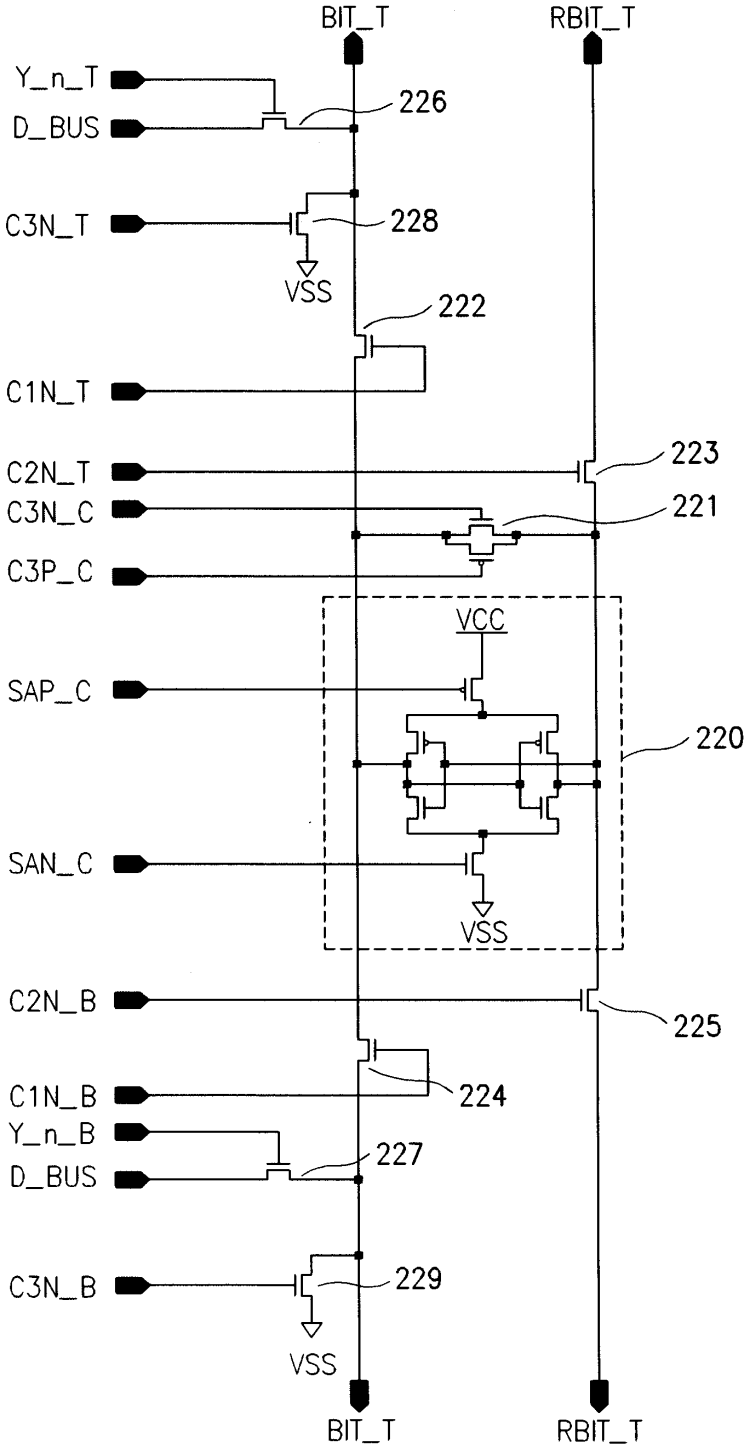
도면20


202
S1
Y_ATD
P2
C4
S2
202-1
202-2
202-3
202-4
202-5
202-6
202-7
202-8
202-9
202-10
202-11
202-12
202-13
PS1_T
PS2_T
201-3
201-7
WEBpad
C3
201-1
201-2
201-4
201-5
201-6
201-8
C4P_T
C4N_T
201
Z_Add1
Z_Add2
C1
C2
200
204-1
204-2
204-3
204-4
204-5
204-6
204-7
204-8
204-9
204-10
204-11
204-12
204-13
C1P_T
C1N_T
C2P_T
C2N_T
C3N_T
204
203
203-10
C3
203-7
203-8
203-9
C3N_C
C3P_C
SAP
SAN
Z_Add3
Z_Add4
203-1
203-2
203-3
203-4
203-5
203-6
SAP_C
SAN_C
Bottom Block을 제어하기위한

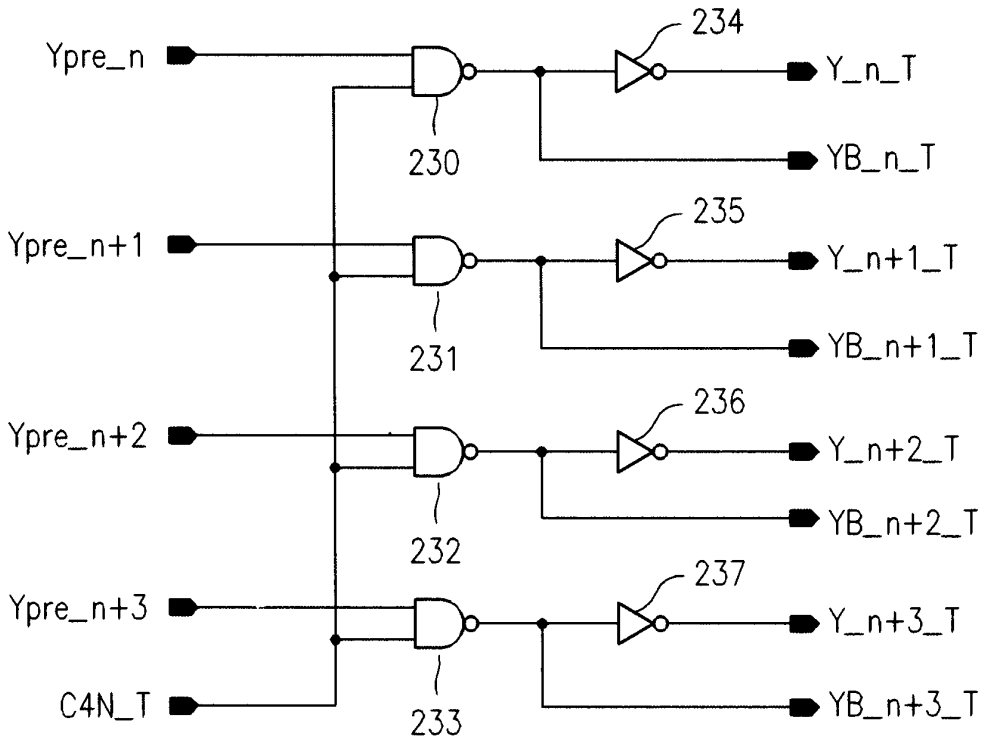
도면21


BIT_T
RBIT_T
Y_n_T
D_BUS
YB_n_T
C3N_T
216
218
VSS
212
C1P_T
C1N_T
C2P_T
C2N_T
C3N_C
C3P_C
213
211
VCC
SAP_C
210
SAN_C
VSS
C2P_B
C2N_B
C1P_B
C1N_B
215
214
Y_n_B
D_BUS
YB_n_B
C3N_B
217
219
VSS
BIT_T
RBIT_T

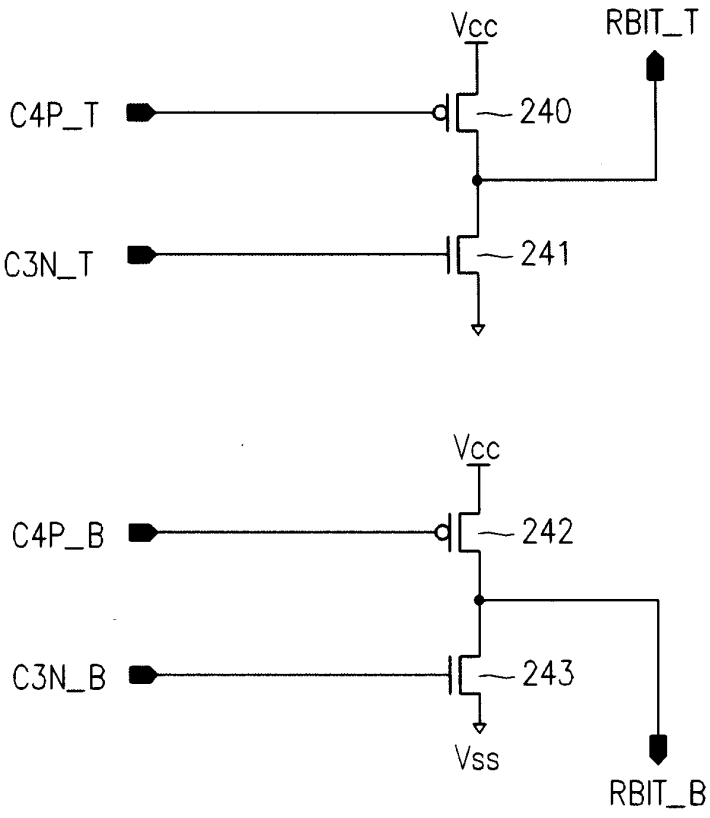
도면22


BIT_T
RBIT_T
Y_n_T
D_BUS
226
C3N_T
228
VSS
222
C1N_T
C2N_T
223
C3N_C
221
C3P_C
VCC
SAP_C
220
SAN_C
VSS
C2N_B
225
C1N_B
224
Y_n_B
D_BUS
227
C3N_B
229
VSS
BIT_T
RBIT_T

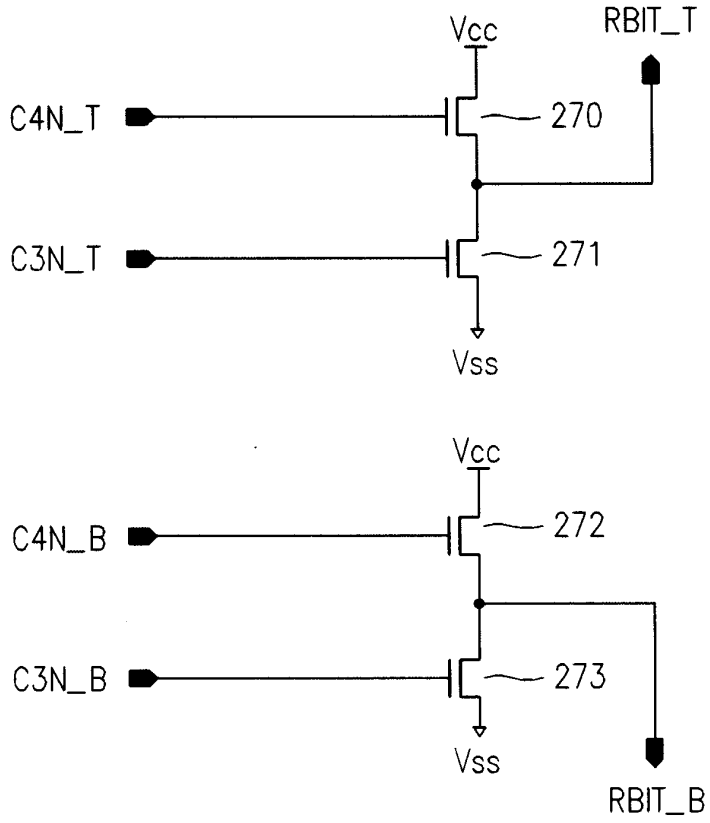
도면23


Ypre_n
Ypre_n+1
Ypre_n+2
Ypre_n+3
C4N_T
230
231
232
233
234
235
236
237
Y_n_T
YB_n_T
Y_n+1_T
YB_n+1_T
Y_n+2_T
YB_n+2_T
Y_n+3_T
YB_n+3_T

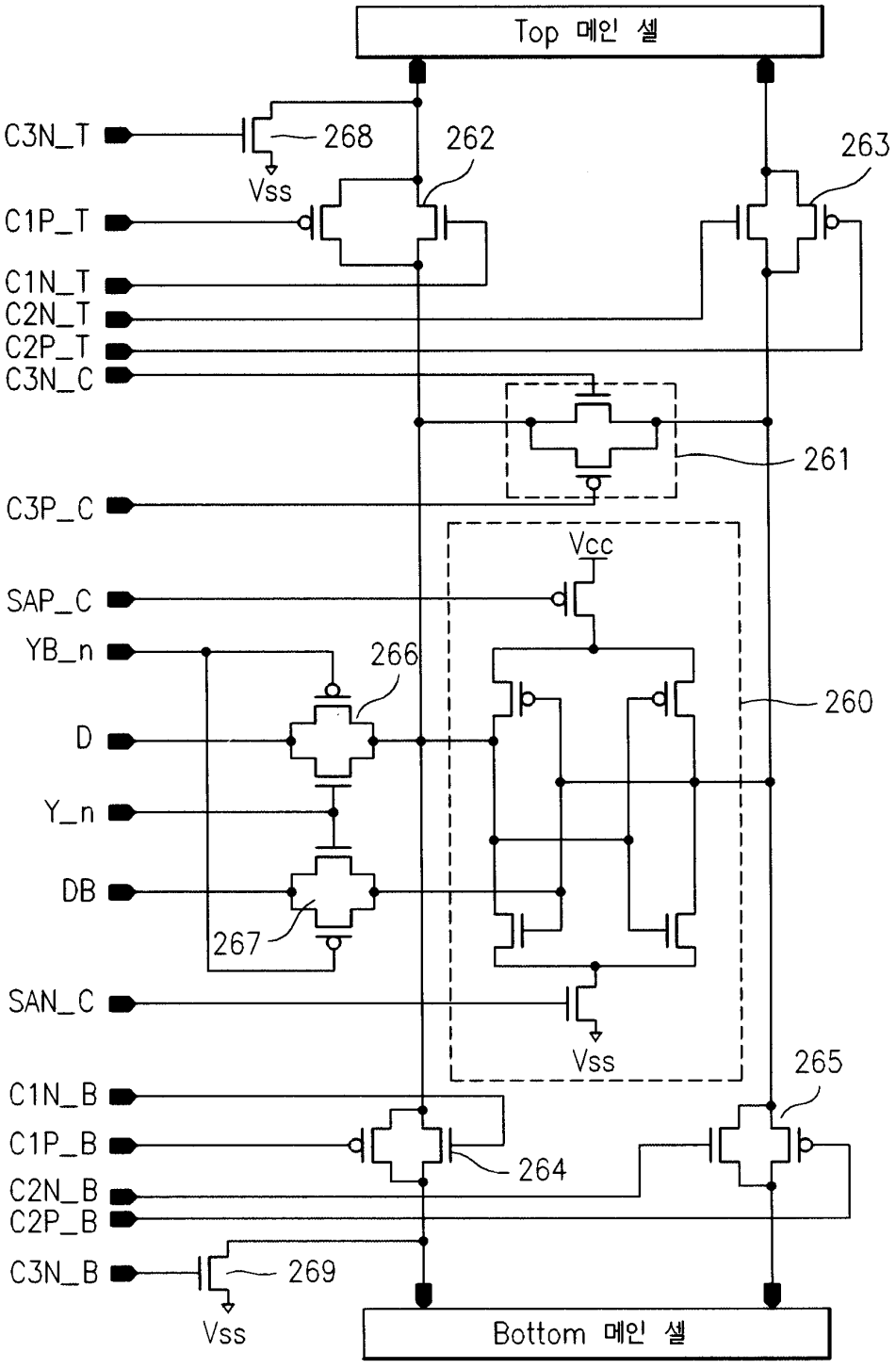
도면24


Vcc
RBIT_T
C4P_T
240
C3N_T
241
Vcc
C4P_B
242
C3N_B
243
Vss
RBIT_B

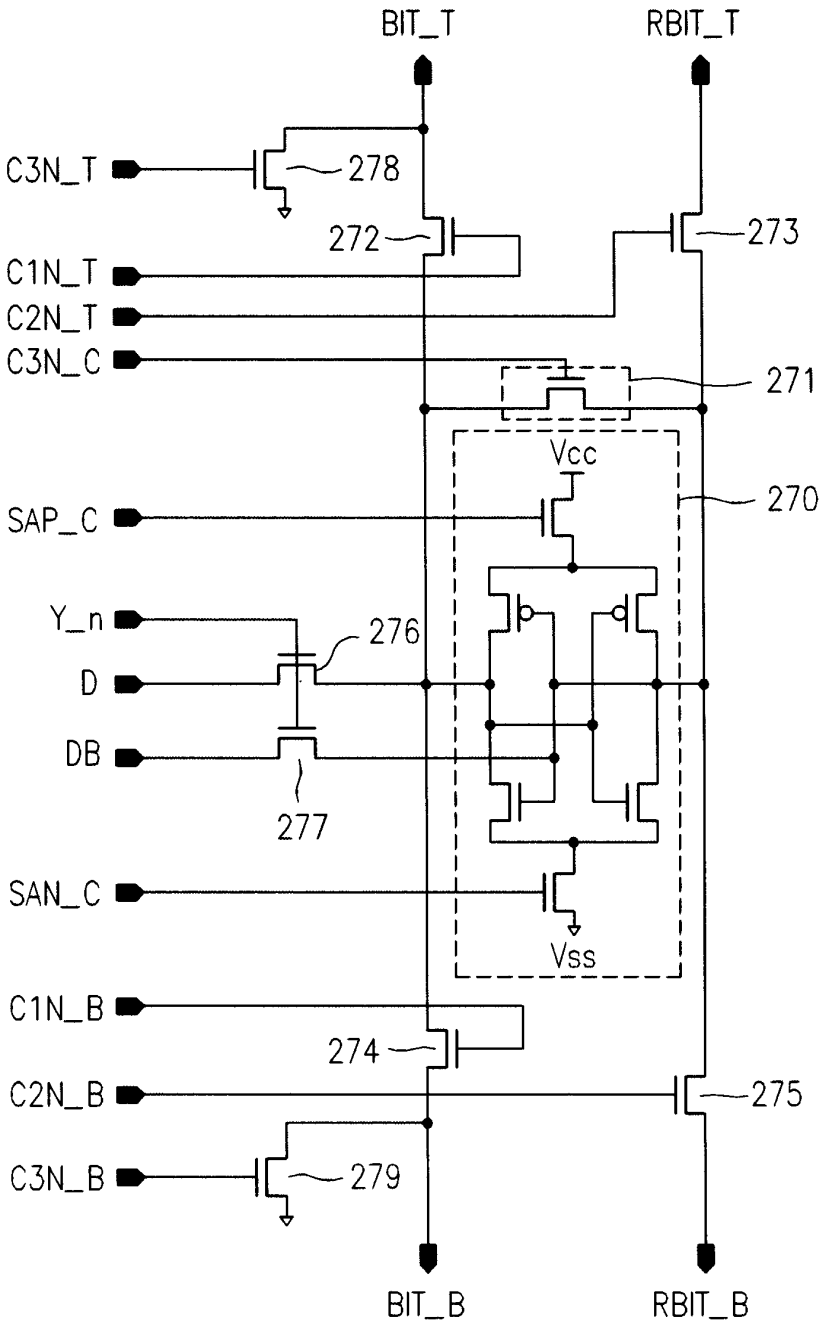
도면25


Vcc
RBIT_T
C4N_T
270
C3N_T
271
Vss
Vcc
C4N_B
272
C3N_B
273
Vss
RBIT_B

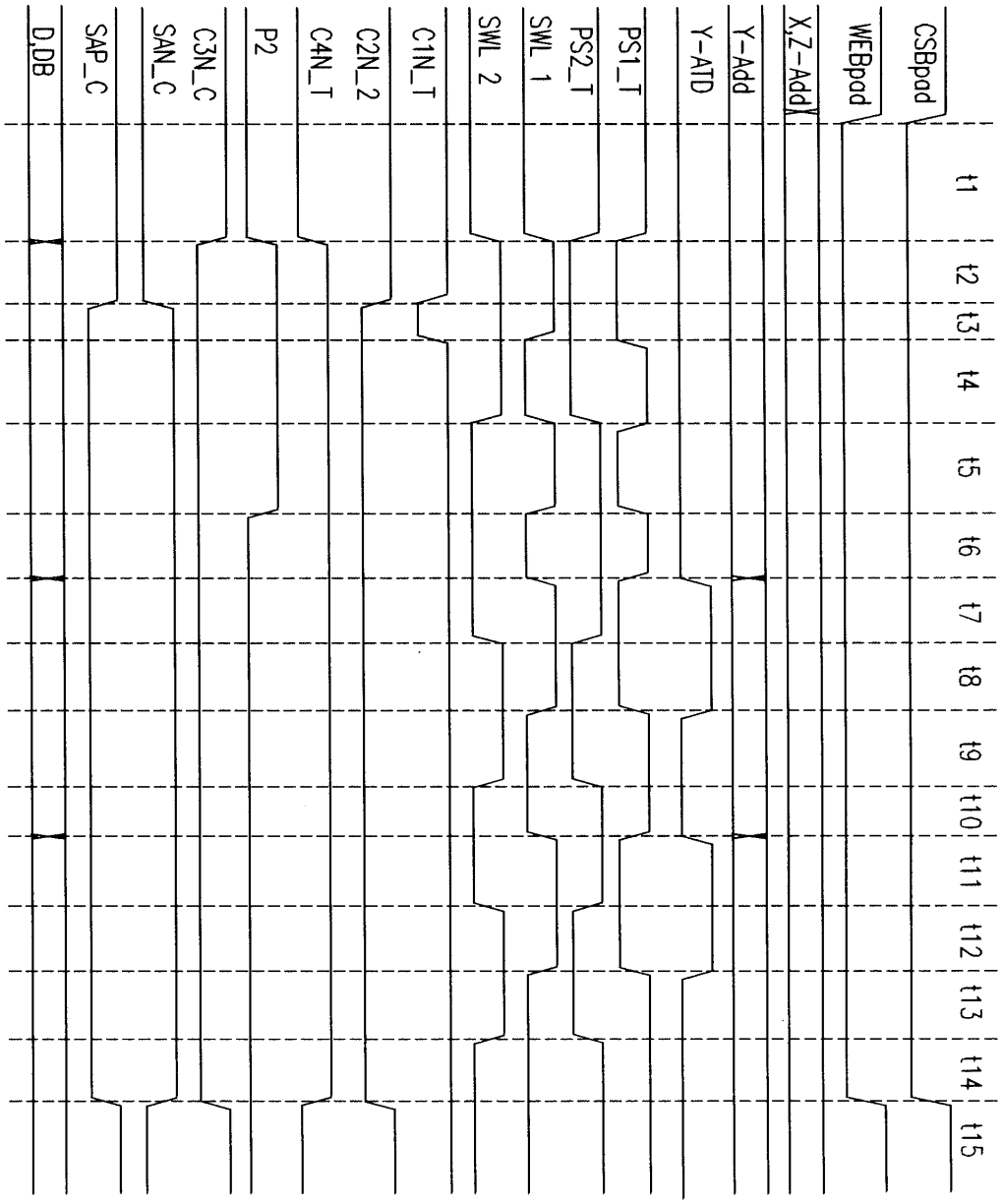
도면26


Top 메인 셀
C3N_T
268
262
263
Vss
C1P_T
C1N_T
C2N_T
C2P_T
C3N_C
261
C3P_C
Vcc
SAP_C
YB_n
266
260
D
Y_n
DB
267
SAN_C
Vss
265
C1N_B
C1P_B
264
C2N_B
C2P_B
C3N_B
269
Vss
Bottom 메인 셀

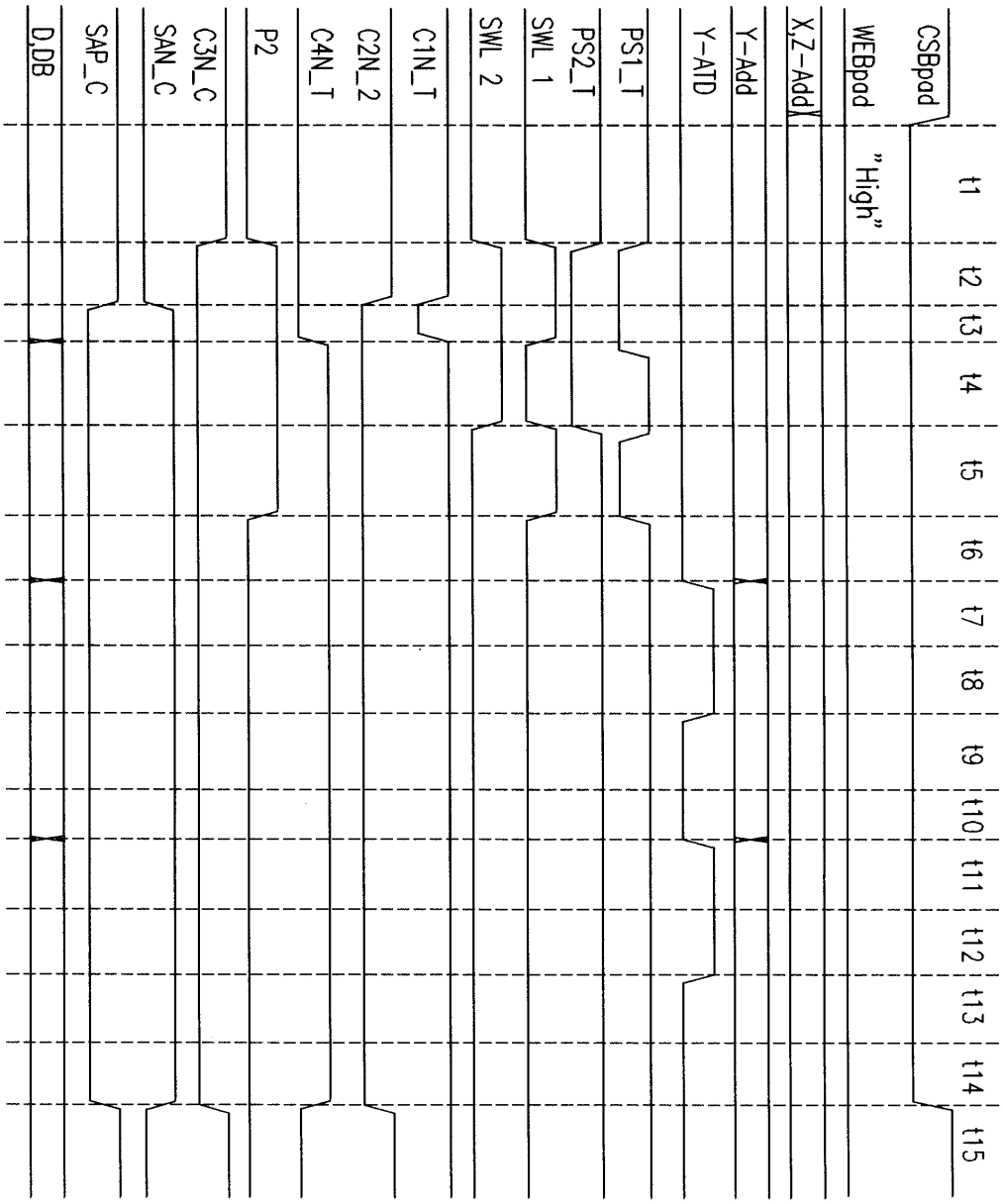
도면27


BIT_T
RBIT_T
C3N_T
278
272
273
C1N_T
C2N_T
C3N_C
271
Vcc
270
SAP_C
Y_n
276
D
DB
277
SAN_C
Vss
C1N_B
274
C2N_B
275
C3N_B
279
BIT_B
RBIT_B

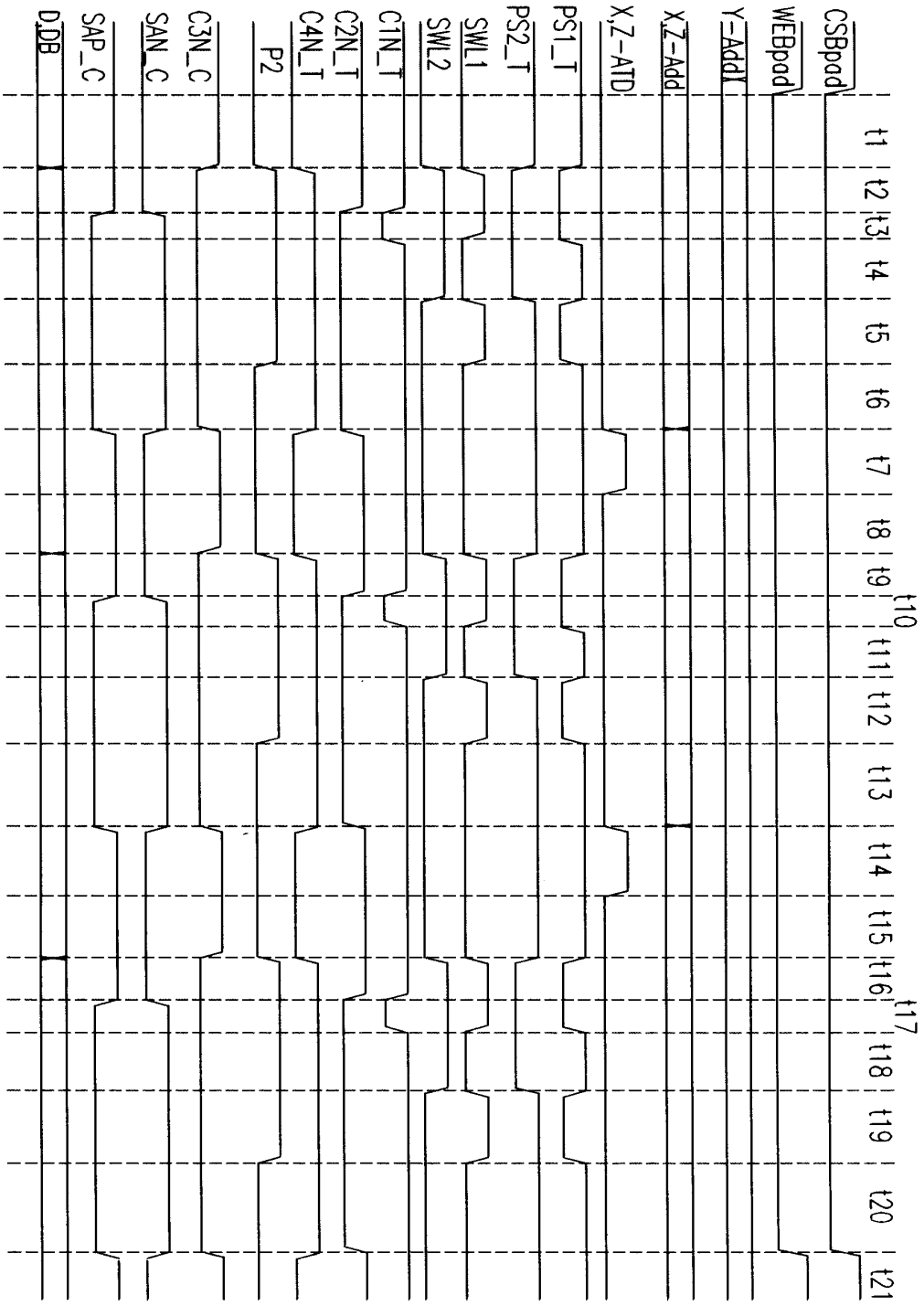
도면28


CSBpad
WEBpad
X,Z-Add
Y-Add
Y-ATD
PS1_T
PS2_T
SWL 1
SWL 2
C1N_T
C2N_2
C4N_T
P2
C3N_C
SAN_C
SAP_C
D,DB
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15

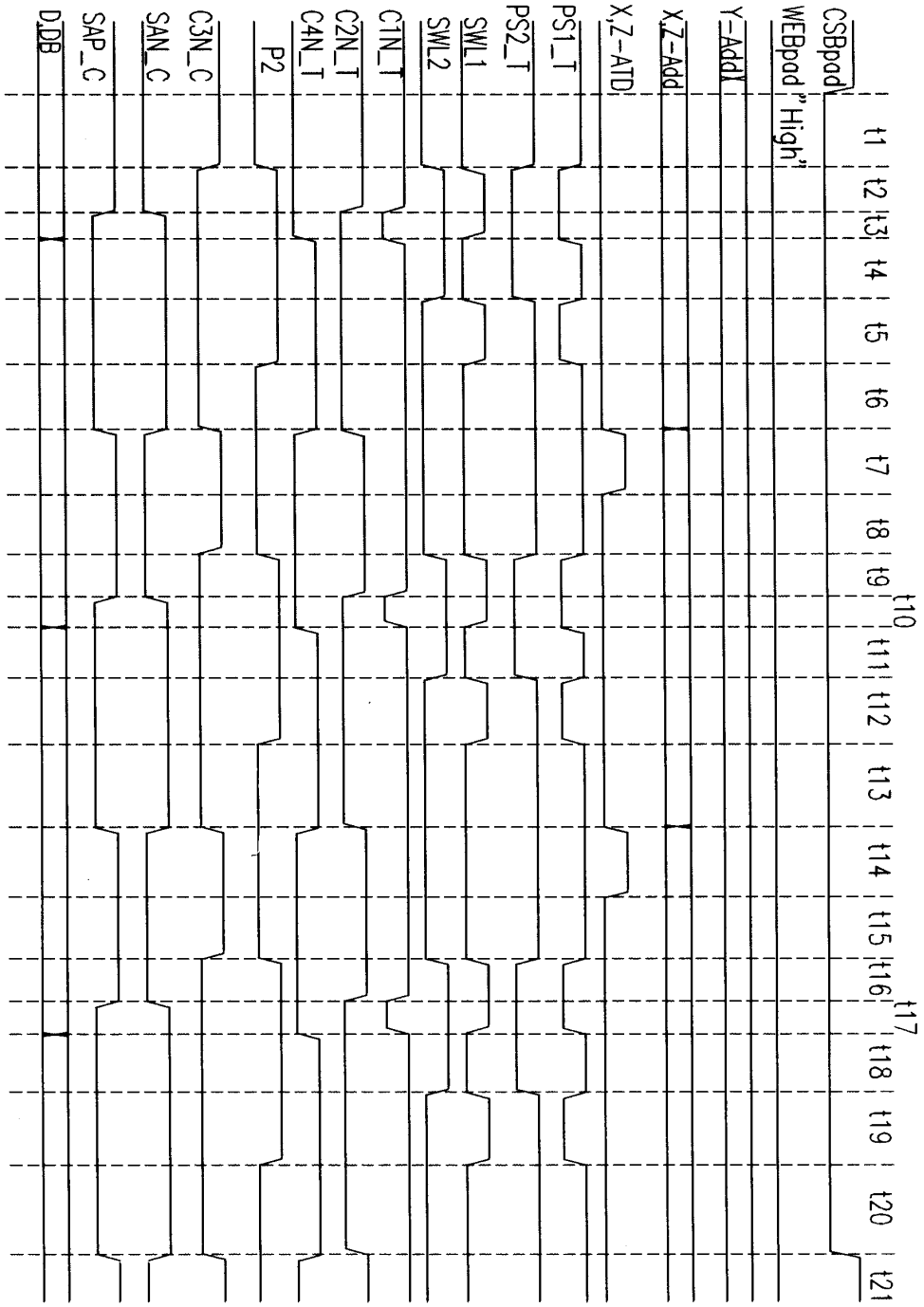
도면29


CSBpad
WEBpad
X,Z-Add
Y-Add
Y-ATD
PS1_T
PS2_T
SWL 1
SWL 2
C1N_T
C2N_2
C4N_T
P2
C3N_C
SAN_C
SAP_C
D,DB
"High"
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15

도면30


CSBpad
WEBpad
Y-Add
X,Z-Add
X,Z-ATD
PS1_T
PS2_T
SWL1
SWL2
C1N_T
C2N_T
C4N_T
P2
C3N_C
SAN_C
SAP_C
D,DB
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16
t17
t18
t19
t20
t21

도면31


CSBpad
WEBpad "High"
Y-Add
X,Z-Add
X,Z-ATD
PS1_T
PS2_T
SWL1
SWL2
C1N_T
C2N_T
C4N_T
P2
C3N_C
SAN_C
SAP_C
D,DB
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16
t17
t18
t19
t20
t21