

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
27. April 2006 (27.04.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/042828 A1

(51) Internationale Patentklassifikation:
G11C 16/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2005/055279

(22) Internationales Anmeldedatum:
14. Oktober 2005 (14.10.2005)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102004051152.7 20. Oktober 2004 (20.10.2004) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HOFFMANN, Kurt**
[DE/DE]; Nelkenweg 20, 82024 Taufkirchen (DE).
DEHM, Christine [DE/DE]; Kühnertsgasse 12, 90402
Nürnberg (DE). **SEZI, Recai** [DE/DE]; Weiherstr. 14,
91341 Röttenbach (DE). **WALTER, Andreas** [DE/DE];
Hellerstr. 53, 01109 Dresden (DE).

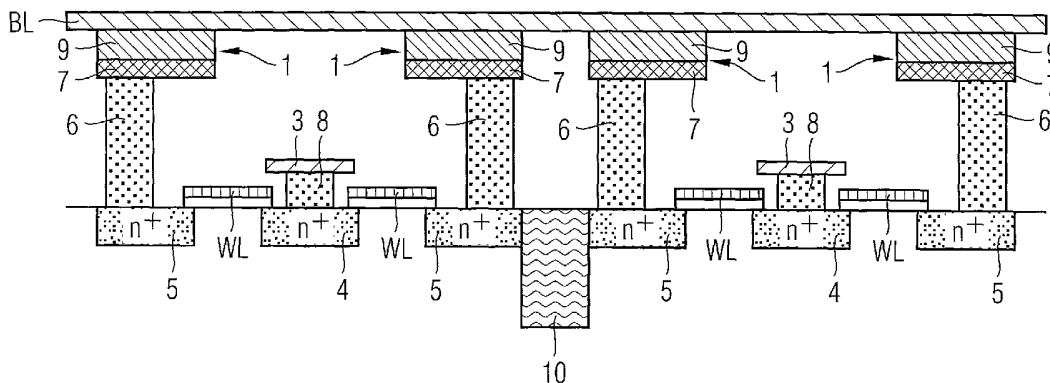
(74) Anwalt: **KOTTMANN, Dieter**; MÜLLER HOFFMANN
& PARTNER, Patentanwälte, Innere Wiener Str. 17, 81667
München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,

[Fortsetzung auf der nächsten Seite]

(54) Title: NOR- AND NAND MEMORY ARRANGEMENT OF RESISTIVE MEMORY ELEMENTS

(54) Bezeichnung: NOR- UND NAND-SPEICHERANORDNUNG VON RESISTIVEN SPEICHERELEMENTEN



(57) Abstract: The invention relates to a NOR memory arrangement comprising a plurality of resistive memory elements which are respectively made of a serially connected resistive memory cell and an MOS-memory cell selection transistor. According to the invention, the transistor-sided connection of each memory element is connected to a first current line whereon a reference voltage is applied, during which the memory cell-sided connection of each memory element is connected to a second current line whereon a working voltage is applied. Said invention further relates to a NAND-memory arrangement comprising a plurality of resistive memory elements which are serially mounted in the form of chains, which are respectively made of a resistive memory cell and a MOS memory cell selection transistor which are mounted in a parallel manner. According to the invention, a chain connection is connected to a first current line whereon a reference voltage is applied, during which the other connection is connected to a second current line whereon a working voltage is applied. The first current line extends from the side of the memory cells which is orientated towards the MOS-memory cell transistor of said chain, during which the second current line extends to the side of the memory cells which is orientated towards the MOS-memory cell transistors.

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine NOR-Speicheranordnung aus einer Vielzahl von resistiven Speicherelementen, welche jeweils aus einer Serienschaltung einer resistiven Speicherzelle und eines MOS-Speicherelementenauswahltransistors aufgebaut sind, wobei der transistorseitige Anschluss jedes Speicherelements mit einer ersten Stromleitung verbunden ist, an welcher eine Referenzspannung anliegt, während der speicherzellenseitige Anschluss jedes Speicherelements mit einer zweiten Stromleitung verbunden ist, an welcher eine Arbeitsspannung anliegt.

[Fortsetzung auf der nächsten Seite]

WO 2006/042828 A1



MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Ferner betrifft die Erfindung eine NAND- Speicheranordnung aus einer Vielzahl von in Form von Ketten in Serie verschalteten resistiven Speicherelementen, welche jeweils aus einer Parallelschaltung einer resistiven Speicherzelle und eines MOS-Speicherzellenauswahltransistors aufgebaut sind, wobei ein Anschluss einer Kette mit einer ersten Stromleitung verbunden ist, an welcher eine Referenzspannung anliegt, während der andere Anschluss mit einer zweiten Stromleitung verbunden ist, an welcher eine Arbeitsspannung anliegt, wobei die erste Stromleitung auf der den MOS- Speicherzellentransistoren dieser Kette zugewandten Seite der Speicherzellen verläuft, während die zweite Stromleitung auf der den MOS-Speicherzellentransistoren abgewandten Seite der Speicherzellen verläuft.

Beschreibung

NOR- und NAND-Speicheranordnung von resistiven Speicherele-
5 menten

Die vorliegende Erfindung liegt auf dem technischen Ge-
biet der Halbleiterbauelemente und betrifft insbesondere
eine NOR- und NAND-Speicheranordnung aus einer Vielzahl
10 von resistiven Speicherelementen.

Mit resistiven Speichermaterialien können Speicherzellen
gebaut werden, in denen jeweils 1 Bit Information, d. h.
eine logische "1" bzw. "0", durch unterschiedliche elekt-
15 rische Widerstandswerte repräsentiert werden.

So sind in den letzten Jahren insbesondere Phasenwechsel-
materialien untersucht worden, die durch Erwärmen in kri-
stalline oder amorphe Phasenzustände gebracht werden kön-
20 nen, welche einen unterschiedlichen elektrischen Wider-
stand aufweisen. Als Phasenwechselmaterialien, wie sie
etwa auch in CDs und DVDs eingesetzt werden, werden typi-
scherweise Chalkogenide verwendet, welche sich insbeson-
dere dadurch auszeichnen, dass sich deren elektrischer
25 Widerstand um mehrere Größenordnungen ändert, wenn eine
Änderung des Phasenzustands zwischen der amorphen Phase
und der kristallinen Phase induziert wird. Eine Änderung
des Phasenzustand kann beispielsweise durch Anlegen von
elektrischen Strömen mittels Joulscher Wärme herbei ge-
30 führt werden. Dagegen wird in Polymer-Speicherzellen die
Anregbarkeit von bestimmten, in einer Polymerschicht ein-
gebetteten Proteinen, wie Bakteriorhodopsin, zur Speiche-
rung von Informationen ausgenutzt, wobei jede Veränderung
des Zustands der Proteine mit einem unterschiedlichen e-
35 lektrischen Widerstand der Schicht einher geht.

Beispielhaft ist die Strom-Spannungscharakteristik einer solchen Polymer-Speicherzelle in FIG. 1 gezeigt. Die logischen Werte "0" bzw. "1" werden hierbei durch unterschiedliche elektrische Widerstandswerte R_{C0} bzw. R_{C1} der Speicherzelle repräsentiert, wobei die beiden Widerstandswerte der hochohmigen bzw. der niederohmigen Geraden in der Strom-Spannungs-Charakteristik entsprechen.

In dem Beispiel von FIG. 1 wird eine logische "0" durch Anlegen einer Spannung von +1V geschrieben, während eine logische "1" durch Anlegen einer Spannung von -1V geschrieben wird. Das Schreiben einer resistiven Speicherzelle wird auch als "Programmieren" der Speicherzelle bezeichnet. Soll der Zustand der Speicherzelle gelesen werden, wird eine Lesespannung angelegt, deren Wert unterhalb der Spannungen zum Schreiben der Speicherzelle liegt, um ein unabsichtliches Umprogrammieren der Speicherzelle zu vermeiden. Im vorliegenden Beispiel wird eine Lesespannung von 0,5 V angelegt und entsprechend den verschiedenen Widerstandswerten R_{C0} bzw. R_{C1} ein hoher bzw. niedriger Strom gemessen, um die logischen Werte "0" bzw. "1" zu detektieren.

In den FIG. 2A, 2B und 2C ist eine typische NOR-Architektur einer Speicheranordnung aus einer Vielzahl von resistiven Speicherzellen gezeigt. Hierbei ist jede resistive Speicherzelle 1 einerseits über den Source-Drain-Pfad eines MOS-Speicherzellenauswahltransistors 2 mit einer Bitleitung (BL) verbunden. Andererseits ist jede resistive Speicherzelle 1 mit einer sogenannten Zellplatte bzw. Zellplatte-Leitung 3 verbunden, an welcher ein Referenzpotential als Bezugspunkt gegenüber dem Potential der Bitleitung anliegt. Weiterhin ist jeder MOS-Speicherzellenauswahltransistor über seinen Gate-Anschluss mit einer Wortleitung (WL) zu dessen Steuerung verbunden.

Als konkretes Beispiel zur Veranschaulichung des Schreib- und Lesevorgangs einer resistiven Speicherzelle in der NOR-Architektur seien die FIG. 2A bis 2C betrachtet. In FIG. 2A ist ein erstes Schreibverfahren schematisch dargestellt. Demnach liegt an der Zellplatte-Leitung 3 eine feste Spannung von beispielsweise 1 V an, und an die Bitleitung werden verschiedene Arbeitsspannungen von beispielsweise 0 V bzw. 2 V zum Schalten der resistiven Speicherzelle 1 in die verschiedenen Zustände angelegt.

10 In einem zweiten Schreibverfahren, das in FIG. 2B schematisch dargestellt ist, wird die Zellplatte-Leitung 3 in einer zur Bitleitung komplementären Weise mit Spannung beaufschlagt, wobei in einem Fall, in dem an die Bitleitung beispielsweise 0 V angelegt werden, an die Zellplatte beispielsweise 1 V angelegt werden, während in einem Fall, in dem an die Bitleitung beispielsweise 1 V angelegt werden, an die Zellplatte beispielsweise 0 V angelegt werden. In FIG. 2C ist der Lesevorgang veranschaulicht. Demnach kann der programmierte Zustand einer resistiven Speicherzelle 1 gelesen werden, indem an die Zellplatte-Leitung 3 eine Referenzspannung von beispielsweise 0 V angelegt wird, während an die Bitleitung eine Lesespannung von beispielsweise 0,5V angelegt wird.

25 Um die resistive Speicherzelle 1 zum Schreiben oder Lesen auszuwählen, wird die mit dem MOS-Speicherzellenauswahltransistor 2 der gewählten Speicherzelle 1 verbundene Wortleitung während des Lese- oder Schreibvorgangs auf beispielsweise 3V gelegt, um den zugehörigen MOS-Speicherzellenauswahltransistor 2 in seinen AN-Zustand zu versetzen, während die übrigen Wortleitungen auf beispielsweise 0V gelegt werden, so dass die zugehörigen MOS-Speicherzellenauswahltransistoren 2 in ihrem AUS-Zustand sind.

30 In den FIG. 3A und 3B sind in schematischer Weise eine zu dieser typischen NOR-Architektur von Speicherelementen

gehörende Schnittdarstellung bzw. Draufsicht gezeigt. Demnach sind beispielsweise n^+ -dotierte Source-Gebiete 4 und ebenfalls n^+ -dotierte Drain-Gebiete 5 in der Oberfläche eines p-leitenden Halbleiterkörpers vorgesehen. Die Drain-Gebiete 5 sind durch Kontakt-Plugs 6 aus beispielsweise polykristallinem Silizium jeweils mit den Bodenelektroden 7 von resistiven Speicherzellen 1 verbunden. Ein resistives Speichermaterial 9 ist somit einerseits mit einem Drain-Gebiet 5 verbunden, während es andererseits mit einer Zellplatte-Leitung 3 verbunden ist, welche gleichzeitig als Deckelektrode der resistiven Speicherzelle 1 wirkt. Jeweilige Wortleitungen WL sind in Gegenüberstellung zu zwischen den Source- und Drain-Gebieten angeordneten, hier nicht näher gezeigten Kanalzonen zur Steuerung der MOS-Speicherzellenauswahltransistoren angeordnet. Weiterhin ist jedes Source-Gebiet 4 mittels Kontakt-Plugs 8 mit einer Bitleitung BL verbunden. Wie insbesondere FIG. 3A zu entnehmen ist, gehört ein Source-Gebiet 4 jeweils zu einem Paar von Drain-Gebieten 5, wobei zwei angrenzende Paare von Drain-Gebieten 5 durch STI (shallow trench isolation)-Gräben 10 voneinander isoliert sind. Ferner sind die Strukturen oberhalb der Halbleiterplatte in einem nicht näher dargestellten dielektrischen Material aus beispielsweise SiO_2 eingebettet. In der FIG. 3B ist lediglich die Bitleitung BL dargestellt, während die (nicht dargestellte) Platte-Leitung oberhalb der der Bitleitung verlaufend vorzustellen ist. In FIG. 3B ist um die die MOS-Speicherzellenauswahltransistoren mit den Speicherzellen verbindenden Kontakt-Plugs 6 herum durch ein gestricheltes Quadrat der Isolationsabstand zwischen Kontakt-Plug und Bitleitung angedeutet.

Bei der herkömmlichen NOR-Architektur sind die resistive Speicherzelle 1 und die Zellplatte-Leitung 3 technologiebedingt am weitesten entfernt von der die Source- und

Drain-Gebiete aufweisenden Oberfläche des Halbleiterkörpers angeordnet. Die Wort- und Bitleitungen sind standardmäßig senkrecht zueinander geführt, was zur Folge hat, dass die Bitleitungen parallel zu den Zellplatte-Leitungen geführt werden müssen. Jedoch ist ein minimales Schaltungslayout in dieser Anordnung nicht möglich. Vielmehr beträgt die in der herkömmlichen NOR-Architektur erreichbare minimale Fläche pro Speicherzelle (Speicherzellfläche) bestenfalls ca. $9 F^2$, wobei F die minimale Strukturgröße der verwendeten Technologie zur Herstellung der Schaltungsstrukturen bezeichnet.

Demgegenüber wäre, vor allem in Hinblick auf eine fortschreitende Miniaturisierung und Leistungssteigerung von Speicherbausteinen, eine weitere Verringerung der erreichbaren minimalen Speicherzellfläche äußerst wünschenswert.

Diese Aufgabe wird erfindungsgemäß durch eine NOR-Speicheranordnung und durch eine NAND-Speicheranordnung gemäß den unabhängigen Ansprüchen gelöst. Vorteilhafte Ausgestaltungen sind durch die Merkmale der Unteransprüche angegeben.

Nach dem Vorschlag der Erfindung umfasst eine NOR-Speicheranordnung eine Vielzahl von resistiven Speicherelementen, welche jeweils aus einer Serienschaltung einer resistiven Speicherzelle und eines MOS-Speicherzellenauswahltransistors aufgebaut sind. Genauer ausgedrückt ist jede resistive Speicherzelle mit dem Source-Drain-Pfad des MOS-Speicherzellenauswahltransistors in Reihe verschaltet. Hierbei ist der transistorseitige Anschluss jedes Speicherelements mit einer ersten Stromleitung, die insbesondere als Platte bzw. Platte-Leitung identifiziert werden kann, verbunden, wobei an dieser ein festes Referenzpotenzial, beispielsweise Masse, anliegt bzw. ange-

legt werden kann. Zusätzlich ist der speicherzellenseitige Anschluss jedes Speicherelements mit einer zweiten Stromleitung verbunden, die insbesondere als eine Bitleitung identifiziert werden kann, an der eine variable Arbeitsspannung anliegt bzw. angelegt werden kann. Weiterhin ist der Gate-Anschluss des Auswahltransistors eines jeden Speicherelements mit einer dritten Stromleitung zu dessen Steuerung verbunden, wobei es sich bei der dritten Stromleitung um eine Wortleitung handeln kann.

10

Das Prinzip zur Lösung der obigen Aufgabe beruht gegenüber der im Stand der Technik bekannten NOR-Architektur auf einer Vertauschung von Platte-Leitung und Bitleitung. Anders ausgedrückt sind bei der erfindungsgemäßen Lösung die Diffusionsgebiete der MOS-Speicherzellenauswahltransistoren mit der Platte-Leitung und nicht mit der Bitleitung verbunden. Der Vorteil einer solchen Anordnung liegt insbesondere und in wesentlicher Weise darin, dass im Unterschied zu der im Stand der Technik bekannten NOR-Architektur die zweite Stromleitung (Bitleitung) nicht um die die MOS-Speicherzellentransistoren mit den Speicherzellen verbindenden Kontakt-Plugs herum geführt werden muss, d. h. keine Kontaktlöcher mit einem Isolationsabstand in die zweite Stromleitung (Bitleitung) gemacht werden müssen. Mit anderen Worten, die zweite Stromleitung (Bitleitung) kann in einem Minimalmaß ausgeführt werden, weil keine Kontaktlöcher mit Isolationsabstand hindurch geführt werden müssen. Insbesondere kann somit die Breite der zweiten Stromleitung (Bitleitung) auf die Breite eines die MOS-Speicherzellentransistoren mit den Speicherzellen verbindenden Kontakt-Plugs reduziert werden. Für das Schaltungslayout bedeutet dies, dass die zweiten Stromleitungen (Bitleitungen) näher zusammenrücken können, so dass die Leitungsstrukturen insgesamt dichter geführt sind und somit der Flächenbedarf pro

35

Speicherzelle verringert wird. Hierdurch wird eine wesentlich kleinere Speicherzellfläche als wie bei der herkömmlichen NOR-Schaltungsanordnung ermöglicht. Wie Berechnungen ergeben haben, kann durch die

5 erfindungsgemäße NOR-Schaltungsanordnung in vorteilhafter Weise eine Speicherzellfläche von ca. $6F^2$ erreicht werden.

Wie bekannt ist, können durch eine NAND-Verschaltung der

10 resistiven Speicherzellen sehr kleine Speicherzellflächen erreicht werden. Um diesen Vorteil auszunutzen, umfasst die Erfindung gemäß einem weiteren Vorschlag eine NAND-Speicheranordnung aus einer Vielzahl von in Form von Ketten in Serie verschalteten resistiven

15 Speicherelementen. Die Speicherelemente sind hierbei jeweils aus einer Parallelschaltung einer resistiven Speicherzelle und einem MOS-Speicherzellenauswahltransistor aufgebaut. Genauer ausgedrückt ist der Source-Drain-Pfad des MOS-Speicherzellenauswahltransistors zur

20 Speicherzelle parallel geschaltet, so dass diese überbrückt werden kann. Jede der Ketten ist über wenigstens einen MOS-Kettenauswahltransistor auswählbar. Dabei ist ein Anschluss einer Kette aus Speicherelementen, gegebenenfalls über einen MOS-Kettenauswahltransistor, mit einer ersten Stromleitung verbunden, an

25 welcher ein festes Referenzpotential, beispielsweise Masse, anliegt bzw. angelegt werden kann. Die erste Stromleitung kann dabei mit der Platte bzw. Plattenleitung identifiziert werden. Der andere Anschluss der

30 Kette ist, gegebenenfalls über einen weiteren oder alleinigen MOS-Kettenauswahltransistor, mit einer zweiten Stromleitung verbunden ist, an welcher eine variable Arbeitsspannung anliegt. Die zweite Stromleitung kann hierbei mit einer Bitleitung identifiziert werden. Ferner

35 ist der Gate-Anschluss jedes Auswahltransistor jeweils mit einer dritten Stromleitung zu dessen Steuerung

verbunden. Erfindungswesentlich ist nun, dass die erste Stromleitung (Platte bzw. Platte-Leitung) auf der den MOS-Speicherzellentransistoren der Kette zugewandten Seite der Speicherzellen dieser Kette verläuft, während
5 die zweite Stromleitung (Bitleitung) auf der den Speicherzellentransistoren dieser Kette abgewandten Seite der Speicherzellen dieser Kette verläuft.

Der Vorteil der erfindungsgemäßen NAND-Anordnung, wie
10 auch der oben dargestellten erfindungsgemäßen NOR-Anordnung, liegt insbesondere und in wesentlicher Weise darin, dass die zweite Stromleitung (Bitleitung) in minimaler Strukturbreite ausgeführt werden kann, da keine Kontaktlöcher mit Isolationsabstand für die die MOS-
15 Speicherzellenauswahltransistoren mit dem Speicherzellen verbindenden Kontakt-Plugs gemacht werden müssen, so dass die zweiten Stromleitungen im Rahmen des Schaltungslayouts näher zusammenrücken können und die Speicherzellfläche verringert werden kann. Werden in der
20 NAND-Anordnung beispielsweise 8 Speicherzellen pro Kette in Serie verschaltet, so kann, wie Berechnungen ergeben haben, eine Speicherzellfläche von ca. $5,2 F^2$ erreicht werden, wobei die STI (shallow trench isolation)-Gräben in der Berechnung berücksichtigt wurden.

25 Durch die erfindungsgemäße NOR- bzw. NAND-Anordnung kann somit in äußerst vorteilhafter Weise gegenüber den im Stand der Technik bekannten Speicheranordnungen eine Speicherzellfläche von weniger als ca. $9F^2$ erreicht
30 werden, welche insbesondere im Bereich von ca. $5-6 F^2$ liegen kann.

Erfindungsgemäß ist es von Vorteil, wenn die erste Stromleitung (Platte bzw. Platte-Leitung) senkrecht zur
35 zweiten Stromleitung (Bitleitung) angeordnet ist. Ferner ist es von Vorteil, wenn die erste Stromleitung (Platte

bzw. Platte-Leitung) parallel zur dritten Stromleitung (Wortleitung) angeordnet ist.

Die in den erfindungsgemäßen NOR- und NAND-Speicher-
anordnungen eingesetzten resistiven Speicherzellen
umfassen ein resistives Speichermaterial, welches sich in
wesentlicher Weise dadurch auszeichnet, dass es zwischen
wenigstens zwei detektierbaren Zuständen mit einem
unterschiedlichen elektrischen Widerstand geschaltet
werden kann. Bei dem resistiven Speichermaterial kann es
sich beispielsweise um eine Polymerschicht mit
eingebetteten Proteinen, ein Phasenwechselmaterial,
beispielsweise ein Chalcogenid, oder ein Festkörper-
elektrolytmaterial, in welchem metallische Präzipitate
ausgefällt werden, handeln. Generell kommen als
resistives Speichermaterial alle organischen, metall-
organischen und anorganischen Materialien in Frage, die
eine reversiblen Schalteffekt in dem obigen Sinne zeigen.
Besonders bevorzugt sind hierbei kupferhaltige
Verbindungen.

Die Erfindung wird nun anhand von Ausführungsbeispielen
näher erläutert, wobei Bezug auf die beigefügten Zeich-
nungen genommen wird. Gleiche bzw. gleichwirkende Elemen-
te sind in den Zeichnungen mit den gleichen Bezugszeichen
versehen.

Fig. 1 zeigt in schematischer Weise ein Beispiel für
die Strom-Spannungscharakteristik einer Poly-
mer-Speicherzelle;

Fig. 2A bis 2C veranschaulichen in schematischer Wei-
se eine herkömmliche NOR-Architektur aus re-
sistiven Speicherzellen, sowie Schreib- und
Lesevorgänge;

Fig. 3A und 3B zeigen in schematischer Weise eine
Schnittdarstellung und Draufsicht der herkömm-
lichen NOR-Architektur aus resistiven Spei-
cherzellen der FIG. 2A bis 2C;

5

Fig. 4A und 4B veranschaulichen in schematischer Wei-
se ein Ausführungsbeispiel der erfindungsgemä-
ße NOR-Architektur aus resistiven Speicherzel-
len, sowie beispielhafte Schreib- und Lesevor-
gänge;

10

Fig. 5A und 5B zeigen in schematischer Weise eine
Schnittdarstellung und Draufsicht des Ausfüh-
rungsbeispiels der erfindungsgemäßen NOR-
Architektur aus resistiven Speicherzellen der
FIG. 4A und 4B;

15

Fig. 6A und 6B veranschaulichen in schematischer Wei-
se ein Ausführungsbeispiel einer erfindungsge-
mäßige NAND-Architektur aus resistiven Speicher-
zellen, sowie beispielhafte Schreib- und Lese-
vorgänge; und

20

Fig. 7A und 7B zeigen in schematischer Weise eine
Schnittdarstellung und Draufsicht des Ausfüh-
rungsbeispiels der erfindungsgemäßen NAND-
Architektur aus resistiven Speicherzellen der
FIG. 6A und 6B.

25

Die Figuren 1, 2A bis 2C und 3A und 3B, worin eine Strom-
Spannungscharakteristik von Polymer-Speicherzellen und
eine im Stand der Technik bekannte NOR-Speicherzellenan-
ordnung dargestellt sind, wurden bereits eingangs aus-
führlich beschrieben, so dass hier auf eine weitere Er-
läuterung verzichtet werden kann.

35

In den Figuren 4A und 4B ist in schematischer Weise ein Ausführungsbeispiel der erfindungsgemäßen NOR-Architektur aus resistiven Speicherzellen, sowie in beispielhafter Weise Schraub- und Lesevorgänge veranschaulicht. Demnach
5 sind die aus einer resistiven Speicherzelle 1 und MOS-Speicherzellenauswahltransistor 2 bestehenden Speicherelemente jeweils speicherzellenseitig mit einer Bitleitung (BL) und transistorseitig mit einer Platte-Leitung 3, an welcher ein Referenzpotenzial anliegt, verbunden.

10

Es sei nun insbesondere FIG. 4A betrachtet, worin beispielhaft ein Schreibvorgang veranschaulicht ist. Demnach wird zum Schreiben der resistiven Speicherzelle z. B. eine Spannung von 0 bzw. 2 V an die Bitleitung BL gelegt,
15 während an der Platte-Leitung 3 eine Referenzspannung von 1V anliegt, um eine logische "1" bzw. "0" zu schreiben. In FIG. 4B ist in beispielhafter Weise ein Lesevorgang veranschaulicht. Demnach wird z. B. eine Spannung von 1,5 V an die Bitleitung BL angelegt, während die Platte-
20 Leitung 3 mit einer Spannung von 1 V beaufschlagt wird, so dass über das resistive Speicherelement eine Spannung von 0,5 V abfällt. Um den logischen Zustand der Speicherzelle zu ermitteln, wird der vom Widerstand der resistiven Speicherzelle abhängige Stroms gemessen.

25

In den FIG. 5A und 5B ist in schematischer Weise ein Ausführungsbeispiel der erfindungsgemäßen NOR-Architektur von Speicherelementen in einer Schnittdarstellung bzw. Draufsicht gezeigt. In dem gezeigten Ausführungsbeispiel
30 der erfindungsgemäßen NOR-Architektur sind n^+ -dotierte Source-Gebiete 4 und n^+ -dotierte Drain-Gebiete 5 in der Oberfläche eines p-leitenden Halbleiterkörpers ausgebildet. Die Drain-Gebiete 5 sind durch Kontakt-Plugs 6 aus beispielsweise polykristallinem Silizium jeweils mit den
35 Bodenelektroden 7 von resistiven Speicherzellen 1 verbunden, so dass in jeder der Speicherzellen 1 ein resistives

Speichermaterial 9 über die Bodenelektrode 7 und den Kontakt-Plug 6 mit einem der Drain-Gebiete 5 verbunden ist. Andererseits ist das resistive Speichermaterial 9 mit einer Bitleitung BL verbunden. Weiterhin sind Wortleitungen
5 WL zur Steuerung der Transistoren jeweils in Gegenüberstellung zu nicht näher gezeigten Kanalzonen angeordnet, die sich zwischen den Source- und Drain-Gebieten befinden. Jedes der Source-Gebiete 4 ist mittels Kontakt-Plugs 8 aus beispielsweise polykristallinem Silizium mit einer
10 Platte-Leitung 3 verbunden. Ein Source-Gebiet 4 ist dabei jeweils einem Paar von Drain-Gebieten 5 zugeordnet, wobei zwei angrenzende Paare von Drain-Gebieten 5 durch STI (shallow trench isolation)-Gräben 10 voneinander elektrisch isoliert sind. Ferner sind die Strukturen oberhalb
15 des Halbleiterkörpers in einem nicht näher gezeigten dielektrischen Material aus beispielsweise SiO_2 eingebettet.

Wie aus den FIG. 5A und 5B ersichtlich ist, sind die Platte-Leitungen 3 parallel zu den Wortleitungen WL und
20 senkrecht zu den Bitleitungen BL geführt. Wie insbesondere in der Draufsicht von FIG. 5B erkennbar ist, kann durch die erfindungsgemäße Anordnung von Bit- und Platte-Leitungen gegenüber der im Stand der Technik bekannten NOR-Schaltungsanordnung eine kompaktere, engere Schal-
25 tungsanordnung realisiert werden, was sich in einer vergleichsweise geringeren Speicherzellfläche widerspiegelt.

In den Figuren 6A und 6B ist in schematischer Weise ein Ausführungsbeispiel der erfindungsgemäßen NAND-
30 Architektur aus resistiven Speicherzellen, sowie Schraub- und Lesevorgänge veranschaulicht. Demnach sind die Speicherelemente jeweils aus einer resistiven Speicherzelle 1 und einem dazu parallel geschalteten MOS-Speicherzellen-
auswahltransistor 2 aufgebaut, so dass jeweils eine re-
35 sistive Speicherzelle 1 durch einen Speicherzellenauswahltransistor 2 überbrückt werden kann. Eine Mehrzahl

von beispielsweise 8 Speicherlementen sind dabei jeweils in einer Kette in Serie verschaltet. Jede Kette aus in Serie verschalteten Speicherelementen ist einerseits über einen MOS-Kettenauswahltransistor 11 mit einer Bitleitung BL und andererseits mit einer mit einem Referenzpotenzial beaufschlagten Platte-Leitung 3 verbunden. Die MOS-Speicherzellenauswahltransistoren 2 werden dabei jeweils durch eine Wortleitung WL angesteuert.

- 10 In FIG. 6A ist beispielhaft ein Schreibvorgang der NAND-Speicheranordnung veranschaulicht. Mit Ausnahme des ausgewählten MOS-Speicherzellenauswahltransistors 2, an dessen Gate-Anschluss eine Spannung von 0V anliegt, liegt an allen Gate-Anschlüssen der MOS-Speicherzellenauswahltransistoren 2 eine Spannung von 3V an, so dass diese Transistoren jeweils in den AN-Zustand geschaltet sind und somit die zugehörigen Speicherzellen 1 überbrücken. Mit dem Auswahlsignal SEL wird ein MOS-Kettenauswahltransistor 11 in den AN-Zustand versetzt und die jeweilige Kette mit der Bitleitung BL verbunden. Im gezeigten Beispiel wird ein SEL-Signal von 3 V eingesetzt. Zum Schreiben einer logischen "1" bzw. "0" in eine durch den MOS-Kettenauswahltransistor 11 und den MOS-Speicherzellenauswahltransistor 2 ausgewählte Speicherzelle 1 wird eine Spannung von 2 V bzw. 0 V an die Bitleitung BL angelegt, während der Platte-Leitung 3 eine Referenzspannung von 1 V anliegt. Der Lesevorgang ist beispielhaft in FIG. 6B veranschaulicht. Hierzu wird, bei angeschalteten Kettenauswahltransistor 11 und Speicherzellenauswahltransistor 2 eine Lesespannung von 1,5 V an die Bitleitung BL gelegt, während an die Platte-Leitung 3 eine Referenzspannung von 1V angelegt ist, wobei der jeweilige durch die gewählte Speicherzelle 1 fließende Strom gemessen wird. Beim Schreiben und Lesen liegt an allen nicht aktivierten Bitleitungen eine Spannung von 1 V an, alle Kettenauswahltransistoren 11 der nicht gewählten Ketten sind

abgeschaltet, und alle Wortleitungen WL der nicht gewählten Speicherzellen liegen auf 3V, so dass alle nicht aktivierten Speicherzellen durch ihrer jeweiligen Speicherzellauswahltransistoren 2 kurzgeschlossen sind und demzufolge unabhängig von Störungen sind.

In den FIG. 7A und 7B ist in schematischer Weise als Ausführungsbeispiel der erfindungsgemäßen NAND-Architektur von Speicherelementen in einer Schnittdarstellung bzw. Draufsicht gezeigt. In dem gezeigten Ausführungsbeispiel der erfindungsgemäßen NAND-Architektur sind n^+ -dotierte Gebiete 17 in der Oberfläche eines p-leitenden Halbleiterkörpers ausgebildet. Oberhalb der n^+ -dotierten Gebiete 17 sind resistive Speicherzellen in einer Serienverschaltung durch Deckelektroden 12 und Bodenelektroden 13 jeweils paarweise miteinander verschalten. Die n^+ -dotierten Gebiete 17 sind alternierend durch Kontakt-Plugs 6 aus beispielsweise polykristallinem Silizium mit den Bodenelektroden 13 bzw. durch Kontakt-Plugs 8 mit den Deckelektroden 12 verbunden, so dass jede zwischen einem Kontakt-Plug 6 und einem Kontakt-Plug 8 befindliche resistive Speicherzelle 1 durch den zugehörigen Speicherzellenauswahltransistor kurzgeschlossen werden kann. Jede Kette aus Speicherelementen ist durch einen Kontakt-Plug 6 mit der Platte-Leitung 3 verbunden, welcher ihrerseits über einen Kontakt-Plug 14 aus beispielsweise polykristallinem Silizium mit einer Poly2-Leitung verbunden ist. Andererseits ist jede Kette aus Speicherelementen über einen Kettenauswahltransistor und ein ebenfalls beispielsweise n^+ -dotiertes Diffusionsgebiet 15, sowie einen Kontakt-Plug 16 aus beispielsweise polykristallinem Silizium mit einer Bitleitung BL verbunden. Wortleitungen WL sind zur Steuerung der Speicherzellauswahltransistoren jeweils in Gegenüberstellung zu nicht näher gezeigten Kanalzonen angeordnet, die sich zwischen den n^+ -dotierten Gebieten 17 befinden. In Gegenüberstellung zur ebenfalls nicht nä-

her gezeigten Kanalzone des Kettenauswahltransistors 11 ist zu dessen Steuerung eine Selektleitung SEL angeordnet. In dem gezeigten Ausführungsbeispiel sind die Selektleitung SEL, sowie die Poly2-Leitung parallel zu den Wortleitungen WL geführt, während die Bitleitungen BL senkrecht zu den Wortleitungen WL geführt sind. Durch die erfindungsgemäße NAND-Speicheranordnung kann in vorteilhafter Weise gegenüber der NOR-Speicheranordnung eine weitere Reduzierung der Speicherzellfläche realisiert werden.

Bezugszeichenliste

1	Resistive Speicherzelle
2	MOS-Speicherzellenauswahltransistor
3	Platte-Leitung
4	Source-Gebiet
5	Drain-Gebiet
6	Kontakt-Plug
7	Bodenelektrode
8	Kontakt-Plug
9	Resistives Speichermaterial
10	STI-Graben
11	MOS-Kettenauswahltransistor
12	Deckelektrode
13	Bodenelektrode
14	Kontakt-Plug
15	Diffusionsgebiet
16	Kontakt-Plug
17	n ⁺ -dotiertes Gebiet

Patentansprüche

1. NOR-Speicheranordnung aus einer Vielzahl von resistiven Speicherelementen, welche jeweils aus einer Serienschaltung einer ein resistives Speichermaterial (9) enthaltenden, resistiven Speicherzelle (1) und dem Source-Drain-Pfad eines MOS-Speicherzellenauswahltransistors (2) aufgebaut sind, wobei der transistorseitige Anschluss jedes Speicherelements mit einer ersten Stromleitung (3) verbunden ist, an welcher eine Referenzspannung anliegt, während der speicherzellenseitige Anschluss jedes Speicherelements mit einer zweiten Stromleitung (BL) verbunden ist, an welcher eine Arbeitsspannung anliegt, und wobei der Gate-Anschluss des Speicherzellenauswahltransistors jedes Speicherelements mit einer dritten Stromleitung (WL) verbunden ist.

2. NAND-Speicheranordnung aus einer Vielzahl von in Form von Ketten in Serie verschalteten resistiven Speicherelementen, welche Speicherelemente jeweils aus einer Parallelschaltung einer ein resistives Speichermaterial (9) enthaltenden, resistiven Speicherzelle (1) und dem Source-Drain-Pfad eines MOS-Speicherzellenauswahltransistors (2) aufgebaut sind, wobei eine Kette durch wenigstens einen MOS-Kettenauswahltransistor (11) auswählbar ist, und ein Anschluss einer Kette mit einer auf der den MOS-Speicherzellentransistoren (2) dieser Kette zugewandten Seite der Speicherzellen (1) dieser Kette verlaufenden, ersten Stromleitung (3) verbunden ist, an welcher eine Referenzspannung anliegt, während der andere Anschluss dieser Kette mit einer auf der den MOS-Speicherzellentransistoren (2) dieser Kette abgewandten Seite der Speicherzellen (1) dieser Kette verlaufenden,

zweiten Stromleitung (BL) verbunden ist, an welcher eine Arbeitsspannung anliegt, und wobei der Gate-Anschluss jedes MOS-Speicherzellenauswahltransistors diese Kette jeweils mit einer dritten Stromleitung (WL) zu dessen Steuerung verbunden ist.

3. Speicheranordnung nach Anspruch 1 oder 2, bei welcher die erste Stromleitung (3) senkrecht zur zweiten Stromleitung (BL) angeordnet ist.

4. Speicheranordnung nach Anspruch 1, 2 oder 3, bei welcher die erste Stromleitung (3) parallel zur dritten Stromleitung (WL) angeordnet ist.

5. Speicheranordnung nach einem der vorhergehenden Ansprüche, bei welcher die erste Stromleitung (3) an Masse gelegt ist.

6. Speicheranordnung nach einem der vorhergehenden Ansprüche, bei welcher jede Speicherzelle eine Speicherzellfläche von weniger als $9F^2$ aufweist.

7. Speicheranordnung nach einem der vorhergehenden Ansprüche, bei welcher jede Speicherzelle eine Speicherzellfläche im Bereich von $5-6 F^2$ aufweist.

8. Speicheranordnung nach einem der vorhergehenden Ansprüche, bei welcher das resistive Speichermaterial (9) kupferhaltig ist.

30

FIG 1

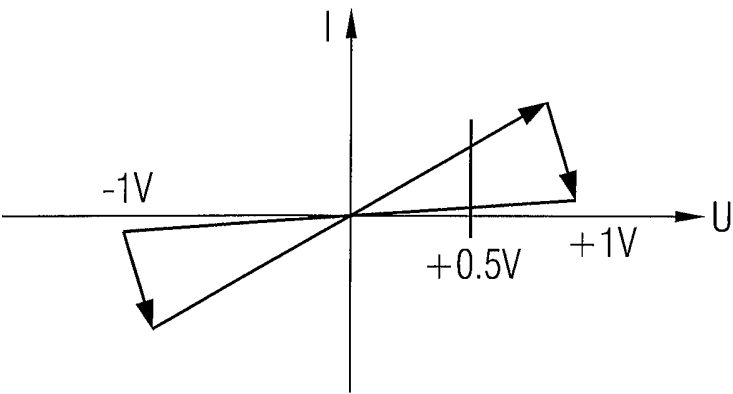


FIG 2A

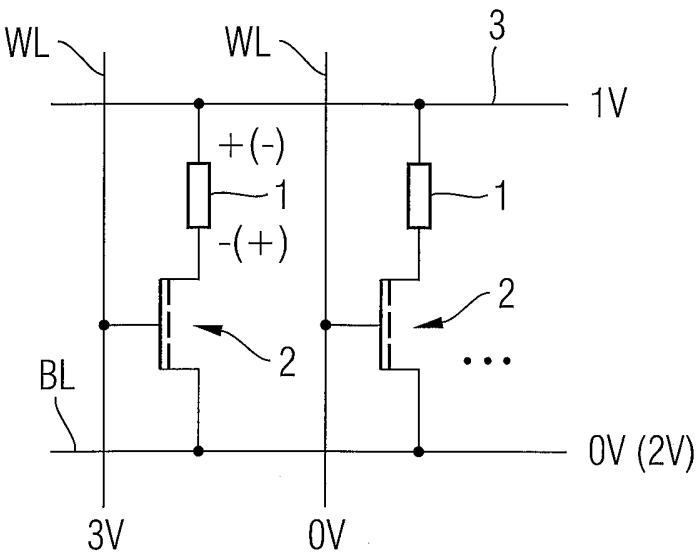


FIG 2B

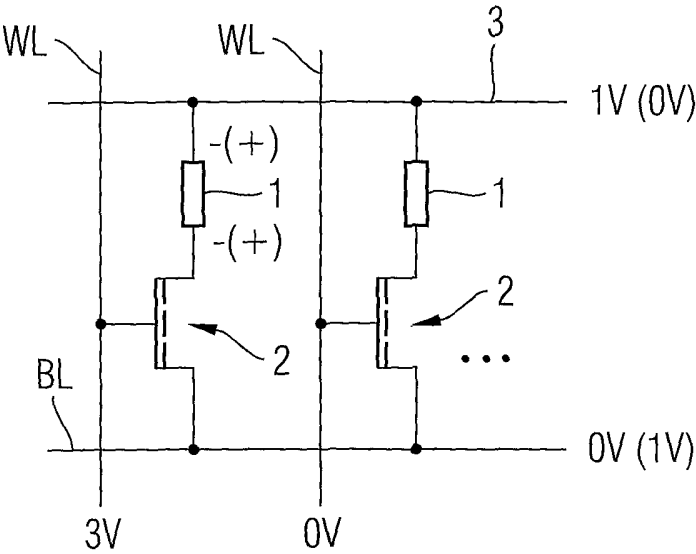


FIG 2C

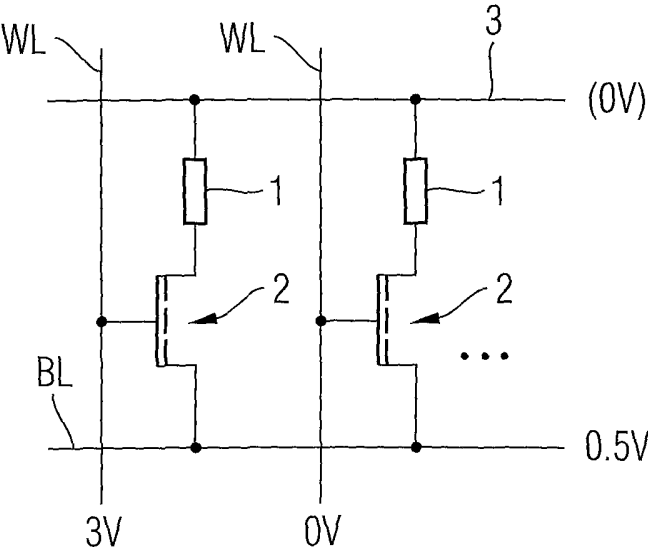


FIG 3A

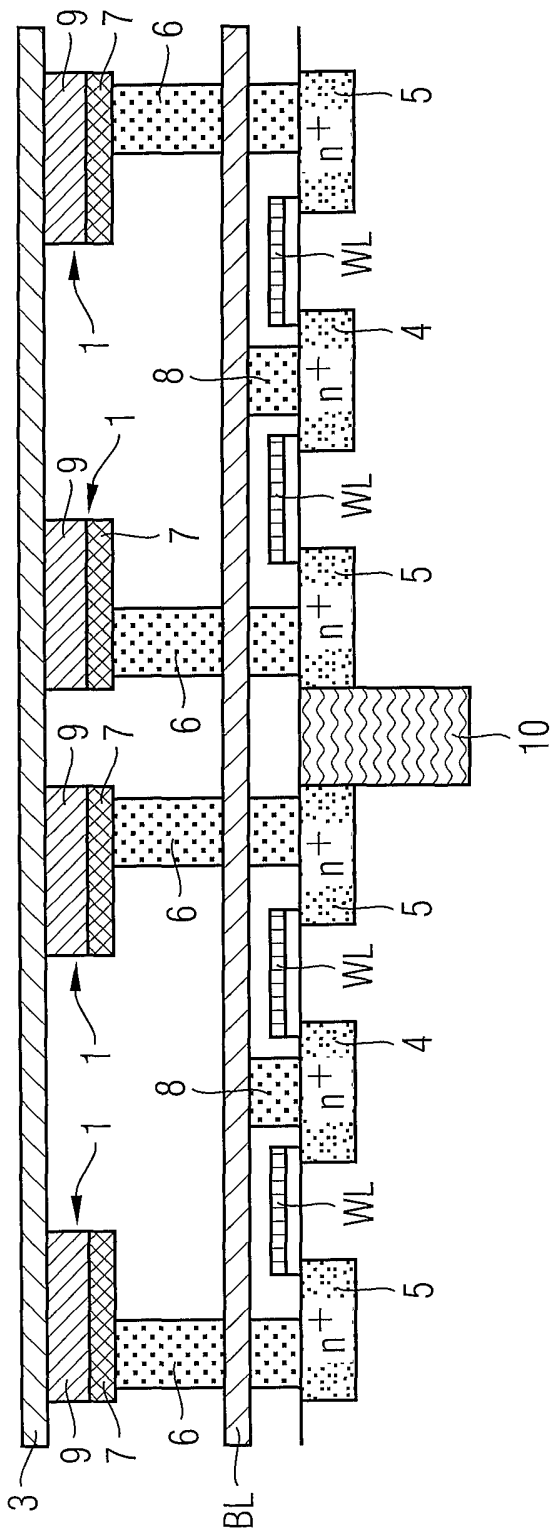


FIG 3B

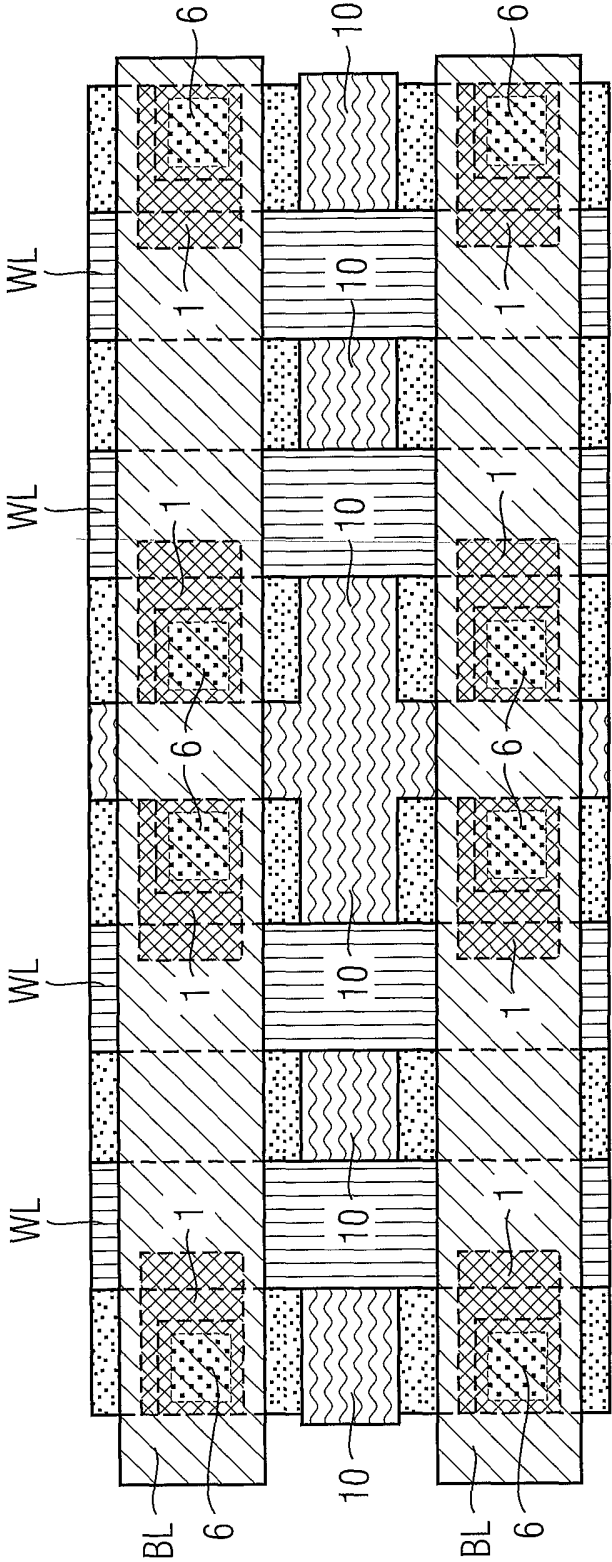


FIG 4A

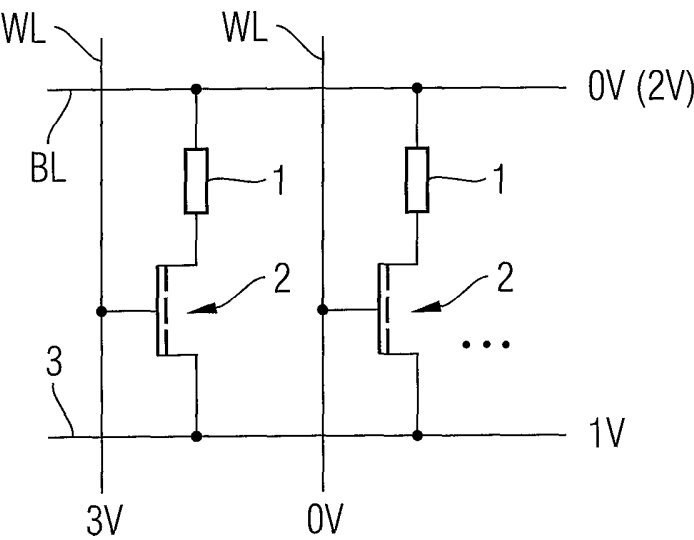
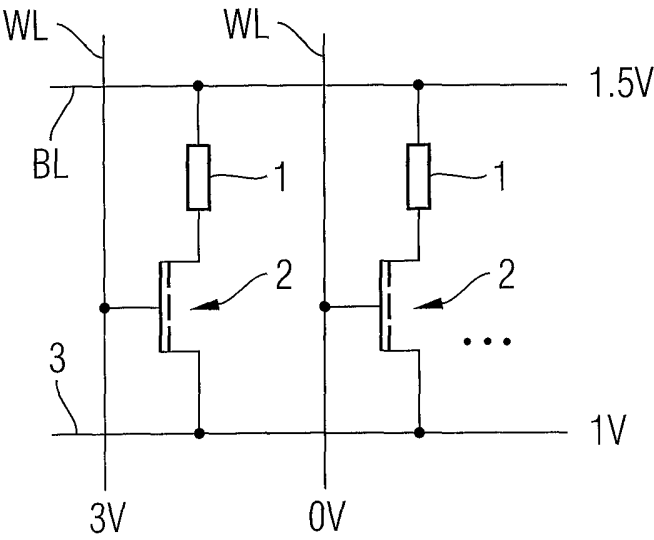


FIG 4B



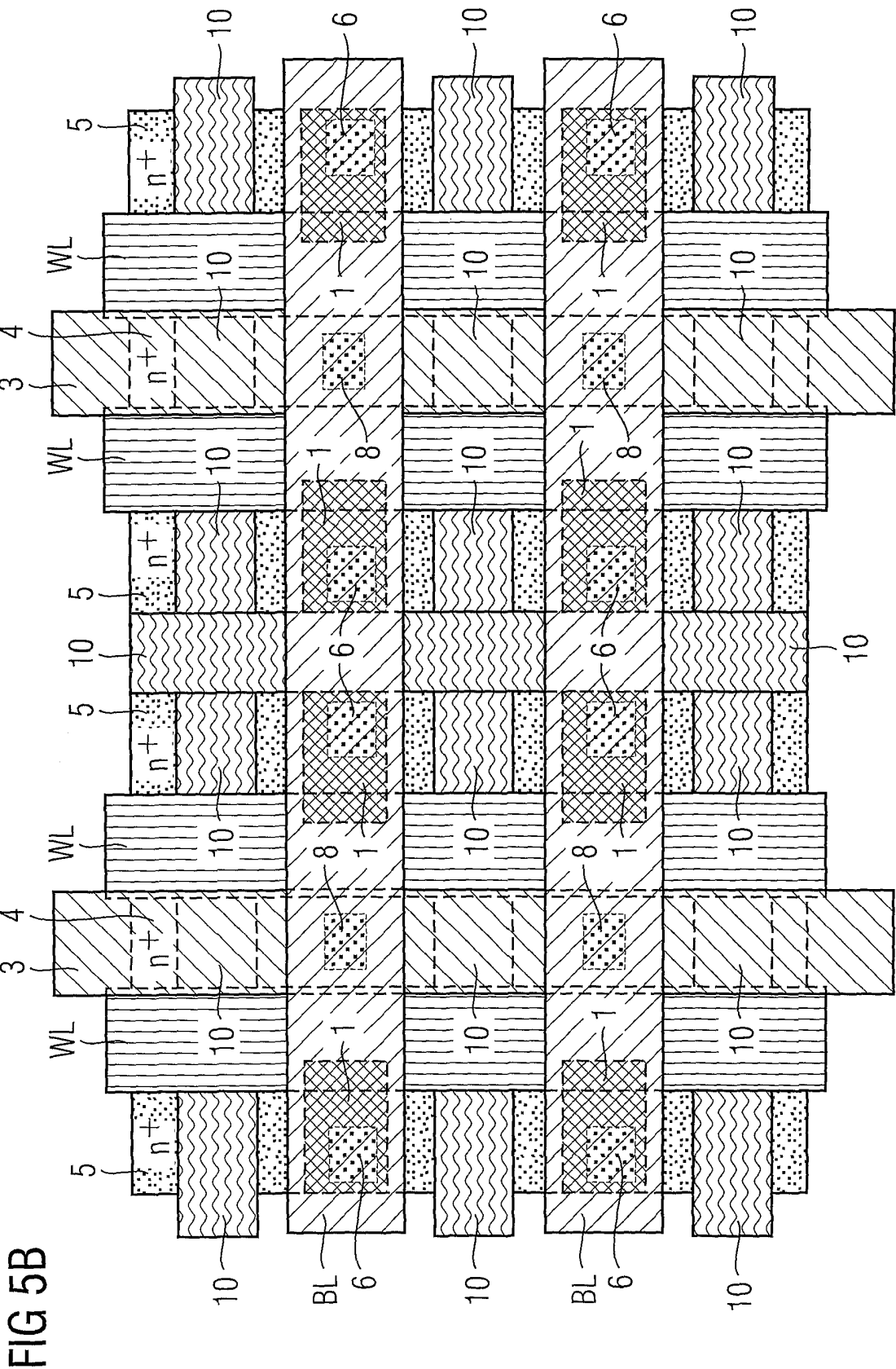


FIG 6A

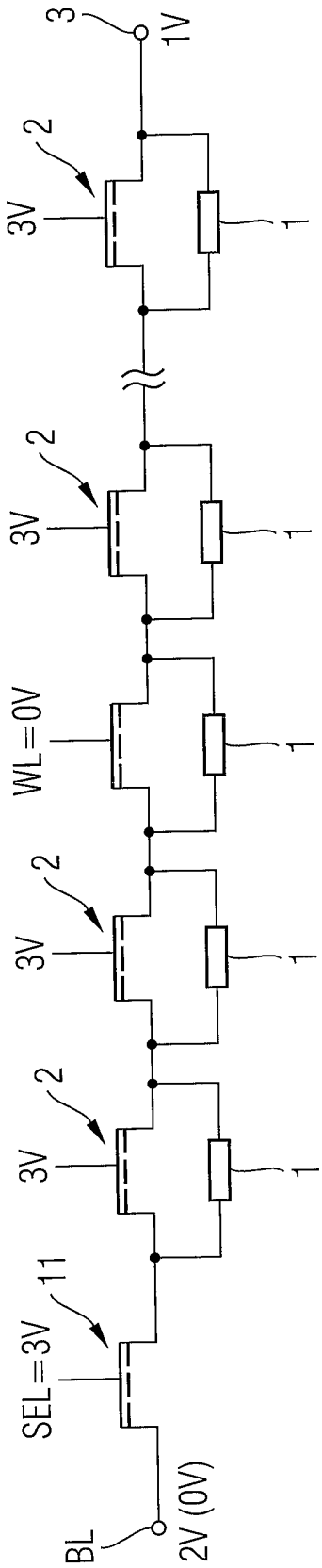


FIG 6B

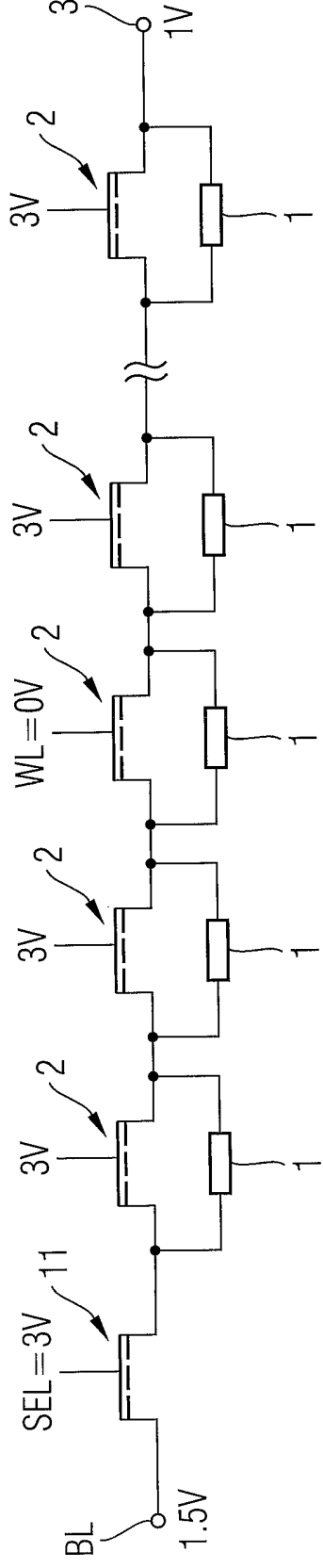


FIG 7A

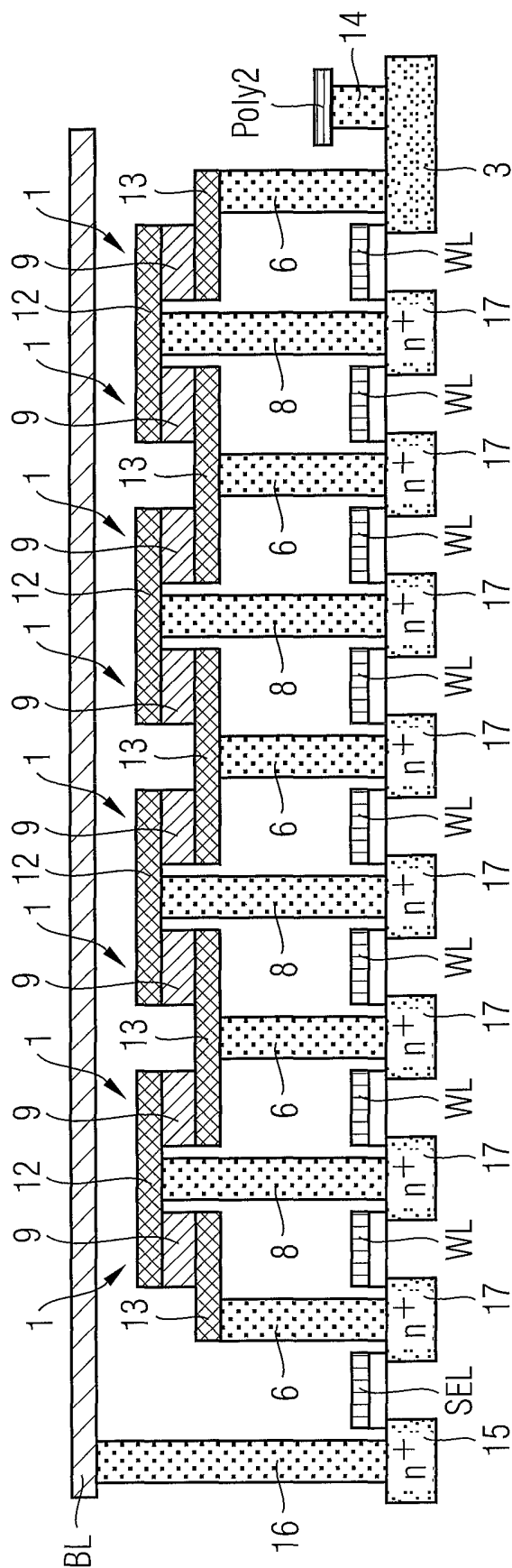
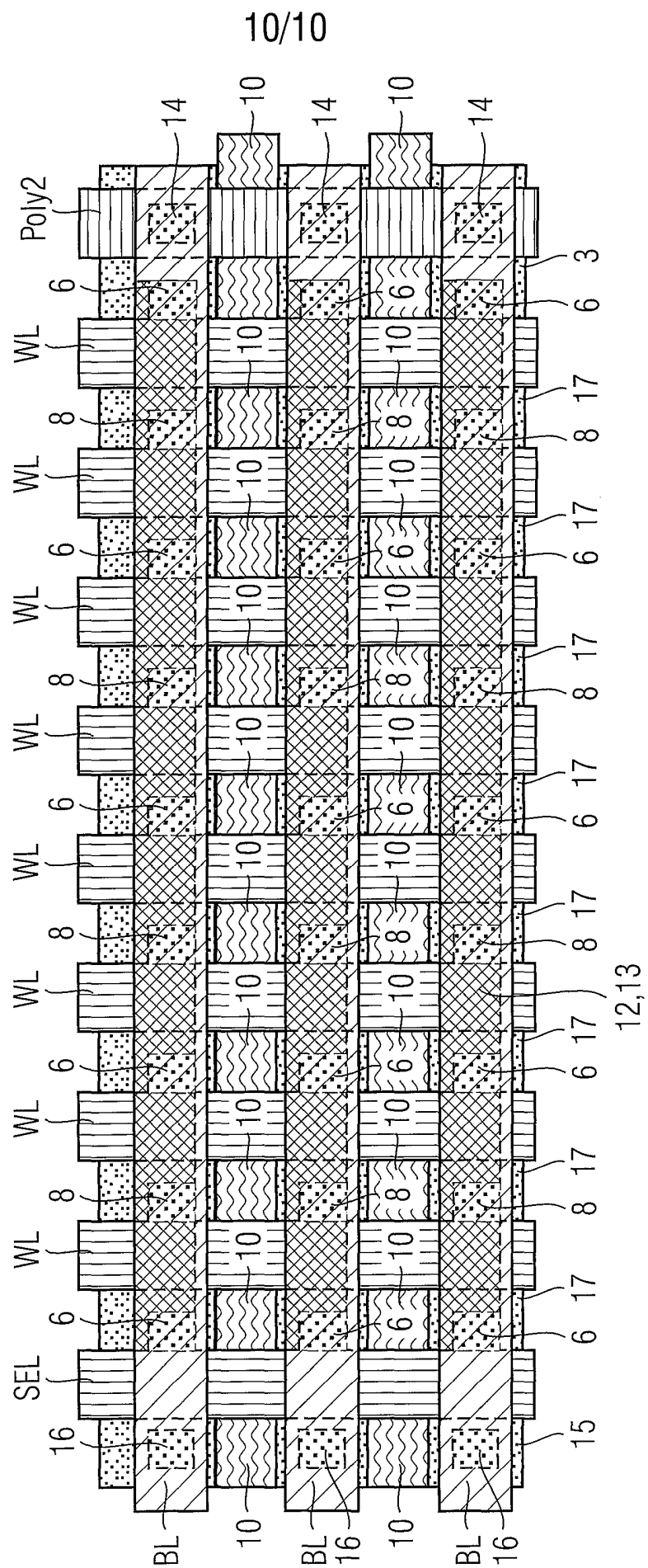


FIG 7B



INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP2005/055279

A. CLASSIFICATION OF SUBJECT MATTER
G11C16/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/042298 A1 (HIDEKI HORII) 4 March 2004 (2004-03-04)	1,3-7
Y	paragraphs '0043!, '0048!, '0054! - '0056!, '0060!, '0081! - '0083!; figures 4,7a,10a,16	8
X	EP 1 426 974 A (SHARP KABUSHIKI KAISHA) 9 June 2004 (2004-06-09)	1,3-7
Y	paragraphs '0029! - '0034!; figures 1,2	8
X	EP 1 326 254 A (STMICROELECTRONICS S.R.L.) 9 July 2003 (2003-07-09)	1,3-7
Y	paragraphs '0019! - '0027!; figure 4	8
X	EP 1 455 363 A (SHARP KABUSHIKI KAISHA) 8 September 2004 (2004-09-08)	2-7
Y	paragraphs '0031!, '0032!, '0048!, '0049!; figures 1,5	8
	----- -/--	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

° Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

12 January 2006

Date of mailing of the international search report

19/01/2006

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Gaertner, W

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP2005/055279

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 1 429 342 A (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P) 16 June 2004 (2004-06-16)	2-7
Y	paragraphs '0014!, '0015!, '0024! - '0029!; figures 1,3 -----	8
Y	US 2003/035314 A1 (KOZICKI MICHAEL N) 20 February 2003 (2003-02-20) paragraphs '0037!, '0060!; figures 1,7 -----	8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2005/055279

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2004042298	A1	04-03-2004	NONE	
EP 1426974	A	09-06-2004	CN 1505054 A JP 2004185754 A US 2004114438 A1	16-06-2004 02-07-2004 17-06-2004
EP 1326254	A	09-07-2003	US 2003185047 A1	02-10-2003
EP 1455363	A	08-09-2004	CN 1551240 A JP 2004272975 A US 2004174732 A1	01-12-2004 30-09-2004 09-09-2004
EP 1429342	A	16-06-2004	CN 1506970 A JP 2004171746 A US 2004095802 A1	23-06-2004 17-06-2004 20-05-2004
US 2003035314	A1	20-02-2003	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
G11C16/02

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETERecherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2004/042298 A1 (HIDEKI HORII) 4. März 2004 (2004-03-04)	1,3-7
Y	Absätze '0043!, '0048!, '0054! - '0056!, '0060!, '0081! - '0083!; Abbildungen 4,7a,10a,16	8
X	EP 1 426 974 A (SHARP KABUSHIKI KAISHA) 9. Juni 2004 (2004-06-09)	1,3-7
Y	Absätze '0029! - '0034!; Abbildungen 1,2	8
X	EP 1 326 254 A (STMICROELECTRONICS S.R.L.) 9. Juli 2003 (2003-07-09)	1,3-7
Y	Absätze '0019! - '0027!; Abbildung 4	8
X	EP 1 455 363 A (SHARP KABUSHIKI KAISHA) 8. September 2004 (2004-09-08)	2-7
Y	Absätze '0031!, '0032!, '0048!, '0049!; Abbildungen 1,5	8
	----- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

g Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

12. Januar 2006

Absenddatum des internationalen Recherchenberichts

19/01/2006

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Gaertner, W

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 1 429 342 A (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P) 16. Juni 2004 (2004-06-16)	2-7
Y	Absätze '0014!, '0015!, '0024! - '0029!; Abbildungen 1,3	8
Y	----- US 2003/035314 A1 (KOZICKI MICHAEL N) 20. Februar 2003 (2003-02-20) Absätze '0037!, '0060!; Abbildungen 1,7 -----	8

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/055279

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2004042298	A1	04-03-2004	KEINE		
EP 1426974	A	09-06-2004	CN	1505054 A	16-06-2004
			JP	2004185754 A	02-07-2004
			US	2004114438 A1	17-06-2004
EP 1326254	A	09-07-2003	US	2003185047 A1	02-10-2003
EP 1455363	A	08-09-2004	CN	1551240 A	01-12-2004
			JP	2004272975 A	30-09-2004
			US	2004174732 A1	09-09-2004
EP 1429342	A	16-06-2004	CN	1506970 A	23-06-2004
			JP	2004171746 A	17-06-2004
			US	2004095802 A1	20-05-2004
US 2003035314	A1	20-02-2003	KEINE		