

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

that has a second storage unit storing third data, which is the second data transferred from each of the plurality of first memories, and transfers the third data to the spatial light modulation element.

(57) 要約: データ転送装置は、描画データに基づいて空間光変調素子が有する複数の素子を制御して基板を露光する露光装置に用いられるデータ転送装置であって、前記描画データである第1データを分割して複数の第2データを生成し、前記複数の第2データを転送する第1処理部と、前記第1処理部から転送された前記複数の第2データをそれぞれ記憶する複数の第1メモリを含む第1メモリ群を有する第1記憶部を有し、前記複数の第1メモリの各々から前記第2データを転送する第2処理部と、前記複数の第1メモリの各々から転送された前記第2データである第3データを記憶する第2記憶部を有し、前記第3データを前記空間光変調素子に転送する第3処理部と、を備える。

明 細 書

発明の名称：データ転送装置、露光装置及び電子デバイス

技術分野

[0001] データ転送装置、露光装置及び電子デバイスに関する。

背景技術

[0002] 従来、液晶や有機ELによる表示パネル、半導体素子（集積回路等）等の電子デバイス（マイクロデバイス）を製造するリソグラフィ工程では、ステップ・アンド・リピート方式の投影露光装置（いわゆるステッパ）、あるいはステップ・アンド・スキャン方式の投影露光装置（いわゆるスキャニング・ステッパ（スキャナとも呼ばれる））などが使用されている。この種の露光装置は、ガラス基板、半導体ウエハ、プリント配線基板、樹脂フィルム等の被露光基板（以下、単に基板とも呼ぶ）の表面に塗布された感光層に電子デバイス用のマスクパターンを投影露光している。

[0003] そのマスクパターンを固定的に形成するマスク基板の作製には時間と経費を要する為、マスク基板の代わりに、微少変位するマイクロミラーの多数を規則的に配列したデジタル・ミラー・デバイス（DMD）等の空間光変調素子（可変マスクパターン生成器）を使用した露光装置が知られている（例えば、特許文献1参照）。特許文献1に開示された露光装置では、例えば、波長375nmのレーザダイオード（LD）からの光と波長405nmのLDからの光とをマルチモードのファイバーバンドルで混合した照明光を、デジタル・ミラー・デバイス（DMD）に照射し、傾斜制御された多数のマイクロミラーの各々からの反射光を結像光学系、マイクロレンズアレーを介して基板に投影露光している。

[0004] 空間光変調素子を制御するためのデータを、当該データを格納する記憶装置から空間光変調素子の制御部に短時間で安定して転送することが望まれている。

先行技術文献

特許文献

[0005] 特許文献1：特開2019-23748号公報

発明の概要

[0006] 第1の開示の態様によれば、データ転送装置は、描画データに基づいて空間光変調素子が有する複数の素子を制御して基板を露光する露光装置に用いられるデータ転送装置であって、前記描画データである第1データを分割して複数の第2データを生成し、前記複数の第2データを転送する第1処理部と、前記第1処理部から転送された前記複数の第2データをそれぞれ記憶する複数の第1メモリを含む第1メモリ群を有する第1記憶部を有し、前記複数の第1メモリの各々から前記第2データを転送する第2処理部と、前記複数の第1メモリの各々から転送された前記第2データである第3データを記憶する第2記憶部を有し、前記第3データを前記空間光変調素子に転送する第3処理部と、を備える。

[0007] 第2の開示の態様によれば、露光装置は、上記データ転送装置を有する。

[0008] 第3の開示の態様によれば、電子デバイスは、上記露光装置を用いて製造された電子デバイスである。

[0009] なお、後述の実施形態の構成を適宜改良しても良く、また、少なくとも一部を他の構成物に代替させても良い。更に、その配置について特に限定のない構成要件は、実施形態で開示した配置に限らず、その機能を達成できる位置に配置することができる。

図面の簡単な説明

[0010] [図1]図1は、第1実施形態に係る露光装置の概略構成を示すブロック図である。

[図2]図2は、露光装置の本体部の外観構成の概要を示す斜視図である。

[図3]図3は、複数の露光モジュール群の各々の投影ユニットによって基板上に投射されるDMDの投影領域の配置例を示す図である。

[図4]図4は、図3において、特定の4つの投影領域の各々による継ぎ露光の状態を説明する図である。

[図5]図5は、X方向（走査露光方向）に並ぶ2つの露光モジュールの具体的な構成をXZ面内で見た光学配置図である。

[図6]図6（A）は、DMDを概略的に示す図であり、図6（B）は、電源がOFFの場合のDMDを示す図であり、図6（C）は、ON状態のミラーについて説明するための図であり、図6（D）は、OFF状態のミラーについて説明するための図である。

[図7]図7は、第1実施形態に係る露光装置におけるデータフローの一例を示す図である。

[図8]図8（A）は、DMDが備える複数のマイクロミラーのセグメントへの分割について説明する図であり、図8（B）は、モジュールPCが生成するSLMデータについて説明する図である。

[図9]図9は、ストレージ制御基板の構成を例示するブロック図である。

[図10]図10は、DMD制御基板へのデータ送信速度、第1メモリの読出し速度、及び第2記憶部内のデータ量を示すタイムチャートである。

[図11]図11（A）は、DMDのセグメントの別例について説明する図であり、図11（B）は、複数の第1メモリに格納されるSLMデータについて説明する図であり、図11（C）は、複数の第1メモリから転送されるSLMデータについて説明する図である。

[図12]図12は、第2実施形態に係るストレージ制御基板の構成を示すブロック図である。

[図13]図13（A）は、第1実施形態に係る露光装置において、パターンAを基板に形成した後、パターンAとは異なるパターンBを基板に形成する場合の手順を示す概念図であり、図13（B）は、第2実施形態に係る露光装置において、パターンAを基板に形成した後、パターンAとは異なるパターンBを基板に形成する場合の手順を示す概念図である。

[図14]図14は、第3実施形態に係る露光システムの概要を示す図である。

[図15]図15（A）及び図15（B）は、第3実施形態に係る露光システムによって形成する配線パターンについて説明するための図である。

[図16]図16(A)は、全てのチップが設計位置に配置された状態のウエハを示す概略図であり、図16(B)は、設計位置からずれてチップが配置されたウエハを示す概略図である。

[図17]図17は、第3実施形態におけるF O -W L Pの配線パターン形成手順の概念図である。

[図18]図18は、第1～第3実施形態におけるモジュールP C及びストレージ制御基板の構成の別例を示す図である。

[図19]図19(A)は、露光処理中の第2記憶部内のデータ量の変化を示すタイムチャートであり、図19(B)は、データ書き込み総量に対する第1メモリ読出し速度と、露光中の第2記憶部内の最小データ量と、を示す図である。

[図20]図20は、第4実施形態に係る異常検出装置の機能ブロック図である。

[図21]図21は、異常検出装置の機能ブロック図の別例である。

[図22]図22は、半導体デバイスを製造する際の製造工程の一部を示すフローチャートである。

[図23]図23は、液晶表示素子を製造する際の製造工程の一部を示すフローチャートである。

発明を実施するための形態

[0011] 以下、図面を参照して、本発明の実施の形態を説明する。以下の説明においては、X Y Z直交座標系を設定し、このX Y Z直交座標系を参照しつつ各部材の位置関係について説明する。水平面内の所定方向をX軸方向、水平面内においてX軸方向と直交する方向をY軸方向、X軸方向及びY軸方向のそれぞれと直交する方向（すなわち鉛直方向）をZ軸方向とする。また、X軸、Y軸、及びZ軸まわりの回転（傾斜）方向をそれぞれ、 θX 、 θY 、及び θZ 方向とする。

[0012] [第1実施形態]

図1は、第1実施形態に係る露光装置E Xの概略構成を示すブロック図で

ある。露光装置E Xは、本体部M Bと、基板交換部P C Uと、データ転送装置1 0 0 0と、を備える。

[0013] [本体部M Bの構成]

まず、本体部M Bの構成について説明する。図2は、露光装置E Xの本体部M Bの外観構成の概要を示す斜視図である。露光装置E Xは、空間光変調素子（S L M : Spatial Light Modulator）によって、空間内での強度分布が動的に変調される露光光を被露光基板に結像投影する装置である。空間光変調素子の例としては、液晶素子、デジタルマイクロミラーデバイス（D M D : Digital Micromirror Device）、磁気光学空間光変調器（M O S L M : Magneto Optic Spatial Light Modulator）等が挙げられる。本実施形態に係る露光装置E Xは、空間光変調素子としてD M D 1 0を備えるが、他の空間光変調素子を備えていてもよい。

[0014] 特定の実施形態において、露光装置E Xは、表示装置（フラットパネルディスプレイ）などに用いられる矩形（角型）のガラス基板を露光対象物とするステップ・アンド・スキャン方式の投影露光装置（スキャナ）である。そのガラス基板は、少なくとも一辺の長さ、または対角長が5 0 0 m m以上であり、厚さが1 m m以下のフラットパネルディスプレイ用の基板Pとする。露光装置E Xは、基板Pの表面に一定の厚みで形成された感光層（フォトリジスト）にD M D 1 0で作られるパターンの投影像を露光する。露光後に露光装置E Xから搬出される基板Pは、現像工程の後に所定のプロセス工程（成膜工程、エッチング工程、メッキ工程等）に送られる。

[0015] 本体部M Bは、アクティブ防振ユニット1 a、1 b、1 c、1 d（1 dは不図示）上に載置されたペDESTAL 2と、ペDESTAL 2上に載置された定盤3と、定盤3上で2次元に移動可能なX Yステージ4 Aと、X Yステージ4 A上で基板Pを平面上に吸着保持する基板ホルダ4 Bと、基板ホルダ4 B（基板P）の2次元の移動位置を計測するレーザ測長干渉計（以下、単に干渉計とも呼ぶ）1 F X、1 F Y 1～1 F Y 4とで構成されるステージ装置を備える。このようなステージ装置は、例えば、米国特許公開第2 0 1 0 / 0 0

18950号明細書、米国特許公開第2012/0057140号明細書に開示されている。

[0016] 図2において、直交座標系XYZのXY面はステージ装置の定盤3の平坦な表面と平行に設定され、XYステージ4AはXY面内で並進移動可能に設定される。また、本実施の形態では、座標系XYZのX軸と平行な方向がスキャン露光時の基板P（XYステージ4A）の走査移動方向に設定される。基板PのX軸方向の移動位置は干渉計IFXで逐次計測され、Y軸方向の移動位置は、4つの干渉計IFY1～IFY4の内の少なくとも1つ（好ましくは2つ）以上によって逐次計測される。基板ホルダ4Bは、XYステージ4Aに対して、XY面と垂直なZ軸の方向に微少移動可能、且つXY面に対して任意の方向に微少傾斜可能に構成され、基板Pの表面と投影されたパターンの結像面とのフォーカス調整とレベリング（平行度）調整とがアクティブに行われる。更に基板ホルダ4Bは、XY面内での基板Pの傾きをアクティブに調整する為に、Z軸と平行な軸線の回りに微少回転（ θ_z 回転）可能に構成されている。

[0017] 本体部MBは、更に、複数の露光（描画）モジュール群MU（A）、MU（B）、MU（C）を保持する光学定盤5と、光学定盤5をペDESTAL2から支持するメインコラム6a、6b、6c、6d（6dは不図示）とを備える。複数の露光モジュール群MU（A）、MU（B）、MU（C）の各々は、光学定盤5の+Z方向側に取り付けられている。複数の露光モジュール群MU（A）、MU（B）、MU（C）の各々は、光学定盤5の+Z方向側に取り付けられて、光ファイバーユニットFBUからの照明光を入射する照明ユニットILUと、光学定盤5の-Z方向側に取り付けられてZ軸と平行な光軸を有する投影ユニットPLUとを有する。更に露光モジュール群MU（A）、MU（B）、MU（C）の各々は、照明ユニットILUからの照明光を-Z方向に向けて反射させて、投影ユニットPLUに入射させる光変調部としてのDMD10を備える。照明ユニットILU、DMD10、投影ユニットPLUによる露光モジュールの詳細な構成は後述する。

[0018] 本体部MBの光学定盤5の-Z方向側には、基板P上の所定の複数位置に形成されたアライメントマークを検出する複数のアライメント系（顕微鏡）ALGが取り付けられている。また、基板ホルダ4B上の-X方向の端部には、キャリブレーション用の較正用基準部CUが設けられている。キャリブレーションは、アライメント系ALGの各々の検出視野のXY面内での相対的な位置関係の確認（較正）、露光モジュール群MU（A）、MU（B）、MU（C）の各々の投影ユニットPLUから投射されるパターン像の各投影位置とアライメント系ALGの各々の検出視野の位置とのベースライン誤差の確認（較正）、及び投影ユニットPLUから投射されるパターン像の位置や像質の確認の少なくとも1つを含む。なお、図2では一部を不図示としたが、露光モジュール群MU（A）、MU（B）、MU（C）の各々は、本実施の形態では、一例として9つのモジュールがY方向に一定間隔で並べられるが、そのモジュール数は9つよりも少なくてもよいし、多くてもよい。また、図2では、X軸方向に露光モジュールを3列配置しているが、X軸方向に配置する露光モジュールの列の数は、2列以下でもよいし、4列以上であってもよい。

[0019] 図3は、露光モジュール群MU（A）、MU（B）、MU（C）の各々の投影ユニットPLUによって基板P上に投射されるDMD10の投影領域IAnの配置例を示す図であり、直交座標系XYZは図2と同じに設定される。本実施の形態では、X方向に離間して配置される1列目の露光モジュール群MU（A）、2列目の露光モジュール群MU（B）、3列目の露光モジュール群MU（C）の各々は、Y方向に並べられた9つのモジュールで構成される。露光モジュール群MU（A）は、+Y方向に配置された9つのモジュールMU1～MU9で構成され、露光モジュール群MU（B）は、-Y方向に配置された9つのモジュールMU10～MU18で構成され、露光モジュール群MU（C）は、+Y方向に配置された9つのモジュールMU19～MU27で構成される。モジュールMU1～MU27は全て同じ構成であり、露光モジュール群MU（A）と露光モジュール群MU（B）とをX方向に関

して向かい合わせの関係としたとき、露光モジュール群MU（B）と露光モジュール群MU（C）とはX方向に関して背中合わせの関係になっている。

[0020] 図3において、モジュールMU1～MU27の各々による投影領域IA1、IA2、IA3、・・・、IA27（nを1～27として、IANと表すこともある）の形状は、一例として、ほぼ1：2の縦横比を持ってY方向に延びた長方形になっている。本実施の形態では、基板Pの+X方向の走査移動に伴って、1列目の投影領域IA1～IA9の各々の-Y方向の端部と、2列目の投影領域IA10～IA18の各々の+Y方向の端部とで継ぎ露光が行われる。そして、1列目と2列目の投影領域IA1～IA18の各々で露光されなかった基板P上の領域は、3列目の投影領域IA19～IA27の各々によって継ぎ露光される。1列目の投影領域IA1～IA9の各々の中心点はY軸と平行な線k1上に位置し、2列目の投影領域IA10～IA18の各々の中心点はY軸と平行な線k2上に位置し、3列目の投影領域IA19～IA27の各々の中心点はY軸と平行な線k3上に位置する。線k1と線k2のX方向の間隔は距離XL1に設定され、線k2と線k3のX方向の間隔は距離XL2に設定される。

[0021] ここで、投影領域IA9の-Y方向の端部と投影領域IA10の+Y方向の端部との継ぎ部をOLa、投影領域IA10の-Y方向の端部と投影領域IA27の+Y方向の端部との継ぎ部をOLb、そして投影領域IA8の+Y方向の端部と投影領域IA27の-Y方向の端部との継ぎ部をOLcとしたとき、その継ぎ露光の状態を図4にて説明する。図4において、直交座標系XYZは図2、図3と同一に設定され、投影領域IA8、IA9、IA10、IA27（及び、他の全ての投影領域IAN）内の座標系X'Y'は、直交座標系XYZのX軸、Y軸（線k1～k3）に対して、角度θkだけ傾くように設定される。即ち、DMD10の多数のマイクロミラーの2次元の配列が座標系X'Y'となるように、DMD10の全体がXY面内で角度θkだけ傾けられている。

[0022] 図4中の投影領域IA8、IA9、IA10、IA27（及び、他の全て

の投影領域 $I A_n$ も同じ) の各々を包含する円形の領域は、投影ユニット $P L U$ の円形イメージフィールド $P L f'$ を表す。継ぎ部 $O L a$ では、投影領域 $I A_9$ の $-Y'$ 方向の端部の斜め (角度 θ_k) に並ぶマイクロミラーの投影像と、投影領域 $I A_{10}$ の $+Y'$ 方向の端部の斜め (角度 θ_k) に並ぶマイクロミラーの投影像とがオーバーラップするように設定される。また、継ぎ部 $O L b$ では、投影領域 $I A_{10}$ の $-Y'$ 方向の端部の斜め (角度 θ_k) に並ぶマイクロミラーの投影像と、投影領域 $I A_{27}$ の $+Y'$ 方向の端部の斜め (角度 θ_k) に並ぶマイクロミラーの投影像とがオーバーラップするように設定される。同様に、継ぎ部 $O L c$ では、投影領域 $I A_8$ の $+Y'$ 方向の端部の斜め (角度 θ_k) に並ぶマイクロミラーの投影像と、投影領域 $I A_{27}$ の $-Y'$ 方向の端部の斜め (角度 θ_k) に並ぶマイクロミラーの投影像とがオーバーラップするように設定される。

[0023] [照明ユニットの構成]

図5は、図2、図3に示した露光モジュール群 $M U (B)$ 中のモジュール $M U_{18}$ と、露光モジュール群 $M U (C)$ 中のモジュール $M U_{19}$ との具体的な構成を $X Z$ 面内で見えた光学配置図である。図5の直交座標系 $X Y Z$ は図2～図4の直交座標系 $X Y Z$ と同じに設定される。また、図3に示した各モジュールの $X Y$ 面内での配置から明らかなように、モジュール $M U_{18}$ はモジュール $M U_{19}$ に対して $+Y$ 方向に一定間隔だけずらされると共に、互いに背中合わせの関係で設置されている。モジュール $M U_{18}$ 内の各光学部材とモジュール $M U_{19}$ 内の各光学部材は、それぞれ同じ材料で同じに構成されるので、ここでは主にモジュール $M U_{18}$ の光学構成について詳細に説明する。なお、図2に示した光ファイバーユニット $F B U$ は、図3に示した27個のモジュール $M U_1 \sim M U_{27}$ の各々に対応して、27本の光ファイバー束 $F B_1 \sim F B_{27}$ で構成される。

[0024] モジュール $M U_{18}$ の照明ユニット $I L U$ は、光ファイバー束 $F B_{18}$ の出射端から $-Z$ 方向に進む照明光 $I L_m$ を反射するミラー100、ミラー100からの照明光 $I L_m$ を $-Z$ 方向に反射するミラー102、コリメータレ

ンズとして作用するインプットレンズ系104、照度調整フィルター106、マイクロ・フライ・アイ（MFE）レンズやフィールドレンズ等を含むオプチカルインテグレータ108、コンデンサーレンズ系110、及び、コンデンサーレンズ系110からの照明光ILmをDMD10に向けて反射する傾斜ミラー112とで構成される。ミラー102、インプットレンズ系104、オプチカルインテグレータ108、コンデンサーレンズ系110、並びに傾斜ミラー112は、Z軸と平行な光軸AXcに沿って配置される。

[0025] 光ファイバー束FB18は、1本の光ファイバー線、又は複数本の光ファイバー線を束ねて構成される。光ファイバー束FB18（光ファイバー線の各々）の出射端から照射される照明光ILmは、後段のインプットレンズ系104でけられること無く入射するような開口数（NA、広がり角とも呼ぶ）に設定されている。インプットレンズ系104の前側焦点の位置は、設計上では光ファイバー束FB18の出射端の位置と同じになるように設定される。さらに、インプットレンズ系104の後側焦点の位置は、光ファイバー束FB18の出射端に形成される単一又は複数の点光源からの照明光ILmをオプチカルインテグレータ108のMFEレンズ108Aの入射面側で重畳させるように設定されている。従って、MFEレンズ108Aの入射面は光ファイバー束FB18の出射端からの照明光ILmによってケーラー照明される。なお、初期状態では、光ファイバー束FB18の出射端のXY面内の幾何学的な中心点が光軸AXc上に位置し、光ファイバー線の出射端の点光源からの照明光ILmの主光線（中心線）は光軸AXcと平行（又は同軸）になっているものとする。

[0026] インプットレンズ系104からの照明光ILmは、照度調整フィルター106で0%~90%の範囲の任意の値で照度を減衰された後、オプチカルインテグレータ108（MFEレンズ108A、フィールドレンズ等）を通過して、コンデンサーレンズ系110に入射する。MFEレンズ108Aは、数十 μ m角の矩形のマイクロレンズを2次元に多数配列したものであり、その全体の形状はXY面内で、DMD10のミラー面全体の形状（縦横比が約1

: 2) とほぼ相似になるように設定される。また、コンデンサーレンズ系 110 の前側焦点の位置は、MFE レンズ 108A の射出面の位置とほぼ同じになるように設定される。その為、MFE レンズ 108A の多数のマイクロレンズの各射出側に形成される点光源からの照明光の各々は、コンデンサーレンズ系 110 によってほぼ平行な光束に変換され、傾斜ミラー 112 で反射された後、DMD 10 上で重畳されて均一な照度分布となる。MFE レンズ 108A の射出面には、多数の点光源（集光点）が 2 次元的に密に配列した面光源が生成されることから、面光源化部材として機能する。

[0027] 図 5 に示すモジュール MU 18 内において、コンデンサーレンズ系 110 を通る Z 軸と平行な光軸 AX_c は、傾斜ミラー 112 で折り曲げられて DMD 10 に至るが、傾斜ミラー 112 と DMD 10 の間の光軸を光軸 AX_b とする。本実施の形態において、DMD 10 の多数のマイクロミラーの各々の中心点を含む中立面は、XY 面と平行に設定されているものとする。従って、その中立面の法線（Z 軸と平行）と光軸 AX_b との成す角度が、DMD 10 に対する照明光 IL_m の入射角 θ_α となる。DMD 10 は、照明ユニット ILU の支持コラムに固設されたマウント部 10M の下側に取り付けられる。マウント部 10M には、DMD 10 の位置や姿勢を微調整する為に、例えば、国際公開特許 2006/120927 号に開示されているような平行リンク機構と伸縮可能な piezo 素子を組み合わせた微動ステージが設けられる。

[0028] [DMD の構成]

図 6 (A) は、DMD 10 を概略的に示す図であり、図 6 (B) は、電源が OFF の場合の DMD 10 を示す図であり、図 6 (C) は、ON 状態のミラーについて説明するための図であり、図 6 (D) は、OFF 状態のミラーについて説明するための図である。なお、図 6 (A) ~ 図 6 (D) において、ON 状態にあるミラーをハッチングで示している。

[0029] DMD 10 は、反射角を変更制御可能なマイクロミラー M_s を複数有する。本実施形態において、DMD 10 は、ON 状態と OFF 状態とをマイクロ

ミラーM s のロール方向傾斜とピッチ方向傾斜とで切り換えるロール&ピッチ駆動方式のものとする。

[0030] 図6 (B) に示すように、電源がオフの状態のとき、各マイクロミラーM s の反射面は、X' Y' 面と平行に設定される。各マイクロミラーM s のX' 方向の配列ピッチをP d x (μ m)、Y' 方向の配列ピッチをP d y (μ m) とするが、実用上はP d x = P d y に設定される。

[0031] 各マイクロミラーM s は、Y' 軸周りに傾斜することでON状態となる。図6 (C) では、中央のマイクロミラーM s のみをON状態とし、他のマイクロミラーM s はニュートラルな状態 (ONでもOFFでもない状態) とした場合を示している。また、各マイクロミラーM s は、X' 軸周りに傾斜することでOFF状態となる。図6 (D) では、中央のマイクロミラーM s のみをOFF状態とし、他のマイクロミラーM s はニュートラルな状態とした場合を示している。なお、簡略化のため図示していないが、ON状態のマイクロミラーM s は、ON状態のマイクロミラーM s に照射された照明光がXZ平面のX方向に反射されるよう、X' Y' 平面から所定の角度傾くように駆動される。また、OFF状態のマイクロミラーM s は、ON状態のマイクロミラーM s に照射された照明光がYZ面内のY方向に反射されるよう、X' Y' 平面から所定の角度傾くように駆動される。DMD 10は、各マイクロミラーM s のON状態及びOFF状態を切り替えることで、露光パターンを生成する。

[0032] OFF状態のミラーによって反射された照明光は、不図示の光吸収体により吸収される。

[0033] なお、DMD 10を空間光変調素子の一例として説明をしたため、レーザー光を反射する反射型として説明をしたが、空間光変調素子は、レーザー光を透過する透過型でも良いし、レーザー光を回折する回折型でも良い。空間光変調素子は、レーザー光を空間的に、且つ、時間的に変調することができる。

[0034] 図5に戻り、DMD 10のマイクロミラーM s のうちのON状態のマイクロミラーM s に照射された照明光I L mは、投影ユニットPLUに向かうよ

うにXZ面内のX方向に反射される。一方、DMD10のマイクロミラーMsのうちのOFF状態のマイクロミラーMsに照射された照明光ILmは、投影ユニットPLUに向かわないようにYZ面内のY方向に反射される。

[0035] DMD10から投影ユニットPLUの間の光路中には、非露光期間中にDMD10からの反射光を遮蔽する為の可動シャッター114が挿脱可能に設けられている。可動シャッター114は、モジュールMU19側で図示したように、露光期間中は光路から退避する角度位置に回動され、非露光期間中はモジュールMU18側に図示したように、光路中に斜めに挿入される角度位置に回動される。可動シャッター114のDMD10側には反射面が形成され、そこで反射されたDMD10からの光は光吸収体117に照射される。光吸収体117は、紫外波長域(400nm以下の波長)の光エネルギーを再反射させることなく吸収して熱エネルギーに変換する。その為、光吸収体117には放熱機構(放熱フィンや冷却機構)も設けられる。なお、図5では不図示ではあるが、露光期間中にOFF状態となるDMD10のマイクロミラーMsからの反射光は、上述したように、DMD10と投影ユニットPLUの間の光路に対してY方向(図5の紙面と直交した方向)に設置された同様の光吸収体(図5では不図示)によって吸収される。

[0036] [投影ユニットの構成]

光学定盤5の下側に取り付けられた投影ユニットPLUは、Z軸と平行な光軸AXaに沿って配置される第1レンズ群116と第2レンズ群118とで構成される両側テレセントリックな結像投影レンズ系として構成される。第1レンズ群116と第2レンズ群118は、それぞれ光学定盤5の下側に固設される支持コラムに対して、Z軸(光軸AXa)に沿った方向に微動アクチュエータで並進移動するように構成される。第1レンズ群116と第2レンズ群118による結像投影レンズ系の投影倍率Mpは、DMD10上のマイクロミラーの配列ピッチと、基板P上の投影領域IAN(n=1~27)内に投影されるパターンの最小線幅(最小画素寸法)Pgとの関係で決められる。

[0037] 一例として、必要とされる最小線幅（最小画素寸法） P_g が $1\mu m$ で、マイクロミラーの配列ピッチ P_{dx} 及び P_{dy} がそれぞれ $5.4\mu m$ の場合、先の図4で説明した投影領域 IAn （DMD10）のXY面内での傾き角度 θ_k も考慮して、投影倍率 M_p は約 $1/6$ に設定される。レンズ群116、118による結像投影レンズ系は、DMD10のミラー面全体の縮小像を倒立／反転させて基板P上の投影領域 $IA18$ （ IAn ）に結像する。

[0038] 投影ユニットPLUの第1レンズ群116は、投影倍率 M_p を微調整（±数十ppm程度）する為にアクチュエータによって光軸 AXa 方向に微動可能とされ、第2レンズ群118はフォーカスの高速調整の為にアクチュエータによって光軸 AXa 方向に微動可能とされる。さらに、基板Pの表面のZ軸方向の位置変化をサブミクロン以下の精度で計測する為に、光学定盤5の下側には、斜入射光式のフォーカスセンサー120が複数設けられている。複数のフォーカスセンサー120は、基板Pの全体的なZ軸方向の位置変化、投影領域 IAn （ $n=1\sim 27$ ）の各々に対応した基板P上の部分領域のZ軸方向の位置変化、或いは基板Pの部分的な傾斜変化等を計測する。

[0039] 以上のような照明ユニットILUと投影ユニットPLUとは、先の図4で説明したように、XY面内で投影領域 IAn が角度 θ_k だけ傾ける必要があるので、図5中のDMD10と照明ユニットILU（少なくとも光軸 AXc に沿ったミラー102～傾斜ミラー112の光路部分）とが、全体的にXY面内で角度 θ_k だけ傾くように配置されている。

[0040] 上記のように構成された本体部MBにおいて、モジュール MUn （ $n=1\sim 27$ ）は、後述するデータ転送装置1000から転送されるデータに基づいて露光処理を行い、所望のパターンを基板Pに形成する。

[0041] 図1に戻り、基板交換部PCUは、ポートPTを備え、上述した本体部MBにおいて露光された基板Pを本体部MBから搬出し、次に露光処理される基板P（未処理の基板P）を本体部MBに搬入する。

[0042] [データ転送装置1000の構成]

次に、データ転送装置1000の構成について説明する。図1に示すよう

に、データ転送装置1000は、モジュールPC (Personal Computer) 200-1~200-27と、ストレージ制御基板300-1~300-27と、DMD制御基板400-1~400-27と、を備える。

[0043] モジュールPC 200-1~200-27、ストレージ制御基板300-1~300-27、DMD制御基板400-1~400-27は、モジュールMU1~MU27と対応するようにそれぞれ設けられている。

[0044] 図7は、第1実施形態に係る露光装置EXにおけるデータフローの一例を示す図である。モジュールPC 200-n (n=1~27) は、マスクデータサーバMDSと接続されている。マスクデータサーバMDSには、露光装置EXにて露光したいパターンを示すCAD (Computer Aided Design) データが入力される。マスクデータサーバMDSは、入力されたCADデータを、ビットマップ (BMP) ファイルに変換する。このBMPファイルの容量は例えば数十TBと膨大であるため、マスクデータサーバMDSは、BMPファイルを圧縮した圧縮マスクデータ (描画データ) (第1データ) を作成する。

[0045] モジュールPC 200-n (n=1~27) は、マスクデータサーバMDSが作成した圧縮マスクデータをダウンロードする。モジュールPC 200-nは、ダウンロードした圧縮マスクデータを分割して、対応するモジュールMUnのDMD10に生成させる露光パターンを示すSLMデータを生成する。なお、SLMデータは、モジュールPC 200-nだけではなく、GPUやFPGAなどの専用基板を用いて高速に計算させてもよい。また、SLMデータを、後述するストレージ制御基板300-nに設けられている第3処理部61に計算させてもよい。また、FPGAを使用した場合、モジュールPCの機能をストレージ制御基板に包含させてもよい。

[0046] ここで、モジュールPC 200-nが生成するSLMデータについて説明する。図8 (A) は、本実施形態におけるDMD10のマイクロミラーMsのセグメントへの分割について説明するための図であり、図8 (B) は、モジュールPC 200-nが生成するSLMデータについて説明する図である。

。

[0047] 図8 (A) に示すように、本実施形態において、DMD 10は、 2560×1600 のマイクロミラーMsを有している。モジュールPC 200-nは、 2560×1600 のマイクロミラーMsを、4つのセグメント（セグメントA～セグメントD） $\times 16$ のブロック（ブロック0～ブロック15）に分割する。なお、DMD 10が備えるマイクロミラーMsの数、セグメントの数およびブロックの数は本実施形態に限られるものではない。

[0048] モジュールPC 200-nは、DMD 10の複数のセグメントA～Dにそれぞれ対応したSLMデータDnA～DnDを生成し、ストレージ制御基板300-nに書き込む。

[0049] より詳細に説明する。モジュールPC 200-n ($n=1 \sim 27$)（第1処理部）は、第1のタイミングで、モジュールMU nのDMD 10に生成させる露光パターンを示すSLMデータFrame 0を作成し、SLMデータFrame 0を上述したセグメントA～セグメントDに対応させて分割する。SLMデータFrame 0のセグメントごとに分割されたデータを、分割データFrm0-DnA～Frm0-DnDとする。次に、モジュールPC 200-nは、第2のタイミングでモジュールMU nのDMD 10に生成させる露光パターンを示すSLMデータFrame 1を作成し、SLMデータFrame 1をセグメントA～セグメントDに対応させて分割した分割データFrm1-DnA～Frm1-DnDを作成する。モジュールPC 200-nが、例えば、SLMデータをSLMデータFrame 4N+3 (Nは自然数) まで作成した場合、分割データFrm0-DnA～Frm0-DnDから分割データFrm4N+3-DnA～Frm4N+3-DnDが作成される。

[0050] モジュールPC 200-nは、作成したセグメントごとの分割データを、SLMデータDnA～DnDとしてストレージ制御基板300-nに転送する。

[0051] [ストレージ制御基板300-n ($n=1 \sim 27$) の構成]

次に、ストレージ制御基板 300-n ($n=1\sim 27$) の構成について説明する。図 9 は、第 1 実施形態に係るストレージ制御基板 300-n ($n=1\sim 27$) の構成を例示するブロック図である。

[0052] 図 9 に示すように、ストレージ制御基板 300-n ($n=1\sim 27$) (第 2 処理部) は、複数の第 1 メモリ 50-1 $\sim$ 50-4 を有する第 1 記憶部 50 と、第 2 記憶部 60 と、送信端子 TX1 $\sim$ TX4 と、を備える。第 2 記憶部 60 は、第 3 処理部 61 に搭載されている。

[0053] 第 1 記憶部 50 が有する第 1 メモリ 50-1 $\sim$ 50-4 は、図 8 (A) で説明した各セグメントに対応するように設けられており、モジュール PC200-n ($n=1\sim 27$) から転送された SLM データ $D_nA\sim D_nD$ をそれぞれ記憶する。より具体的には、第 1 メモリ 50-1 は、セグメント A の SLM データ D_nA を記憶し、第 1 メモリ 50-2 は、セグメント B の SLM データ D_nB を記憶し、第 1 メモリ 50-3 は、セグメント C の SLM データ D_nC を記憶し、第 1 メモリ 50-4 は、セグメント D の SLM データ D_nD を記憶する。

[0054] 第 2 記憶部 60 は、第 1 メモリ 50-1 $\sim$ 50-4 から SLM データ $D_nA\sim D_nD$ を読出して一時的に記憶し、一時的に記憶した SLM データ $D_nA\sim D_nD$ を DMD 制御基板 400-n に送信 (転送) する。

[0055] 図 7 に戻り、DMD 制御基板 400-n ($n=1\sim 27$) は、受信した SLM データ $D_nA\sim D_nD$ をモジュール MU $_n$ が備える DMD10 が表示可能なフォーマットに変換したデータ DM $_n$ を作成し、モジュール MU $_n$ に送信する。

[0056] モジュール MU $_n$ は、受信したデータ DM $_n$ に基づいて DMD10 のマイクロミラー Ms を選択的に駆動してデータ DM $_n$ に対応した露光パターンをそれぞれ生成し、基板 P に投影露光する。

[0057] 次に、ストレージ制御基板 300-n ($n=1\sim 27$) の動作について、図 9 を参照して詳細に説明する。本実施形態において、ストレージ制御基板 300-n が備える第 1 メモリ 50-1 $\sim$ 50-4 は並列に動作する。すな

わち、第1メモリ50-1～第1メモリ50-4は、他の第1メモリの影響を受けることなく、各々独立してSLMデータD_nA～D_nDを第2記憶部60に転送することができる。複数の第1メモリ50-1～50-4を設け並列化することにより、第1メモリを用いる場合でも、SLMデータ（例えば、SLMデータFrame 0）の転送時間を短縮することができる。本実施形態では、4つの第1メモリ50-1～50-4を設けているため、例えば、1つの第1メモリからSLMデータFrame 0を転送する時間の約1/4の時間で、SLMデータFrame 0を転送できる。

[0058] 露光開始前、第1メモリ50-1～50-4に記憶されたSLMデータD_nA～D_nDは第2記憶部60に読出され、第2記憶部60に蓄積される。そして、露光が開始されると、第2記憶部60に蓄積されたSLMデータD_nA～D_nDは、送信端子TX1～TX4を介してDMD制御基板400-n（n=1～27）の受信端子RX1～RX4にそれぞれ送信されるとともに、SLMデータD_nA～D_nDが第1メモリ50-1～50-4から順次第2記憶部60に読出される。なお、第2記憶部60の転送速度は、第1メモリ50-1～50-4の転送速度よりも遅い。また、第2記憶部60の転送速度が第1メモリ50-1～50-4の転送速度より早い場合であっても本実施形態は有効である。なお、本実施例は、送信端子TX1～TX4及び受信端子RX1～RX4の数は、セグメントの数と一致させているが、送信端子TX1～TX4及び受信端子RX1～RX4の数はこれに限られない。

[0059] ここで、ストレージ制御基板300-n（n=1～27）が第2記憶部60を備える理由について説明する。

[0060] 第2記憶部60が設けられておらず、第1メモリ50-m（m=1～4）からDMD制御基板400-nへSLMデータを送信（転送）する場合、第1メモリ50-mの読出し速度が、SLMデータのDMD制御基板400-nへのデータ送信速度よりも遅くなると、第1メモリ50-mの読出し速度が不足し、SLMデータに欠損が生じてしまう。また、第1メモリ50-mがBusy状態となると、第1メモリ50-mからのデータ転送が停止して

しまうこともある。このように、第1メモリ50-mからDMD制御基板400-nに直接SLMデータを転送する場合、DMD制御基板400-nへ送信するSLMデータに欠損が生じるリスクがあり、露光装置EXの安定性が著しく低下してしまう。

[0061] そこで、本実施形態では、第2記憶部60を設けることにより、第1メモリ50-mの読出し速度がばらついて低下しても、SLMデータの転送に影響がないようにしている。すなわち、第2記憶部60は、バッファとして機能する。

[0062] 図10は、DMD制御基板400-n ($n=1\sim 27$) へのデータ送信速度、第1メモリ50-m ($m=1\sim 4$) の読出し速度、及び第2記憶部60内のデータ量を示すタイムチャートである。図10において、時刻t1は露光開始時刻、時刻t5は露光終了時刻である。

[0063] 時刻t1よりも前、すなわち、露光開始前に、第2記憶部60には、所定のデータ量(FULL)のSLMデータが蓄積される。

[0064] 時刻t1に露光が開始されると、第2記憶部60内のSLMデータが読出されて、DMD制御基板400-nへ送信される。このときの、送信速度をr11としている。

[0065] 時刻t1から時刻t2の間は、第1メモリ50-mの読出し速度r11が送信速度r11と同じであるため、第2記憶部60内のデータ量はFULLを維持する。時刻t2において、第1メモリ50-mの読出し速度が、送信速度r11よりも遅い速度r1になると、第1メモリ50-mから第2記憶部60に読出されるデータ量よりも、第2記憶部60から送信されるデータ量の方が多いため、第2記憶部60内のデータ量が減少する。ただし、第2記憶部60内のデータは枯渇していないため、SLMデータの欠損は生じず、露光不良は生じない。

[0066] その後、時刻t3に第1メモリ50-mの読出し速度が、再び、送信速度r11よりも速くなると、第2記憶部60内のデータ量は増加していく。時刻t4に第1メモリ50-mからのデータの読出しが終了すると、第1メモ

り50-mから第2記憶部60にデータが読み出されなくなるので、第2記憶部60内のデータ量は減少していき、露光終了時の時刻t5には0となる。

[0067] このように、複数の第1メモリ50-1～50-4を並列化することで、SLMデータの転送にかかる時間を削減するとともに、第2記憶部60を設けることにより、SLMデータに欠損を生じさせることなく、DMD制御基板400-n（n=1～27）に安定してSLMデータを送信することができる。これにより、SLMデータの欠損による露光不良を防止することができる。

[0068] 次に、第2記憶部60に最低限必要な容量について説明する。なお、以後の説明において第2記憶部60の容量のうち、第1メモリの速度低下の有無を考慮して、露光装置が露光している間データ欠損なく、露光できるデータ量をバッファ容量と記載する。最低限必要なバッファ容量は、第1メモリ50-m（m=1～4）の読出し速度と、DMD制御基板400-n（n=1～27）へのデータ送信速度と、に基づいて算出することができる。

[0069] DMD制御基板へのデータ転送速度>第1メモリ読出し速度のノミナル値の場合、最低限必要なバッファ容量は下記式（1）で算出される。

最低限必要なバッファ容量＝{（DMD制御基板へのデータ転送速度－第1メモリの読出し速度が低下したときの転送速度）×第1メモリの読出し速度が低下している時間}・・・（1）

[0070] DMD制御基板へのデータ転送速度<第1メモリ読出し速度のノミナル値の場合、最低限必要なバッファ容量は下記式（2）で算出される。

最低限必要なバッファ容量＝{DMD制御基板へのデータ転送速度－第1メモリの読出し速度のノミナル値×走査時間}＋{（DMD制御基板へのデータ転送速度－第1メモリの読出し速度が低下したときの転送速度）×第1メモリの読出し速度が低下している時間}・・・（2）

なお、式（1）、（2）において「第1メモリの読出し速度が低下したときの転送速度」を「第1メモリの読出し速度低下を想定した転送速度」とし

てもよく、「第1メモリの読出し速度が低下している時間」を「第1メモリの読出し速度低下時間の想定値」としてもよい。

[0071] 最低限必要なバッファ容量は、露光装置EXの仕様、搭載する第1メモリの仕様に基づいて適宜決定される。

[0072] 以上、詳細に説明したように、本第1実施形態によれば、データ転送装置1000は、描画データに基づいてDMD10が有する複数のマイクロミラーMsを制御して基板Pを露光する露光装置EXに用いられるデータ転送装置であって、描画データである圧縮マスクデータを分割してSLMデータDnA~DnD (n=1~27)を生成し、複数のSLMデータDnA~DnDを転送するモジュールPC200-nと、モジュールPC200-nから転送されたSLMデータDnA~DnDを記憶する複数の第1メモリ50-1~50-4を有し、複数の第1メモリ50-1~50-4の各々からSLMデータDnA~DnDを転送するストレージ制御基板300-nと、複数の第1メモリ50-1~50-4から転送されたSLMデータDnA~DnDを記憶し、SLMデータDnA~DnDをDMD10に転送する第2記憶部60と、を備える。

[0073] 並列に動作する複数の第1メモリ50-1~50-4を設けることにより、SLMデータの転送にかかる時間を低減することができるとともに、第2記憶部60が第1メモリ50-1~50-4の読出し速度のばらつきを吸収するので、SLMデータに欠損を生じさせることなく、DMD制御基板400-n (n=1~27)に安定してSLMデータを送信することができる。これにより、SLMデータの欠損による露光不良を防止することができる。

[0074] また、本第1実施形態において、ストレージ制御基板300-n (n=1~27)は、基板Pの露光前に、第2記憶部60にSLMデータDnA~DnDを転送し、第2記憶部60は、基板Pの露光前に、SLMデータDnA~DnDを記憶する。これにより、露光開始時にDMD制御基板400-nに送信するSLMデータが欠損してしまうことを防止することができ、露光不良が生じることを防止することができる。

- [0075] また、本第1実施形態において、ストレージ制御基板300-n ($n=1\sim 27$) は、基板Pの露光前に、第2記憶部60にSLMデータ $D_nA\sim D_nD$ の一部を転送する。SLMデータ $D_nA\sim D_nD$ の全てが第2記憶部60に転送される場合と比較して、第2記憶部60のバッファ容量が少なく済む。
- [0076] また、本第1実施形態において、モジュールPC200-nは、SLMデータ $D_nA\sim D_nD$ を生成するために複数のマイクロミラーMsを複数のセグメントA~Dに分け、圧縮マスクデータから複数のセグメントA~Dの各々に対応したSLMデータ $D_nA\sim D_nD$ を生成する。これにより、並列に動作する第1メモリ50-1~50-4からSLMデータ $D_nA\sim D_nD$ をそれぞれ転送させることができるので、SLMデータの転送時間を短縮することができる。
- [0077] なお、上記第1実施形態において、第1メモリ50-1~50-4は、DMD10の複数のセグメントに対応して設けられていたが、DMD10のセグメントへの分割方法は、図8(A)に示すものに限られるわけではない。例えば、図11(A)に示すように、DMD10を4つのセグメントに分割してもよい。なお、DMD10のセグメントへの分割数は、4に限られるものではなく、2または3でもよいし、5以上であってもよい。
- [0078] また、上記第1実施形態では、第1の制御タイミングで複数のマイクロミラーMsに生成させる露光パターンを示すSLMデータFrame0を、DMD10のマイクロミラーMsを分割したセグメントA~セグメントDに対応させて分割し、分割データ $Frm0-D_nA\sim Frm0-D_nD$ を第1メモリ50-1~50-4にそれぞれ格納させていたが、これに限られるものではない。
- [0079] 第1の制御タイミングでDMD10の複数のマイクロミラーMsに生成させる露光パターンを示すSLMデータFrame0を分割せずに、例えば、第1メモリ50-1に格納し、第2の制御タイミングでDMD10の複数のマイクロミラーMsに生成させる露光パターンを示すSLMデータFrame

e 1 を分割せずに、例えば、第 1 メモリ 50-2 に格納するようにしてもよい。

[0080] 具体的には、図 11 (B) に示すように、第 1 メモリ 50-1 には、SLM データ Frame 0、Frame 4、Frame 8、 $\dots$ 、Frame $4N$ (N は自然数) を格納し、第 1 メモリ 50-2 には、SLM データ Frame 1、Frame 5、Frame 9、 $\dots$ 、Frame $4N+1$ を格納し、第 1 メモリ 50-3 には、SLM データ Frame 2、Frame 6、Frame 10、 $\dots$ 、Frame $4N+2$ を格納し、第 1 メモリ 50-4 には、SLM データ Frame 3、Frame 7、Frame 11、 $\dots$ 、Frame $4N+3$ を格納するようにしてもよい。

[0081] この場合、モジュール PC 200- n ($n=1\sim 27$) は、第 1 の制御タイミングで DMD 10 のマイクロミラー Ms に生成させる露光パターンを示す SLM データ (複数のマイクロミラー Ms が第 1 の制御タイミングで制御される第 1 制御データ) Frame 0 と、第 2 の制御タイミングで DMD 10 のマイクロミラー Ms に生成させる露光パターンを示す SLM データ (複数のマイクロミラー Ms が第 2 の制御タイミングで制御される第 2 制御データ) Frame 2 を、複数の第 1 メモリ 50- m ($m=1\sim 4$) の各々に振り分けて転送するよう SLM データを生成する。

[0082] 図 11 (C) は、第 1 メモリ 50-1 $\sim$ 50-4 からの SLM データの読出しを概略的に示した図である。図 11 (C) に示すように、まず、第 1 メモリ 50-1 から第 1 の制御タイミングの SLM データ Frame 0 が読み出される。SLM データ Frame 0 の $1/4$ のデータが読み出されたタイミングで、第 1 メモリ 50-2 からの SLM データ Frame 1 の読出しが開始される。その後、SLM データ Frame 1 の $1/4$ のデータが読み出されたタイミングで、第 1 メモリ 50-3 からの SLM データ Frame 2 の読出しが開始され、SLM データ Frame 2 の $1/4$ のデータが読み出されたタイミングで、第 1 メモリ 50-4 からの SLM データ Frame 3 の読出しが開始される。

[0083] このように、DMD 10のマイクロミラーMsに生成させる露光パターンを示すSLMデータを時分割で送信してもよい。このように構成しても、第1メモリが1つの場合と比較して、1回の走査（露光処理）で基板Pに形成されるパターン全体に対応するSLMデータの転送時間を短縮することができる。なお、SLMデータを時分割で送信する場合、第2記憶部60において、SLMデータのマージが行われる。

[0084] [第2実施形態]

次に、第2実施形態について説明する。第2実施形態は、ストレージ制御基板300A-n（ $n=1\sim 27$ ）の構成が第1実施形態に係るストレージ制御基板300-n（ $n=1\sim 27$ ）と異なる。図12は、第2実施形態に係るストレージ制御基板300A-nの構成を示すブロック図である。

[0085] 第2実施形態に係るストレージ制御基板300A-nに設けられている第1記憶部50Aは、第1メモリ50-1～50-4を含む第1メモリ群G1と、第1メモリ50-11～第1メモリ50-14を含む第2メモリ群G2と、を備える。第2記憶部60は、第1メモリ群G1と第2メモリ群G2との間で接続先を切り替え可能となっている。

[0086] 第2実施形態では、例えば、第1メモリ群G1の第1メモリ50-1～50-4に格納されている、基板PにパターンAを形成するためのSLMデータA-DnA～A-DnDを第2記憶部60に読出し、露光処理を行っている間に、パターンAとは異なるパターンB（次のロット）を形成するためのSLMデータB-DnA～B-DnDを第2メモリ群G2の第1メモリ50-11～50-14へ書き込む。すなわち、第1メモリ群G1の第1メモリ50-1～50-4からのSLMデータA-DnA～A-DnDの読出しと、第2メモリ群G2の第1メモリ50-11～50-14へのSLMデータB-DnA～B-DnDの書き込みが、並行して行われる。なお、本実施形態では、露光処理中に第2メモリ群G2の第1メモリ50-11～50-14へのSLMデータの書き込みが行われたが、基板のアライメント中や、露光装置のキャリブレーション中にSLMデータの書き込みがおこなわれても

よい。また、第1実施形態においても基板のアライメント中や露光装置のキャリブレーション中に第1メモリ50-1～50-4へのSLMデータの転送は行われてもよいものとする。

[0087] 図13(A)は、第1実施形態に係る露光装置EXにおいて、パターンAを基板に形成した後、パターンAとは異なるパターンBを基板に形成する場合の手順を示す概念図である。図13(A)では、モジュールPC200-n ($n=1\sim 27$) において作成したパターンAのSLMデータを第1メモリ群G1の第1メモリ50-1～50-4に書き込んだ後、パターンAの露光処理が開始される。パターンAの露光処理中は、第1メモリ50-1～50-4から第2記憶部60にSLMデータを転送するために第1メモリ50-1～50-4が使用されているため、第1メモリ50-1～50-4にパターンBのSLMデータを書き込むことができない。よって、パターンAのSLMデータの転送終了後に、パターンBのSLMデータを第1メモリ50-1～50-4に書き込む処理が可能となるため、図13(A)に示すように、例えば、パターンAの露光処理後にパターンBのSLMデータを第1メモリ50-1～50-4に書き込む処理が開始される。なお、パターンAのSLMデータの転送終了直後にパターンBのSLMデータを第1メモリ50-1～50-4に書き込む処理を開始してもよい。

[0088] 図13(B)は、第2実施形態に係るストレージ制御基板300A-n ($n=1\sim 27$) を備える露光装置EXにおいて、パターンAを基板に形成した後、パターンAとは異なるパターンBを基板に形成する場合の手順を示す概念図である。

[0089] 図13(B)においても、モジュールPC200-n ($n=1\sim 27$) において作成したパターンAのSLMデータを第1メモリ群G1の第1メモリ50-1～50-4に書き込んだ後、パターンAの露光処理が開始される。パターンAの露光処理中は、第2記憶部60の接続先は、第1メモリ群G1の第1メモリ50-1～50-4である。上述したように、パターンAの露光処理中は、第1メモリ50-1～50-4にデータを書き込むことはでき

ないが、第2メモリ群G2の第1メモリ50-11~50-14は使用されていないためSLMデータの書き込みが可能である。そこで、第2実施形態では、第2記憶部60へのSLMデータの転送及びパターンAの露光処理と並行して、第2メモリ群G2の第1メモリ50-11~50-14へのパターンBのSLMデータの書き込みを実行する。

[0090] パターンAの露光処理が終了すると、第2記憶部60の接続先を第2メモリ群G2の第1メモリ50-11~50-14へと変更し、第1メモリ50-11~50-14からSLMデータを第2記憶部60に読み出して、パターンBの露光処理を行う。

[0091] このように、複数の第1メモリを含むメモリ群を複数設けることで、露光処理と第1メモリへのSLMデータの書き込み処理とを並行して行うことができるので、露光装置EX全体としてのスループットを向上させることができる。

[0092] 以上、詳細に説明したように、本第2実施形態によれば、ストレージ制御基板300A-nは、モジュールPC200-nから転送されたSLMデータを記憶する複数の第1メモリ50-1~50-4を含む第1メモリ群G1と、第1メモリ群G1と異なる、複数の第1メモリ50-11~50-14を含む第2メモリ群G2と、を有する。第1メモリ群G1の複数の第1メモリ50-1~50-4に記憶されているパターンAのSLMデータA-DnA~A-DnDを第2記憶部60に転送している間、モジュールPC200-nは、パターンAと異なるパターンBのSLMデータB-DnA~B-DnDを第2メモリ群G2の第1メモリ50-11~50-14に書き込む。これにより、時間がかかるSLMデータの第1メモリへの書き込み処理を露光処理の裏で行うことができるため、露光装置EXのスループットを向上させることができる。

[0093] [第3実施形態]

第3実施形態は、FO-WLP (Fan Out Wafer Level Package)、FO-PLP (Fan Out Plate Level Package) と呼ばれる半導体デバイスのパッケ

ージの製造において、露光装置E Xを用いて半導体チップのパッド同士を接続する再配線層を形成する場合について説明する。

[0094] 図1 4は、第3実施形態に係る露光システムE X Sの概要を示す図である。露光システムE X Sは、図1 5 (A) に示すような、ウエハW F上に配置された半導体チップ（以下、チップと記載する）間または、図1 5 (B) に示すような、基板P上に配置されたチップ間を接続する配線パターンを形成するためのシステムである。

[0095] 本実施形態では、ウエハW Fまたは基板P上に複数配置されたチップのセット（二点鎖線にて示す）それぞれに含まれるチップC 1とチップC 2との間を接続する配線パターンを形成する。なお、本実施形態では、各セットに含まれるチップの数は2つであるが、これに限られるものではなく、3つ以上であってもよい。

[0096] 以下では、ウエハW F上に配置されたチップ間を接続する配線パターンを形成する場合について説明する。

[0097] 図1 4に示すように、露光システムE X Sは、ウエハ配置装置W Aと、チップ計測ステーションC M Sと、コーターディベロッパー装置C Dと、露光装置E Xと、を備える。なお、第3実施形態において、露光装置E Xは、第2実施形態に係るストレージ制御基板3 0 0 A - nを備える。

[0098] ウエハ配置装置W Aは、チップが配置されたウエハW Fをベース基板Bに複数枚貼り付ける。ウエハ配置装置W Aにより複数枚のウエハW Fが貼り付けられたベース基板Bは、チップ計測ステーションC M Sに搬入される。

[0099] チップ計測ステーションC M Sは、複数の計測顕微鏡8 1を備え、異なるセット内のチップの位置を計測する。ここで、複数の計測顕微鏡8 1が計測する異なるセット内のチップの位置とは、同一のウエハW F上の異なるセット内のチップの位置でもよいし、異なるウエハW F上の各セット内のチップの位置でもよい。本実施形態では、複数の計測顕微鏡8 1は、異なるウエハW F上の各セット内のチップの位置を計測している。

[0100] ここで、チップ計測ステーションC M Sにおいてチップの位置を計測する

理由について説明する。図16(A)は、全てのチップが設計上の位置（以下、設計位置と記載する）に配置された状態のウエハWFを示す概略図である。図16(A)に示すように、チップC1とチップC2とを接続する配線パターンWLを露光装置EXにて露光（形成）する。ここで、FOWLPでは、ウエハWF上において樹脂などのモールド材でチップを固めるため、図16(B)に示すように、個々のチップの位置が、設計位置に対してずれることがある。この場合、設計位置にあるチップ間を接続する配線パターンを示すSLMデータ（以後、設計値データと記載する）を使用してDMD10を制御し配線パターンを露光すると、配線パターンがパッドの位置からずれて接続不良やショートが発生する可能性がある。

[0101] そこで、本実施形態では、ウエハWFに複数配置されたチップのセットそれぞれに含まれるチップの位置の計測結果に基づいて、設計値データの一部を補正した配線パターンデータを作成する。

[0102] チップの位置の計測結果は、モジュールPC200-n（ $n=1\sim 27$ ）に送信される。モジュールPC200-n（ $n=1\sim 27$ ）には、設計値データが予め格納されている。モジュールPC200-nは、チップ計測ステーションCMSから受信したチップ位置の計測結果にもとづいて、配線パターンデータを作成する。なお、モジュールPC200-nが作成した配線パターンデータは、現在露光中の基板の露光制御に使用されている配線パターンデータが記憶されているメモリ群とは異なるメモリ群に記憶される。すなわち、現在露光中のウエハWFの露光制御に使用されている配線パターンデータが第1メモリ群G1の第1メモリ50-1～50-4に記憶されている場合、モジュールPC200-nは、作成した配線パターンデータを第2メモリ群G2の第1メモリ50-11～50-14に記憶（転送）する。

[0103] チップ位置の計測が終了したウエハWFは、ベース基板Bごとコーターディベロッパー装置CDに搬入され、感光性のレジストを塗布された後、基板交換部PCUのポートPTに搬入される。その後、ウエハWFは、ベース基板BごとXYステージ4Aの基板ホルダ4B上に載置される。

[0104] 図17は、第3実施形態におけるF O - W L Pの配線パターン形成手順の概念図である。

[0105] 図17に示すように、本実施形態では、チップ計測ステーションC M Sにおいてチップ位置が計測されると、モジュールP C 2 0 0 - nは、チップ位置の計測結果に基づいて配線パターンデータを作成し、作成した配線パターンデータをセグメントごと分割した分割配線パターンデータを作成する。モジュールP C 2 0 0 - nは、分割配線パターンデータを第1メモリ5 0 - 1 ~ 5 0 - 4に転送する。これにより、第1メモリ5 0 - 1 ~ 5 0 - 4に分割配線パターンデータが書き込まれる。第1メモリ5 0 - 1 ~ 5 0 - 4に記憶された分割配線パターンデータは、ウエハW Fの露光開始に合わせて、D M D制御基板4 0 0 - nに順次転送される。

[0106] 本体部M Bが露光処理をしている間に、チップ計測ステーションC M Sは、本体部M Bで次に露光処理を行うウエハW Fのチップ位置の計測を開始する。モジュールP C 2 0 0 - nは、チップ位置の計測結果に基づいて配線パターンデータを作成し、作成した配線パターンデータをセグメントごと分割した分割配線パターンデータを作成する。モジュールP C 2 0 0 - nは、分割配線パターンデータを第1メモリ5 0 - 1 1 ~ 5 0 - 1 4に転送する。第1メモリ5 0 - 1 1 ~ 5 0 - 1 4に記憶された分割配線パターンデータは、基板ホルダ4 B上のウエハW Fの露光開始に合わせて、D M D制御基板4 0 0 - nに順次転送される。

[0107] このように、第1メモリ群G 1（第1メモリ5 0 - 1 ~ 5 0 - 4）と、第2メモリ群G 2（第1メモリ5 0 - 1 1 ~ 5 0 - 1 4）と、を設けることで、チップ位置の計測や、配線パターンデータの作成・転送の処理の時間を露光処理の時間に隠すことができる。これにより、F O - W L Pの配線パターンの形成におけるスループットを向上させることができる。このような並行処理は、配線パターンデータの作成と転送及び記憶に時間がかかる場合に、特に有効である。

[0108] なお、上記第1 ~ 第3実施形態において、第1記憶部5 0または5 0 Aが

有する複数の第1メモリとしては、SSD (Solid State Drive) やDRAM (Dynamic Random Access Memory)、フラッシュメモリ、HDD (Hard Disk Drive)、MRAM (Magnetic Random Access Memory)、RAIDストレージ、ネットワークストレージを用いてもよい。また、第2記憶部60としては、HBM (High Bandwidth Memory)、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)を用いてもよい。

[0109] また、本実施形態は、FOWLP、FOPLPに限られず、半導体チップ・フラットパネルディスプレイの製造時にも用いることができる。半導体チップ・フラットパネルディスプレイは、チップC1において数種類から数十種類の異なるパターンを重ね合わせることによって製造されるため、チップC1で正確な重ね合わせ露光を行う必要がある。そこで、チップ計測ステーションCMSにおいてチップ位置が計測されると、モジュールPC200-nは、チップ位置の計測結果に基づいて配線パターンデータを作成し、作成した配線パターンデータをセグメントごと分割した分割配線パターンデータを作成する。それにより、モジュールMU_nは正しい位置で露光することが可能になる。

[0110] また、PCバスが十分に高速である場合には、図18に示すように、ストレージ制御基板300B-nではなく、モジュールPC200B-nに、第1メモリ50-1~50-4を設けるようにしてもよい。

[0111] [第4実施形態]

第4実施形態では、上記第1~第3実施形態で使用される第1メモリ50-m (m=1~4, 11~14)の異常検知について説明する。第1メモリ50-m (m=1~4, 11~14)に記憶されるデータに誤りがある場合、露光されたパターンの幅が狭くなるなど、十分な露光品質が得られない場合がある。また、第1メモリの読出し速度が低下すると第2記憶部60内のデータ量が減少し、第2記憶部60内のデータ残量が“0”になると、データが枯渇し露光不良が生じる。したがって、このような事態を避けるために、露光処理中に第1メモリの各種特性が露光処理の実行に必要な条件を満た

さなくなることを防止し、メンテナンス等のタイミングで第1メモリを交換できるようにすることが望ましい。

[0112] 一般的に、SSDなどの第1メモリの寿命は、TBW(Total Bytes Written)で規定され、電源をOFFした状態で1年間データを正しく保持できる書き込みデータ総量と定義されている。

[0113] しかしながら、露光装置EXで使用される第1メモリ50-m ($m=1\sim 4$, 11~14)では、ロットの先頭処理でSLMデータを第1メモリ50-mに書き込むため、TBWの「1年間データを正しく保持できる」という条件は過剰であり、一時的に(例えば、1ロット処理時間の間)、データを正しく保持できれば十分である。また、第1メモリの読出し速度が低下して第2記憶部60内のデータが枯渇してしまうことを防止するため、TBWでは規定されていない、所定の第1メモリ読出し速度を維持することが必要である。

[0114] 以上のことから、

(1) 1ロット処理時間以上データを正常に保持できる。

(2) 所定の第1メモリ読出し速度を維持できる。

の2条件を満足するデータ書き込み総量を、本実施形態に係る露光装置EXにおける第1メモリの寿命と定義する。なお、以下の説明において、TBWと区別するため、第1~第3実施形態に係る露光装置EXにおける第1メモリの寿命を表すデータ書き込み総量を、特殊TBWと記載する。

[0115] (特殊TBW決定方法)

次に、特殊TBWの決定方法について説明する。

[0116] 図19(A)は、露光処理中の第2記憶部60内のデータ量の変化を示すタイムチャートであり、図19(B)は、データ書き込み総量に対する第1メモリ読出し速度と、露光中の第2記憶部60内の最小データ量と、を示す図である。

[0117] 図19(A)に示すように、時刻t1に露光処理が開始されてから、第1メモリの読出し速度が第2記憶部60からのデータ転送速度を上回っている

間（時刻 t_1 と時刻 t_2 との間）は、第2記憶部60内のデータ量はFULLを維持する。そして、例えば時刻 t_2 に第1メモリの読出し速度が低下、または、第1メモリからのデータの読出しが一時的に停止し、第1メモリから第2記憶部60に転送されるデータ量が、第2記憶部60から転送されるデータ量を下回ると、第2記憶部60内のデータ量は減少していく。そして、時刻 t_3 において、第1メモリの読出し速度が再び第2記憶部60からのデータ転送速度を上回ると、第2記憶部60内のデータ量が増加する。このように第2記憶部60内のデータ量は露光処理中に変動する。露光が開始されてから、第1メモリ内のSLMデータの全てが第2記憶部60に転送されるまでの期間（時刻 t_1 から時刻 t_4 までの期間）における、第2記憶部60内のデータ量の最小値MINを最小データ量と定義する。

[0118] 図19（B）に示すように、第1メモリの読出し速度は、データ書き込み総量が第1の量TA1よりも少ない間はほぼ一定で推移し、第1の量TA1を超えると徐々に減少し始めると考えられる。

[0119] これにより、第2記憶部60内の最小データ量についても、データ書き込み総量が第1の量TA1となるまではほぼ一定であるが、第1の量TA1を超えると徐々に減少し、さらに第2の量TA2に達すると、最小データ量が0となる。最小データ量が0となると、第2記憶部60内のデータが枯渇してしまうため、露光不良が生じる。したがって、データ書き込み総量が第2の量TA2よりも少ないときに、第1メモリを交換することが望ましい。

[0120] そこで、本実施形態では、耐久性試験において、データ書き込み総量と、露光処理中の第2記憶部60内の最小データ量と、を取得し、第2記憶部60内のデータが枯渇してしまうデータ書き込み総量（第2の量TA2）を取得する。その後、安全を見込み、例えば、第2の量TA2よりも所定割合（例えば、20%～30%）低いデータ書き込み総量T_{ath}を、特殊TBWとする。したがって、本実施形態に係る露光装置EXに用いられる第1メモリ50-mの各々には、寿命として特殊TBWが設定される。理論的には、特殊TBWの値は、TBWの値以上である。

[0121] 次に、第1メモリ50-m ($m=1\sim4, 11\sim14$)の異常又は交換時期を検出するための異常検出装置について説明する。異常検出装置は、例えば、データ転送装置1000に設けられる。

[0122] 図20は、本実施形態に係る異常検出装置600-n ($n=1\sim27$)の機能ブロック図である。本実施形態では、異常検出装置600-n ($n=1\sim27$)は、モジュールMU n ($n=1\sim27$)にそれぞれ対応して設けられる。

[0123] 異常検出装置600-n ($n=1\sim27$)は、整合性モニタ部601、読出し速度モニタ部603、書き込み総量モニタ部605、経過時間・読出し回数モニタ部610、異常判断部607、及びログDB609等を備える。

[0124] ログDB609は、基板の露光処理中の各種条件、設定値、計測値や、異常判断部607が第1メモリ50-m ($m=1\sim4, 11\sim14$)の異常を検出したタイミング等を記録したログを格納する。

[0125] 整合性モニタ部601は、第1メモリ50-m ($m=1\sim4, 11\sim14$)に書き込まれたデータが正しいか否かをチェックする。本実施形態では、整合性モニタ部601は、誤り検出符号で広く用いられているCRC (Cyclic Redundancy Check) を利用して、第1メモリ50-m ($m=1\sim4, 11\sim14$)に書き込まれたデータが正しいか否かをチェックする。

[0126] 具体的には、整合性モニタ部601は、モジュールPC200-n ($n=1\sim27$)から第1メモリ50-m ($m=1\sim4, 11\sim14$)にデータを転送する際、SLMデータとSLMデータから計算したCRC符号を合わせて保管する。以下の(1)～(3)のデータを読み出す際、読み出したSLMデータから再計算したCRC符号と、読み出したCRC符号を比較して、データの整合性をチェックする。もしくは、モジュールPC200-n ($n=1\sim27$)から第1メモリ50-m ($m=1\sim4, 11\sim14$)に転送されたデータと、以下の(1)～(3)のデータと、を比較して、データの整合性をチェックする。

(1) 第1メモリ50-m ($m=1\sim4, 11\sim14$)から転送されたデー

タ

(2) 第2記憶部60から転送されたデータ

(3) DMD制御基板400-n (n=1~27) からDMD10に転送されるデータ

[0127] より詳細には、整合性モニタ部601は、モジュールPC200-n (n=1~27) から第1メモリ50-m (m=1~4, 11~14) にデータを転送する際、SLMデータとSLMデータから計算したCRC符号を合わせて保管する。以下の(1)~(3)のデータを読み出す際、読み出したSLMデータから再計算したCRC符号と、読み出したCRC符号を比較、もしくは、モジュールPC200-n (n=1~27) から転送されたデータと、(1)~(3)のデータと、を比較し、符号誤り率を算出する。言い換えると、整合性モニタ部601は、ストレージ制御基板300-nに記憶される前のデータと、(1)~(3)のデータと、を比較して異なる信号の有無をモニタする。整合性モニタ部601は、算出した符号誤り率を異常判断部607に出力する。

[0128] 読出し速度モニタ部603は、第1メモリ50-m (m=1~4, 11~14) の読出し速度が所定速度で維持されているか否かをモニタする。本実施形態では、読出し速度モニタ部603は、露光処理時における第2記憶部60内のデータ残量の最小値(最小データ量)をモニタすることで、第1メモリの読出し速度をモニタする。読出し速度モニタ部603は、露光処理時における第2記憶部60の最小データ量を異常判断部607に出力する。また、読出し速度モニタ部603は、第2記憶部60内のデータ残量をリアルタイムでモニタしてもよいし、所定間隔でモニタしてもよい。

[0129] 書き込み総量モニタ部605は、第1メモリ50-m (m=1~4, 11~14) の各々へのデータ書き込み総量をモニタし、異常判断部607に出力する。

[0130] 経過時間・読出し回数モニタ部610は、第1メモリ50-m (m=1~4, 11~14) の各々へのデータ書き込み時間またはデータ読出し回数を

モニタし、異常判断部607に出力する。第1メモリ50-m ($m=1\sim4$, 11~14)は、第2記憶部60へSLMデータを転送する際に高速に読出せる時間が短くなる。そのため、経過時間・読出し回数モニタ部610では、第1メモリ50-m ($m=1\sim4$, 11~14)へのSLMデータ書き込み終了後からの経過時間をモニタする。

[0131] 異常判断部607は、符号誤り率、最小データ量(第1メモリ読出し速度)、データ書き込み総量、第1メモリ50-m ($m=1\sim4$, 11~14)へのSLMデータ書き込み終了後からの経過時間を、それぞれの閾値と比較する。

[0132] 異常判断部607は、例えば、符号誤り率が、予め設定された閾値BER (Bit Error Rate) t_h 以上である場合に、第1メモリ50-m ($m=1\sim4$, 11~14)の交換が必要であると判断する。この場合、本実施形態では、異常判断部607は、符号誤り率が閾値BER t_h 以上となったタイミングをログDB609に記憶する。異常判断部607は、符号誤り率が、予め設定された閾値BER t_h 以上となった場合に、アラートを出力してもよい。なお、閾値BER t_h は、所望の露光品質を維持できる値に設定される。

[0133] また、異常判断部607は、例えば、最小データ量が、予め設定した閾値MDA t_h 以下である場合に、第1メモリ50-m ($m=1\sim4$, 11~14)の交換が必要であると判断する。また、最小データ量だけではなく、この場合、本実施形態では、異常判断部607は、最小データ量が閾値MDA t_h 以下となったタイミングをログDB609に記憶する。異常判断部607は、最小データ量が、予め設定した閾値MDA t_h 以下である場合に、アラートを出力してもよい。

[0134] また、異常判断部607は、第1メモリ50-m ($m=1\sim4$, 11~14)のデータ書き込み総量が、上述した特殊TBWを超えた場合に、第1メモリ50-m ($m=1\sim4$, 11~14)の交換が必要であると判断する。この場合、本実施形態では、異常判断部607は、データ書き込み総量が、

特殊TBWを超えたタイミングをログDB609に記憶する。異常判断部607は、データ書き込み総量が、特殊TBWを超えた場合に、アラートを出してもよい。

[0135] また、異常判断部607は、第1メモリ50-m ($m=1\sim4, 11\sim14$) へのSLMデータ書き込み終了後からの経過時間が閾値の時間を超えた場合、アラートを出してもよい。また、異常判断部607が有する再書き込み部611によって、第1メモリ50-m ($m=1\sim4, 11\sim14$) へ再度SLMデータを書き込んでもよい。

また、第1メモリ50-m ($m=1\sim4, 11\sim14$) へのSLMデータの総書き込み量が増えると、第1メモリ50-m ($m=1\sim4, 11\sim14$) がデータを正しく記憶できる時間が短くなる。したがって、再書き込み部611による第1メモリ50-m ($m=1\sim4, 11\sim14$) へのSLMデータの再書き込みの回数及びタイミングは、経過時間・読出し回数モニタ部610によってモニタされている第1メモリ50-m ($m=1\sim4, 11\sim14$) へのSLMデータの書き込み回数や、総書き込み経過時間によって異常判断部607によって判断および制御される。

[0136] アラートの出力は、例えば、露光装置EXが備える液晶ディスプレイ等の表示装置DISPLAYにメッセージを出力することにより実現してもよいし、ログDB609内に格納されているデータの一部を表示装置DISPLAYに表示したり、プリントアウトすることにより実現してもよい。アラートは、1つの基板の処理が終了するごとに出力してもよいし、ロットごとに出力してもよい。ロットごとに出力する場合、エラーが発生した基板が存在したことを出力するようにしてもよい。

[0137] 以上、詳細に説明したように、本第4実施形態によれば、データ転送装置1000に設けられる異常検出装置600-n ($n=1\sim27$) は、第2記憶部60で記憶されるSLMデータのデータ量をモニタする読出し速度モニタ部603を備える。これにより、露光処理中に、第2記憶部60内のデータが枯渇していないか否かを判断することができる。

[0138] また、本第4実施形態によれば、第2記憶部60で記憶されるSLMデータのデータ量が閾値MDA_{th}以下となったタイミング、各第1メモリ50-m (m=1~4, 11~14)からのSLMデータ(第2データ)の転送速度と第2記憶部60から転送されるSLMデータ(第3データ)の転送速度との転送速度差が閾値以下となったタイミング、もしくは、第2記憶部60のデータ量が0となったタイミング(フレーム数)を記憶するログDB609を備える。これにより、第2記憶部60内のデータが閾値MDA_{th}以下となったタイミングを確認することができる。また、ログDB609には、露光処理中の設定や各機器の状態等も記録されるため、他の記録を使用することで、第2記憶部60内のデータが閾値MDA_{th}以下となったときの状況などを分析できる。さらに、第1メモリ50-m (m=1~4)の交換タイミングの判断材料を、露光装置EXの使用者、メンテナンス担当者に提供することができる。

[0139] また、本第4実施形態によれば、異常検出装置600-nは、第2記憶部60で記憶されるSLMデータのデータ量が閾値MDA_{th}以下、各第1メモリ50-m (m=1~4, 11~14)からのSLMデータの転送速度と第2記憶部60から転送されるSLMデータの転送速度との転送速度差が閾値以下となったタイミング、もしくは、第2記憶部60のデータ量が0のとき、露光装置EXが有する表示装置DISPLAY(表示画面)に警告(アラート)を表示する異常判断部607を備える。これにより、露光装置EXのオペレータは、第1メモリ50-mの交換が必要なタイミングを知ることができる。

[0140] また、本第4実施形態によれば、異常検出装置600-nは、複数の第1メモリ50-m (m=1~4, 11~14)の各々で記憶されたSLMデータの総データ量をモニタする書き込み総量モニタ部605を備える。これにより、データ書き込み総量が、特殊TBWを超えているか否か等の判断が可能となる。

[0141] また、本第4実施形態によれば、複数の第1メモリ50-m (m=1~4

、 11～14）の各々は、複数の第1メモリ50-mの各々で記憶されたSLMデータの総データ量が、複数の第1メモリ50-mの各々に設定されているTBWを超えた後も、複数の第1メモリ50-mの各々へのSLMデータを所定期間（例えば、1ロットの処理期間）正しく保持できる。これにより、TBWで規定された寿命よりも長い期間、第1メモリ50-mを使用することができる。

[0142] また、本第4実施形態によれば、複数の第1メモリ50-mの各々には、寿命としてTBW以上の値（特殊TBW）が設定されている。特殊TBWは、TBWよりも大きいため、TBWを基準に第1メモリ50-mを交換する場合と比較して、第1メモリ50-mの交換間隔を長くすることができる。したがって、露光装置EXのライフタイムコストを低減することができる。

[0143] また、本第4実施形態によれば、異常検出装置600-nは、複数の第1メモリ50-mの各々が記憶したデータの総量を記録し、データの総量が閾値（特殊TBW）以上となったタイミングを記憶するログDB609を有する。これにより、書き込みデータ総量が閾値（特殊TBW）以上となったタイミングを確認できる。さらに、第1メモリ50-m（m=1～4）の交換タイミングの判断材料を、露光装置EXの使用者やメンテナンス担当者に提供することができる。

[0144] また、本第4実施形態によれば、異常検出装置600-nは、ストレージ制御基板300-nで記憶される前のSLMデータと、ストレージ制御基板300-nから転送されたSLMデータと、を比較して符号誤り率を算出する（異なる信号の有無をモニタする）整合性モニタ部601を備える。これにより、データの整合性が保たれているか否かを確認することができる。

[0145] また、本第4実施形態によれば、整合性モニタ部601は、ストレージ制御基板300-nで記憶される前のSLMデータと、第2記憶部60から転送されたSLMデータと、を比較して符号誤り率を算出する（異なる信号の有無をモニタする）。これにより、データの整合性が保たれているか否かを確認することができる。

- [0146] また、本第4実施形態によれば、異常検出装置600-nは、整合性モニタ部601で計測された符号誤り率が閾値BER_{th}以上となったタイミングを記憶するログDB609を備える。これにより、符号誤り率が閾値BER_{th}以上となったタイミングを確認することができる。さらに、第1メモリ50-m (m=1~4)の交換タイミングの判断材料を、露光装置EXの使用者やメンテナンス担当者に提供することができる。
- [0147] また、本第4実施形態によれば、異常検出装置600-nは、整合性モニタ部601で計測された符号誤り率が閾値BER_{th}以上のとき、表示装置DISPLAYに警告（アラート）を表示する異常判断部607を備える。これにより、露光装置EXのオペレータは、第1メモリ50-mの交換タイミングを知ることができる。
- [0148] なお、上記第4実施形態では、特殊TBWを、第2記憶部60内の最小データ量に基づいて決定していたが、これに限られるものではない。書き込みデータ総量と符号誤り率との間に相関関係が存在する場合には、符号誤り率に基づいて特殊TBWを決定してもよい。例えば、書き込みデータ総量が第1の量TA1を超えると符号誤り率が増加する等の関係が存在する場合には、符号誤り率が閾値を超えるデータ書き込み総量を、特殊TBWとしてもよい。また、第2記憶部60内の最小データ量と、符号誤り率と、の両方を利用して、特殊TBWを決定してもよい。
- [0149] また、上記第4実施形態において、異常検出装置600-nは、整合性モニタ部601、読出し速度モニタ部603、及び書き込み総量モニタ部605の少なくとも2つを有すればよい。
- [0150] また、上記第4実施形態において、第2記憶部60近傍の温度及び第1メモリ近傍の温度を計測するようにしてもよい。各部品には、メーカーから動作保証温度及び性能保証温度の少なくとも一方が提供されている。例えば、動作保証温度外の温度で第1メモリ又は第2記憶部60を使用すると、正常に動作しない恐れがあるため、第2記憶部60近傍の温度及び第1メモリ近傍の温度がそれぞれの動作保証温度外となった場合に、エラー（アラート）を

出力するようにしてもよい。

[0151] なお、上記第1～第4実施形態では、第1メモリ50-m ($m=1\sim4$, 11～14) に露光済のSLMデータが残っている場合がある、そのような場合では、第1メモリ50-m ($m=1\sim4$, 11～14) 内部で不定期・非同期にガベージコレクション処理が始まる。露光中にガベージコレクション処理が始まると、第1メモリ50-m ($m=1\sim4$, 11～14) からのSLMデータの転送速度が低下する、又は一時停止する可能性がある。この現象を防ぐために、図21に示すように、異常検出装置600-nは、第1メモリ50-m ($m=1\sim4$, 11～14) に記憶されている露光済のSLMデータを消去する消去部612を有していてもよい。また、消去部612は、複数の基板を処理している処理中ロットから次の処理予定のロットへ切り替わる間や、装置のキャリブレーション時間の間に第1メモリ50-m ($m=1\sim4$, 11～14) に記憶されている露光済のSLMデータを消去してもよい。

[0152] なお、上記第1～第4実施形態では、第1メモリ50-m ($m=1\sim4$, 11～14) のうち、第1メモリ50-1が使用できなくなった場合、第1メモリ50-1が記憶するはずだったSLMデータDnAを分割して、残りの第1メモリ50-2～50-4に記憶させる。これにより、露光装置が使用できなくなるダウンタイムを減らすことができる。なお、1つの第1メモリ50-m ($m=1\sim4$, 11～14) が使用できなくなった場合に限られず、複数の第1メモリ50-m ($m=1\sim4$, 11～14) が使用できなくなった場合でも同様である。

[0153] なお、上記第1～第4実施形態では、各第1メモリ50-m ($m=1\sim4$, 11～14) は、各第1メモリ50-m ($m=1\sim4$, 11～14) 内の異なるアドレスに同じSLMデータを記憶することもできる。具体的には、第1メモリ50-1内の2つ以上の異なるアドレス（第1アドレス、第2アドレス）にSLMデータDnAをそれぞれ記憶させる。第1メモリ50-1の第1アドレスから第2記憶部60へのSLMデータDnAのデータ転送速

度が何らかの原因で遅い場合は、データ転送中に転送元を第1アドレスから第2アドレスに変更してSLMデータD_nAを第2記憶部60へと転送する。これにより、データ転送速度の遅れを防ぐことができる。また、転送元を第1アドレスから第2アドレスに変更する際、第2アドレスから転送されるデータは、第1アドレスから転送されたSLMデータの続きからSLMデータを転送すると好ましい。

[0154] なお、第1～第4実施形態では、露光位置（結像位置）の補正を各モジュールMU1～27で行うため、露光位置調整のためのSLMデータの修正が不要である。各モジュールMU1～27が有するレンズの位置を調整することにより、露光位置の調整が可能である。そのため、異なる基板、異なるスキャン（製品）領域であっても、同じSLMデータを使用し続けることが可能である。これにより、基板ごとにデータ転送の工程が不要になり、その結果データ転送の時間を短縮でき、装置可動時間を増やすことが出来る。また、基板ごとに露光データを転送すると、露光中でもデータ転送をせざるを得なくなり、DMDを高速で稼働できなくなる。これは、DMDを高速で可動させるのに対し、データ転送が間に合わなくなり、結果的に露光ができなくなる恐れがあるためである。さらに、この手法を用いると、第1メモリ50-m（m=1～4、11～14）として、容量が大きく、高速、かつ安価なメモリを使用することができる。

[0155] なお、第1～第4実施形態において、第1メモリ50-m（m=1～4、11～14）にSSDやHDD等の不揮発性メモリを使用する場合、第1メモリ50-m（m=1～4、11～14）から第2記憶部60へのデータ転送速度が基準のデータ転送速度よりも遅い場合がある。この原因は、SLMデータを記憶させるために使用していた第1メモリ50-m（m=1～4、11～14）の特定のメモリ素子のアドレスに繰り返しデータを記憶させるとデータ転送速度が遅くなることがある。そのような場合、第1メモリ50-m（m=1～4、11～14）は、データ転送速度が遅いメモリ素子のアドレスを記憶しておき、モジュールPCから転送されたSLMデータをデー

タ転送速度が遅いメモリ素子のアドレスとは異なるメモリ素子のアドレスに記憶させる。その後、第1メモリ50-m ($m=1\sim 4$, 11~14)は変更後のメモリ素子のアドレスから第2記憶部60にSLMデータを転送する。これにより、データ転送速度の劣化を防ぐことができる。

[0156] なお、上記第1~第4実施形態は、液晶表示素子の製造に用いられる露光装置、半導体素子等を含むディスプレイの製造に用いられてデバイスパターンを半導体基板上へ転写する露光装置、薄膜磁気ヘッドの製造に用いられてデバイスパターンをセラミックウェハ上へ転写する露光装置、及びCCD等の撮像素子の製造に用いられる露光装置等に適用することができる。

[0157] 次に第1~第4実施形態による露光装置をリソグラフィ工程で使用したマイクロデバイスの製造方法の実施形態について説明する。図22は、マイクロデバイスとしての半導体デバイスを製造する際の製造工程の一部を示すフローチャートである。まず、図22のステップS501において、1ロットのウェハ上に金属膜が蒸着される。次のステップS502において、その1ロットのウェハ上の金属膜上にフォトリジストが塗布される。その後、ステップS503において、図1に示す露光装置EXを用いて、DMD10が生成したパターンの像がその投影光学系（投影システム）を介して、その1ロットのウェハ上の各ショット領域に順次露光転写される。

[0158] その後、ステップS504において、その1ロットのウェハ上のフォトリジストの現像（現像工程）が行われた後、ステップS505において、その1ロットのウェハ上でレジストパターンをマスクとしてエッチングを行うことによって、DMD10が生成したパターンに対応する回路パターンが、各ウェハ上の各ショット領域に形成される。その後、更に上のレイヤの回路パターンの形成等を行うことによって、半導体素子等のデバイスが製造される。上述の半導体デバイス製造方法によれば、極めて微細な回路パターンを有する半導体デバイスをスループット良く得ることができる。

[0159] また、上記各露光装置では、基板P上に所定のパターン（回路パターン、電極パターン等）を形成することによって、マイクロデバイスとしての液晶

表示素子を得ることもできる。以下、図23のフローチャートを参照して、このときの手法の一例につき説明する。図23は、マイクロデバイスとしての液晶表示素子の製造する際の製造工程の一部を示すフローチャートである。

[0160] 図23中のパターン形成工程S520では、本実施形態の露光装置EX等を用いてDMD10が生成したパターンを感光性基板（レジストが塗布されたガラス基板等）に転写露光する、所謂光リソグラフィ工程が実行される。この光リソグラフィ工程によって、感光性基板上には多数の電極等を含む所定パターンが形成される。その後、露光された基板は、現像工程、エッチング工程、レチクル剥離工程等の各工程を経ることによって、基板上に所定のパターンが形成され、次のカラーフィルタ形成工程S522へ移行する。

[0161] 次に、カラーフィルタ形成工程S522では、R（Red）、G（Green）、B（Blue）に対応した3つのドットの組がマトリックス状に多数配列されたり、又はR、G、Bの3本のストライプのフィルタの組を複数水平走査線方向に配列したカラーフィルタを形成する。そして、カラーフィルタ形成工程S522の後に、セル組立工程S524が実行される。セル組立工程S524では、パターン形成工程S520にて得られた所定パターンを有する基板、及びカラーフィルタ形成工程S522にて得られたカラーフィルタ等を用いて液晶パネル（液晶セル）を組み立てる。

[0162] セル組立工程S524では、例えば、パターン形成工程S520にて得られた所定パターンを有する基板とカラーフィルタ形成工程S522にて得られたカラーフィルタとの間に液晶を注入して、液晶パネル（液晶セル）を製造する。その後、モジュール組立工程S526にて、組み立てられた液晶パネル（液晶セル）の表示動作を行わせる電気回路、バックライト等の各部品を取り付けて液晶表示素子として完成させる。上述の液晶表示素子の製造方法によれば、極めて微細な回路パターンを有する液晶表示素子をスループット良く得ることができる。

[0163] 上述した実施形態は本発明の好適な実施の例である。但し、これに限定さ

れるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。

符号の説明

- [0164] 4 A X Y ステージ
4 B 基板ホルダ
1 0 D M D
5 0, 5 0 A 第 1 記憶部
5 0 - 1 ~ 5 0 - 4, 5 0 - 1 1 ~ 5 0 - 1 4 第 1 メモリ
6 0 第 2 記憶部
2 0 0 - 1 ~ 2 0 0 - 2 7 モジュール P C
3 0 0 - 1 ~ 3 0 0 - 2 7 ストレージ制御基板
6 0 0 - n 異常検出装置
6 0 1 整合性モニタ部
6 0 3 読出し速度モニタ部
6 0 5 書き込み総量モニタ部
6 0 7 異常判断部
6 1 0 経過時間・読出し回数モニタ部
6 1 2 消去部
1 0 0 0 データ転送装置
D S P L Y 表示装置
E X 露光装置
G 1 第 1 メモリ群
G 2 第 2 メモリ群
M B 本体部
M s マイクロミラー
M U 1 ~ M U 2 7 モジュール
P 基板

請求の範囲

- [請求項1] 描画データに基づいて空間光変調素子が有する複数の素子を制御して基板を露光する露光装置に用いられるデータ転送装置であって、
前記描画データである第1データを分割して複数の第2データを生成し、前記複数の第2データを転送する第1処理部と、
前記第1処理部から転送された前記複数の第2データをそれぞれ記憶する複数の第1メモリを含む第1メモリ群を有する第1記憶部を有し、前記複数の第1メモリの各々から前記第2データを転送する第2処理部と、
前記複数の第1メモリの各々から転送された前記第2データである第3データを記憶する第2記憶部を有し、前記第3データを前記空間光変調素子に転送する第3処理部と、
を備えるデータ転送装置。
- [請求項2] 前記第3処理部による前記第3データの転送速度は、前記第2処理部の前記第2データの転送速度と比較して遅い、請求項1に記載のデータ転送装置。
- [請求項3] 前記第2データもしくは前記第3データに関する情報をモニタするモニタ部を有する、請求項1または請求項2に記載のデータ転送装置。
- [請求項4] 前記モニタ部は、前記第2記憶部に記憶されている前記第3データのデータ量をモニタする、請求項3に記載のデータ転送装置。
- [請求項5] 前記モニタ部は、前記第2データの転送速度と前記第3データの転送速度との転送速度差をモニタする、請求項3または請求項4に記載のデータ転送装置。
- [請求項6] 前記モニタ部は、前記第2記憶部に記憶されている前記第3データのデータ量を所定の間隔でモニタする、請求項3から請求項5のいずれか一項に記載のデータ転送装置。
- [請求項7] 前記モニタ部は、前記第2記憶部に記憶されているデータ量が0に

なったフレーム数、または前記第3データのデータ量が閾値以下のとき前記閾値以下となったタイミングを記憶する、請求項3から請求項6のいずれか一項に記載のデータ転送装置。

[請求項8] 前記モニタ部は、前記基板の露光中に前記第2記憶部に記憶されているデータ量が0になったフレーム数、前記第2データの転送速度と前記第3データの転送速度との転送速度差が閾値以下となったタイミング、または前記第3データのデータ量が前記閾値以下のとき前記閾値以下となったタイミングを記憶する、請求項7に記載のデータ転送装置。

[請求項9] 前記モニタ部は、前記第2記憶部に記憶されているデータ量が0になったとき、前記第2データの転送速度と前記第3データの転送速度との転送速度差が閾値以下のとき、または前記第3データのデータ量が閾値以下のとき、前記露光装置が有する表示画面に警告を表示する、請求項3から請求項8のいずれか一項に記載のデータ転送装置。

[請求項10] 前記モニタ部は、前記複数の第1メモリの各々で記憶された前記第2データの総データ量をモニタする、請求項3から請求項9のいずれか一項に記載のデータ転送装置。

[請求項11] 前記モニタ部は、前記複数の第1メモリの各々が記憶した前記第2データの総データ量を記録し、前記第2データの総データ量が閾値以上となったタイミングを記憶する、請求項3から請求項10のいずれか一項に記載のデータ転送装置。

[請求項12] 前記モニタ部は、前記第2処理部で記憶される前の前記第2データと前記第2処理部から転送された前記第3データとを比較して異なる信号の有無をモニタする、請求項3から請求項11のいずれか一項に記載のデータ転送装置。

[請求項13] 前記モニタ部は、前記第2処理部で記憶される前の前記第2データと前記第3処理部から転送された前記第3データとを比較して異なる信号の有無をモニタする、請求項12に記載のデータ転送装置。

- [請求項14] 前記モニタ部は、誤り検出符号を含んだ前記第2データを用いて、露光中に異なる信号の有無をモニタする、請求項3から請求項13のいずれか一項に記載のデータ転送装置。
- [請求項15] 前記モニタ部は、前記異なる信号の数を計測する、請求項12から請求項14のいずれか一項に記載のデータ転送装置。
- [請求項16] 前記モニタ部は、前記異なる信号の数が閾値以上となったタイミングを記憶する、請求項15に記載のデータ転送装置。
- [請求項17] 前記モニタ部は、前記異なる信号の数が閾値以上のとき、前記露光装置が有する表示画面に警告を表示する、請求項15または請求項16に記載のデータ転送装置。
- [請求項18] 前記モニタ部は、前記第1メモリへの前記第2データ記憶終了後からの経過時間をモニタし、前記経過時間に基づいて前記第1メモリへ前記第2データを再記憶させる、請求項3から請求項17のいずれか一項に記載のデータ転送装置。
- [請求項19] 前記モニタ部は、前記第1メモリへの前記第2データの総記憶量をモニタし、前記第2データの総記憶量に基づいて前記第1メモリへ前記第2データを再記憶させる、請求項3から請求項18のいずれか一項に記載のデータ転送装置。
- [請求項20] 前記モニタ部は、前記第1メモリへの前記第2データ記憶終了後からの経過時間及び前記第1メモリへの前記第2データの総記憶量をモニタし、前記経過時間及び前記第2データの総記憶量に基づいて前記第1メモリへ前記第2データを再記憶させる、請求項18または請求項19に記載のデータ転送装置。
- [請求項21] 前記第1メモリ群は、少なくとも2つの前記第1メモリを有し、
一方の前記第1メモリは、前記複数の第2データのうちの一方の前記第2データを記憶し、
他方の前記第1メモリは、前記複数の第2データのうちの他方の前記第2データを記憶し、

一方の前記第1メモリが使用できなくなった際、

他方の前記第1メモリは、前記一方の前記第2データおよび前記他方の前記第2データを記憶する、請求項1から請求項20のいずれか一項に記載のデータ転送装置。

[請求項22] 前記第1メモリは、前記第1メモリ内の2以上の異なるアドレスである第1アドレスと第2アドレスに前記複数の第2データのうち、1つの前記第2データを記憶し、

前記第1メモリの第1アドレスからの前記1つの前記第2データの転送速度が所定の速度よりも遅い場合、

前記第1メモリは、前記第1アドレスからの前記1つの前記第2データの転送を中断し、前記第2アドレスからの前記1つの前記第2データの転送を行う、請求項1から請求項21のいずれか一項に記載のデータ転送装置。

[請求項23] 前記第1メモリから前記第2記憶部への前記第2データの転送速度が基準の転送速度と比較して遅い場合、

前記第1メモリは、使用されていた前記第1メモリのメモリ素子のアドレスとは異なるメモリ素子のアドレスに前記第2データを記憶する、請求項1から請求項22のいずれか一項に記載のデータ転送装置。

[請求項24] 前記第1メモリは、不揮発性メモリである、請求項23に記載のデータ転送装置。

[請求項25] 前記複数の第1メモリの各々は、前記複数の第1メモリの各々で記憶された前記第2データの総データ量が、前記複数の第1メモリの各々に設定されているTBW (Total Bytes Written) を超えた後も、前記複数の第1メモリの各々への前記第1データを所定期間正しく保持できる、請求項1から請求項24のいずれか一項に記載のデータ転送装置。

[請求項26] 前記複数の第1メモリの各々には、寿命としてTBW以上の値が設

定されている、請求項 1 から請求項 25 のいずれか一項に記載のデータ転送装置。

[請求項27] 前記第 2 処理部は、露光処理前に、前記第 2 記憶部に所定の式で定められるデータ量以上のデータ量を転送する、請求項 1 から請求項 26 のいずれか一項に記載のデータ転送装置。

[請求項28] 前記所定の式は、

前記空間光変調素子の制御基板へのデータ転送速度>前記第 1 メモリの読出し速度のノミナル値の場合、

最低限必要なバッファ容量 = { (前記空間光変調素子の制御基板へのデータ転送速度 - 前記第 1 メモリの読出し速度低下を想定した転送速度) } × 前記第 1 メモリの読出し速度低下時間の想定時間} · · · (1)

であり、

前記空間光変調素子の制御基板へのデータ転送速度<前記第 1 メモリの読出し速度のノミナル値の場合、

最低限必要なバッファ容量 = {前記空間光変調素子の制御基板へのデータ転送速度 - 前記第 1 メモリの読出し速度のノミナル値 × 走査時間} + { (前記空間光変調素子の制御基板へのデータ転送速度 - 前記第 1 メモリの読出し速度低下を想定した転送速度) × 前記第 1 メモリの読出し速度低下時間の想定時間} · · · (2)

である、請求項 27 に記載のデータ転送装置。

[請求項29] 前記第 2 処理部は、前記基板の露光前に、前記第 3 処理部に前記第 2 データを転送し、

前記第 3 処理部は、前記基板の露光前に、前記第 2 記憶部に前記第 3 データを記憶する、

請求項 1 から請求項 28 のいずれか一項に記載のデータ転送装置。

[請求項30] 前記第 2 処理部は、前記基板の露光前に、前記第 3 処理部に前記第 2 データの一部を転送する、請求項 29 に記載のデータ転送装置。

- [請求項31] 前記第1処理部は、前記第2データを生成するために前記複数の素子を複数の領域に分け、前記第1データから前記複数の領域の各々に対応した前記第2データを生成する、請求項1から請求項30のいずれか一項に記載のデータ転送装置。
- [請求項32] 前記第1処理部は、前記複数の素子が第1のタイミングで制御される第1制御データと第2のタイミングで制御される第2制御データとを前記複数の第1メモリの各々に振り分けて転送するための前記第2データを生成する、請求項1から請求項31のいずれか一項に記載のデータ転送装置。
- [請求項33] 前記第2処理部は、前記第1メモリ群と異なる、複数の第1メモリを有する第2メモリ群を有し、
前記第1処理部は、複数の前記第2データを前記第2メモリ群に転送する、
請求項1から請求項32のいずれか一項に記載のデータ転送装置。
- [請求項34] 前記第2処理部は、前記基板がアライメントもしくは前記露光装置がキャリブレーションされている間、複数の前記第2データを前記第3処理部に転送する、請求項33に記載のデータ転送装置。
- [請求項35] 前記第1処理部は、前記第2処理部が前記第1メモリ群の前記複数の第1メモリに記憶されている前記第2データを前記第3処理部に転送している間、複数の前記第2データを前記第2メモリ群の前記複数の第1メモリに転送する、請求項33に記載のデータ転送装置。
- [請求項36] 前記第2処理部が、前記第1メモリ群の前記複数の第1メモリに記憶されている、前記基板に形成される第1パターンに対応する前記第2データを、前記第3処理部に転送している間、前記第1処理部は、前記第1パターンとは異なる第2パターンに対応する前記第2データを、前記第2メモリ群の前記複数の第1メモリに転送する、請求項33に記載のデータ転送装置。
- [請求項37] 前記複数の第1メモリに記憶された使用済のデータを定期的に消去

する消去部を有する、請求項 1 から請求項 36 のいずれか一項に記載のデータ転送装置。

[請求項38] 前記第 1 データはビットマップデータである、請求項 1 から請求項 37 のいずれか一項に記載のデータ転送装置。

[請求項39] 前記空間光変調素子は、デジタルマイクロミラーデバイスであり、前記素子は、マイクロミラーである、請求項 1 から請求項 38 のいずれか一項に記載のデータ転送装置。

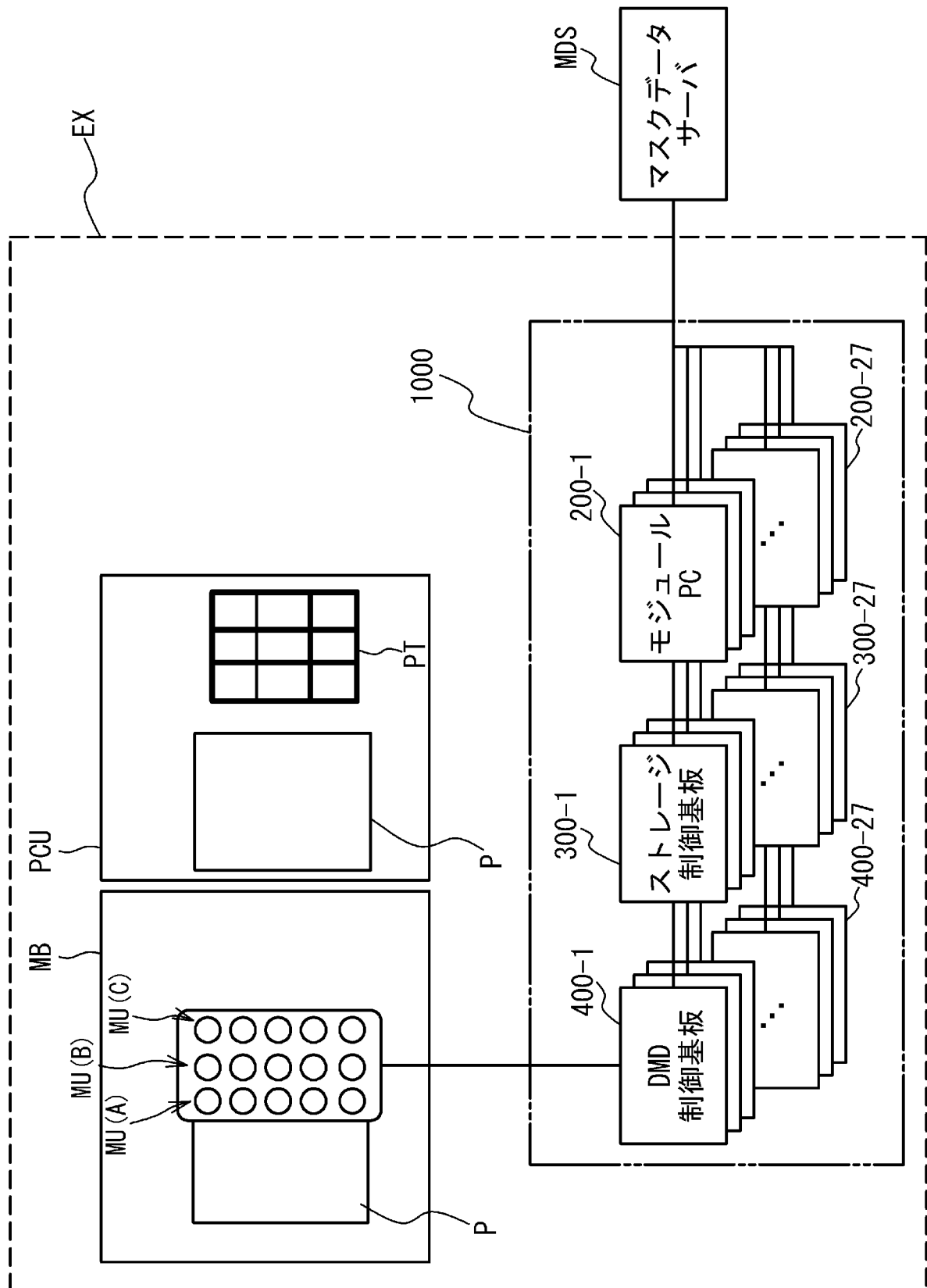
[請求項40] 請求項 1 から請求項 39 のいずれか一項に記載のデータ転送装置を有する、露光装置。

[請求項41] 前記露光装置は、
前記データ転送装置から転送された前記第 3 データに基づいて制御された空間光変調器に照明光を照明する照明ユニットと、
前記空間光変調器で変調された露光光を前記基板に結像させる複数の投影ユニットを有し、
前記複数の投影ユニットは、前記投影ユニットごとに前記基板への結像位置を調整して、前記基板に前記露光光を結像させる、請求項 40 に記載の露光装置。

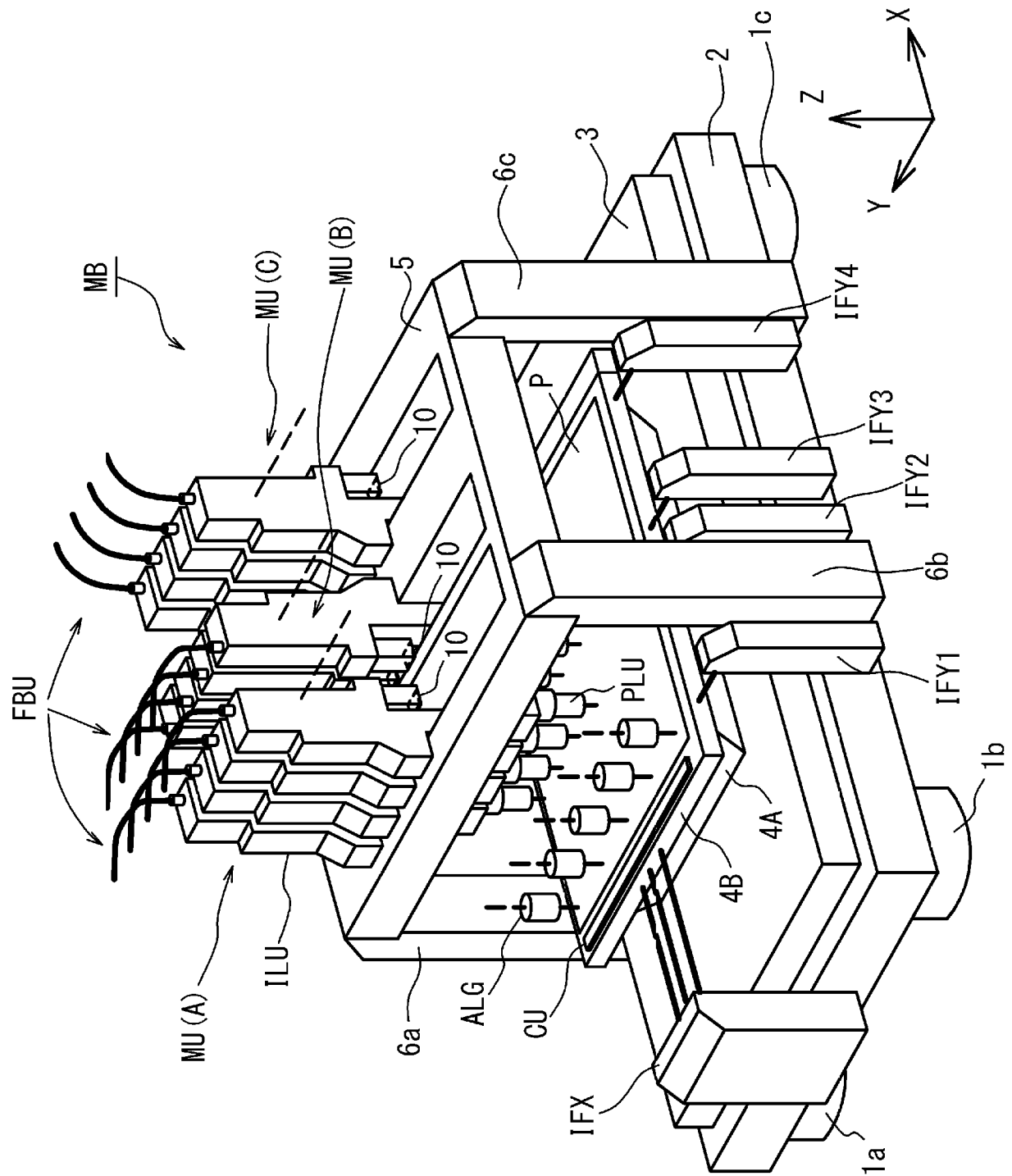
[請求項42] 前記複数の投影ユニットは、各前記投影ユニットが有する光学素子を調整して、前記基板への結像位置を調整する、請求項 41 に記載の露光装置。

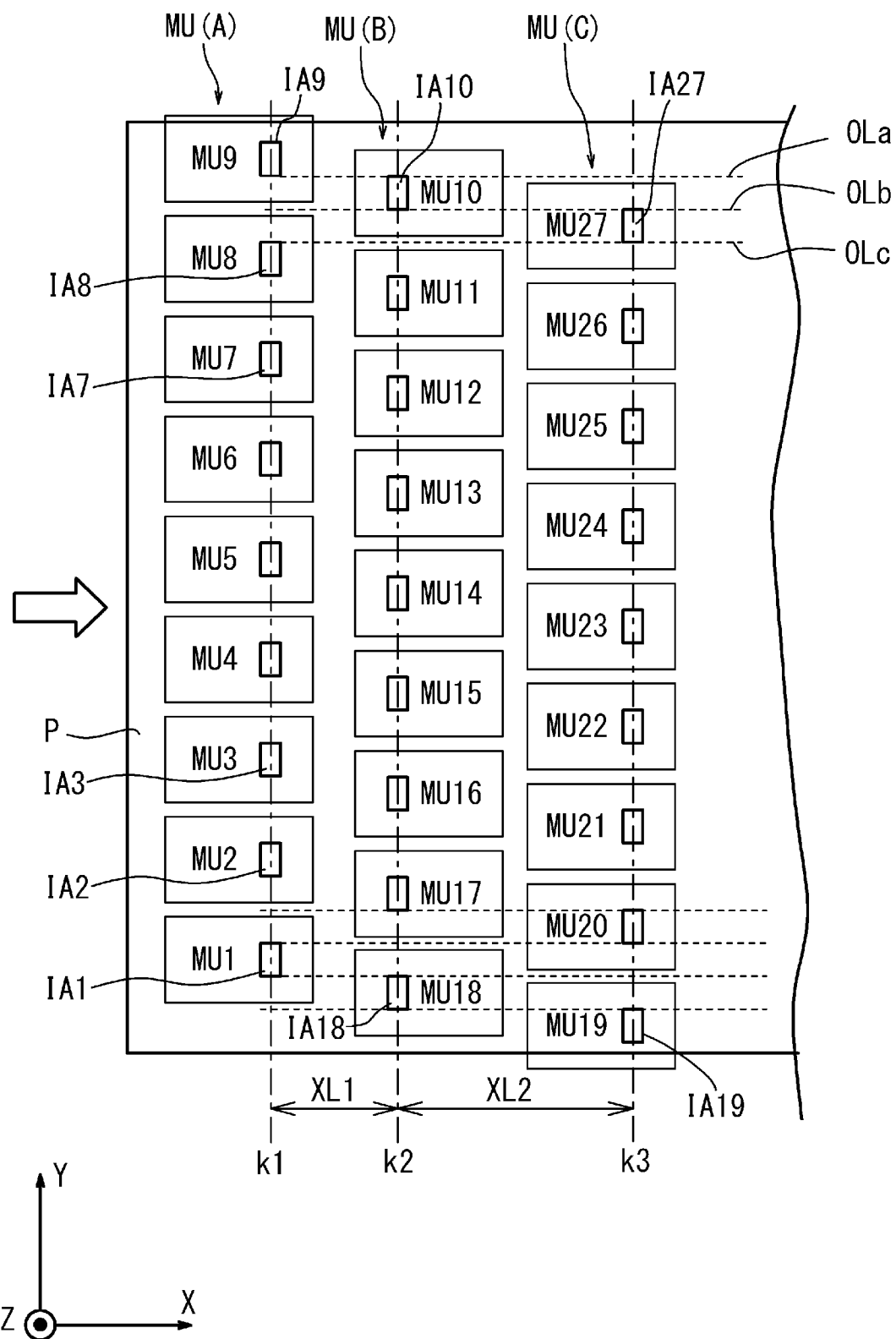
[請求項43] 請求項 40 から請求項 42 のいずれか一項に記載の露光装置を用いて製造された電子デバイス。

[図1]

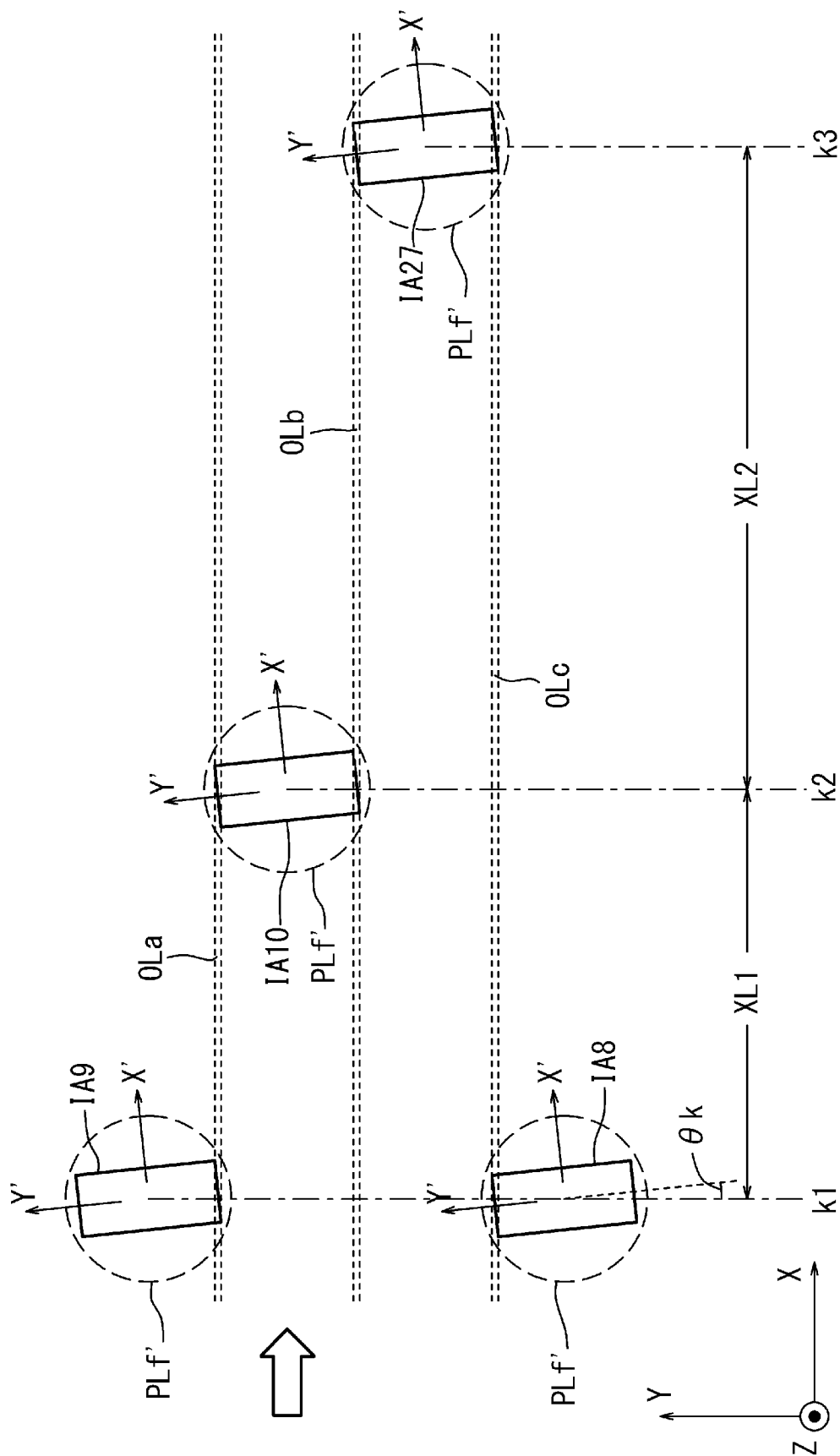


[図2]



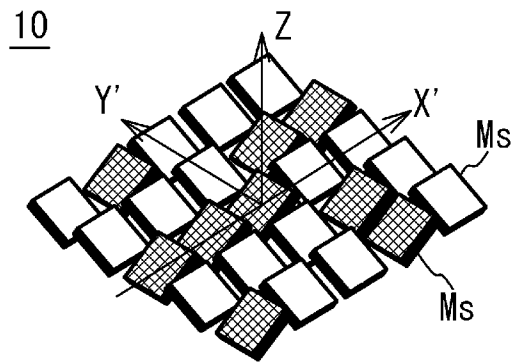


[図4]

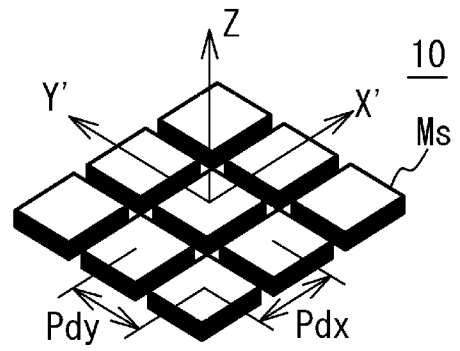


[図6]

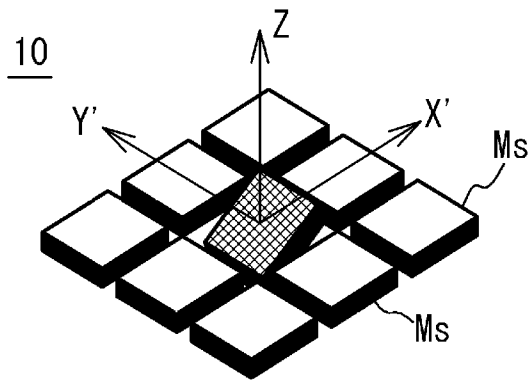
(A)



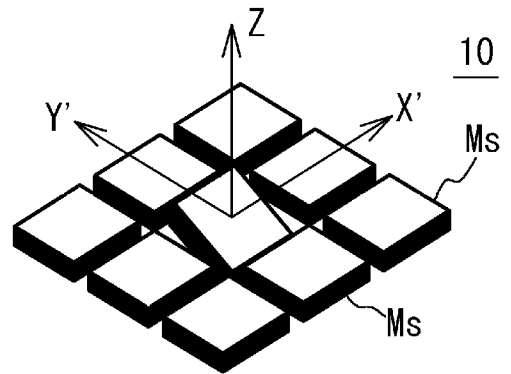
(B)



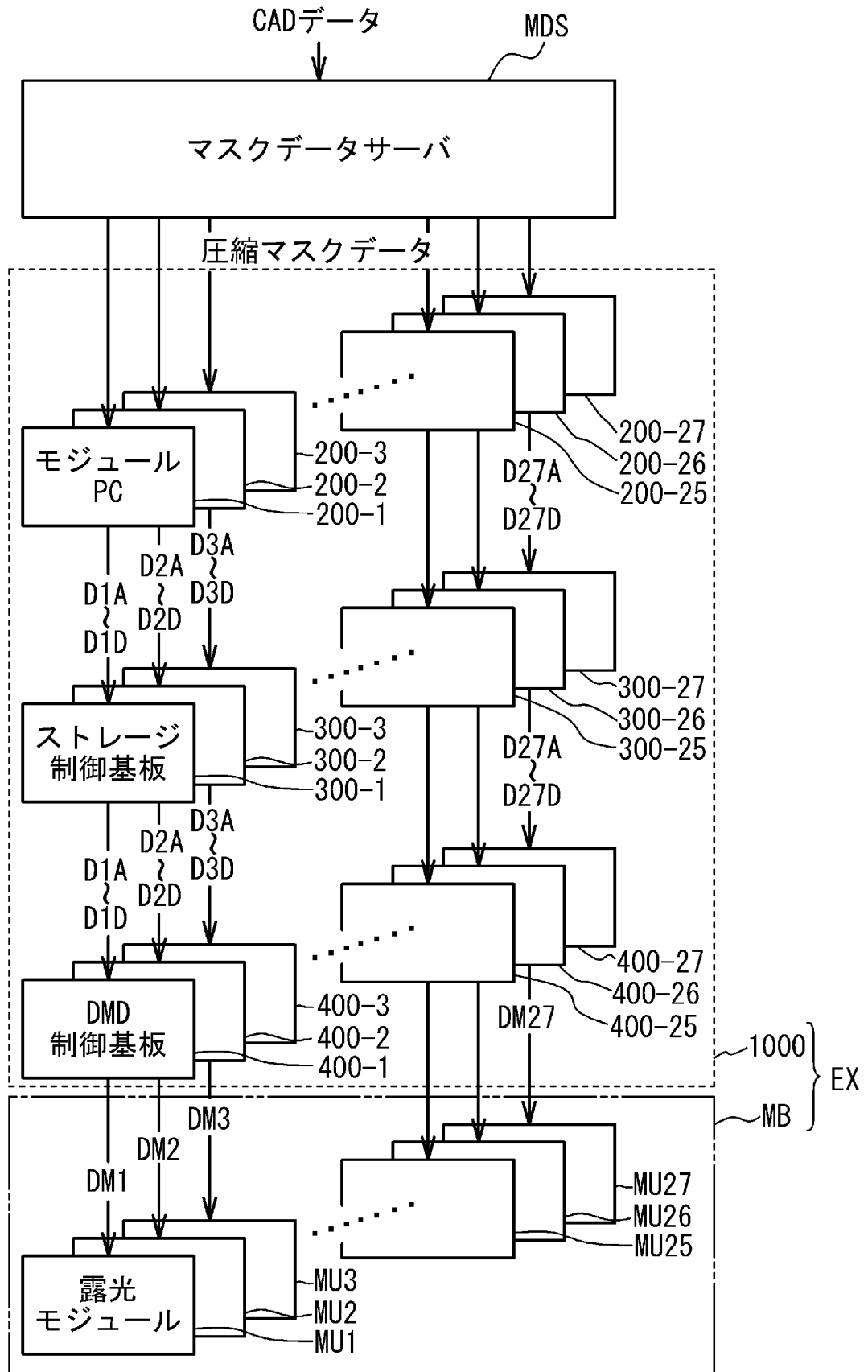
(C)



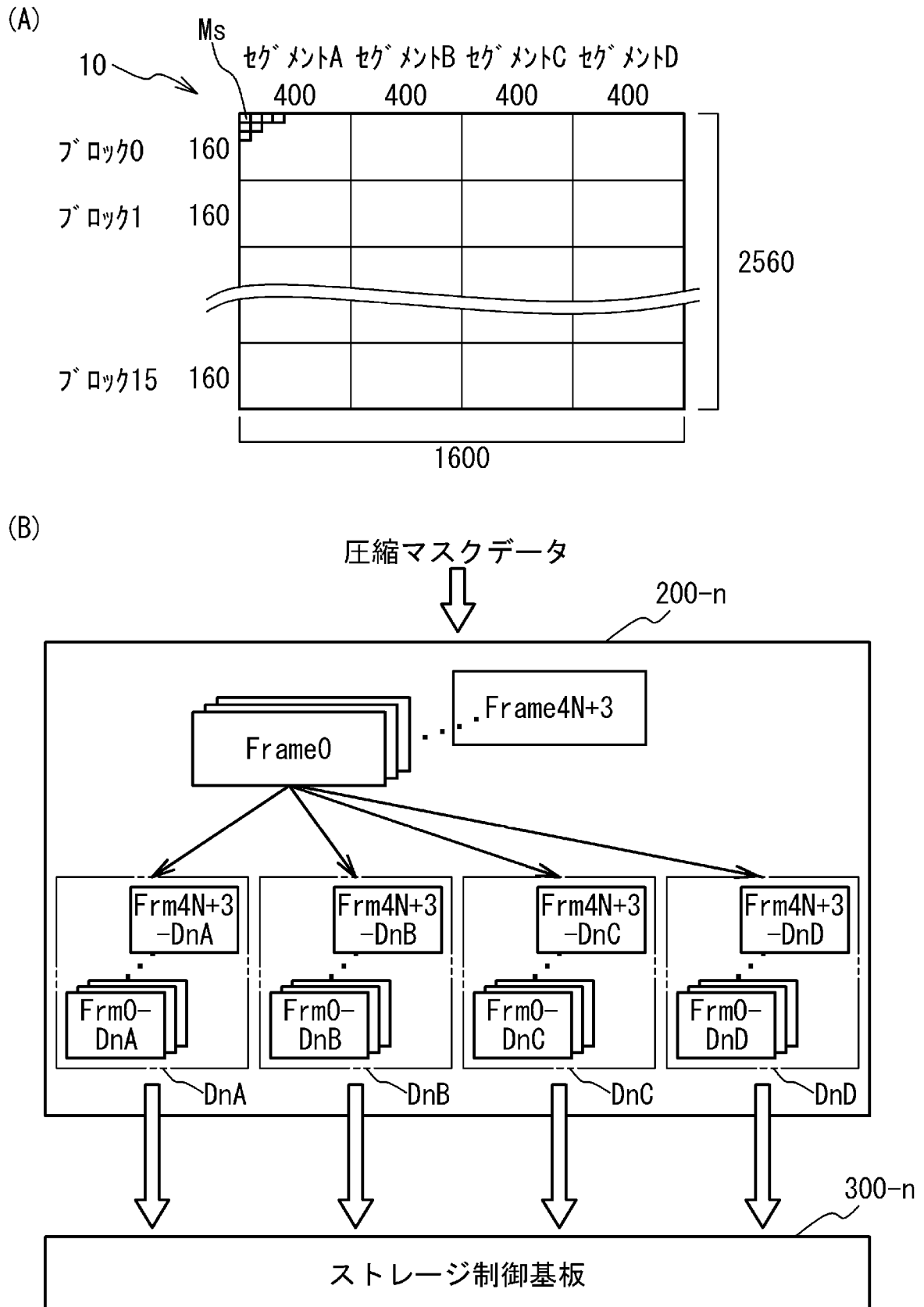
(D)



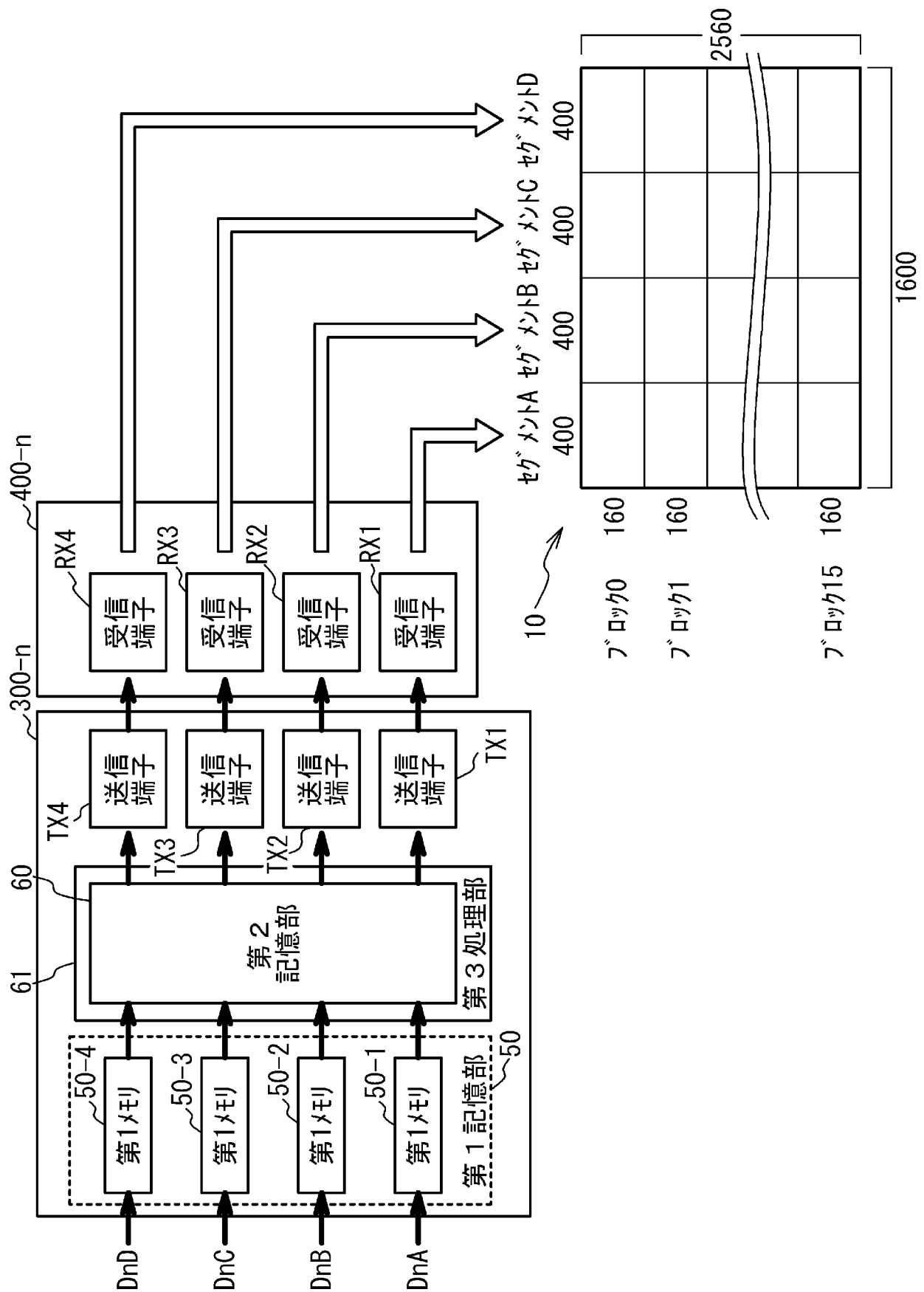
[図7]



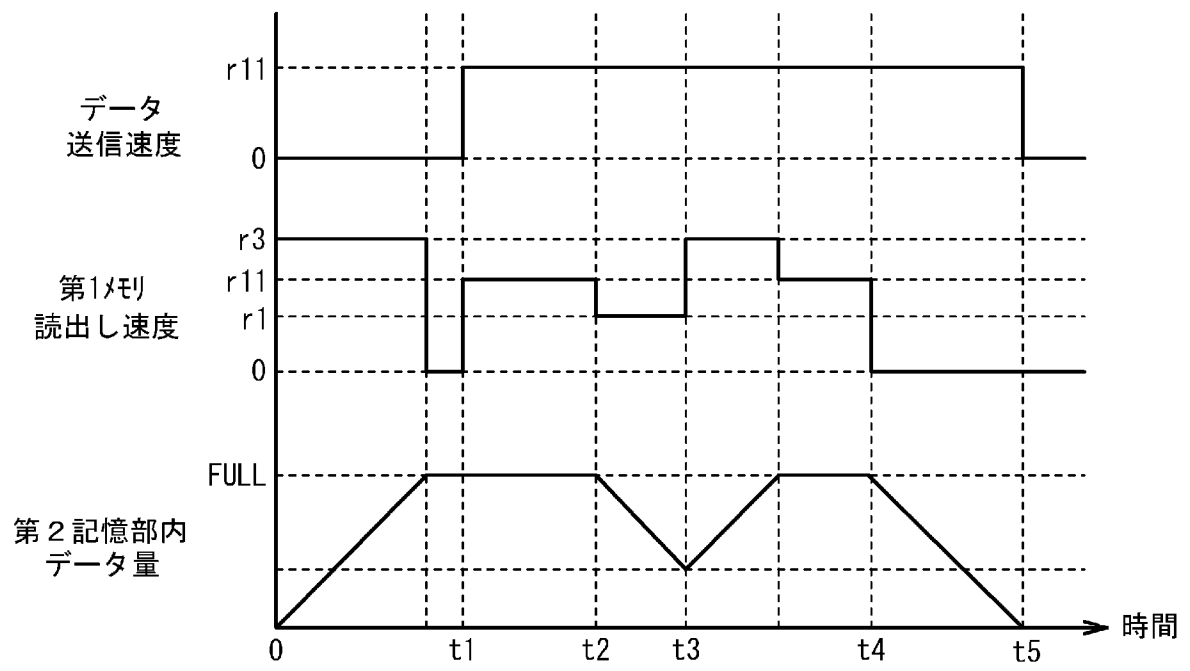
[図8]



[図9]



[図10]

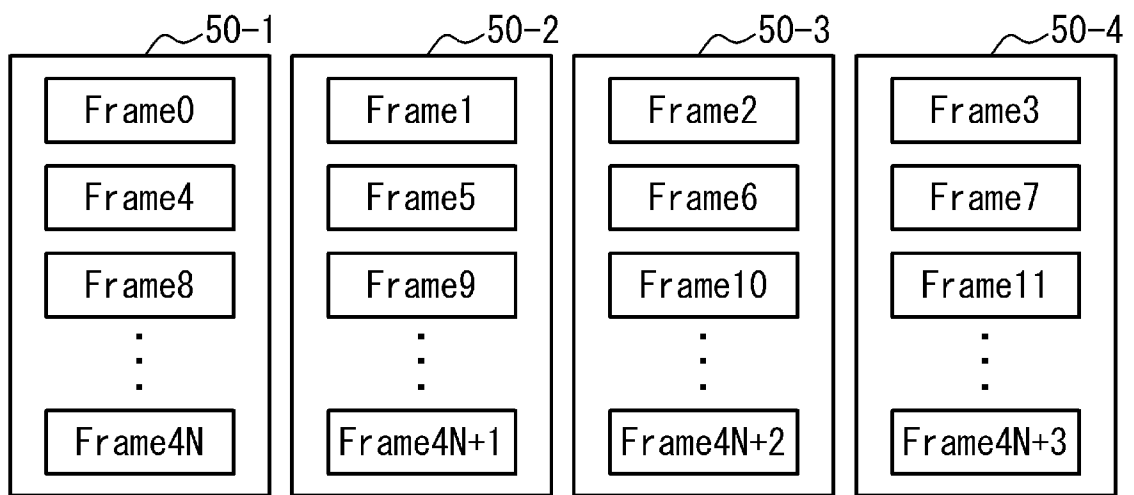


[図11]

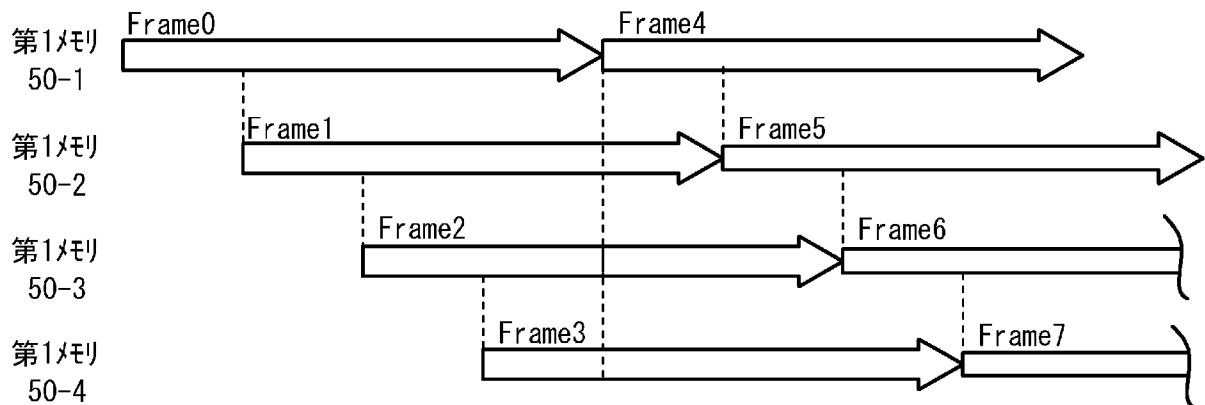
(A)



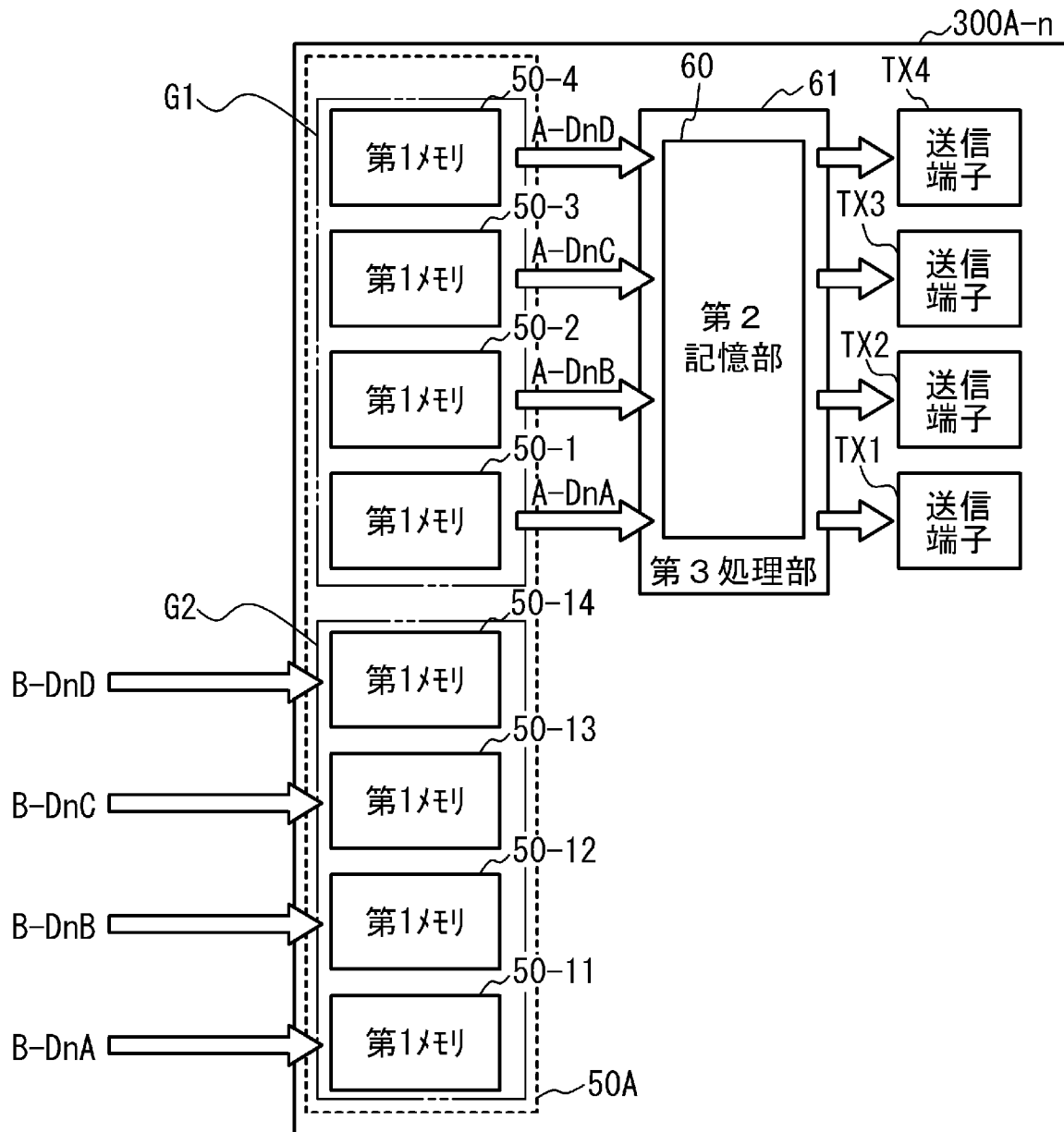
(B)



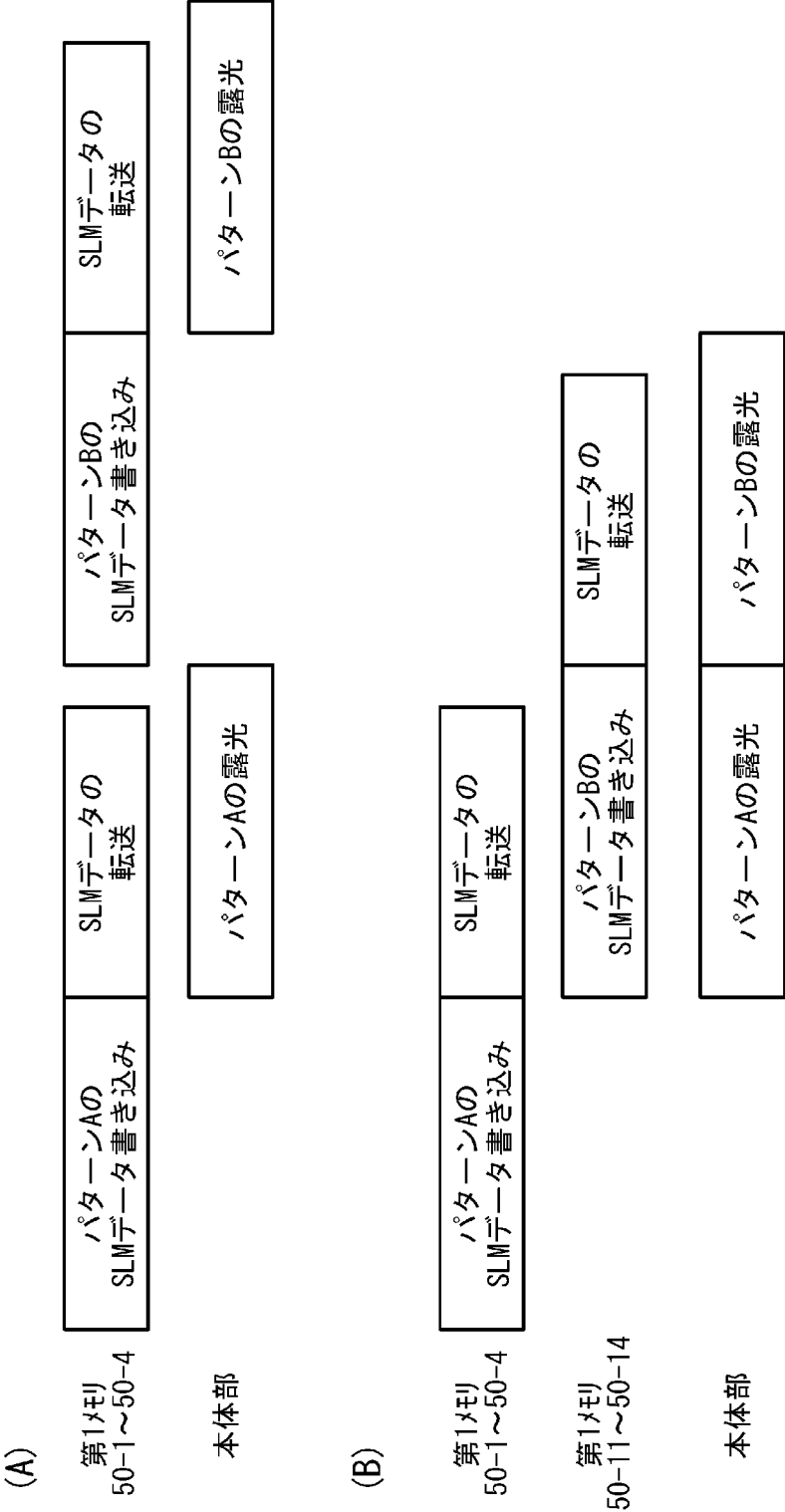
(C)



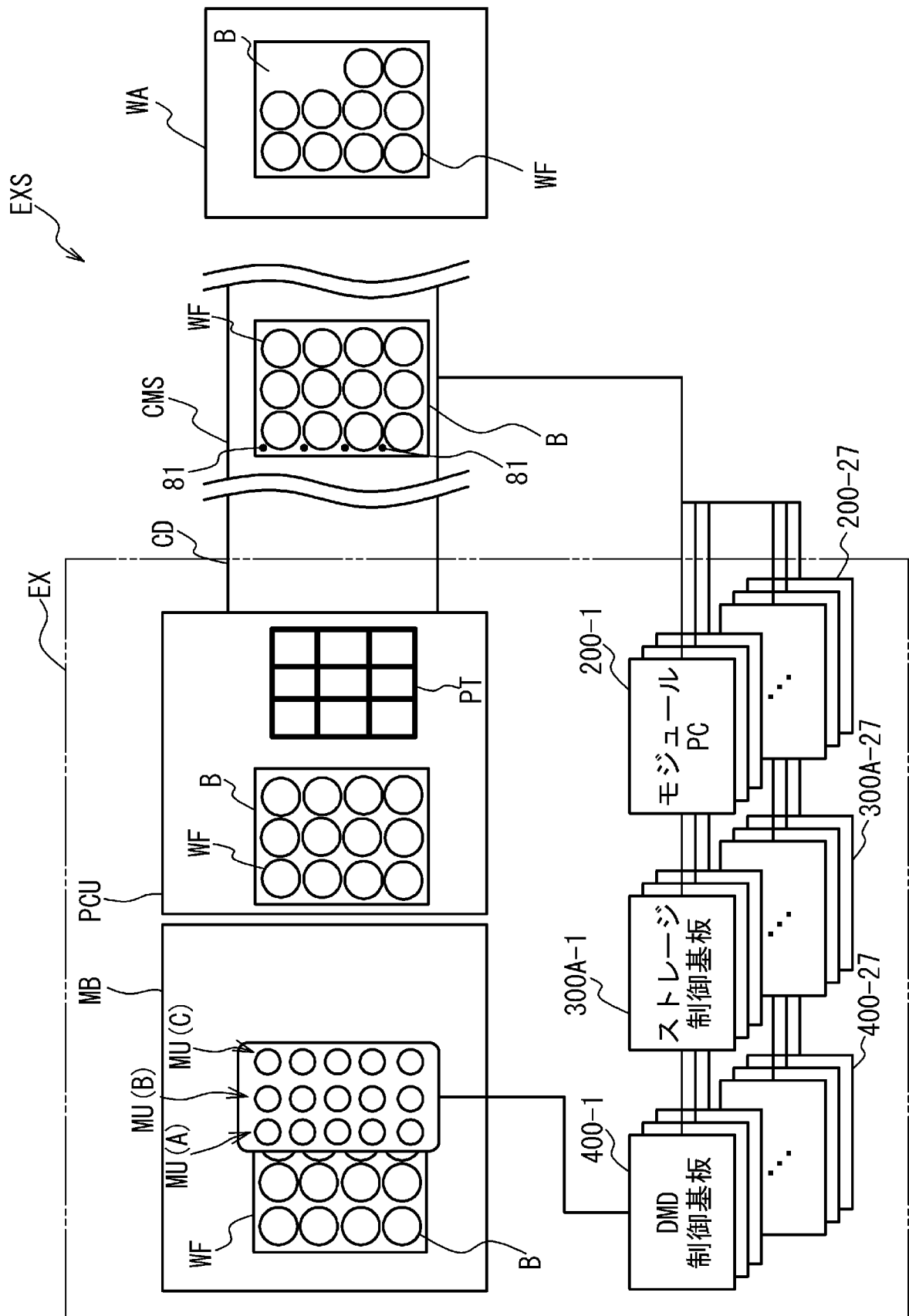
[図12]



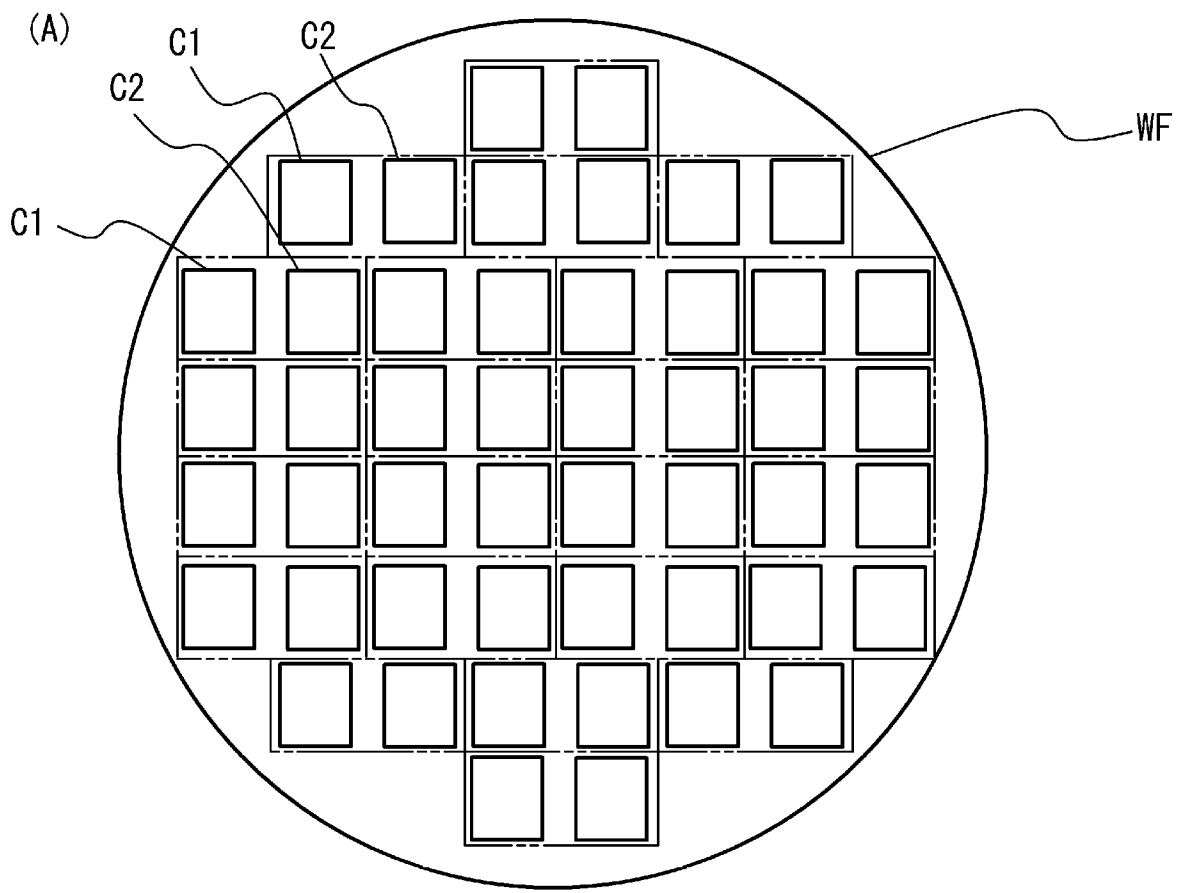
[図13]



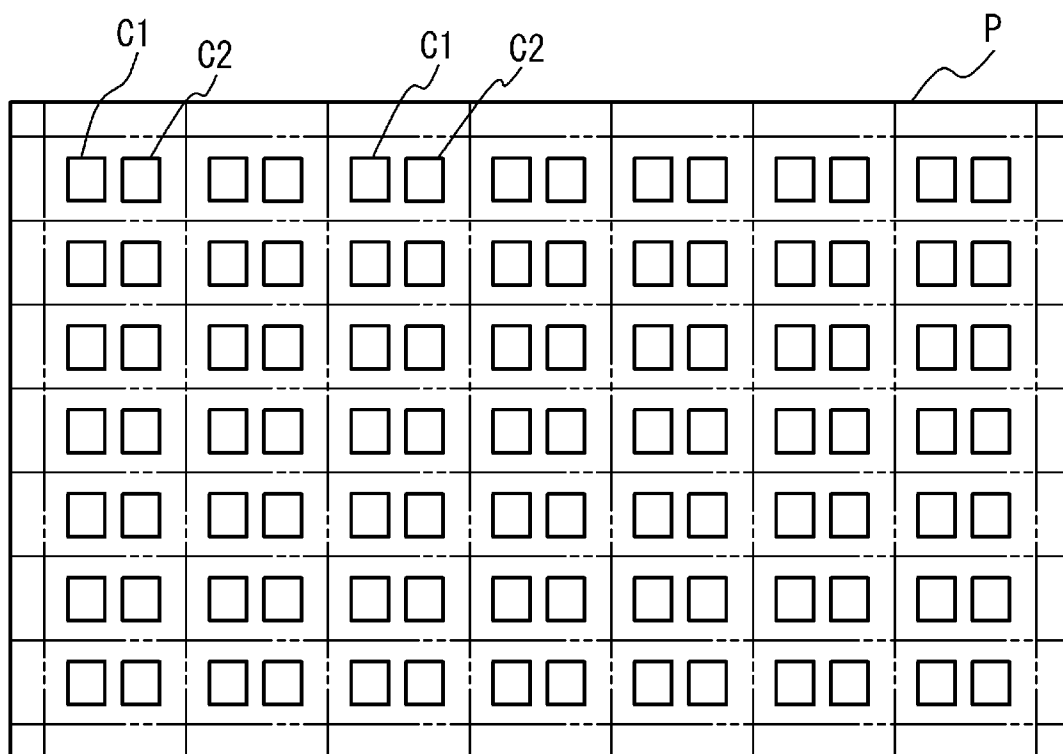
[図14]



[図15]

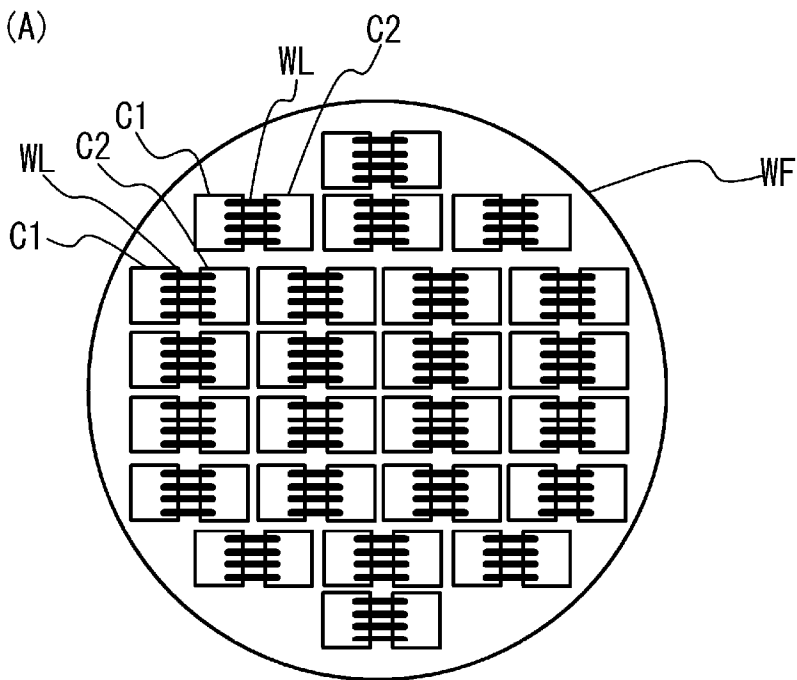


(B)

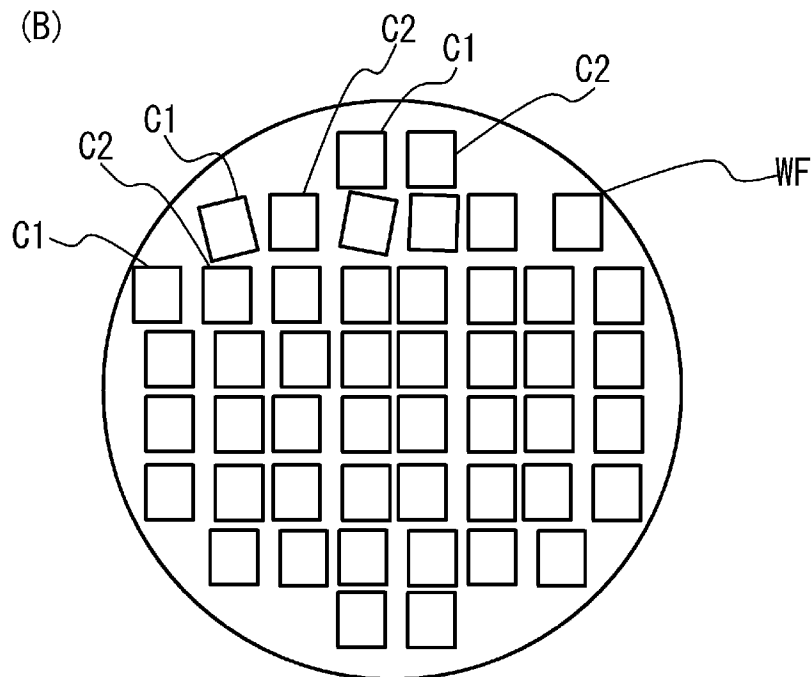


[図16]

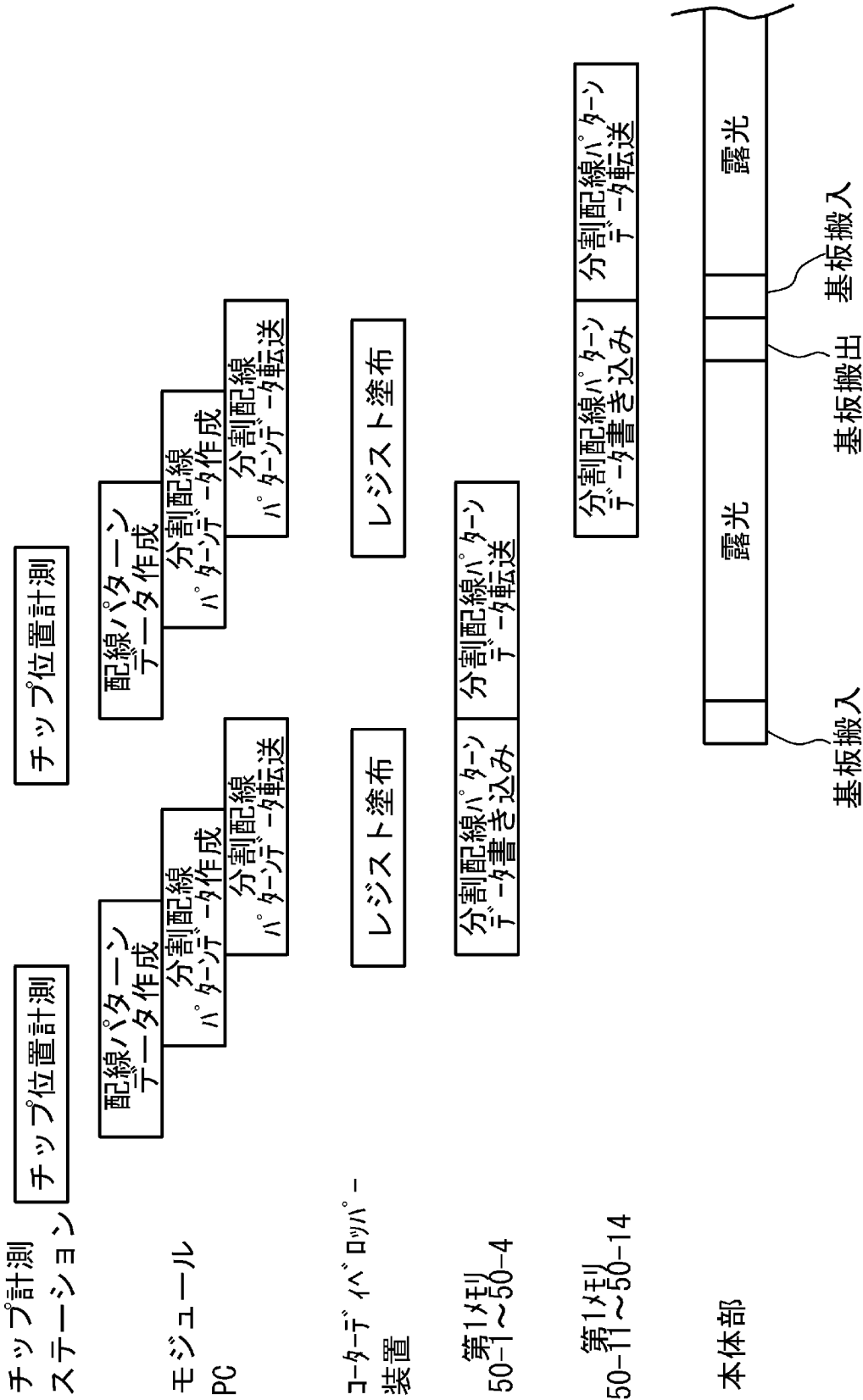
(A)



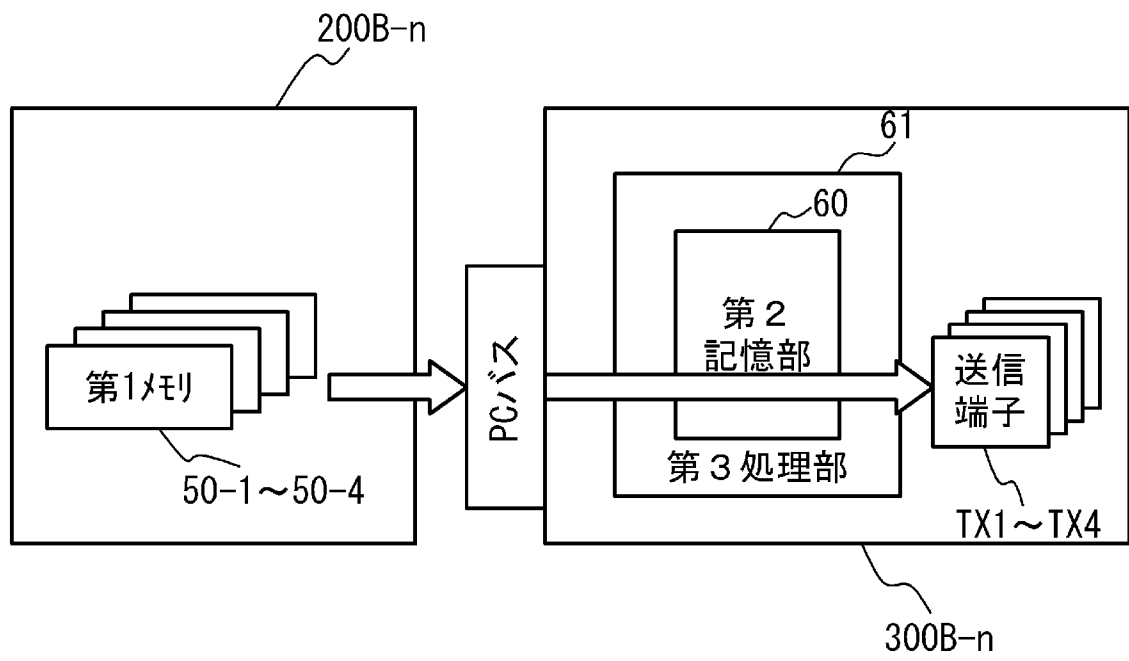
(B)



[図17]

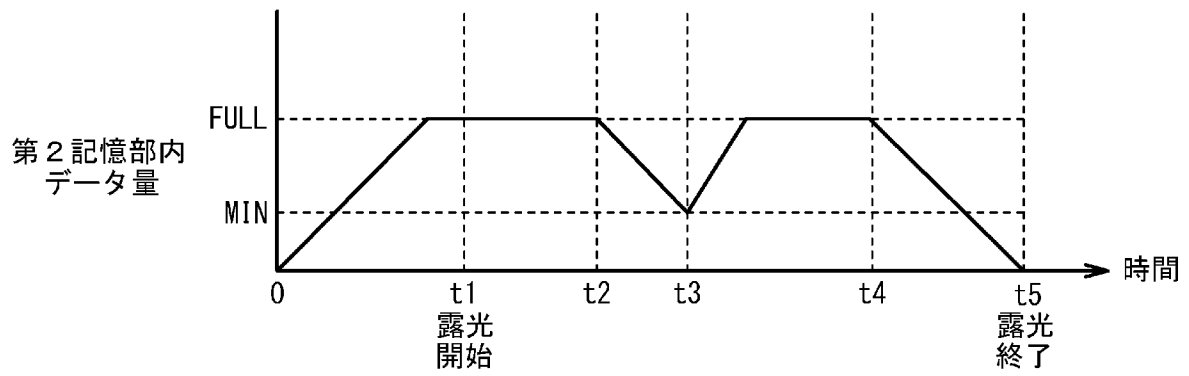


[図18]

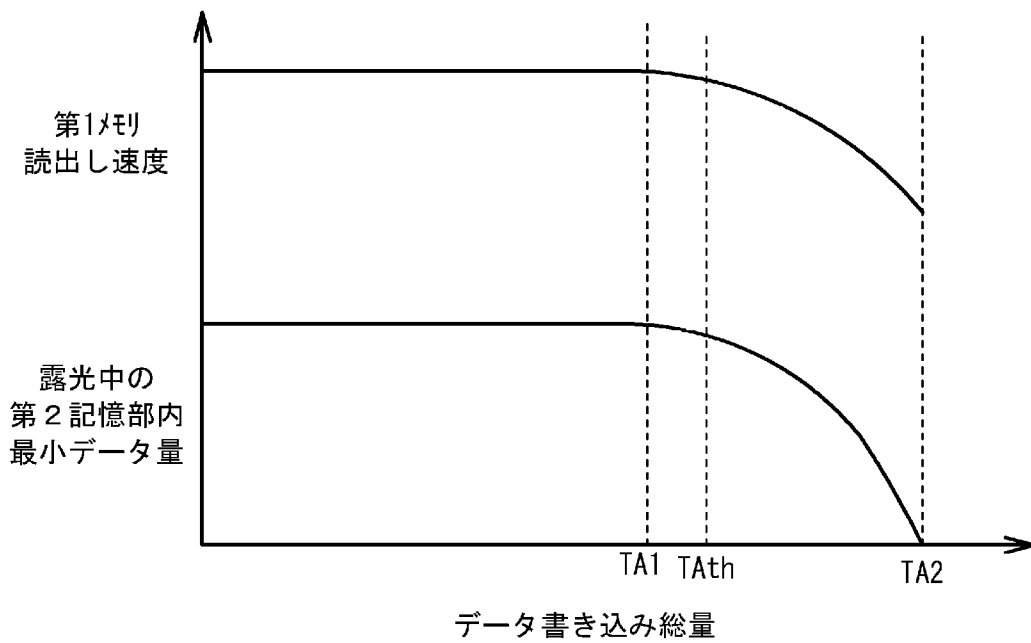


[図19]

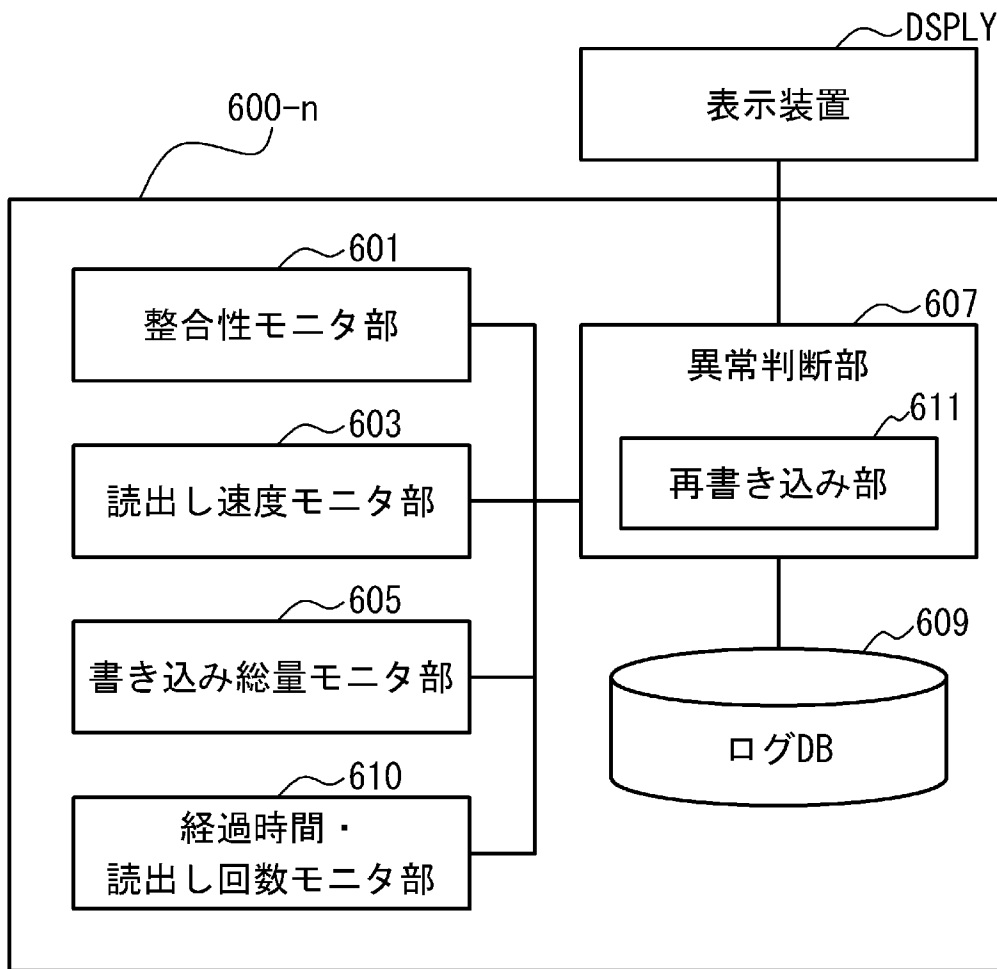
(A)



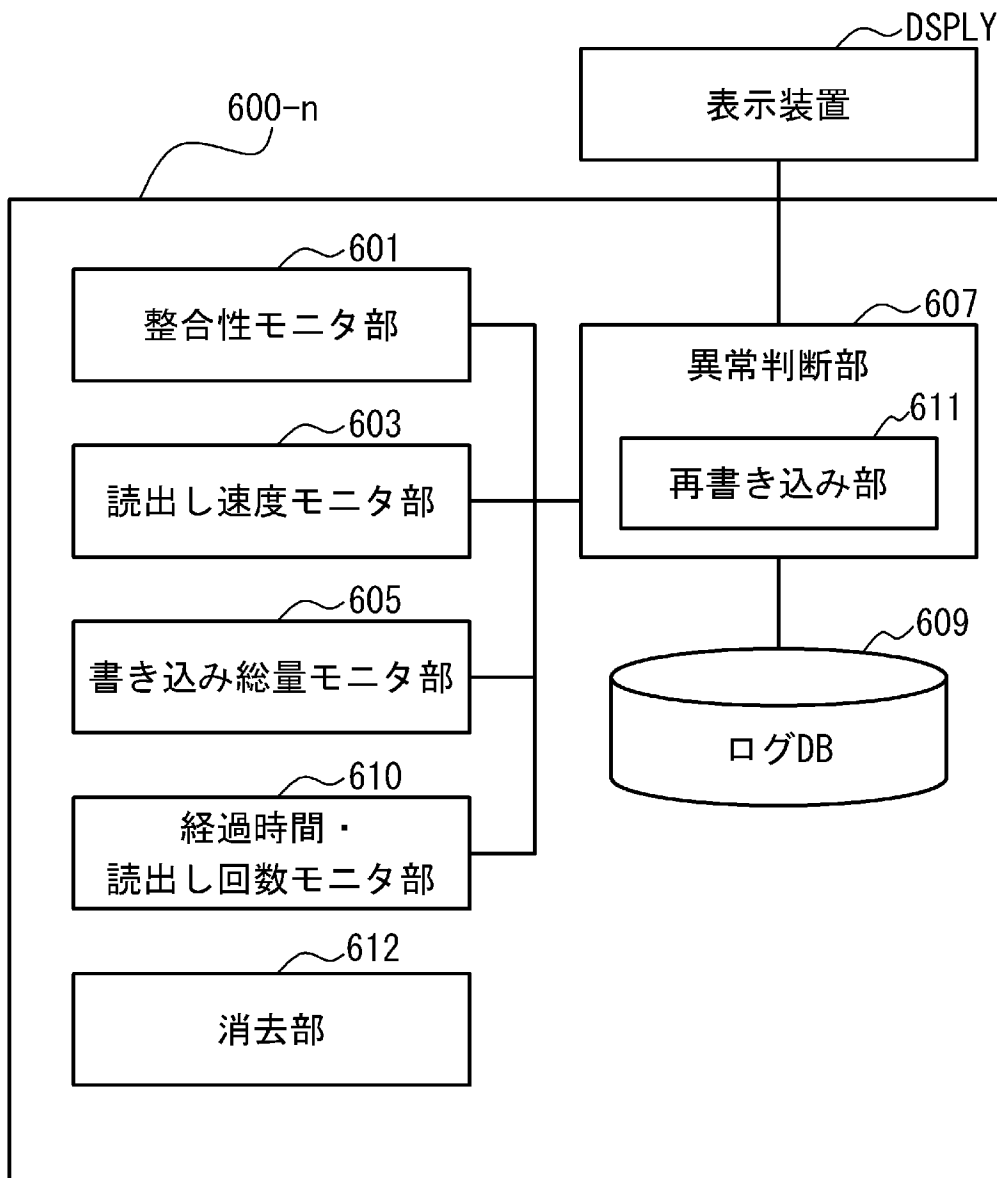
(B)



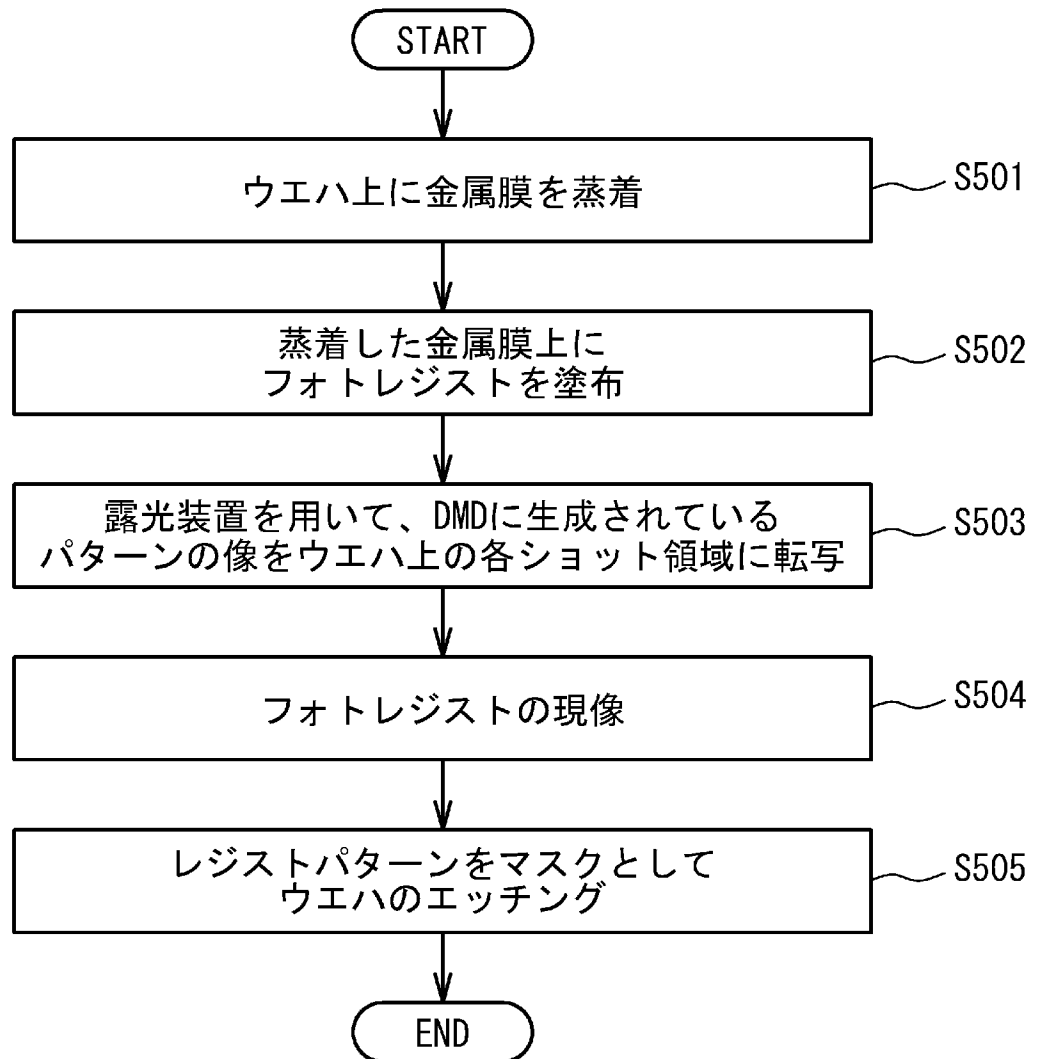
[図20]



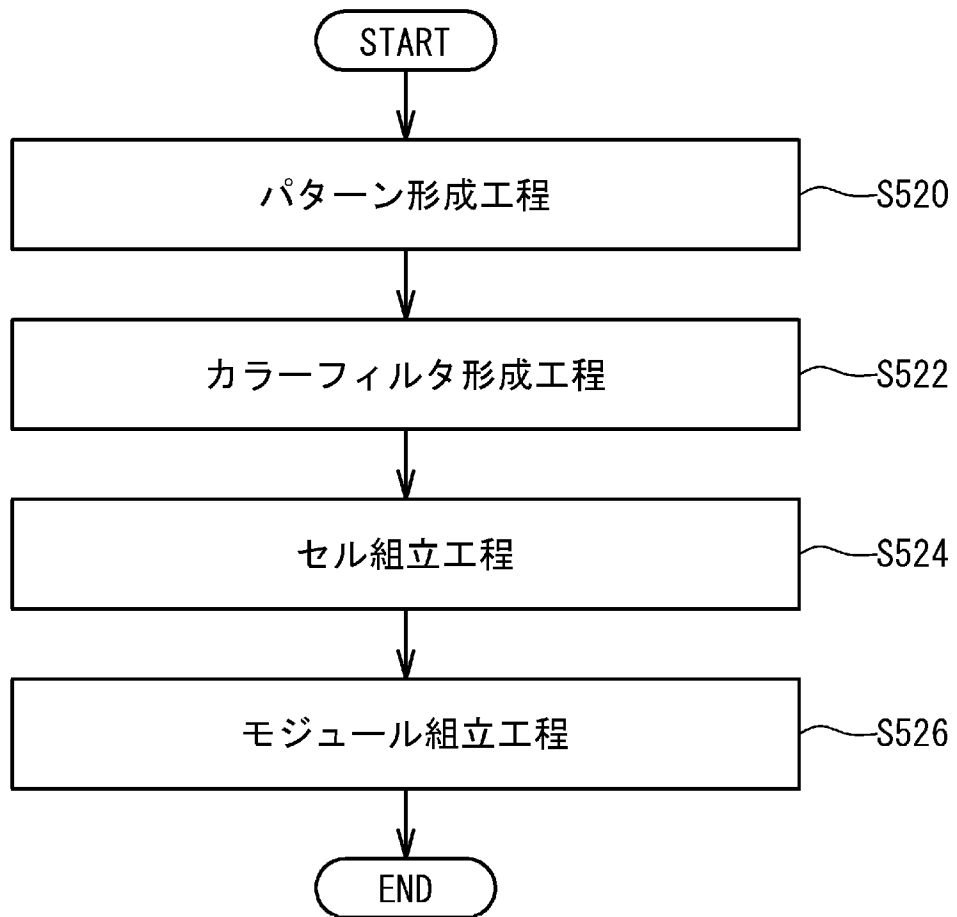
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/009599

A. CLASSIFICATION OF SUBJECT MATTER G03F 7/20 (2006.01)i FI: G03F7/20 501 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G03F7/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-155851 A (NIKON CORPORATION) 04 October 2018 (2018-10-04) paragraphs [0052]-[0110], fig. 1-7	1-43
A	JP 2013-62326 A (CANON KABUSHIKI KAISHA) 04 April 2013 (2013-04-04) paragraphs [0011]-[0050], fig. 1-9	1-43
A	JP 2009-44060 A (ORC MFG CO., LTD.) 26 February 2009 (2009-02-26) paragraphs [0017]-[0053], fig. 1-7	1-43
A	JP 2008-242148 A (FUJIFILM CORPORATION) 09 October 2008 (2008-10-09) paragraphs [0016]-[0073], fig. 1-9	1-43
A	JP 2008-65094 A (FUJIFILM CORPORATION) 21 March 2008 (2008-03-21) paragraphs [0019]-[0047], fig. 1-11	1-43
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 11 April 2024		Date of mailing of the international search report 14 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/009599

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2018-155851	A	04 October 2018	(Family: none)	
JP	2013-62326	A	04 April 2013	US 2013/0063708 A1 paragraphs [0020]-[0059], fig. 1-9	
JP	2009-44060	A	26 February 2009	US 2009/0040485 A1 paragraphs [0028]-[0063], fig. 1-7 CN 101364050 A KR 10-2009-0016396 A TW 200907602 A	
JP	2008-242148	A	09 October 2008	(Family: none)	
JP	2008-65094	A	21 March 2008	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

G03F 7/20(2006.01)i

FI: G03F7/20 501

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G03F7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2018-155851 A（株式会社ニコン） 04.10.2018（2018-10-04） 段落 [0052] - [0110] , 図1-7	1-43
A	JP 2013-62326 A（キヤノン株式会社） 04.04.2013（2013-04-04） 段落 [0011] - [0050] , 図1-9	1-43
A	JP 2009-44060 A（株式会社オーク製作所） 26.02.2009（2009-02-26） 段落 [0017] - [0053] , 図1-7	1-43
A	JP 2008-242148 A（富士フイルム株式会社） 09.10.2008（2008-10-09） 段落 [0016] - [0073] , 図1-9	1-43
A	JP 2008-65094 A（富士フイルム株式会社） 21.03.2008（2008-03-21） 段落 [0019] - [0047] , 図1-11	1-43

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

11.04.2024

国際調査報告の発送日

14.05.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

植木 隆和 2G 3706

電話番号 03-3581-1101 内線 3226

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/009599

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-155851	A	04.10.2018	(ファミリーなし)	
JP	2013-62326	A	04.04.2013	US 2013/0063708 A1 段落 [0 0 2 0] - [0 0 5 9] , 図 1 - 9	
JP	2009-44060	A	26.02.2009	US 2009/0040485 A1 段落 [0 0 2 8] - [0 0 6 3] , 図 1 - 7 CN 101364050 A KR 10-2009-0016396 A TW 200907602 A	
JP	2008-242148	A	09.10.2008	(ファミリーなし)	
JP	2008-65094	A	21.03.2008	(ファミリーなし)	