

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年11月22日(2018.11.22)

【公開番号】特開2017-175288(P2017-175288A)

【公開日】平成29年9月28日(2017.9.28)

【年通号数】公開・登録公報2017-037

【出願番号】特願2016-57403(P2016-57403)

【国際特許分類】

H 03K 19/0185 (2006.01)

H 03K 19/0175 (2006.01)

【F I】

H 03K 19/00 101E

H 03K 19/00 101F

【手続補正書】

【提出日】平成30年10月15日(2018.10.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置は低振幅の論理信号により高振幅の信号を出力するレベルシフト回路を有する半導体チップを備え、

前記レベルシフト回路は、

直列接続回路と、

電位生成回路と、

第1電源に接続される第1のゲート制御回路と、

前記第1電源の電位よりも高い第2電源に接続される第2のゲート制御回路と、

前記第1のゲート制御回路と前記直列接続回路との間に配置される第1の電位変換回路と、

を備え、

前記直列接続回路は、

ソースが前記第2電源に接続される第1のPチャネル型MOSトランジスタと、

ソースが前記第1のPチャネル型MOSトランジスタのドレインに接続される第2のPチャネル型MOSトランジスタと、

ソースが基準電源に接続される第1のNチャネル型MOSトランジスタと、

ソースが前記第1のNチャネル型MOSトランジスタのドレインに接続される第2のNチャネル型MOSトランジスタと、

前記第2のPチャネル型MOSトランジスタのドレインと前記第2のNチャネル型MOSトランジスタのドレインとが接続される第1出力ノードと、

を備え、

前記電位生成回路は、前記第2電源の電位よりも低く前記基準電源の電位よりも高い前記第2のPチャネル型MOSトランジスタのゲートに印加する第1電位と、前記第2電源の電位よりも低く前記基準電源の電位よりも高い前記第2のNチャネル型MOSトランジスタのゲートに印加する第2電位と、前記第2電源の電位よりも低く前記基準電源の電位よりも高い第3電位とを生成し、

前記第1のゲート制御回路は、前記基準電源の電位と前記第1電源の電位との間の振幅

であり、第1のNチャネル型MOSトランジスタのゲートを制御する第1信号を生成し、前記第2のゲート制御回路は、前記第1電位と前記第2電源の電位との間の振幅であり、前記第1のPチャネル型MOSトランジスタのゲートを制御する第2信号を生成し、前記第1の電位変換回路は前記第1のNチャネル型MOSトランジスタのゲートに前記第1信号の高レベルよりも低く基準電源の電位よりも高い第1レベルの電位を供給するよう構成される。

#### 【請求項2】

請求項1の半導体装置において、  
前記第1のPチャネル型MOSトランジスタの基板は前記第2電源に接続され、前記第2のPチャネル型MOSトランジスタの基板は前記第1のPチャネル型MOSトランジスタのドレインに接続され、  
前記第1のNチャネル型MOSトランジスタの基板は前記基準電源に接続され、前記第2のNチャネル型MOSトランジスタの基板は前記第1のNチャネル型MOSトランジスタのドレインに接続される。

#### 【請求項3】

請求項1の半導体装置において、  
前記第1の電位変換回路は前記第1のNチャネル型MOSトランジスタのゲートに第1制御信号に基づいて前記第1レベルの電位よりも高い電位を供給するよう構成される。

#### 【請求項4】

請求項3の半導体装置において、さらに  
前記第2のゲート制御回路と前記直列接続回路との間に配置される第2の電位変換回路を備え、  
前記第2の電位変換回路は前記第1のPチャネル型MOSトランジスタのゲートに前記第2信号の低レベルよりも高く第2電源電位よりも低い第2レベルの電位を供給するよう構成される。

#### 【請求項5】

請求項4の半導体装置において、  
前記第2の電位変換回路は前記第1のPチャネル型MOSトランジスタのゲートに第2制御信号に基づいて前記第2レベルの電位よりも低い電位を供給するよう構成される。

#### 【請求項6】

請求項1の半導体装置において、  
前記第1の電位変換回路はゲートが前記第1電源に接続される第3のNチャネル型MOSトランジスタで構成される第1トランスファゲートを有し、前記第3のNチャネル型MOSトランジスタの基板は前記第1トランスファゲートの第2出力ノードに接続される。

#### 【請求項7】

請求項3の半導体装置において、  
前記第1の電位変換回路はゲートに前記第1制御信号が印加される第3のPチャネル型MOSトランジスタで構成される第2トランスファゲートを有し、前記第3のPチャネル型MOSトランジスタの基板は前記第2トランスファゲートの第1入力ノードに接続される。

#### 【請求項8】

請求項4の半導体装置において、  
前記第2の電位変換回路はゲートが前記第1電源に接続される第4のPチャネル型MOSトランジスタで構成される第3トランスファゲートを有し、前記第4のPチャネル型MOSトランジスタの基板は前記第3トランスファゲートの第2入力ノードに接続される。

#### 【請求項9】

請求項5の半導体装置において、  
前記第2の電位変換回路はゲートに前記第2制御信号が印加される第4のNチャネル型MOSトランジスタで構成される第4トランスファゲートを有し、前記第4のNチャネル型MOSトランジスタの基板は前記第4トランスファゲートの第3出力ノードに接続され

る。

【請求項 1 0】

請求項 1 の半導体装置において、  
前記第 1 のゲート制御回路は、  
  入力信号を反転した反転信号を出力する第 1 インバータ回路と、  
  前記反転信号を反転した前記第 1 信号を出力する第 2 インバータ回路と、  
を備える。

【請求項 1 1】

請求項 1 0 の半導体装置において、  
前記第 1 インバータ回路は、  
  ソースが前記第 1 電源に接続される第 5 の P チャネル型 MOS トランジスタと、  
  ソースが前記基準電源に接続される第 5 の N チャネル型 MOS トランジスタと、  
  前記第 5 の P チャネル型 MOS トランジスタのゲートと第 5 の N チャネル型 MOS トランジスタのゲートとが接続される第 3 入力ノードと、  
  前記第 5 の P チャネル型 MOS トランジスタのドレインと第 5 の N チャネル型 MOS トランジスタのドレインとが接続される第 4 出力ノードと、  
を備え、

前記第 3 入力ノードに前記入力信号が印加され、前記第 4 出力ノードに前記反転信号が印加されるよう構成される。

【請求項 1 2】

請求項 1 0 の半導体装置において、  
前記第 2 のゲート制御回路は、  
  前記第 1 電位および前記第 2 電位にクランプするクランプ回路と、  
  前記第 2 電源の電位と前記第 1 電位との間で動作するラッチ回路と、  
  前記第 2 電位と前記基準電源の電位との間で動作するラッチ反転回路と、  
を備え、  
前記ラッチ回路の第 5 出力ノードから前記第 2 信号が出力されるよう構成される。

【請求項 1 3】

請求項 1 2 の半導体装置において、  
前記ラッチ回路は、ソースがともに前記第 2 電源に接続され、互いにゲートが他のドレインに接続されている第 6 および第 7 の P チャネル型 MOS トランジスタで構成され、前記第 6 の P チャネル型 MOS トランジスタのドレインが前記第 5 出力ノードに接続されている回路である。

【請求項 1 4】

請求項 1 3 の半導体装置において、  
前記クランプ回路は、互いにドレインが接続されている第 8 の P チャネル型 MOS トランジスタと第 6 の N チャネル型 MOS トランジスタとの直列接続回路と、互いにドレインが接続されている第 9 の P チャネル型 MOS トランジスタと第 7 の N チャネル型 MOS トランジスタとの直列接続回路とで構成され、前記第 8 の P チャネル型 MOS トランジスタのソースが前記第 6 の P チャネル型 MOS トランジスタのドレインに接続され、前記第 9 の P チャネル型 MOS トランジスタのソースが前記第 7 の N チャネル型 MOS トランジスタのドレインに接続され、前記第 8 および第 9 の P チャネル型 MOS トランジスタのゲートには共通に前記第 3 電位が印加され、前記第 6 および第 7 の N チャネル型 MOS トランジスタのゲートには共通に前記第 2 電位が印加されている回路である。

【請求項 1 5】

請求項 1 4 の半導体装置において、  
前記ラッチ反転回路は、互いにソースが前記基準電源に接続されている第 8 および第 9 の N チャネル型 MOS トランジスタで構成され、前記第 8 および第 9 の N チャネル型 MOS トランジスタのドレインは、それぞれ、前記第 6 および第 7 の N チャネル型 MOS トランジスタのソースに接続され、前記第 8 の N チャネル型 MOS トランジスタのゲートには

前記反転信号が印加され、前記第9のNチャネル型MOSトランジスタのゲートには前記入力信号が印加される回路である。

#### 【請求項16】

半導体装置は低振幅の論理信号により高振幅の信号を出力するレベルシフト回路を有する半導体チップを備え、

前記レベルシフト回路は、

直列接続回路と、

電位生成回路と、

第1電源に接続される第1のゲート制御回路と、

前記第1電源の電位よりも高い第2電源に接続される第2のゲート制御回路と、

前記第2のゲート制御回路と前記直列接続回路との間に配置される第2の電位変換回路と、

を備え、

前記直列接続回路は、

ソースが前記第2電源に接続される第1のPチャネル型MOSトランジスタと、

ソースが前記第1のPチャネル型MOSトランジスタのドレインに接続される第2のPチャネル型MOSトランジスタと、

ソースが基準電源に接続される第1のNチャネル型MOSトランジスタと、

ソースが前記第1のNチャネル型MOSトランジスタのドレインに接続される第2のNチャネル型MOSトランジスタと、

前記第2のPチャネル型MOSトランジスタのドレインと前記第2のNチャネル型MOSトランジスタのドレインとが接続される第1出力ノードと、  
を備え、

前記電位生成回路は、前記第2電源の電位よりも低く前記基準電源の電位よりも高い前記第2のPチャネル型MOSトランジスタのゲートに印加する第1電位と、前記第2電源の電位よりも低く前記基準電源の電位よりも高い前記第2のNチャネル型MOSトランジスタのゲートに印加する第2電位とを生成し、

前記第1のゲート制御回路は、前記基準電源の電位と前記第1電源の電位との間の振幅であり、前記第1のNチャネル型MOSトランジスタのゲートを制御する第1信号を生成し、

前記第2のゲート制御回路は、前記第1電位と前記第2電源の電位との間の振幅であり、前記第1のPチャネル型MOSトランジスタのゲートを制御する第2信号を生成し、

前記第2の電位変換回路は前記第1のPチャネル型MOSトランジスタのゲートに前記第2信号の低レベルよりも高く第2電源電位よりも低い第2レベルの電位を供給するよう構成される。

#### 【請求項17】

請求項16の半導体装置において、

前記第1のPチャネル型MOSトランジスタの基板は前記第2電源に接続され、

前記第2のPチャネル型MOSトランジスタの基板は前記第1のPチャネル型MOSトランジスタのドレインに接続され、

前記第1のNチャネル型MOSトランジスタの基板は前記基準電源に接続され、

前記第2のNチャネル型MOSトランジスタの基板は前記第1のNチャネル型MOSトランジスタのドレインに接続される。

#### 【請求項18】

請求項16の半導体装置において、

前記第2の電位変換回路は前記第1のPチャネル型MOSトランジスタのゲートに第2制御信号に基づいて前記第2レベルの電位よりも低い電位を供給するよう構成される。

#### 【請求項19】

請求項16の半導体装置において、

前記第2の電位変換回路はゲートが前記第1電源に接続される第4のPチャネル型MO

Sトランジスタで構成される第3トランスファゲートを有し、前記第4のPチャネル型MOSトランジスタの基板は前記第3トランスファゲートの第2入力ノードに接続される。

【請求項20】

請求項18の半導体装置において、

前記第2の電位変換回路はゲートに前記第2制御信号が印加される第4のNチャネル型MOSトランジスタで構成される第4トランスファゲートを有し、前記第4のNチャネル型MOSトランジスタの基板は前記第4トランスファゲートの第3出力ノードに接続される。