(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월10일
(11) 등록번호 10-1350594
(24) 등록일자 2014년01월06일

(51) 국제특허분류(Int. Cl.)
H01L 33/30 (2010.01)
(21) 출원번호 10-2006-0091137
(22) 출원일자 2006년09월20일
심사청구일자 2011년09월02일
(65) 공개번호 10-2007-0033900
(43) 공개일자 2007년03월27일
(30) 우선권주장
JP-P-2005-00275504 2005년09월22일 일본(JP)
JP-P-2006-00215342 2006년08월08일 일본(JP)
(56) 선행기술조사문헌
JP2002353134 A*
JP2004297010 A*
JP2005236328 A
US6809351 B1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
오마에 아끼라
일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내
시오미 미찌노리
일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내
(뒷면에 계속)
(74) 대리인
구영창, 이중희, 장수길

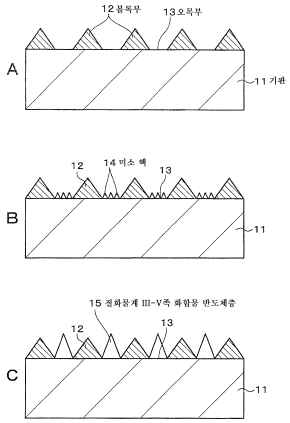
전체 청구항 수 : 총 22 항 심사관 : 구영회

(54) 발명의 명칭 **발광 다이오드 및 그 제조 방법과 집적형 발광 다이오드 및그 제조 방법과 질화물계 Ⅲ-Ⅴ족 화합물 반도체의 성장방법과 질화물계 Ⅲ-Ⅴ족 화합물 반도체 성장용 기판과광원 셀 유닛과 광원 다이오드 백 라이트와 발광 다이오드조명 장치와 발광 다이오드 디스플레이와 전자 기기와 전자장치 및 그 제조 방법**

(57) 요 약

본 발명은 발광 효율이 매우 높고, 또한 1회의 에피택셜 성장에 의해 저코스트로 제조할 수 있는 발광 다이오드 및 그 제조 방법을 제공하기 위한 것으로, 사파이어 기판 등의 기판(11)의 일주면에 이 기판(11)과 서로 다른 재료, 예를 들면 SiO_2막에 의해 볼록부(12)를 형성하고, 볼록부(12) 사이의 오목부(13)에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태를 거쳐 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)을 성장시킨 후, 이 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)으로부터 가로 방향 성장을 행한다. 볼록부(12)의 단면 형상은 예를 들면 삼각형 또는 사다리꼴으로 한다. 이 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15) 상에, 활성층을 포함하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 성장시켜 발광 다이오드 구조를 형성한다. 이 발광 다이오드를 이용해서 발광 다이오드 백 라이트 등을 제조한다.

대 표 도 - 도1



(72) 발명자

후따가와 노리유끼

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

아미 다까아끼

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

미야지마 다까오

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

히라마쯔 유우지

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

하따다 이즈호

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

오까노 노부까따

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

도미야 시게따까

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

야나시마 가쯔노리

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

히노 도모노리

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

나루이 히로노부

일본 도꾜도 시나가와꾸 기따시나가와 6쪼메 7-35 소니 가부시끼가이샤 내

특허청구의 범위

청구항 1

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것을 이용하여, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태까지 질화물계 III-V족 화합물 반도체층을 성장시키고, 이 때, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가, 상기 삼각 형상의 단면 형상으로 되는 상태의 상기 질화물계 III-V족 화합물 반도체층의 사면(斜面)에 도달하였을 때, 상기 일주면에 평행한 방향으로 굴곡되는 공정과,

상기 질화물계 III-V족 화합물 반도체층을 상기 기판 상에 가로 방향 성장시키는 공정과,

상기 가로 방향 성장시킨 상기 질화물계 III-V족 화합물 반도체층 상에 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 순차적으로 성장시키는 공정을 갖는 발광 다이오드의 제조 방법.

청구항 2

제1항에 있어서, 상기 질화물계 III-V족 화합물 반도체층의 성장 초기에, 상기 오목부의 저면에 질화물계 III-V족 화합물 반도체로 이루어지는 복수의 미소(微小) 핵을 생성하고, 이들의 미소 핵의 성장 및 합체의 과정을 거쳐, 상기 삼각 형상의 단면 형상으로 되는 상태의 상기 질화물계 III-V족 화합물 반도체층을 성장시키는 발광 다이오드의 제조 방법.

청구항 3

제1항에 있어서, 상기 삼각 형상의 단면 형상으로 되는 상태의 상기 질화물계 III-V족 화합물 반도체층의 높이가 상기 볼록부의 높이 이하인 발광 다이오드의 제조 방법.

청구항 4

제1항에 있어서, 상기 볼록부의 측면과 상기 일주면이 이루는 각도 Θ가 $100^\circ < \Theta < 160^\circ$ 인 발광 다이오드의 제조 방법.

청구항 5

제1항에 있어서, 상기 질화물계 III-V족 화합물 반도체층은 GaN층인 발광 다이오드의 제조 방법.

청구항 6

제1항에 있어서, 상기 오목부의 깊이를 d, 상기 오목부의 저면의 폭을 W_g, 상기 삼각 형상의 단면 형상으로 되는 상태의 상기 질화물계 III-V족 화합물 반도체층의 사면과 상기 일주면이 이루는 각도를 α로 하였을 때, $2d \geq W_g \tan\alpha$가 성립하는 발광 다이오드의 제조 방법.

청구항 7

제1항에 있어서, 상기 일주면에 상기 볼록부와 상기 오목부를 교대로 갖는 발광 다이오드의 제조 방법.

청구항 8

제1항에 있어서, 상기 볼록부가 육각형의 평면 형상을 갖고, 이 볼록부가 벌집 형상으로 이차원 배열되어 있으며, 이 볼록부를 둘러싸도록 상기 오목부가 형성되어 있는 발광 다이오드의 제조 방법.

청구항 9

제1항에 있어서, 상기 볼록부가 유전체로 이루어지는 발광 다이오드의 제조 방법.

청구항 10

제1항에 있어서, 상기 볼록부의 굴절률은 상기 기판의 굴절률 이하인 발광 다이오드의 제조 방법.

청구항 11

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것과,

상기 기판 상에, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에 공극을 형성하지 않고 성장된 질화물계 III-V족 화합물 반도체층과,

상기 질화물계 III-V족 화합물 반도체층 상의 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 갖고,

상기 오목부에 상기 질화물계 III-V족 화합물 반도체층을 성장시킴에 있어, 상기 오목부 내의 상기 질화물계 III-V족 화합물 반도체층이 상기 오목부의 저면을 저변으로 하는 삼각 단면 형상을 갖는 삼각 형상부로 되는 상태로 성장할 때까지, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가 상기 삼각 형상부의 사면에 도달하여, 그곳으로부터 상기 일주면에 평행한 방향으로 굴곡되어 있는 발광 다이오드.

청구항 12

제11항에 있어서, 상기 삼각 형상부의 높이가 상기 볼록부의 높이 이하인 발광 다이오드.

청구항 13

제11항에 있어서, 상기 질화물계 III-V족 화합물 반도체층은 GaN층인 발광 다이오드.

청구항 14

제11항에 있어서, 상기 볼록부가 육각형의 평면 형상을 갖고, 이 볼록부가 벌집 형상으로 이차원 배열되어 있으며, 이 볼록부를 둘러싸도록 상기 오목부가 형성되어 있는 발광 다이오드.

청구항 15

제11항에 있어서, 상기 볼록부의 측면과 상기 일주면이 이루는 각도 Θ가 $100^\circ < \Theta < 160^\circ$ 인 발광 다이오드.

청구항 16

복수의 발광 다이오드가 집적된 집적형 발광 다이오드의 제조 방법에 있어서,

상기 복수의 발광 다이오드 각각은,

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것을 이용하여, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태까지 질화물계 III-V족 화합물 반도체층을 성장시키고, 이 때, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가, 상기 삼각 형상의 단면 형상으로 되는 상태의 상기 질화물계 III-V족 화합물 반도체층의 사면에 도달하였을 때, 상기 일주면에 평행한 방향으로 굴곡되는 공정과,

상기 질화물계 III-V족 화합물 반도체층을 상기 기판 상에 가로 방향 성장시키는 공정과,

상기 가로 방향 성장시킨 상기 질화물계 III-V족 화합물 반도체층 상에 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 순차적으로 성장시키는 공정

을 통해 상기 기판 상에 동시에 제조되는, 집적형 발광 다이오드의 제조 방법.

청구항 17

복수의 발광 다이오드가 집적되며,

적어도 하나의 상기 발광 다이오드가,

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것과,

상기 기판 상에, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에 공극을 형성하지 않고 성장된 질화물계 III-V족 화합물 반도체층과,

상기 질화물계 III-V족 화합물 반도체층 상의 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 갖고,

상기 오목부에 상기 질화물계 III-V족 화합물 반도체층을 성장시킴에 있어, 상기 오목부 내의 상기 질화물계 III-V족 화합물 반도체층이 상기 오목부의 저면을 저변으로 하는 삼각 단면 형상을 갖는 삼각 형상부로 되는 상태로 성장할 때까지, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가 상기 삼각 형상부의 사면에 도달하여, 그곳으로부터 상기 일주면에 평행한 방향으로 굴곡되어 있는 집적형 발광 다이오드.

청구항 18

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것을 이용하여, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태까지 질화물계 III-V족 화합물 반도체층을 성장시키고, 이 때, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가, 상기 삼각 형상의 단면 형상으로 되는 상태의 상기 질화물계 III-V족 화합물 반도체층의 사면에 도달하였을 때, 상기 일주면에 평행한 방향으로 굴곡되는 공정과,

상기 질화물계 III-V족 화합물 반도체층을 상기 기판 상에 가로 방향 성장시키는 공정을 갖는 질화물계 III-V족 화합물 반도체의 성장 방법.

청구항 19

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것과,

상기 기판 상에, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에 공극을 형성하지 않고 성장된 질화물계 III-V족 화합물 반도체층을 갖고,

상기 오목부에 상기 질화물계 III-V족 화합물 반도체층을 성장시킴에 있어, 상기 오목부 내의 상기 질화물계 III-V족 화합물 반도체층이 상기 오목부의 저면을 저변으로 하는 삼각 단면 형상을 갖는 삼각 형상부로 되는 상태로 성장할 때까지, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가 상기 삼각 형상부의 사면에 도달하여, 그곳으로부터 상기 일주면에 평행한 방향으로 굴곡되어 있는 질화물계 III-V족 화합물 반도체 성장용 기판.

청구항 20

적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드를 각각 적어도 1개 포함하는 셀이 프린트 배선 기판 상에 복수개 배열되고,

상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중 적어도 하나의 발광 다이오드가,

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것과,

상기 기판 상에, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에 공극을 형성하지 않고 성장된 질화물계 III-V족 화합물 반도체층과,

상기 질화물계 III-V족 화합물 반도체층 상의 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 갖고,

상기 오목부에 상기 질화물계 III-V족 화합물 반도체층을 성장시킴에 있어, 상기 오목부 내의 상기 질화물계 III-V족 화합물 반도체층이 상기 오목부의 저면을 저변으로 하는 삼각 단면 형상을 갖는 삼각 형상부로 되는 상태로 성장할 때까지, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가 상기 삼각 형상부의 사면에 도달하여, 그곳으로부터 상기 일주면에 평행한 방향으로 굴곡되어 있는 광원 셀

유닛.

청구항 21

적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드가 각각 복수개 배열되고,

상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중 적어도 하나의 발광 다이오드가,

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것과,

상기 기판 상에, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에 공극을 형성하지 않고 성장된 질화물계 III-V족 화합물 반도체층과,

상기 질화물계 III-V족 화합물 반도체층 상의 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 갖고,

상기 오목부에 상기 질화물계 III-V족 화합물 반도체층을 성장시킴에 있어, 상기 오목부 내의 상기 질화물계 III-V족 화합물 반도체층이 상기 오목부의 저면을 저변으로 하는 삼각 단면 형상을 갖는 삼각 형상부로 되는 상태로 성장할 때까지, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가 상기 삼각 형상부의 사면에 도달하여, 그곳으로부터 상기 일주면에 평행한 방향으로 굴곡되어 있는 발광 다이오드 백 라이트.

청구항 22

적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드가 각각 복수개 배열되고,

상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중 적어도 하나의 발광 다이오드가,

일주면에 복수의 볼록부를 갖는 기판으로서 상기 볼록부는 상기 기판과 다른 재료로 이루어지는 것과,

상기 기판 상에, 상기 기판과 상기 볼록부들 사이의 공간인, 상기 기판 상의 역사다리꼴 형상의 단면 형상을 갖는 오목부에 공극을 형성하지 않고 성장된 질화물계 III-V족 화합물 반도체층과,

상기 질화물계 III-V족 화합물 반도체층 상의 n형 또는 p형 질화물계 III-V족 화합물 반도체층, 질화물계 III-V족 화합물 반도체를 이용한 활성층 및 p형 또는 n형 질화물계 III-V족 화합물 반도체층을 갖고,

상기 오목부에 상기 질화물계 III-V족 화합물 반도체층을 성장시킴에 있어, 상기 오목부 내의 상기 질화물계 III-V족 화합물 반도체층이 상기 오목부의 저면을 저변으로 하는 삼각 단면 형상을 갖는 삼각 형상부로 되는 상태로 성장할 때까지, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생하는 전위가 상기 삼각 형상부의 사면에 도달하여, 그곳으로부터 상기 일주면에 평행한 방향으로 굴곡되어 있는 발광 다이오드 조명 장치.

청구항 23

삭제

청구항 24

삭제

명 세 서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

[0098] [비특허 문헌 1] 미쓰비시 전선 공업시보 제98호 2001년 10월: LEPS법을 이용한 고출력 자외 LED의 개발

[0099] [특허 문헌 1] 일본 특개 2004-6931호

[0100] [특허 문헌 2] 일본 특개 2004-6937호

[0101] [특허 문헌 3] 일본 특개 2003-318441호

[0102] [특허 문헌 4] 일본 특개 2003-324069호

[0103] [특허 문헌 5] 일본 특허 제2830814호 명세서

발명이 속하는 기술 및 그 분야의 종래기술

[0104] 본 발명은 발광 다이오드 및 그 제조 방법과 집적형 발광 다이오드 및 그 제조 방법과 질화물계 Ⅲ-V족 화합물 반도체의 성장 방법과 질화물계 Ⅲ-V족 화합물 반도체 성장용 기판과 광원 셀 유닛과 광원 다이오드 백 라이트와 발광 다이오드 조명 장치와 발광 다이오드 디스플레이와 전자 기기와 전자 장치 및 그 제조 방법에 관한 것으로, 예를 들면, 질화물계 Ⅲ-V족 화합물 반도체를 이용한 발광 다이오드 및 이 발광 다이오드를 이용하는 각종 장치 또는 기기에 적용하기에 적합한 것이다.

[0105] GaN계 반도체를 사파이어 기판 등의 이종 기판 상에 에피택셜 성장시키는 경우에는, 양자의 격자 정수차나 열팽창 계수차가 크기 때문에, 결정 결함, 특히 관통 전위가 고밀도로 발생하게 된다.

[0106] 이 문제를 회피하기 위해, 종래부터, 선택 가로 방향 성장에 의한 전위 밀도 저감화 기술이 널리 이용되고 있다. 이 기술에서는, 우선 사파이어 기판 등의 상에 GaN계 반도체를 에피택셜 성장시킨 후, 결정 성장 장치로부터 기판을 취출하고, 그 GaN계 반도체층 상에 SiO_2막 등으로 이루어지는 성장 마스크를 형성하고나서 이 기판을 다시 결정 성장 장치로 복귀시키고, 이 성장 마스크를 이용해서 GaN계 반도체를 재차 에피택셜 성장시킨다.

[0107] 이 기술에 따르면, 상층의 GaN계 반도체층의 전위 밀도를 저감할 수 있지만, 2회의 에피택셜 성장이 필요하기 때문에, 코스트 업으로 되었다.

[0108] 따라서, 이종 기판에 미리 요철 가공을 실시하고, 이 가공 기판 상에 GaN계 반도체를 에피택셜 성장시키는 방법이 제안되어 있다(예를 들면 비특허 문헌 1, 특허 문헌 1, 2 참조). 이 방법의 개요를 도 77에 도시한다. 이 방법에 따르면, 우선, 도 77의 (A)에 도시하는 바와 같이, c면의 사파이어 기판(101)의 일주면에 요철 가공을 실시한다. 부호 101a는 오목부, 부호 101b는 볼록부를 나타낸다. 이들 오목부(101a) 및 볼록부(101b)는 사파이어 기판(101)의 <1-100> 방향으로 연장한다. 다음으로, 이 사파이어 기판(101) 상에, 도 77의 (B) 및 도 77의 (C)에 도시하는 과정을 거쳐, GaN계 반도체층(102)을 성장시킨다. 도 77의 (C) 중, 점선은 성장 도중의 성장 계면을 나타낸다. 여기서 특징적인 것은, 도 77의 (C)에 도시하는 바와 같이, 오목부(101a)에서 사파이어 기판(101)과 GaN계 반도체층(102)의 사이에 공극(103)이 형성되게 되는 것이다. 도 78에 이 방법에 의해 성장된 GaN계 반도체층(102)의 결정 결함 분포를 모식적으로 도시한다. 도 78에 도시하는 바와 같이, GaN계 반도체층(102) 내의 볼록부(101b) 상의 부분에, 이 볼록부(101b)의 상면과의 계면으로부터 수직 방향으로 관통 전위(104)가 발생해서 고결함 밀도 영역(105)이 형성되며, 오목부(101a)의 상방의, 고결함 밀도 영역(105) 사이의 부분이 저결함 밀도 영역(106)으로 되어 있다.

[0109] 또한, 도 77의 (C)에서는, 사파이어 기판(101)의 오목부(101a) 내에 형성된 공극(103) 아래의 GaN계 반도체층(102)의 매립 형상은 사각형이지만, 이 매립 형상은 삼각형인 경우에도 있고, 이 경우에도 사각형의 경우와 마찬가지로, 이 오목부(101a) 내에 매립되는 GaN계 반도체층(102)이 볼록부(101b)로부터 가로 방향 성장하는 GaN계 반도체층(102)에 접촉함으로써 공극이 형성되게 되는 경우가 있다.

[0110] 참고로, 도 79에, 오목부(101a) 및 볼록부(101b)의 연장 방향이, 사파이어 기판(101)의 <1-100> 방향과 직교하는 <11-20> 방향인 경우의 GaN계 반도체층(102)의 성장의 모습을 도시한다.

[0111] 도 80은, 상기한 것과 다른 종래의 성장 방법을 도시한다(예를 들면 특허 문헌 3 참조). 이 방법에서는, 도 80의 (A)에 도시하는 바와 같이, 요철 가공을 실시한 사파이어 기판(101)을 이용하여, 그 위에 도 80의 (B)~도 80의 (F)에 도시하는 과정을 거쳐 GaN계 반도체층(102)을 성장시킨다. 이 방법에서는, 사파이어 기판(101)의 사이에 공극을 형성하지 않고 GaN계 반도체층(102)을 성장시킬 수 있다고 되어 있다.

[0112] 기판 상에 이 기판과 서로 다른 재료에 의해 볼록부를 형성하고, 볼록부 사이의 오목부로부터 질화물계 Ⅲ-V족

화합물 반도체의 성장을 개시하는 성장 방법이 제안되어 있지만(예를 들면 특허 문헌 4, 5 참조), 이들 성장 양식은 본 발명과 크게 다르다.

[0113] 또한, 참고를 위해 사파이어의 주요한 결정면 및 결정 방위를 도 81에 도시한다.

발명이 이루고자 하는 기술적 과제

[0114] 도 77에 도시하는 종래의 성장 방법에서는, 사파이어 기판(101)과 GaN계 반도체층(102)의 사이에 공극(103)이 형성되게 되는 것은 상술한 바와 같지만, 본 발명자들이 실시한 실험 결과에 따르면, GaN계 반도체층(102) 상에 GaN계 반도체층을 성장시켜 발광 다이오드 구조를 형성한 경우, 이 발광 다이오드의 발광 효율은 낮다고 하는 과제가 있었다. 이것은, 발광 다이오드의 동작 시에 활성층으로부터 발생하는 광이, 공극(103)의 내부에서 반사를 반복하여, 그 결과 광이 흡수되게 됨으로써, 광의 취출 효율이 나쁘기 때문이라고 생각된다.

[0115] 한편, 도 80에 도시하는 종래의 성장 방법에서는, 사파이어 기판(101)과 GaN계 반도체층(102)의 사이에 공극이 형성되지 않는다고 되어 있지만, GaN계 반도체층(102)의 전위 밀도를, 도 77에 도시하는 종래의 성장 방법과 동등한 레벨로 저감시키는 것은 곤란하다고 생각된다. 이 때문에, 이 고전위 밀도의 GaN계 반도체층(102) 상에 GaN계 반도체층을 성장시켜 발광 다이오드 구조를 형성한 경우, 이들 GaN계 반도체층의 전위 밀도도 높아져, 이것이 발광 효율의 저하를 초래하였다.

[0116] 또한, 도 77 및 도 80에 도시하는 종래의 성장 방법 중 어느 것에서도, 사파이어 기판(101)의 표면에 요철 가공을 실시하기 위해서는 일반적으로 드라이 에칭이 이용되지만, 사파이어 기판(101)은 드라이 에칭이 어렵기 때문에, 에칭에 시간이 걸릴 뿐만 아니라, 가공 정밀도도 낮았다.

[0117] 따라서, 본 발명이 해결하고자 하는 기술적 과제는, 상기한 공극의 해소에 의한 광의 취출 효율의 대폭적인 향상 및 발광 다이오드를 구성하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 결정성의 대폭적인 향상에 의해 발광 효율이 매우 높고, 또한 1회의 에피택셜 성장에 의해 저코스트로 제조할 수 있고, 기판의 요철 가공도 용이한 발광 다이오드 및 그 제조 방법과 집적형 발광 다이오드 및 그 제조 방법과 이 발광 다이오드 또는 집적형 발광 다이오드의 제조에 이용하기에 적합한 질화물계 Ⅲ-Ⅴ족 화합물 반도체의 성장 방법 및 질화물계 Ⅲ-Ⅴ족 화합물 반도체 성장용 기판을 제공하는 것이다.

[0118] 본 발명이 해결하고자 하는 다른 과제는, 상기한 바와 같은 발광 다이오드를 이용한 고성능의 광원 셀 유닛, 발광 다이오드 백 라이트, 발광 다이오드 조명 장치, 발광 다이오드 디스플레이 및 전자 기기를 제공하는 것이다.

[0119] 본 발명이 해결하고자 하는 또 다른 과제는, 상기한 공극의 해소 및 소자 구조를 구성하는 층의 결정성의 대폭적인 향상에 의해 특성이 매우 양호하며, 또한 1회의 에피택셜 성장에 의해 저코스트로 제조할 수 있고, 기판의 요철 가공도 용이한, 발광 다이오드, 반도체 레이저, 트랜지스터 등을 포함하는 전자 장치 및 그 제조 방법을 제공하는 것이다.

[0120] 상기 과제 및 다른 과제는, 첨부된 도면을 참조한 본 명세서의 기술에 의해 명확하게 될 것이다.

발명의 구성 및 작용

[0121] 상기 과제를 해결하기 위해, 제1 발명은,

[0122] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것을 이용하여, 해당 기판의 오목부에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태를 거쳐 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 성장시키는 공정과,

[0123] 상기 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층으로부터 상기 기판 상에 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 가로 방향 성장시키는 공정과,

[0124] 상기 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 상에 제1 도전형의 제3 질화물계 Ⅲ-Ⅴ족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 순차적으로 성장시키는 공정

[0125] 을 갖는 것을 특징으로 하는 발광 다이오드의 제조 방법이다.

[0126] 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 및 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 도전형은 물론이고, p형, n형, i형 중 어느 것이어도 되며, 서로 동일 도전형이어도 되고, 그렇지 않아도 되며, 나아가서는 제1 질화물계

Ⅲ-Ⅴ족 화합물 반도체층 혹은 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 내에 서로 도전형이 상이한 2개 이상의 부분이 혼재하여도 된다.

[0127] 전형적으로는, 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 성장시킬 때에, 기판의 오목부의 저면과의 계면으로부터 기판의 일주면에 대하여 수직 방향으로 전위가 발생하고, 이 전위가 상기한 삼각 형상의 단면 형상으로 되는 상태의 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 사면 또는 그 근방에 도달하였을 때, 상기한 일주면과 평행한 방향으로, 삼각 형상부로부터 멀어지도록 굴곡된다. 여기에서, 삼각 형상의 단면 형상 혹은 삼각 형상부에서의 삼각형이란, 정확한 삼각형뿐만 아니라, 예를 들면 정점부가 둥글게 된 것 등, 근사적으로 삼각형으로 간주할 수 있는 것도 포함하는 것을 의미한다(이하 마찬가지임). 또한, 적합하게는, 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 성장 초기에, 기판의 오목부의 저면에 복수의 미소 핵이 생성되고, 이들 미소 핵이 성장하여 합체되어 가는 과정에서 기판의 오목부의 저면과의 계면으로부터 기판의 일주면에 대하여 수직 방향으로 발생하는 전위가, 상기한 일주면과 평행한 방향으로 반복해서 굴곡된다. 이렇게 함으로써, 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 성장 시에 상부로 빠져나가는 전위를 적게 할 수 있다.

[0128] 전형적으로는, 기판의 일주면에 볼록부와 오목부를 교대로 주기적으로 형성한다. 이 경우, 볼록부 및 오목부의 주기는, 적합하게는, 3~5㎛이다. 또한, 볼록부의 저변의 길이와 오목부의 저변의 길이와의 비는, 적합하게는 0.5~3이며, 가장 적합하게는 0.5 부근이다. 기판의 일주면으로부터 본 이 볼록부의 높이는, 적합하게는 0.3㎛ 이상, 더 적합하게는 1㎛ 이상이다. 이 볼록부는, 적합하게는 기판의 일주면에 대하여 경사진 측면(예를 들면 기판의 일주면과 접하는 측면)을 갖고, 이 측면과 기판의 일주면이 이루는 각도를 Θ로 하면, 광의 취출 효율의 향상을 도모하는 관점으로부터, 예를 들면 적합하게는 100°<Θ<160°, 보다 적합하게는 132°<Θ<139° 혹은 147°<Θ<154°이고, 가장 적합하게는 135° 혹은 152°이다. 이 볼록부의 단면 형상은, 다양한 형상이어도 되고, 그 측면도 평면뿐만 아니라 곡면이어도 되지만, 예를 들면 n각형(단, n은 3 이상의 정수), 구체적으로는 삼각형, 사각형, 오각형, 육각형 등, 혹은 이들 각부를 절제한 것이나 각이 둥글게 되어 있는 것, 원형, 타원형 등이며, 이들 중에서도 기판의 일주면으로부터 보아 가장 높은 위치에 정점을 1개 갖는 것이 바람직하며, 특히 삼각형 혹은 그 정점부를 절제한 것이나 정점부가 둥글게 되어 있는 것이 가장 바람직하다. 오목부의 단면 형상도 다양한 형상이어도 되지만, 예를 들면 n각형(단, n은 3 이상의 정수), 구체적으로는 삼각형, 사각형, 오각형, 육각형 등, 혹은 이들 각부를 절제한 것이나 각이 둥글게 되어 있는 것이나, 원형, 타원형 등이다. 광의 취출 효율의 향상을 도모하는 관점으로부터, 적합하게는, 이 오목부의 단면 형상은 역사다리 형상으로 한다. 여기에서, 역사다리 형상이란, 정확한 역사다리 형상뿐만 아니라, 근사적으로 역사다리꼴로 간주할 수 있는 것도 포함하는 것을 의미한다(이하 마찬가지임). 이 경우, 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 전위 밀도를 최소화하는 관점으로부터, 적합하게는, 오목부의 깊이(볼록부의 높이와 동일함)를 d, 오목부의 저면의 폭을 W_g 삼각 형상의 단면 형상으로 되는 상태의 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 사면과 기판의 일주면이 이루는 각도를 α로 하였을 때, $2d \geq W_g \tan\alpha$가 성립하도록, d, W_g, α를 결정한다. α는 통상 일정하기 때문에, 이 식이 성립하도록 d, W_g를 결정한다. d는, 너무 크면 원료 가스가 오목부의 내부에 충분히 공급되지 않아, 오목부의 저면으로부터의 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 성장에 지장을 초래하며, 반대로 너무 작으면 기판의 오목부뿐만 아니라, 그 양측의 볼록부에도 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층이 성장하게 되기 때문에, 이들을 방지하는 관점으로부터, 일반적으로는 0.5㎛<d<5㎛의 범위 내로 선택되고, 전형적으로는 1.0±0.2㎛의 범위 내로 선택된다. W_g는, 일반적으로는 0.5~5㎛이며, 전형적으로는 2±0.5㎛의 범위 내로 선택된다. 또한, 볼록부의 상면의 폭 W_t는, 볼록부의 단면 형상이 삼각형인 경우에는 0이지만, 볼록부의 단면 형상이 사다리 형상인 경우에는, 이 볼록부는 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 가로 방향 성장에 사용하는 영역이기 때문에, 길면 길수록 전위 밀도가 적은 부분의 면적을 크게 할 수 있다. 볼록부의 단면 형상이 사다리 형상인 경우, W_t는 일반적으로는 1~1000㎛, 전형적으로는 4±2㎛의 범위 내이다.

[0129] 볼록부 또는 오목부는, 예를 들면 기판 상의 한 방향으로 스트라이프 형상으로 연장하도록 해도 되며, 적어도 서로 교차하는 제1 방향 및 제2 방향으로 스트라이프 형상으로 연장하도록 함으로써 볼록부가 n각형(단, n은 3 이상의 정수), 구체적으로는 삼각형, 사각형, 오각형, 육각형 등, 혹은 이들 각부를 절제한 것이나 각이 둥글게 되어 있는 것, 원형, 타원형, 점 형상 등의 이차원 패턴으로 되도록 해도 된다. 적합한 하나의 예에서는, 볼록부가 육각형의 평면 형상을 갖고, 이 볼록부가 벌집 형상으로 이차원 배열되어 있으며, 이 볼록부를 둘러싸도록 오목부가 형성된다. 이렇게 함으로써 활성층으로부터 방출되는 광을 360℃의 전체 방향으로 효율적으로 취출할 수 있다. 혹은, 오목부가 육각형의 평면 형상을 갖고, 이 오목부가 벌집 형상으로 이차원 배열되어 있으며, 이 오목부를 둘러싸도록 볼록부가 형성되도록 해도 된다. 기판의 오목부가 스트라이프 형상인 경우, 이 오목부는,

예를 들면 제1 질화물계 Ⅲ-V족 화합물 반도체층의 <1-100> 방향으로 연장하거나, 혹은, 기판으로서 예를 들면 사파이어 기판을 이용하는 경우에는 이 사파이어 기판의 <11-20> 방향으로 연장해도 된다. 볼록부는, 예를 들면 n각추(단, n은 3 이상의 정수), 구체적으로는 3각추, 4각추, 5각추, 6각추 등, 혹은 이들 각부를 절제한 것이나 각이 둥글게 된 것, 원추, 타원추 등이다.

[0130] 볼록부의 재료는, 각종의 것이어도 되며, 도전성의 유무도 문제삼지 않지만, 예를 들면 산화물이나 질화물이나 탄화물 등의 유전체, 금속이나 합금 등의 도전체(투명 도전체를 포함함) 등이다. 산화물로서는, 예를 들면, 산화 실리콘(SiO_x), 산화 티탄(TiO_x), 산화 탄탈(TaO_x), 산화 하프늄(HfO_x), 산화 질코늄(ZrO_x), 산화 아연(ZnO_x), 산화 알루미늄(AlO_x), 산화 갈륨(GaO_x), 산화 마그네슘(MgO_x), 산화 바륨(BaO_x), 산화 인듐(InO_x), $MgIn_2O_4$, 불소 도프 산화 주석(SnO_2:F(FTO)), 산화 주석(SnO_x), 산화 리튬(LiO_x), 산화 칼슘(CaO_x), 산화 구리(CuO_x), $CuAlO_2$, $SrCu_2O_2$, 산화 이리듐(IrO_x), 산화 루테늄(RuO_x), $Cu_a(Al_xGa_yIn_z)_{1-a}O_2$, CdGeO, InGaZnO, ZnRhO, $GaIn_2O_4$, LaO, LaCuO 등을 이용할 수 있으며, 이들 2종류 이상을 혼합하여, 또는 적층막의 형태로 이용할 수도 있다. 질화물로서는, 예를 들면 질화 실리콘(SiN_x), TiN, WN, CN, BN, LiN, TiON, SiON, CrN, CrNO 등을 이용할 수 있으며, 이들 2종류 이상을 혼합하여, 또는 적층막의 형태로 이용할 수도 있다. 탄화물로서는, SiC, HfC, ZrC, WC, TiC, CrC 등을 이용할 수 있으며, 이들 2종류 이상을 혼합하여, 또는 적층막의 형태로 이용할 수도 있다. 금속 또는 합금으로서는, B, Al, Ga, In, W, Ni, Co, Pd, Pt, Ag, Hf, Zr, Au, Cu, Ru, Ir, AgNi, AgPd, AuNi, AuPd, AlCu, AlSi, AlSiCu 등을 이용할 수 있으며, 이들 2종류 이상을 혼합하여, 또는 적층막의 형태로 이용할 수도 있다. 투명 도전체로서는, ITO(인듐-주석 복합 산화물), IZO(인듐-아연 복합 산화물), ZO(산화 아연), FTO(불소 도프 산화 주석), 산화 주석 등을 이용할 수 있으며, 이들 2종류 이상을 혼합하여, 또는 적층막의 형태로 이용할 수도 있다. 또한, 이상의 각종 재료를 2종류 이상 혼합하여, 또는 적층막의 형태로 이용할 수도 있다. 금속 등에 의해 볼록부를 형성하고, 이 볼록부의 적어도 표면을 질화 처리, 산화 처리 혹은 탄화 처리함으로써 질화물, 산화물 혹은 탄화물을 형성하도록 해도 된다.

[0131] 볼록부의 굴절률은, 필요에 따라서 설계에 의해 결정되지만, 일반적으로는, 기판의 굴절률 및 이 기판 상에 성장시키는 질화물계 Ⅲ-V족 화합물 반도체층의 굴절률과는 상이한 굴절률로 선택되며, 전형적으로는, 기판의 굴절률 이하로 선택된다.

[0132] 볼록부에는, 필요에 따라, 활성층으로부터 방출되는 광을 산란하여, 광 취출 효율의 향상을 도모하고, 발광 다이오드의 고출력화를 도모할 목적으로, 산란 중심을 도입하도록 해도 된다. 이러한 산란 중심으로서는, 예를 들면 실리콘 나노 결정 등의 실리콘 미립자를 이용할 수 있다. 이러한 실리콘 미립자가 도입된 볼록부를 형성하기 위해서는, 예를 들면 기판 상에 산화 실리콘에 의해 볼록부를 형성한 후, 열처리를 행하면 된다.

[0133] 기판의 오목부에만 제1 질화물계 Ⅲ-V족 화합물 반도체층을 성장시키는 관점으로부터, 예를 들면 볼록부의 적어도 표면을 비정질층에 의해 형성해도 된다. 이 비정질층은 성장 마스크로 되는 것이다. 이것은, 비정질층 상에서는 성장 시에 핵 형성이 일어나기 어려운 것을 이용한 것이다. 이 비정질층은, 각종 성막법에 의해 기판 상에 성막하거나, 금속 등에 의해 볼록부를 형성하고, 이 볼록부의 표면을 산화시키는 것 등에 의해 형성해도 된다. 이 비정질층은, 예를 들면 SiO_x막, SiN_x막, 비정질 Si(a-Si)막, 비정질 CrN막 혹은 이들 2종류 이상의 적층막 등이며, 일반적으로는 절연막이다. 경우에 따라서는, 볼록부를 기판 상에 형성된 제1 비정질층, 제2 비정질층 및 제3 비정질층에 의해 형성해도 된다. 이 경우, 예를 들면 제2 비정질층은, 제1 비정질층 및 제3 비정질층에 대하여 선택적으로 에칭 가능한 것으로 해도 된다.

[0134] 제2 질화물계 Ⅲ-V족 화합물 반도체층을 가로 방향 성장시킨 후, 제1 질화물계 Ⅲ-V족 화합물 반도체층 및 제2 질화물계 Ⅲ-V족 화합물 반도체층 내의 볼록부 상의 부분 및/또는 오목부 상의 부분의 적어도 일부를 제거하고, 남은 제2 질화물계 Ⅲ-V족 화합물 반도체층 상에 제3 질화물계 Ⅲ-V족 화합물 반도체층을 가로 방향 성장시키고, 이 제3 질화물계 Ⅲ-V족 화합물 반도체층 상에 활성층 및 제4 질화물계 Ⅲ-V족 화합물 반도체층을 순차적으로 성장시키도록 해도 된다. 혹은, 제2 질화물계 Ⅲ-V족 화합물 반도체층을 가로 방향 성장시킨 후, 제1 질화물계 Ⅲ-V족 화합물 반도체층 및 제2 질화물계 Ⅲ-V족 화합물 반도체층 내의 볼록부 상의 부분 및/또는 오목부 상의 부분의 적어도 일부를 제거하고, 남은 제2 질화물계 Ⅲ-V족 화합물 반도체층 상에 제5 질화물계 Ⅲ-V족 화합물 반도체층을 가로 방향 성장시키고, 이 제5 질화물계 Ⅲ-V족 화합물 반도체층 상에 제3 질화물계 Ⅲ-V족 화합물 반도체층, 활성층 및 제4 질화물계 Ⅲ-V족 화합물 반도체층을 순차적으로 성장시키도록 해도 된다.

[0135] 또한, 볼록부 상의 부분의 제2 질화물계 Ⅲ-V족 화합물 반도체층의 회합부에 관통 전위가 집중하는 것으로

인해, 이 회합부로 되는 부분의 볼록부 상에 절연체나 공극 등으로 이루어지는 전위 전반 소자부를 미리 형성해 두고, 이 제2 질화물계 Ⅲ-V족 화합물 반도체층 속을 기판의 일주면과 평행한 방향으로 전반하는 전위를 이 전위 전반 소자부에 의해 저지함으로써 제2 질화물계 Ⅲ-V족 화합물 반도체층의 표면으로 전위가 빠져나가 관통 전위로 되는 것을 방지할 수 있다.

[0136] 제3 질화물계 Ⅲ-V족 화합물 반도체층에는, 이것과 전기적으로 접속된 상태에서 제1 도전형측의 전극을 형성한다. 마찬가지로, 제4 질화물계 Ⅲ-V족 화합물 반도체층에도, 이것과 전기적으로 접속된 상태에서 제2 도전형측의 전극을 형성한다.

[0137] 기판으로서는 다양한 것을 이용할 수 있다. 질화물계 Ⅲ-V족 화합물 반도체와 서로 다른 물질로 이루어지는 기판으로서는, 구체적으로는, 예를 들면 사파이어(c면, a면, r면 등을 포함하며, 이들 면으로부터 오프된 면의 것도 포함함), SiC(6H, 4H, 3C를 포함함), Si, ZnS, ZnO, LiMgO, GaAs, 스피넬($MgAl_2O_4$, $ScAlMgO_4$), 가넷, CrN(예를 들면 CrN(111)) 등으로 이루어지는 기판을 이용할 수 있으며, 적합하게는, 이들 재료로 이루어지는 육방정 기판 또는 입방정 기판, 보다 적합하게는 육방정 기판을 이용한다. 기판으로서는, 질화물계 Ⅲ-V족 화합물 반도체(GaN, AlGaInN, AlN, GaInN 등)로 이루어지는 기판을 이용해도 된다. 혹은, 기판으로서, 질화물계 Ⅲ-V족 화합물 반도체와 서로 다른 물질로 이루어지는 기판 상에 질화물계 Ⅲ-V족 화합물 반도체층을 성장시키고, 이 질화물계 Ⅲ-V족 화합물 반도체층에 상기한 볼록부를 형성한 것이어도 된다.

[0138] 또한, 예를 들면 기판 상에 질화물계 Ⅲ-V족 화합물 반도체층 등의 층을 성장시킨 것을 기판으로서 이용하는 경우, 볼록부의 재료는 이 볼록부의 바로 아래의 층과 서로 다른 재료의 것이 이용된다.

[0139] 기판은, 필요에 따라서 제거해도 된다.

[0140] 제1~제5 질화물계 Ⅲ-V족 화합물 반도체층 및 활성층을 구성하는 질화물계 Ⅲ-V족 화합물 반도체층은, 가장 일반적으로는, $Al_XB_yGa_{1-x-y-z}In_zAs_uN_{1-u-v}P_v$(단, $0\leq x\leq 1$, $0\leq y\leq 1$, $0\leq z\leq 1$, $0\leq u\leq 1$, $0\leq v\leq 1$, $0\leq x+y+z<1$, $0\leq u+v<1$)로 이루어지고, 보다 구체적으로는, $Al_XB_yGa_{1-x-y-z}In_zN$(단, $0\leq x\leq 1$, $0\leq y\leq 1$, $0\leq z\leq 1$, $0\leq x+y+z<1$)으로 이루어지며, 전형적으로는, $Al_XGa_{1-x-z}In_zN$(단, $0\leq x\leq 1$, $0\leq z\leq 1$)으로 이루어지고, 구체예를 들면, GaN, InN, AlN, AlGaN, InGaN, AlGaInN 등으로 이루어진다. 제1~제5 질화물계 Ⅲ-V족 화합물 반도체층 및 활성층을 구성하는 질화물계 Ⅲ-V족 화합물 반도체층은, 예를 들면 GaN에 B나 Cr 등을 포함시키면 전위의 굴곡을 촉진하는 효과가 있으므로, BGaN, GaN에 B를 도프한 GaN:B, GaN에 Cr을 도프한 GaN:Cr 등으로 이루어지는 것이어도 된다. 특히 최초로 기판의 오목부에 성장시키는 제1 질화물계 Ⅲ-V족 화합물 반도체층으로서는, 적합하게는, GaN, $In_XGa_{1-x}N$($0<x<0.5$), $Al_XGa_{1-x}N$($0<x<0.5$), $Al_XIn_yGa_{1-x-y}N$($0<x<0.5$, $0<y<0.2$)로 이루어지는 것이 이용된다. 제1 도전형은 n형이어도 되고, p형이어도 되며, 그것에 따라 제2 도전형은 p형 또는 n형이다. 또한, 기판 상에 최초로 성장시키는, 소위 저온 버퍼층으로서는 GaN 버퍼층, AlN 버퍼층, AlGaN 버퍼층 등이 일반적으로 이용되지만, 이들에 Cr을 도프한 것이나 CrN 버퍼층 등을 이용해도 된다.

[0141] 제2 질화물계 Ⅲ-V족 화합물 반도체층의 두께는, 필요에 따라서 선택되며, 전형적으로는 수㎛ 정도 이하이지만, 용도 등에 의해서는 보다 두껍게, 예를 들면 수십~300㎛ 정도이어도 된다.

[0142] 제1~제5 질화물계 Ⅲ-V족 화합물 반도체층 및 활성층을 구성하는 질화물계 Ⅲ-V족 화합물 반도체층의 성장 방법으로서는, 예를 들면 유기 금속 화학 기상 성장(MOCVD), 하이드라이드 기상 에피택셜 성장 혹은 할라이드 기상 에피택셜 성장(HVPE), 분자선 에피택시(MBE) 등의 각종 에피택셜 성장법을 이용할 수 있다.

[0143] 제2 발명은,

[0144] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0145] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-V족 화합물 반도체층과,

[0146] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-V족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-V족 화합물 반도체층을 갖고,

[0147] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층에 있어서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 발광 다이오드이다.

[0148] 제2 발명 및 후술하는 제4, 제6 및 제7~제11 발명에서, 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층은, 제1 발명에서의 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 및 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층에 대응하는 것이다.

[0149] 제2 발명 및 후술하는 제3~제13 발명에서는, 그 성질에 반하지 않는 한, 제1 발명에 관련해서 설명한 것이 성립한다.

[0150] 제3 발명은,

[0151] 복수의 발광 다이오드가 집적된 집적형 발광 다이오드의 제조 방법에서,

[0152] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것을 이용하여, 해당 기판의 오목부에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태를 거쳐 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 성장시키는 공정과,

[0153] 상기 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층으로부터 상기 기판 상에 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 가로 방향 성장시키는 공정과,

[0154] 상기 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 상에 제1 도전형의 제3 질화물계 Ⅲ-Ⅴ족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 순차적으로 성장시키는 공정

[0155] 을 갖는 것을 특징으로 하는 것이다.

[0156] 제4 발명은,

[0157] 복수의 발광 다이오드가 집적된 집적형 발광 다이오드에서,

[0158] 적어도 하나의 상기 발광 다이오드가,

[0159] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0160] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층과,

[0161] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-Ⅴ족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 갖고,

[0162] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 것이다.

[0163] 제3 및 제4 발명에서, 집적형 발광 다이오드는 그 용도를 문제삼지 않지만, 전형적인 용도를 열거하면, 액정 모니터 등에 이용되는 발광 다이오드 백 라이트, 발광 다이오드 조명 장치, 발광 다이오드 디스플레이, 발광 다이오드 광 통신 장치(예를 들면 가시광 통신 장치), 발광 다이오드 광 공간 전송 장치 등이다. 이 집적형 발광 다이오드는, 발광 다이오드의 배열의 방법이나 형상은 문제삼지 않지만, 예를 들면 지지체(지지 기판), 혹은 각종 소자에의 배선을 목적으로 한 판이나 기판 등의 상, 혹은 케이스의 내외의 면 상에, 직접 혹은 배선판이나 방열판 등의 다른 판을 개재해서, 발광 다이오드가 이차원 어레이 형상으로 배열된 것이나, 스트라이프 형상의 발광 다이오드가 일렬 또는 복수열 배열된 것 등이다. 이 집적형 발광 다이오드의 형태는, 소위 반도체 프로세스 기술을 이용해서 반도체층이 적층된 웨이퍼를 일괄 가공함으로써, 회로 패턴과 함께 각 발광 다이오드가 미세하게 복수 집적해서 나열되어 있는 형태는 물론, 소위 실장 기술을 이용하여, 이미 칩화되어 있는 각 발광 다이오드를 회로 패턴 기판 상에 미세하게 복수 집적해서 배열한 형태이어도 된다. 또한, 이들 발광 다이오드는, 독립 구동해도 되고, 일괄 구동해도 되며, 또한, 임의로 설정된 임의의 영역 내의 발광 다이오드군을 일괄 독립 구동(에리어 구동)해도 된다.

[0164] 제5 발명은,

[0165] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것을 이용하여, 해당 기판의 오목부에, 그 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태를 거쳐 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 성장시키는 공정과,

[0166] 상기 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층으로부터 상기 기판 상에 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 가로 방향 성장시키는 공정

[0167] 을 갖는 것을 특징으로 하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체의 성장 방법이다.

[0168] 이 질화물계 Ⅲ-Ⅴ족 화합물 반도체의 성장 방법은, 발광 다이오드나 집적형 발광 다이오드 외에, 다른 각종 반도체 장치의 제조에 적용하는 것이 가능하다.

[0169] 제6 발명은,

[0170] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0171] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 갖고,

[0172] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체 성장용 기판이다.

[0173] 제7 발명은,

[0174] 적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드를 각각 적어도 1개 포함하는 셀이 프린트 배선 기판 상에 복수개 배열된 광원 셀 유닛에서,

[0175] 상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중의 적어도 하나의 발광 다이오드가,

[0176] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0177] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층과,

[0178] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-Ⅴ족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 갖고,

[0179] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 것이다.

[0180] 제8 발명은,

[0181] 적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드를 각각 복수개 배열한 발광 다이오드 백 라이트에서,

[0182] 상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중의 적어도 하나의 발광 다이오드가,

[0183] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0184] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층과,

[0185] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-Ⅴ족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 갖고,

[0186] 상기 제6 질화물계 Ⅲ-Ⅴ족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 것이다.

[0187] 제9 발명은,

[0188] 적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드를 각각 복수개 배열한 발광 다이오드 조명 장치에서,

[0189] 상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중의 적어도 하나의 발광 다이오드가,

[0190] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0191] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-V족 화합물 반도체층과,

[0192] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-V족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-V족 화합물 반도체층을 갖고,

[0193] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 것이다.

[0194] 제10 발명은,

[0195] 적색 발광의 발광 다이오드, 녹색 발광의 발광 다이오드 및 청색 발광의 발광 다이오드를 각각 복수개 배열한 발광 다이오드 디스플레이에서,

[0196] 상기 적색 발광의 발광 다이오드, 상기 녹색 발광의 발광 다이오드 및 상기 청색 발광의 발광 다이오드 중의 적어도 하나의 발광 다이오드가,

[0197] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0198] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-V족 화합물 반도체층과,

[0199] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-V족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-V족 화합물 반도체층을 갖고,

[0200] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 것이다.

[0201] 제7~제10 발명에서, 적색 발광의 발광 다이오드로서는, 예를 들면 AlGaInP계 반도체를 이용한 것을 이용할 수도 있다.

[0202] 제11 발명은,

[0203] 1개 또는 복수의 발광 다이오드를 갖는 전자 기기에서,

[0204] 적어도 하나의 상기 발광 다이오드가,

[0205] 일주면에 복수의 볼록부를 갖는 기판으로서 해당 볼록부는 해당 기판과 서로 다른 재료로 이루어지는 것과,

[0206] 상기 기판 상에, 상기 기판의 오목부에 공극을 형성하지 않고 성장된 제6 질화물계 Ⅲ-V족 화합물 반도체층과,

[0207] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층 상의 제1 도전형의 제3 질화물계 Ⅲ-V족 화합물 반도체층, 활성층 및 제2 도전형의 제4 질화물계 Ⅲ-V족 화합물 반도체층을 갖고,

[0208] 상기 제6 질화물계 Ⅲ-V족 화합물 반도체층에서, 상기 오목부의 저면과의 계면으로부터 상기 일주면에 대하여 수직 방향으로 발생한 전위가, 상기 오목부의 저면을 저변으로 하는 삼각 형상부의 사면 또는 그 근방에 도달하여, 그곳으로부터 상기 일주면과 평행한 방향으로 굴곡되어 있는 것을 특징으로 하는 것이다.

[0209] 제11 발명에서, 전자 기기는, 발광 다이오드 백 라이트(액정 모니터의 백 라이트 등), 발광 다이오드 조명 장치, 발광 다이오드 디스플레이 등, 나아가서는 발광 다이오드를 광원으로 하는 프로젝터 혹은 리어 프로젝션 텔레비전, 그레이팅 라이트 밸브(GLV) 등을 포함하지만, 일반적으로는, 표시, 조명, 광 통신, 광 전송이나 그 밖의 목적으로 적어도 하나의 발광 다이오드를 갖는 것이면, 기본적으로는 어떤 것이어도 되며, 휴대형의 것과 거치형의 것의 쌍방을 포함하지만, 상기 이외의 구체예를 들면, 휴대 전화, 모바일 기기, 로봇, 퍼스널 컴퓨터, 차량 탑재 기기, 각종 가정 전기 제품, 발광 다이오드 광 통신 장치, 발광 다이오드 광 전송 장치, 전자 키 등의 포터블 시큐러티 기기 등이다. 전자 기기에는 또한 원적외 파장 대역, 적외 파장 대역, 적색 파장 대역, 노란색 파장 대역, 녹색 파장 대역, 청색 파장 대역, 보라색 파장 대역, 자외 파장 대역 등 중의 서로 다른 파장 대역의 광을 방출하는 2종류 이상의 발광 다이오드를 조합한 것도 포함된다. 특히, 발광 다이오드 조명 장치에서는, 적색 파장 대역, 노란색 파장 대역, 녹색 파장 대역, 청색 파장 대역, 보라색 파장 대역 등 중의 서로 다른 파장 대역의 가시광을 방출하는 2종류 이상의 발광 다이오드를 조합하고, 이들 발광 다이오드로부터 방출되는 2종류 이상의 광을 혼합해서 자연광 혹은 백색광을 얻을 수 있다. 또한 청색 파장 대역, 보라색 파장 대역, 자외 파장 대역 등 중의 적어도 하나의 파장 대역의 광을 방출하는 발광 다이오드를 광원으로서 이용하고, 이

발광 다이오드로부터 방출되는 광을 형광체에 조사해서 여기함으로써 얻어지는 광을 혼합해서 자연광 혹은 백색광을 얻을 수 있다. 또한, 이들 서로 다른 파장 대역의 가시광을 방출하는 발광 다이오드를, 예를 들면 셀 단위, 콰르텟 단위, 클러스터 단위인 집합 단위(엄밀하게는, 이들 단위에 1단위로 포함되는 발광 다이오드의 수는 정의되어 있지 않고, 동일 파장 또는 서로 다른 파장의 광을 방출하는 복수의 발광 다이오드로 동일 집단을 복수 형성하고, 이들을 배선 기판, 배선 패키지, 배선 케이스 벽 등에 탑재하는 경우의 1집합 단위 명칭)로 통합하고, 구체적으로는, 예를 들면 3개의 발광 다이오드(예를 들면 적색 발광의 발광 다이오드를 1개, 녹색 발광의 발광 다이오드를 1개, 청색 발광의 발광 다이오드를 1개)로 이루어지는 단위, 또는 4개의 발광 다이오드(예를 들면 적색 발광의 발광 다이오드를 1개, 녹색 발광의 발광 다이오드를 2개, 청색 발광의 발광 다이오드를 1개)로 이루어지는 단위, 또는 5개 이상의 발광 다이오드로 이루어지는 단위 등으로 통합하고, 각 단위를 기판 상 또는 판 상, 혹은 케이스 판 상에 이차원 어레이 형상이나 일렬 또는 복수열로 탑재하도록 해도 된다.

[0210] 본 발명에서, 질화물계 Ⅲ-Ⅴ족 화합물 반도체 외에, 우르츠광형(wurtzite) 구조, 보다 일반적으로는 육방정계의 결정 구조를 갖는 다른 반도체, 예를 들면 ZnO, α-ZnS, α-CdS, α-CdSe 등, 나아가서는 CrN(111) 등의 다른 결정 구조를 갖는 각종 반도체로 이루어지는 것이어도 된다. 이들 반도체를 이용한 반도체 장치에는, 통상의 발광 다이오드, 서브 밴드간 천이 발광형(양자 캐스케이드형) 발광 다이오드, 일반적인 반도체 레이저, 서브 밴드간 천이 발광형(양자 캐스케이드형) 반도체 레이저와 같은 발광 소자 외에, 포토 다이오드 등의 수광 소자 혹은 센서, 태양 전지, 나아가서는 고전자 이동도 트랜지스터 등의 전계 효과 트랜지스터(FET)나 헤테로 접합 바이폴라 트랜지스터(HBT) 등의 바이폴라 트랜지스터와 같은 트랜지스터로 대표되는 전자 주행 소자가 포함된다. 동일 기판 또는 칩 상에 이들 소자가 1개 또는 복수개 형성된다. 이들 소자는 필요에 따라서 독립적으로 구동되도록 구성된다. 동일 기판 상에 발광 소자와 전자 주행 소자를 집적화함으로써 광 전자 집적 회로(OEIC)를 구성하는 것이 가능하다. 필요에 따라서, 광 배선을 형성하는 것도 가능하다. 적어도 하나의 발광 소자(발광 다이오드 혹은 반도체 레이저)의 점멸을 이용하여 밝기의 공급에 의한 조명 통신 혹은 광 통신을 행할 수도 있다. 이 경우, 서로 다른 파장 대역의 광을 복수 이용하여 조명 통신 혹은 광 통신을 행해도 된다.

[0211] 삭제

[0212] 삭제

[0213] 삭제

[0214] 삭제

[0215] 삭제

[0216] 삭제

[0217] 삭제

[0218] 삭제

[0219] 전자 장치는, 상기한 반도체 장치(발광 소자, 수광 소자, 전자 주행 소자 등) 외에, 압전 장치, 초전(焦電) 장치, 광학 장치(비선형 광학 결정을 이용하는 제2차 고조파 발생 소자 등), 유전체 장치(강유전체 소자를 포함함), 초전도 장치 등도 포함한다. 이 경우, 제1~제3 층의 재료는, 반도체 장치에서는 상기한 바와 같은 각종 반도체를 이용할 수 있고, 압전 장치, 초전 장치, 광학 장치, 유전체 장치, 초전도 장치 등에서는, 육방정계의 결정 구조를 갖는 산화물 등의 각종 재료를 이용할 수 있다.

[0220] 전자 장치로서 발광 다이오드 혹은 반도체 레이저를 포함하는 것을 이용함으로써, 발광 다이오드 백 라이트, 발광 다이오드 조명 장치, 발광 다이오드 디스플레이 등, 나아가서는 발광 다이오드 혹은 반도체 레이저를 광원으로 하는 프로젝터 혹은 리어 프로젝션 텔레비전, 그레이팅 라이트 밸브 등의 전자 기기를 구성할 수 있다.

[0221] 상술한 바와 같이 구성된 본 발명에서는, 기판의 오목부의 저면으로부터 제1 질화물계 Ⅲ-V족 화합물 반도체층의 성장을 개시하고, 도중에서 이 저면을 저변으로 하는 삼각 형상의 단면 형상으로 되는 상태를 거쳐 제1 질화물계 Ⅲ-V족 화합물 반도체층을 성장시킴으로써 이 오목부를 간극없이 메울 수 있다. 그리고, 이렇게 해서 성장된 제1 질화물계 Ⅲ-V족 화합물 반도체층으로부터 제2 질화물계 Ⅲ-V족 화합물 반도체층을 가로 방향 성장시킨다. 이 때, 제1 질화물계 Ⅲ-V족 화합물 반도체층에서는, 기판의 오목부의 저면과의 계면으로부터 기판의 일주면에 대하여 수직 방향으로 전위가 발생하고, 이 전위가 제1 질화물계 Ⅲ-V족 화합물 반도체층의 사면 또는 그 근방에 도달하고, 제2 질화물계 Ⅲ-V족 화합물 반도체층의 성장에 수반하여, 이 전위는 그곳으로부터 기판의 일주면과 평행한 방향으로 굴곡된다. 제2 질화물계 Ⅲ-V족 화합물 반도체층을 충분히 두껍게 성장시킨 시점에서, 이 기판의 일주면과 평행한 전위 상의 부분은 전위 밀도가 매우 적은 영역으로 된다. 또한, 이 방법에서는, 제1~제4 질화물계 Ⅲ-V족 화합물 반도체층을 1회의 에피택셜 성장에 의해 성장시킬 수 있다. 또한, 기판 상에 이 기판과 서로 다른 재료로 이루어지는 볼록부를 형성하는 것은, 기판을 드라이 에칭 등에 의해 직접 가공해서 요철을 형성하는 것에 비해서 매우 간단하여, 가공 정밀도도 일반적으로 높다.

[0222] 삭제

[0223] 보다 일반적으로는, 제1 질화물계 Ⅲ-V족 화합물 반도체층을 제1 층, 제2 질화물계 Ⅲ-V족 화합물 반도체층을 제2 층으로 바꿔 읽어도 상기와 마찬가지의 것이 성립한다.

[0224] <실시예>

[0225] 이하, 본 발명의 실시예에 대해서 도면을 참조하면서 설명한다. 또한, 실시예의 전체 도면에서, 동일하거나 또는 대응하는 부분에는 동일한 부호를 붙인다.

[0226] 도 1~도 3은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법을 공정순으로 도시한다. 이 발광 다이오드는, GaN 등의 질화물계 Ⅲ-V족 화합물 반도체를 이용한 것이다.

[0227] 이 제1 실시예에서는, 도 1의 (A)에 도시하는 바와 같이, 우선, 평탄한 일주면을 갖고, 질화물계 Ⅲ-V족 화합물 반도체와 서로 다른 재료로 이루어지는 기판(11)을 준비하며, 이 기판(11) 상에 단면 형상이 이등변 삼각형인 볼록부(12)를 소정의 평면 형상으로 주기적으로 형성한다. 볼록부(12) 사이에는 역사다리 형상의 단면 형상을 갖는 오목부(13)가 형성된다. 이 기판(11)으로서는, 예를 들면 이미 설명한 것을 이용할 수 있지만, 구체적으로는, 예를 들면 사파이어 기판이며, 그 주면은 예를 들면 c면이다. 볼록부(12) 및 오목부(13)의 평면 형상은 이미 설명한 각종 평면 형상으로 할 수 있지만, 예를 들면 도 4에 도시하는 바와 같이, 볼록부(12) 및 오목부(13) 모두 한 방향으로 연장되는 스트라이프 형상을 갖는 경우나, 도 5에 도시하는 바와 같이, 볼록부(12)가 육각형의 평면 형상을 갖고, 이것을 벌집 형상으로 이차원 배열한 경우 등이다. 전형적으로는, 도 4에서의 점선의 방향(스트라이프와 직교하는 방향)이 후술하는 질화물계 Ⅲ-V족 화합물 반도체층(15)의 a축과 평행하게 되고, 도 5에서의 점선의 방향(가장 인접하는 볼록부(12) 사이를 연결하는 방향)이, 후술하는 질화물계 Ⅲ-V족 화합물 반도체층(15)의 m축과 평행하게 되도록 한다. 예를 들면, 기판(11)이 사파이어 기판인 경우, 도 4에서의 스트라이프 형상의 볼록부(12) 및 오목부(13)의 연장 방향은 사파이어 기판의 <1-100> 방향이며, 도 5에서의 오목부(13)의 연장 방향은 마찬가지로 사파이어 기판의 <1-100> 방향이다. 이들 연장 방향은 사파이어 기판의 <11-20> 방향이어도 된다. 볼록부(12)의 재료로서는 이미 설명한 것을 이용할 수 있지만, 가공의 용이함 등의 관점으로부터, 적합하게는 예를 들면 SiO_2, SiN, CrN, SiON, CrON 등이 이용된다.

[0228] 기판(11) 상에 단면 형상이 이등변 삼각형인 볼록부(12)를 형성하기 위해서는, 종래 공지의 방법을 이용할 수 있다. 예를 들면 CVD법, 진공 증착법, 스퍼터링법 등에 의해 기판(11)의 전체면에 볼록부(12)의 재료로 되는 막(예를 들면 SiO_2막)을 형성한다. 다음으로, 이 막 상에 소정 형상의 레지스트 패턴을 리소그래피에 의해 형성한다. 다음으로, 반응성 이온 에칭(RIE)법 등에 의해, 테이퍼 에칭이 행하여지는 조건에서, 이 레지스트 패턴을 마스크로 하여 이 막을 에칭함으로써, 단면 형상이 이등변 삼각형인 볼록부(12)가 형성된다.

[0229] 다음으로, 써멀 크리닝 등을 행함으로써 이 기판(11) 및 볼록부(12)의 표면을 청정화한 후, 이 기판(11) 상에 종래 공지의 방법에 의해 예를 들면 550℃ 정도의 성장 온도에서 예를 들면 GaN 버퍼층, AlN 버퍼층, CrN 버퍼

층, Cr 도프 GaN 버퍼층 혹은 Cr 도프 AlN 버퍼층(도시하지 않음)을 성장시킨다. 다음으로, 예를 들면 MOCVD법에 의해 질화물계 Ⅲ-V족 화합물 반도체의 에피택셜 성장을 행한다. 이 질화물계 Ⅲ-V족 화합물 반도체는 예를 들면 GaN이다. 이 때, 도 1의 (B)에 도시하는 바와 같이, 우선 오목부(13)의 저면으로부터 성장을 개시시켜, 질화물계 Ⅲ-V족 화합물 반도체로 이루어지는 미소 핵(14)을 복수 생성시킨다. 다음으로, 도 1의 (C)에 도시하는 바와 같이, 미소 핵(14)의 성장 및 합체의 과정을 거쳐, 오목부(13)의 저면을 저변으로 하고, 기판(11)의 주면에 대하여 경사진 파셋을 사면에 갖는 이등변 삼각 형상의 단면 형상으로 되도록 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시킨다. 이 예에서는, 이 이등변 삼각 형상의 단면 형상의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 높이는 볼록부(12)의 높이보다 크다. 예를 들면 이 질화물계 Ⅲ-V족 화합물 반도체층(15)의 연장 방향은 그 <1-100> 방향이며, 그 사면의 파셋은 (1-101)면이다. 이 질화물계 Ⅲ-V족 화합물 반도체층(15)은, 언도프이어도 되며, n형 불순물 또는 p형 불순물을 도프해도 된다. 이 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장 조건에 대해서는 후술한다. 질화물계 Ⅲ-V족 화합물 반도체층(15)의 연장 방향은 그 <11-20> 방향이어도 된다.

[0230] 계속해서, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장을 그 사면의 파셋 면방위를 유지하면서 행함으로써, 도 2의 (A)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 양단부가 볼록부(12)의 측면의 하부까지 성장해서 단면 형상이 오각 형상으로 되는 상태로 한다.

[0231] 다음으로, 성장 조건을 가로 방향 성장이 지배적으로 되는 조건으로 설정해서 성장을 계속하면, 도 2의 (B)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)은, 화살표로 나타내는 바와 같이 가로 방향 성장해서 단면 형상이 육각 형상으로 이루어지는 상태에서 볼록부(12) 상에 확대되어 간다. 도 2의 (B)에서, 점선은 성장 도중의 성장 계면을 나타낸다(이하 마찬가지임).

[0232] 또한 가로 방향 성장을 계속하면, 도 2의 (C)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)은 그 두께를 증가시키면서 성장하여, 결국은 인접하는 오목부(13)로부터 성장한 질화물계 Ⅲ-V족 화합물 반도체층(15)끼리 볼록부(12) 상에서 접촉하여, 회합한다.

[0233] 계속해서, 도 2의 (C)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)을 그 표면이 기판(11)의 주면과 평행한 평탄면으로 될 때까지 가로 방향 성장시킨다. 이렇게 해서 성장된 질화물계 Ⅲ-V족 화합물 반도체층(15)은, 오목부(13) 상의 부분의 전위 밀도가 매우 낮아진다.

[0234] 또한, 경우에 따라서는, 도 1의 (C)에 도시하는 상태로부터, 도 2의 (A)에 도시하는 상태를 거치지 않고, 도 2의 (B)에 도시하는 상태로 직접 이동하는 경우에도 가능하다.

[0235] 다음으로, 도 3에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에, 예를 들면 MOCVD법에 의해, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 질화물계 Ⅲ-V족 화합물 반도체를 이용한 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 순차적으로 에피택셜 성장시킨다. 이 경우, 질화물계 Ⅲ-V족 화합물 반도체층(15)은 n형인 것으로 한다.

[0236] 다음으로, 이렇게 해서 질화물계 Ⅲ-V족 화합물 반도체층을 성장시킨 기판(11)을 MOCVD 장치로부터 취출한다.

[0237] 다음으로, p형 질화물계 Ⅲ-V족 화합물 반도체층(18) 상에 p측 전극(19)을 형성한다. p측 전극(19)의 재료로서는, 예를 들면 고반사율을 갖는 오믹 금속을 이용하는 것이 바람직하다.

[0238] 이 후, p형 질화물계 Ⅲ-V족 화합물 반도체층(18)의 p형 불순물을 활성화하기 위해, 예를 들면 N_2와 O_2와의 혼합 가스(조성은 예를 들면 N_2가 99%, O_2가 1%)의 분위기 중에서 550~750℃(예를 들면 650℃) 혹은 580~620℃(예를 들면 600℃)의 온도에서 열처리를 행한다. 여기에서, 예를 들면 N_2에 O_2를 혼합함으로써 활성화가 일어나기 쉬워진다. 또한, 예를 들면, O, N과 마찬가지로 전기 음성도가 높은 F, Cl 등의 원료로서 할로겐화 질소(NF_3, NCl_3 등)를 N_2 또는 N_2와 O_2와의 혼합 가스 분위기로 혼합하도록 해도 된다. 이 열처리의 시간은 예를 들면 5분~2시간 혹은 40분~2시간, 일반적으로는 10~60분 정도이다. 열처리의 온도를 비교적 낮게 하는 것은, 열처리 시의 활성층(16) 등의 열화를 방지하기 위해서이다. 또한, 이 열처리는, p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 에피택셜 성장시킨 후, p측 전극(19)을 형성하기 전에 행해도 된다.

[0239] 다음으로, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을, 예를 들면 RIE법, 분말 블라스트법, 샌드 블라스트법 등에 의해 소정 형상으로 패터닝하여, 메사부(20)를

형성한다.

[0240] 다음으로, 이 메사부(20)에 인접하는 부분의 n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 n측 전극(21)을 형성한다.

[0241] 다음으로, 필요에 따라, 상술한 바와 같이 해서 발광 다이오드 구조가 형성된 기판(11)을 그 이면측으로부터 연삭이나 랩핑함으로써 두께를 감소시킨 후, 이 기판(11)의 스크라이빙을 행하여, 바를 형성한다. 이 후, 이 바의 스크라이빙을 행함으로써 칩화한다.

[0242] 이상에 의해, 목적으로 하는 발광 다이오드가 제조된다.

[0243] 볼록부(12)가 한 방향으로 연장하는 스트라이프 형상을 갖는 경우에서의 p측 전극(19) 및 n측 전극(21)의 평면 형상의 일례를 도 6에 도시한다.

[0244] 상기한 질화물계 Ⅲ-V족 화합물 반도체층의 성장 원료는, 예를 들면 Ga의 원료로서는 트리에틸 갈륨($(C_2H_5)_3Ga$, TEG) 또는 트리메틸 갈륨($(CH_3)_3Ga$, TMG), Al의 원료로서는 트리메틸 알루미늄($(CH_3)_3Al$, TMA), In의 원료로서는 트리에틸 인듐($(C_2H_5)_3In$, TEI) 또는 트리메틸 인듐($(CH_3)_3$ In, TMI)을, N의 원료로서는 암모니아(NH_3)를 이용한다. 도펀트에 대해서는, n형 도펀트로서는 예를 들면 실란(SiH_4) 혹은 디실란(Si_2H_6)을, p형 도펀트로서는 예를 들면 비스(메틸 시클로 펜타디에닐)마그네슘($(CH_3C_5H_4)_2Mg$), 비스(에틸 시클로 펜타디에닐)마그네슘($(C_2H_5C_5H_4)_2Mg$) 혹은 비스(시클로 펜타디에닐)마그네슘($(C_5H_5)_2Mg$)을 이용한다. 또한, 상기한 질화물계 Ⅲ-V족 화합물 반도체층의 성장 시의 캐리어 가스 분위기로서는, 예를 들면 H_2 가스가 이용된다.

[0245] 이 발광 다이오드의 구체적인 구조예에 대해서 설명한다. 즉, 예를 들면 질화물계 Ⅲ-V족 화합물 반도체층(15)이 n형 GaN층, n형 질화물계 Ⅲ-V족 화합물 반도체층(16)이 밑에서부터 순서대로, n형 GaInN층, n형 GaN층 및 n형 GaInN층, p형 질화물계 Ⅲ-V족 화합물 반도체층(18)이 밑에서부터 순서대로, p형 GaInN층, p형AlInN층, p형 GaN층 및 p형 GaInN층이다. 활성층(17)은, 예를 들면 GaInN계의 다중 양자 웰(MQW) 구조(예를 들면 GaInN 양자 웰층과 GaN 장벽층을 교대로 적층한 것)를 갖고, 이 활성층(17)의 In 조성은 발광 다이오드의 발광 파장에 따라 선택되며, 예를 들면 발광 파장 405㎚에서는 ~11%, 450㎚에서는 ~18%, 520㎚에서는 ~24%이다. p측 전극(19)의 재료로서는, 예를 들면 Ag나 Pd/Ag 등을 이용하거나, 혹은 필요에 따라 이에 부가해서 Ti, W, Cr, WN, CrN 등으로 이루어지는 배리어 메탈을 이용한다. n측 전극(21)으로서는, 예를 들면 Ti/Pt/Au 구조의 것을 이용한다.

[0246] 이렇게 해서 얻어진 도 3에 도시하는 발광 다이오드에서는, p측 전극(19)과 n측 전극(21)의 사이에 순방향 전압을 인가해서 전류를 흘림으로써 발광을 행하게 하고, 기판(11)을 통과시켜 외부로 광을 취출한다. 활성층(17)의 In 조성의 선정에 의해, 적색~자외의 발광, 특히 청색 발광, 녹색 발광 또는 적색 발광을 얻을 수 있다. 이 경우, 활성층(17)으로부터 발생한 광 중, 기판(11)을 향하는 광은, 기판(11)과 그 오목부(13)의 질화물계 Ⅲ-V족 화합물 반도체층(15)과의 계면에서 굴절된 후, 기판(11)을 통과하여 외부로 나가며, 활성층(17)으로부터 발생한 광 중, p측 전극(19)을 향하는 광은, 이 p측 전극(19)에서 반사되어 기판(11)을 향하고, 기판(11)을 통과해서 외부로 나간다.

[0247] 발광 다이오드의 구조는 도 3에 도시하는 것에 한정되지 않고, 예를 들면 도 7~도 11에 도시하는 바와 같은 구조이어도 된다. 도 7에 도시하는 예에서는, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 그들의 중앙부가 남도록 패터닝해서 메사부(20)를 형성하고, 이 메사부(20)의 p형 질화물계 Ⅲ-V족 화합물 반도체층(18) 상에 p측 전극(19)을 형성함과 함께, 이 메사부(20)의 양측의 부분의 n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 n측 전극(21)을 형성한다. 도 8에 도시하는 예에서는, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)의 중앙부에 예를 들면 폭이 좁은 슬릿 형상의 홈 또는 기둥 형상의 구멍(예를 들면 기둥의 저면이 원 형상, 각 형상, 점 형상 등)으로 이루어지는 오목부 G를 형성하고, 이 오목부 G의 저부의 n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 스트라이프 형상 또는 점 형상의 n측 전극(21)을 형성한다. 여기에서, n형의 질화물계 Ⅲ-V족 화합물 반도체층(15)에 대한 n측 전극(21)의 접촉 저항은 낮기 때문에, 이와 같이 n측 전극(21)의 접촉 면적을 작게 해도 양호한 오믹 접촉 특성을 얻을 수 있으며, 그 접촉점(혹은, 접촉면)을 기점으로, n형의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 전체에 전류가 비교적 용이하게 확산되도록 하는 것이 가능하다. p측 전극(19)은 n측 전극(21)을 둘러싸도록 형성한다. 혹은, n측 전극(21)이 p측 전극(19)을 둘러싸도록 형성해도 된다. 도 9에 도시하는 예에서는, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-

V족 화합물 반도체층(18)에 예를 들면 폭이 좁은 슬릿 형상의 홈 또는 기둥 형상의 구멍(예를 들면, 기둥의 저면이 원 형상, 각 형상, 점 형상 등)으로 이루어지는 오목부 G(오목부 G가 기둥 형상의 구멍으로 이루어지는 경우에는, 오목부 G는 예를 들면 벌집 형상의 배치 혹은 바둑판의 점 형상의 배치 혹은 주사위의 점 형상의 배치(주사위의 점을 표시하는 구멍과 같이 구멍과 구멍 사이가 비교적 떨어져 있는 형태)로 2차원 배열해서 형성됨)를 형성하고, 각 오목부 G의 저부의 n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 n측 전극(21)을 형성한다. 예를 들면 오목부 G가 상기한 기둥 형상의 구멍으로 이루어지고, 벌집 형상의 배치 혹은 바둑판의 점 형상의 배치 혹은 주사위의 점 형상의 배치로 이차원 배열해서 형성되는 경우, p측 전극(19)을 n측 전극(21)을 둘러싸도록 형성하거나, 혹은, n측 전극(21)을 p측 전극(19)을 둘러싸도록 형성한다. 도 10에 도시하는 예에서는, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)에 폭이 좁은 슬릿 형상의 홈 또는 기둥 형상의 구멍(예를 들면 기둥의 저면이 원 형상, 각 형상, 점 형상 등)으로 이루어지는 오목부 G(오목부 G가 기둥 형상의 구멍으로 이루어지는 경우에는, 오목부 G는 예를 들면 벌집 형상의 배치 혹은 바둑판의 점 형상의 배치 혹은 주사위의 점 형상의 배치로 이차원 배열해서 형성됨)를 형성하고, 각 오목부 G의 저부의 n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 n측 전극(21)을 형성한다. 예를 들면 오목부 G가 상기한 기둥 형상의 구멍으로 이루어지며, 벌집 형상의 배치 혹은 바둑판의 점 형상의 배치 혹은 주사위의 점 형상의 배치로 이차원 배열해서 형성되는 경우, p측 전극(19)을 n측 전극(21)을 둘러싸도록 형성하고, 혹은, n측 전극(21)을 p측 전극(19)을 둘러싸도록 형성한다. 도 11에 도시하는 예에서는, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)에 폭이 좁은 슬릿 형상의 홈 또는 기둥 형상의 구멍(예를 들면 기둥의 저면이 원 형상, 각 형상, 점 형상 등)으로 이루어지는 오목부 G(오목부 G가 기둥 형상의 구멍으로 이루어지는 경우에는, 오목부 G는 예를 들면 벌집 형상의 배치 혹은 바둑판의 점 형상의 배치 혹은 주사위의 점 형상의 배치로 이차원 배열해서 형성됨)를 형성하고, 각 오목부 G의 측벽에 SiO_2막 등의 절연막 I를 더 형성하며, 이 절연막 I에 의해 n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)과 전기적으로 절연된 상태에서 각 오목부 G의 저부의 n형 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 이들 오목부 G의 내부를 메우도록 n측 전극(21)을 형성한다. 예를 들면, 오목부 G가 상기한 기둥 형상의 구멍으로 이루어지고, 벌집 형상의 배치 혹은 바둑판의 점 형상의 배치 혹은 주사위의 점 형상의 배치로 이차원 배열해서 형성되는 경우, p측 전극(19)을 n측 전극(21)을 둘러싸도록 형성하거나, 혹은, n측 전극(21)을 p측 전극(19)을 둘러싸도록 형성한다. 이들 도 7~도 11에 도시하는 예, 특히 도 11에 도시하는 예에서, p측 전극(19) 및 n측 전극(21)의 배선은, 종래 공지의 2층 배선 기술을 이용해서 용이하게 행할 수 있다.

[0248] 여기에서 설명한 발광 다이오드의 구조는, 특히, 기판(11)으로서 투광성 기판을 이용하여, 이 투광성 기판의 이면 전체면으로부터 발광시키는, 플립 칩형(FC형) 발광 다이오드의 구조에 최적이지만, 이 발광 다이오드의 성능 지표의 하나로서 (발광 효율)/(전체 칩 면적)을 들 수 있다. 이 (발광 효율)/(전체 칩 면적)인 지표를 향상시키는 하나의 수단으로서, 예를 들면 활성층(17)이 제거된 상기한 오목부 G를 되도록이면 줄이거나, 오목부 G의 저면의 면적을 되도록이면 줄이는 것이 바람직하기 때문에, n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 내의 캐리어(전자)의 이동도를 고려한 후에, 오목부 G의 저면에 형성한 n측 전극(21)의 총 면적이 적합하게는 전체 칩 면적에 대하여 몇십 %, 보다 적합하게는 몇% 이하, 더욱 적합하게는 1% 이하의 기둥 형상의 n측 전극(21)을 형성함으로써, 활성층(17) 내 전체에의 전류 확산을 충분히 얻는 것이 가능하게 된다.

[0249] 이 제1 실시예에서는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 관통 전위 밀도를 최소화하기 위해, 오목부(13)의 저면의 폭 W_g, 오목부(13)의 깊이, 즉 볼록부(12)의 높이 d, 및 도 1의 (C)에 도시하는 상태의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 사면과 기판(11)의 주면이 이루는 각도 α가 하기의 수학식을 충족시키도록 결정되어 있다(도 12 참조).

[0250] $2d \geq W_g \tan\alpha$

[0251] 예를 들면 W_g=2.1㎛, α=59° 의 경우에는 d≥1.75㎛, W_g=2㎛, α=59° 의 경우에는 d≥1.66㎛, W_g=1.5㎛, α=59° 의 경우에는 d≥1.245㎛, W_g=1.2㎛, α=59° 의 경우에는 d≥0.966㎛로 한다. 단, 어떠한 경우에도 d<5㎛로 하는 것이 바람직하다.

[0252] 도 1의 (B) 및 도 1의 (C) 및 도 2의 (A)에 도시하는 공정에서의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장 시에는, 성장 원료의 V/Ⅲ비를 높게, 성장 온도를 낮게 설정하는 것이 바람직하다. 구체적으로는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장을 1기압의 압력 조건 하에서 행하는 경우에는, 성장 원료의 V/Ⅲ비를, 예를

들면 13000±2000의 범위, 성장 온도를, 예를 들면 1100±50℃의 범위로 설정하는 것이 바람직하다. 성장 원료의 V/Ⅲ비에 대해서는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장을 x기압의 압력 조건 하에서 행하는 경우에는, 유속과 압력과의 관계를 규정하는 베르누이의 법칙으로부터, 압력의 변화량을 제곱한 분의 V/Ⅲ비, 구체적으로는 대략 (13000±2000)×x^2로 설정하는 것이 바람직하다. 예를 들면, 0.92 기압(700Torr)에서 성장을 행하는 경우에는, 성장 원료의 V/Ⅲ비를 11000±1700의 범위(예를 들면, 10530)로 설정하는 것이 바람직하다. x는 일반적으로는 0.01~2기압이다. 성장 온도에 대해서는, 1기압 이하의 압력 조건 하에서 성장을 행하는 경우에는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 가로 방향 성장을 억제하여, 오목부(13)에의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 선택 성장을 용이하게 하기 위해서, 보다 낮은 성장 온도로 설정하는 것이 바람직하다. 예를 들면 0.92 기압(700Torr)에서 성장을 행하는 경우에는, 성장 온도를 1050±50℃의 범위(예를 들면 1050℃)로 설정하는 것이 바람직하다. 이상과 같이 함으로써 도 1의 (B) 및 도 1의 (C) 및 도 2의 (A)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)이 성장한다. 이 때, 볼록부(12) 상으로부터는 질화물계 Ⅲ-V족 화합물 반도체층(15)은 성장을 개시하지 않는다. 성장 속도는 일반적으로는 0.5~5.0㎛/h, 적합하게는 3.0㎛/h 정도로 한다. 질화물계 Ⅲ-V족 화합물 반도체층(15)이 예를 들면 GaN층인 경우, 원료 가스의 유량은, 예를 들면 TMG는 20SCCM, NH_3은 20SLM이다. 한편, 도 2의 (B) 및 도 2의 (C)에 도시하는 공정에서의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장(가로 방향 성장)은, 성장 원료의 V/Ⅲ비를 낮게, 성장 온도를 높게 설정한다. 구체적으로는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장을 1기압의 압력 조건 하에서 행하는 경우에는, 성장 원료의 V/Ⅲ비를, 예를 들면 5000±2000의 범위, 성장 온도를, 예를 들면 1200±50℃의 범위로 설정한다. 성장 원료의 V/Ⅲ비에 대해서는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장을 x기압의 압력 조건 하에서 행하는 경우에는, 유속과 압력과의 관계를 규정하는 베르누이의 법칙으로부터, 압력의 변화량을 제곱한 분의 V/Ⅲ비, 구체적으로는 대략 (5000±2000)×x^2로 설정하는 것이 바람직하다. 예를 들면 0.92 기압(700Torr)에서 성장을 행하는 경우에는, 성장 원료의 V/Ⅲ비를 4200±1700의 범위(예를 들면, 4232)로 설정하는 것이 바람직하다. 성장 온도에 대해서는, 1기압 이하의 압력 조건 하에서 성장을 행하는 경우에는, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 표면의 거칠음을 방지하여, 가로 방향 성장을 양호하게 행하기 위해서, 보다 낮은 성장 온도로 설정하는 것이 바람직하다. 예를 들면 0.92 기압(700Torr)에서 성장을 행하는 경우에는, 성장 온도를 1150±50℃의 범위(예를 들면 1110℃)로 설정하는 것이 바람직하다. 질화물계 Ⅲ-V족 화합물 반도체층(15)이 예를 들면 GaN층인 경우, 원료 가스의 유량은, 예를 들면 TMG는 40SCCM, NH_3은 20SLM이다. 이렇게 함으로써 도 2의 (B) 및 도 2의 (C)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)이 가로 방향 성장한다.

[0253] 도 13에, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 일례로서 GaN층의 성장 시의 원료 가스의 흐름 및 기판(11) 상에서의 확산의 모습을 모식적으로 도시한다. 이 성장에서 가장 중요한 점은, 성장 초기에, 기판(11)의 볼록부(12)에는 GaN은 성장하지 않고, 오목부(13)에서 GaN의 성장이 개시되는 것이다. 또한, 도 13에서는 볼록부(12)의 단면 형상이 삼각 형상이지만, 볼록부(12)의 단면 형상이 사다리 형상이어도, 마찬가지로 볼록부(12)에는 GaN은 성장하지 않는다. 이것은, 일반적으로, GaN의 성장은, Ga 원료로서 TMG, N 원료로서 NH_3을 이용하는 경우를 고려하면,

[0254] $Ga(CH_3)_3(g)+3/2H_2(g)\rightarrow Ga(g)+3CH_4(g)$

[0255] $NH_3(g)\rightarrow(1-\alpha)NH_3(g)+\alpha/2N_2(g)+3\alpha/2H_2(g)$

[0256] $Ga(g)+NH_3(g)=GaN(s)+3/2H_2(g)$

[0257] 인 반응식으로 표현되는 바와 같이, NH_3과 Ga가 직접 반응함으로써 일어난다. 이 때, H_2 가스가 발생하지만, 이 H_2 가스는 결정 성장과는 반대의 작용, 즉 에칭 작용을 한다. 도 1의 (B) 및 도 1의 (C) 및 도 2의 (A)에 도시하는 공정에서는, 종래의 평탄한 기판 상에서의 GaN의 성장에서는 행하지 않는 조건, 즉 에칭 작용을 높여, 성장하기 어려운 조건(V/Ⅲ비를 높임)을 이용함으로써, 볼록부(12)에서의 성장을 억제한다. 한편, 오목부(13)의 내부에서는, 이 에칭 작용이 약해지므로, 결정 성장이 일어난다. 또한, 종래에는, 성장 결정 표면의 평탄성을 향상시키기 위해서, 가로 방향 성장의 정도가 높아지는 조건(보다 고온)에서 성장시키지만, 이 제1 실시예에서는, 관통 전위를 기판(11)의 주면과 평행한 방향으로 굴곡시킴으로써 저감시키거나, 보다 조기에 오목부(13)의 내부를 질화물계 Ⅲ-V족 화합물 반도체층(15)으로 메우거나 할 목적으로, 이미 설명한 바와 같이 종래보다 저온(예를 들면 1050±50℃)에서 성장시킨다.

[0258] 도 14에, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 결정 결함 분포를 투과형 전자 현미경(TEM)에 의해 조사한 결과를 모식적으로 도시한다. 도 14에서, 부호 22는 관통 전위를 나타낸다. 도 14로부터 알 수 있는 바와 같이, 볼록부(12)의 중앙부 근방, 즉 서로 인접하는 오목부(13)로부터 성장하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)끼리의 회합부에서는 전위 밀도가 높아져 있지만, 오목부(13) 상의 부분을 포함하는 다른 부분에서는 전위 밀도는 낮아져 있다. 예를 들면, 오목부(13)의 깊이 d=1㎛, 저면의 폭 W_g=2㎛인 경우, 이 저전위 밀도의 부분의 전위 밀도는 6×10^7/㎠이며, 요철 가공을 실시한 기판(11)을 이용하지 않는 경우에 비해서 1~2자리 전위 밀도가 저감되어 있다. 오목부(13)의 측벽에 대하여 수직 방향에의 전위의 발생은 일체 일어나지 않은 것도 알 수 있다.

[0259] 또한, 도 14에서, 오목부(13)에서의 기판(11)과 접하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 고전위 밀도에서 결정성이 나쁜 영역의 평균 두께는, 볼록부(12)에서의 기판(11)과 접하는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 고전위 밀도에서 결정성이 나쁜 영역의 평균 두께의 1.5배 정도이다. 이것은, 볼록부(12) 상에서는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)이 가로 방향 성장하는 것을 반영한 결과이다.

[0260] 도 15에, 볼록부(12)가 도 4에 도시하는 평면 형상을 갖는 경우의 관통 전위(22)의 분포를 도시한다. 또한, 도 16에, 볼록부(12)가 도 5에 도시하는 평면 형상을 갖는 경우의 관통 전위(22)의 분포를 도시한다.

[0261] 다음으로, 성장 초기부터의 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 성장 양식 및 전위의 전반의 모습에 대해서 도 17을 참조하면서 설명한다.

[0262] 성장을 개시하면, 도 17의 (A)에 도시하는 바와 같이, 우선 오목부(13)의 저면에 질화물계 Ⅲ-Ⅴ족 화합물 반도체로 이루어지는 미소 핵(14)이 복수 생성된다. 이들 미소 핵(14)에서는, 기판(11)과의 계면으로부터 수직 방향으로 전위(점선으로 나타냄)가 전반되어, 이 전위는 미소 핵(14)의 측면으로부터 빠져나간다. 성장을 계속하면, 도 17의 (B) 및 도 17의 (C)에 도시하는 바와 같이, 미소 핵(14)의 성장 및 합체의 과정을 거쳐 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)이 성장한다. 이들 미소 핵(14)의 성장 및 합체의 과정에서, 기판(11)의 주면과 평행한 방향으로 전위의 굴곡이 일어나는 결과, 상부로 빠져나가는 전위가 적어진다. 또한 성장을 계속하면, 도 17의 (D)에 도시하는 바와 같이, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)은, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상으로 된다. 이 시점에서는, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)으로부터 상부로 빠져나가는 전위는, 대폭으로 감소하고 있다. 다음으로, 도 17의 (E)에 도시하는 바와 같이, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)을 가로 방향 성장시킨다. 이 과정에서는, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상을 갖는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 측면으로 빠져나간 전위는, 볼록부(12)보다 낮은 위치에 있는 것은 기판(11)의 주면과 평행하게 볼록부(12)의 측면까지 계속해서 연신되어 소실되며, 볼록부(12)보다 높은 위치에 있는 것은 기판(11)의 주면과 평행하게 연신되어 가로 방향 성장한 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 측면으로 빠져나간다. 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 가로 방향 성장을 더 계속하면, 도 17의 (F)에 도시하는 바와 같이, 볼록부(12) 상에서 그 양측으로부터 성장한 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)끼리 회합하여, 결국은 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 표면이 기판(11)의 주면과 평행한 평탄면으로 된다. 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15) 내의 전위는, 볼록부(12) 상에서 회합하였을 때에 상방(기판(11)의 주면과 수직인 방향)으로 굴곡하여, 관통 전위로 된다.

[0263] 도 18의 (A) 및 도 18의 (B)를 참조하여, 미소 핵(14)의 생성부터 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 가로 방향 성장 후까지의 전위의 거동에 대해서 재차 설명한다. 도 18의 (A) 및 도 18의 (B)에 도시하는 바와 같이, 미소 핵(14)의 생성, 성장 및 합체의 과정에서, 기판(11)과의 계면으로부터 발생한 전위는 수평 방향으로의 굴곡을 반복해서 묶인다(전위(1)). 또한, 이렇게 해서 수평 방향으로 굴곡된 전위가 볼록부(12)의 측면으로 연신되어 소실된다(전위(2)). 또한, 기판(11)과의 계면으로부터 발생한 전위가 1회만 굴곡해서 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 표면으로 빠져나간다(전위(3)). 상기한 전위가 묶이는 것, 및, 수평 방향으로 굴곡된 전위가 볼록부(12)의 측면으로 연신되어 소실됨으로써, 미소 핵(14)이 생성되지 않는 경우에 비하여, 관통 전위가 적은 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)을 얻을 수 있다.

[0264] 도 17의 (A)에 도시하는 바와 같이, 오목부(13)의 저면에 미소 핵(14)이 생성된 상태의 단면 TEM 사진을 도 19에 도시한다. 도 19의 (B) 및 도 19의 (C)는 도 19의 (A)의 타원으로 둘러싼 부분을 확대한 단면 TEM 사진이다. 도 19로부터, 성장 초기에 미소 핵(14)이 생성되어 있는 모습을 잘 알 수 있다.

[0265] 다음으로, 성장 초기에 미소 핵(14)이 생성하는 경우와 생성하지 않는 경우에서 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15) 내에 발생하는 전위의 거동이 어떻게 서로 다른지에 대해서 설명한다.

[0266] 도 20의 (A)~도 20의 (C)는, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 성장 초기에 미소 핵(14)이 생성되지 않는 경우에서의 도 17의 (D)~도 17의 (F)에 대응하는 상태를 도시하는 것이다. 도 20의 (A)에 도시하는 바와 같이, 성장 초기에 미소 핵(14)이 생성되지 않는 경우에는, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)이 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상을 갖도록 성장한 시점에서는 오목부(13)의 저면과의 계면으로부터 상방으로 연신된 전위만 존재하지만, 이 전위 밀도는 일반적으로 도 17의 (D)의 경우에 비해서 많다. 성장을 계속하면, 도 20의 (B)에 도시하는 바와 같이, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상을 갖는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 측면으로 빠져나간 전위는, 볼록부(12)보다 낮은 위치에 있는 것은 기판(11)의 주면과 평행하게 볼록부(12)의 측면까지 계속해서 연신되어 소실되며, 볼록부(12)보다 높은 위치에 있는 것은 기판(11)의 주면과 평행하게 연신되어 가로 방향 성장한 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 측면으로 빠져나간다. 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 가로 방향 성장을 다시 계속하면, 도 20의 (C)에 도시하는 바와 같이, 볼록부(12) 상에서 그 양측으로부터 성장한 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)끼리 회합하여, 이윽고 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 표면이 기판(11)의 주면과 평행한 평탄면으로 된다. 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15) 내의 전위는, 볼록부(12) 상에서 회합하였을 때에 상방으로 굴곡되어, 관통 전위(22)로 된다. 이 관통 전위(22)의 밀도는, 충분히 낮지만, 성장 초기에 오목부(13)의 저면에 미소 핵(14)이 생성되는 경우에 비하면 높아진다. 이것은, 도 21의 (A) 및 도 21의 (B)에 도시하는 바와 같이, 미소 핵(14)을 생성하지 않는 경우에는, 기판(11)과의 계면으로부터 발생하는 전위는, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상부의 사면에 도달하였을 때에 1회만 수평 방향으로 굴곡되기 때문이다. 즉, 이 경우에는, 미소 핵(14)의 생성, 성장 및 합체의 과정에서 전위가 묶이는 효과가 얻어지지 않는다.

[0267] 도 22에, 기판(11)의 요철의 깊이를 변화시킨 경우에, 요철을 형성하지 않는 플랫한 경우와 비교해서 발광 다이오드로부터 외부로의 광 취출 효율이 어느 정도 향상할지 시뮬레이션(레이 트레이싱 시뮬레이션)을 행한 결과의 일례를 도시한다. 광 취출은 기판(11)의 이면측으로부터 행하는 것으로 한다. 도 22에서, 횡축은 오목부(13)의 깊이(볼록부(12)의 높이), 종축은 볼록부(12)를 형성하지 않은 경우에 대한 광 취출 효율 η의 향상도(광 취출 배율)를 나타낸다. 단, 볼록부(12)는 한 방향으로 연장되는 스트라이프 형상을 갖고, 이 볼록부(12)의 측면과 기판(11)의 일주면이 이루는 각도 Θ는 135°, 오목부(13)의 저변의 길이 W_g=2㎛, 볼록부(12)의 저변의 길이 =3㎛이다. 기판(11)의 굴절률은 1.77, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 굴절률은 2.35로 가정하였다. 도 22로부터, 광 취출 배율은, 오목부(13)의 깊이가 0.3㎛ 이상에서는 1.35배 이상, 0.5㎛ 이상 2.5㎛ 이하에서는 1.5배 이상, 0.7㎛ 이상 2.15㎛이하에서는 1.75배 이상, 1㎛ 이상 1.75㎛ 이하에서는 1.85배 이상으로 되며, 약 1.3㎛에서 최대(약 1.95)로 된다.

[0268] 다음으로, 활성층(17)의 근방에서의 성장 표면의 상태에 대해서 고찰한다. 일반적으로, 성장층에 관통 전위가 존재하면, 성장 피트 등이 발생하여, 도 23에 도시하는 바와 같이, 성장 표면의 평탄성이 악화되고, 관통 전위 밀도가 높을수록 악화의 정도가 증가한다. 활성층(17)에 관통 전위가 존재하는 것으로 하면, 그 면내에서 두께나 조성 요동 등이 발생하며, 그것이 발광 파장의 면내 불균일성이나 역위상 경계 결함 등의 면 형상 결정 결함 발생의 원인으로 되어, 발광 효율의 저하(내부 양자 효율의 저하)를 초래한다. 이에 대하여, 이 제1 실시예에 따르면, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 관통 전위 밀도는 상술한 바와 같이 대폭으로 저감되어 있고, 따라서 그 위에 성장되는 활성층(17)의 관통 전위 밀도도 마찬가지로 낮기 때문에, 관통 전위에 기인하는 발광 효율의 저하는 매우 적어, 종래에 비해서 높은 발광 효율을 얻을 수 있다.

[0269] 또한, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 관통 전위는 기판(11)의 볼록부(12)의 중앙부 근방에 집중하여, 볼록부(12)의 배열에 따라서 규칙적으로 배열되므로, 활성층(17) 내의 관통 전위도 그것을 반영해서 규칙적으로 배열된다. 이 때문에, 활성층(17) 내의 평탄한 표면이 형성되어 있는 부분의 면적은 관통 전위가 랜덤하게 배치되는 경우에 비해서 대폭으로 증가하기 때문에, 이것에 의해서도 발광 효율의 향상을 도모할 수 있다.

[0270] 또한, 예를 들면 활성층(17)의 In 조성이 높은 경우, 성장 표면이 거칠게 되어 있으면, 도 24에 도시하는 바와 같이, 역위상 경계 결함 등의 면 형상 결정 결함과 전위가 복합된 결정 결함이 새롭게 활성층(17)으로부터 발생하기 쉬워져, 이것이 발광 효율의 저하를 초래한다. 이에 대하여, 이 제1 실시예에 따르면, 상술한 바와 같이 활성층(17)의 표면의 평탄성은 대폭으로 개선되어 있기 때문에, 이러한 결정 결함의 발생은 억제할 수 있어, 발광 효율의 저하도 발생하지 않는다.

[0271] 활성층(17)의 성장 표면의 평탄성을 향상시켜, 면 형상 결정 결함을 줄이기 위해서는, 활성층(17)의 장벽층을 Al 도프 GaN, Al 도프 GaInN, AlGaN 등에 의해 구성하는 것도 유효하다(예를 들면 일본 특허 제3543628호 명세서 참조).

[0272] 이상과 같이, 이 제1 실시예에 따르면, 기판(11)과 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 사이에 공극이 형성되지 않음으로써, 이 공극에 기인하는 광 취출 효율의 저하를 방지할 수 있다. 또한, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 관통 전위는 기판(11)의 볼록부(12)의 중앙부 근방에 집중하며, 그 밖의 부분의 전위 밀도는 예를 들면 $6\times10^{7}/cm^{2}$ 정도로 종래의 요철 가공 기판을 이용한 경우에 비해서 대폭으로 저감되기 때문에, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15) 및 그 위에 성장되는 활성층(17) 등의 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 결정성은 대폭으로 향상하고, 비발광 중심 등도 대폭으로 감소한다. 이들에 의해, 발광 효율이 매우 높은 질화물계 Ⅲ-Ⅴ족 화합물 반도체계 발광 다이오드를 얻을 수 있다.

[0273] 게다가, 이 질화물계 Ⅲ-Ⅴ족 화합물 반도체계 발광 다이오드의 제조에 필요한 에피택셜 성장은 1회이면 되며, 또한 성장 마스크가 불필요할 뿐만 아니라, 기판(11) 상의 볼록부(12)는 기판(11) 상에 볼록부(12)의 재료로 되는 막, 예를 들면 SiO_2막, SiON막, SiN막, CrN막, CrON막 등의 막을 형성하고, 이것을 에칭, 분말 블라스트법, 샌드 블라스트법 등에 의해 가공하는 것만으로 형성할 수 있으므로, 요철 가공이 곤란한 사파이어 기판 등의 기판(11)의 가공이 불필요하기 때문에, 제조 공정이 간단하여, 저코스트로 질화물계 Ⅲ-Ⅴ족 화합물 반도체계 발광 다이오드를 제조할 수 있다.

[0274] 다음으로, 본 발명의 제2 실시예에 대하여 설명한다.

[0275] 이 제2 실시예에서는, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상으로 되도록 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)이 성장한 시점에서, 이 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 높이가 볼록부(12)의 높이 이하로 되도록 볼록부(12)의 높이가 선택되어 있다. 일례로서 도 25의 (A) 및 도 25의 (B)에, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 높이가 볼록부(12)의 높이와 동일한 경우를 도시한다. 이와 같이 함으로써, 기판(11)과의 계면으로부터 발생하여, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상을 갖는 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 측면으로 빠져나간 전위는 모두, 기판(11)의 주면과 평행하게 볼록부(12)의 측면까지 계속해서 연신되어 소실되기 때문에, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 표면으로 빠져나가는 관통 전위(22)는 격감되어, 실질적으로 관통 전위 밀도를 제로로 할 수 있다.

[0276] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0277] 이 제2 실시예에 따르면, 실질적으로 관통 전위 밀도가 제로인 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)을 성장시킬 수 있기 때문에, 실질적으로 무전위의 질화물계 Ⅲ-Ⅴ족 화합물 반도체 기판을 얻을 수 있다. 그리고, 예를 들면 이 무전위의 질화물계 Ⅲ-Ⅴ족 화합물 반도체 기판 상에 n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(18)을 성장시킴으로써, 이들 층의 전위 밀도를 대폭으로 저감시킬 수 있어, 특성이 매우 양호한 질화물계 Ⅲ-Ⅴ족 화합물 반도체계 발광 다이오드를 실현할 수 있다고 하는 이점을 얻을 수 있다. 제1 실시예와 마찬가지의 이점을 얻을 수 있는 것은 물론이다.

[0278] 다음으로, 본 발명의 제3 실시예에 대해서 설명한다.

[0279] 이 제3 실시예에서는, 도 26에 도시하는 바와 같이, 기판(11) 상에 형성하는 볼록부(12)의 단면 형상을 이등변 삼각형으로 하며, 또한 평면 형상을 빗살 형상으로 한다.

[0280] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0281] 이 제3 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0282] 다음으로, 본 발명의 제4 실시예에 대해서 설명한다.

[0283] 이 제4 실시예에서는, 도 27에 도시하는 바와 같이, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 두께가 볼록부(12)의 높이보다도 작아, 볼록부(12)의 정점부가 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)의 상면으로부터 돌출되어 있다.

[0284] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0285] 이 제4 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0286] 다음으로, 본 발명의 제5 실시예에 대해서 설명한다.

[0287] 이 제5 실시예에서는, 도 28에 도시하는 바와 같이, 기판(11)의 일주면과 평행한 면 내에서 메사부(20), p측 전극(19) 및 n측 전극(21)의 배치가 90° 회전하고 있다.

[0288] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0289] 이 제5 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0290] 다음으로, 본 발명의 제6 실시예에 대해서 설명한다.

[0291] 이 제6 실시예에서는, 도 29에 도시하는 바와 같이, 볼록부(12)가 이등변 삼각 형상의 단면 형상을 갖는 제1 부분(12a)과 이 제1 부분(12a)을 피복하는 막 형상의 제2 부분(12b)으로 이루어지고, 이들 제1 부분(12a) 및 제2 부분(12b)이 서로 다른 재료에 의해 형성되어 있다. 이들 제1 부분(12a) 및 제2 부분(12b)을 형성하는 재료로서는, 예를 들면 이미 예로 든 것을 이용할 수 있으며, 필요에 따라서 선택되지만, 구체적으로는, 예를 들면 제1 부분(12a)의 재료는 SiO_2 등의 유전체, 제2 부분(12b)의 재료는 금속이나 합금 등이다.

[0292] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0293] 이 제6 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있는 것 외에, 다음과 같은 이점을 얻을 수 있다. 즉, 볼록부(12)의 제2 부분(12b)의 재료가 금속이나 합금인 것에 의해, 활성층(17)으로부터 발생한 광을 이 제2 부분(12b)에 의해 기판(11)과 반대측으로 반사시킬 수 있고, 이 때문에 기판(11)과 반대측으로부터 외부로 광을 취출하는 경우에 유리하다.

[0294] 또한, 기판(11)측으로부터 광 취출을 행하려는 경우에는, 제1 부분(12a) 및 제2 부분(12b) 중 적어도 한 쪽의 재료에 ITO, IZO, ZO 등의 투명 도전체를 이용해도 된다. 또한, 볼록부(12)의 제1 부분(12a)이 부분적으로 나타나도록 제2 부분(12b)에 부분적으로 개구부(창)를 형성해도 된다.

[0295] 다음으로, 본 발명의 제7 실시예에 대해서 설명한다.

[0296] 이 제7 실시예에서는, 도 30에 도시하는 바와 같이, 볼록부(12)가 막 형상의 제1 부분(12a)과 이 제1 부분(12a)을 피복하는 이등변 삼각 형상의 단면 형상을 갖는 제2 부분(12b)으로 이루어지며, 이들 제1 부분(12a) 및 제2 부분(12b)이 서로 다른 재료에 의해 형성되어 있다. 이들 제1 부분(12a) 및 제2 부분(12b)을 형성하는 재료로서는, 예를 들면 이미 예로 든 것을 이용할 수 있으며, 필요에 따라서 선택되지만, 구체적으로는, 예를 들면 제1 부분(12a)의 재료는 SiO_2 등의 유전체, 제2 부분(12b)의 재료는 금속이나 합금 등이다.

[0297] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0298] 이 제7 실시예에 따르면, 제1 및 제6 실시예와 마찬가지의 이점을 얻을 수 있다.

[0299] 다음으로, 본 발명의 제8 실시예에 대해서 설명한다.

[0300] 이 제8 실시예에서는, 도 31에 도시하는 바와 같이, 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15)을 p형으로 하고, 그 위에 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(18), 활성층(17) 및 n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(16)을 순차적으로 성장시킨다. 그리고, n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(16) 상에 n측 전극(21)을 형성하고, 또한 이들 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(18), 활성층(17) 및 n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(16)을 에칭에 의해 가공해서 메사부(20)를 형성한 후, 이 메사부(20)에 인접하는 부분의 p형의 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(15) 상에 p측 전극(19)을 형성한다.

[0301] 이 제8 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0302] 다음으로, 본 발명의 제9 실시예에 대해서 설명한다.

[0303] 이 제9 실시예에서는, 도 32에 도시하는 바와 같이, 기판(11)의 이면에 반사막(23)을 형성한다.

[0304] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0305] 이 제9 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있는 것 외에, 다음과 같은 이점을 얻을 수 있다. 즉, 기판(11)의 이면에 반사막(23)을 형성하고 있으므로, 활성층(17)으로부터 발생한 광을 이 반사막(23)에 의해 기판(11)과 반대측으로 반사시킬 수 있고, 이 때문에 기판(11)과 반대측으로부터 외부로 광을 취출하는 경우에 유리하다.

[0306] 다음으로, 본 발명의 제10 실시예에 대해서 설명한다.

[0307] 이 제10 실시예에서는, 도 33에 도시하는 바와 같이, 도 31에 도시하는 발광 다이오드에서, 기판(11)의 이면에 반사막(23)을 형성한다.

[0308] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0309] 이 제10 실시예에 따르면, 제1 및 제9 실시예와 마찬가지의 이점을 얻을 수 있다.

[0310] 다음으로, 본 발명의 제11 실시예에 대해서 설명한다.

[0311] 이 제11 실시예에서는, 도 34에 도시하는 바와 같이, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)에 메사부(20)를 형성하지 않는다. 그리고, 기판(11)으로서 도전성의 것을 이용하여, 이 기판(11)의 이면에 n측 전극(21)을 형성한다.

[0312] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0313] 이 제11 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다. 여기에서, 활성층(17)에서 발생한 광은, p측 전극(19)측 및 n측 전극(21)측으로 확산되지만, 기판(11) 및 볼록부(12)의 재료, 볼록부(12)의 구성, p측 전극(19) 및 n측 전극(21)으로서 고반사 전극 혹은 투명 전극을 구분하여 사용함으로써 광 취출 방향을 제어하는 것이 가능하다.

[0314] 다음으로, 본 발명의 제12 실시예에 대해서 설명한다.

[0315] 이 제12 실시예에서는, 도 35에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)을 p형으로 하고, 그 위에 p형 질화물계 Ⅲ-V족 화합물 반도체층(18), 활성층(17) 및 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)을 순차적으로 성장시킨다. 그리고, n형 질화물계 Ⅲ-V족 화합물 반도체층(16) 상에 n측 전극(21)을 형성한다. 이들 p형 질화물계 Ⅲ-V족 화합물 반도체층(18), 활성층(17) 및 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)에 메사부(20)는 형성하지 않는다. 그리고, 기판(11)으로서 도전성의 것을 이용하여, 이 기판(11)의 이면에 p측 전극(19)을 형성한다.

[0316] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0317] 이 제12 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0318] 다음으로, 본 발명의 제13 실시예에 대해서 설명한다.

[0319] 이 제13 실시예에서는, 도 36에 도시하는 바와 같이, n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)에 메사부(20)를 형성하지 않는다. 그리고, 볼록부(12)를 도전성 재료(ITO, IZO, ZO 등의 투명 도전 재료도 포함함)에 의해 형성하고, 이것을 n측 전극(21)으로서 이용한다.

[0320] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0321] 이 제13 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있는 것 외에, 볼록부(12)가 n측 전극(21)을 겸용하므로, n측 전극(21)의 형성 프로세스가 불필요하게 되어, 제조 공정이 간단하게 되기 때문에, 제조 코스트의 저감을 도모할 수 있다고 하는 이점을 얻을 수 있다. 또한, 볼록부(12)가, 분단된 형태의 n측 전극(21)으로서 기능하기 때문에, 발광 다이오드의 동작 시에 전류 집중(current crowding) 현상이 발생하는 것을 방지할 수 있으므로, 특히 발광 다이오드의 고출력화, 고휘도화, 대면적화 시에도 효과적이다.

[0322] 다음으로, 본 발명의 제14 실시예에 대해서 설명한다.

[0323] 이 제14 실시예에서는, 도 37에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15)을 p형으로 하고, 그 위에 p형 질화물계 Ⅲ-V족 화합물 반도체층(18), 활성층(17) 및 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)을 순차적으로 성장시킨다. 그리고, n형 질화물계 Ⅲ-V족 화합물 반도체층(16) 상에 n측 전극(21)을 형성한다. 이들 p형 질화물계 Ⅲ-V족 화합물 반도체층(18), 활성층(17) 및 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)에 메사부(20)는 형성하지 않는다. 그리고, 볼록부(12)를 도전성 재료(ITO 등의 투명 도전 재료도 포함함)에 의해 형성하고, 이것을 p측 전극(19)으로서 이용한다.

[0324] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0325] 이 제14 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있는 것 외에, 볼록부(12)가 p측 전극(19)을 겸용하므로, p측 전극(19)의 형성 프로세스가 불필요하게 되어, 제조 공정이 간단하게 되기 때문에, 제조 코스트의 저감을 도모할 수 있다고 하는 이점을 얻을 수 있다. 또한, 볼록부(12)가, 분단된 형태의 p측 전극(19)으로서 기능하기 때문에, 발광 다이오드의 동작 시에 전류 집중 현상이 발생하는 것을 방지할 수 있으므로, 특히 발광 다이오드의 고출력화, 고휘도화, 대면적화 시에도 효과적이다.

[0326] 다음으로, 본 발명의 제15 실시예에 대해서 설명한다.

[0327] 이 제15 실시예에서는, 도 38에 도시하는 바와 같이, 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화합물 반체층(15)을 성장시키는 공정을, 기판(11) 상에 볼록부(12)를 형성하는 것부터 시작하여, 여러회 반복해서 행한다. 각 단의 볼록부(12)는 기판(11)의 주면과 평행한 면 내에서 동일한 위치에 형성한다. 그리고, 최상층의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 제1 실시예와 마찬가지로 해서 예를 들면 n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 순차적으로 성장시킨다.

[0328] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0329] 이 제15 실시예에 따르면, 제1 실시예와 마찬가지의 이점에 부가해서, 볼록부(12)의 형성 및 질화물계 Ⅲ-V족 화합물 반도체층(15)의 성장을 여러회 반복함으로써, 상층의 질화물계 Ⅲ-V족 화합물 반도체층(15)일수록 결정성이 양호하게 되며, 예를 들면 그 위에 성장시키는 n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)의 결정성의 대폭적인 향상을 도모할 수 있다고 하는 이점을 얻을 수 있다. 이 경우, 볼록부(12) 상의 부분의 질화물계 Ⅲ-V족 화합물 반도체층(15)에 집중해서 발생한 관통 전위를 상층의 볼록부(12)로 피복할 수 있으므로, 상층의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 결정성의 향상을 도모하는 데에 있어서 특히 유리하다. 또한, 복수층의 볼록부(12)를 도전성 재료에 의해 구성하고, 이들 복수층의 볼록부(12) 사이를 배선해서 단락함으로써, 발광 다이오드의 동작 시의 전류 집중 현상을 보다 유효하게 억제할 수 있다. 이 방법은, 질화물계 Ⅲ-V족 화합물 반도체층(15)이 p형이어도 되고, n형이어도 유효하지만, 특히 p형의 질화물계 Ⅲ-V족 화합물 반도체층(15)은 캐리어 농도(정공 농도)가 작고, 이동도도 작기 때문에, 전류 집중 현상의 억제 효과는 매우 높아, 발광 효율의 대폭적인 향상을 도모할 수 있다. 또한, 이들 복수 층의 볼록부(12) 사이를 개방한 경우에는, 각 층의 볼록부(12)가 독립 배선으로서 기능하므로, 다른 각종 전자 소자의 접속이나 탑재가 용이하게 된다.

[0330] 다음으로, 본 발명의 제16 실시예에 대해서 설명한다.

[0331] 이 제16 실시예에서는, 도 39에 도시하는 바와 같이, 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시키는 공정을, 기판(11) 상에 볼록부(12)를 형성하는 것부터 시작하여, 여러회 반복해서 행한다. 이 경우, 각 단의 볼록부(12)는 기판(11)의 주면과 평행한 면 내에서 서로 반 주기 어긋난 위치에 형성한다. 그리고, 최상층의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 제1 실시예와 마찬가지로 해서, 예를 들면 n형 질화물계 Ⅲ-V족 화합물 반도체층(16), 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 순차적으로 성장시킨다.

[0332] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0333] 이 제16 실시예에 따르면, 제1 및 제15 실시예와 마찬가지의 이점을 얻을 수 있다.

[0334] 다음으로, 본 발명의 제17 실시예에 대해서 설명한다.

[0335] 이 제17 실시예에서는, 도 40에 도시하는 바와 같이, 기판(11) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시킨 후, 그 위에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 예를 들면 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)을 성장시킨다. 다음으로, 이 n형 질화물계 Ⅲ-V족 화합물 반도체층(16) 상에 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 성장시킨다. 다음으로, 이 p형 질화물계 Ⅲ-V족 화합물 반도체층(18) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 p형 질화물계 Ⅲ-V족 화합물 반도체층(24)을 성장시킨다.

[0336] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0337] 이 제17 실시예에 따르면, 제1 및 제15 실시예와 마찬가지의 이점을 얻을 수 있다.

[0338] 다음으로, 본 발명의 제18 실시예에 대해서 설명한다.

[0339] 이 제18 실시예에서는, 도 41에 도시하는 바와 같이, 기판(11) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시킨 후, 그 위에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 예를 들면 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)을 성장시킨다. 다음으로, 이 n형 질화물계 Ⅲ-V족 화합물 반도체층(16) 상에 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 성장시킨다. 다음으로, 이 p형 질화물계 Ⅲ-V족 화합물 반도체층(18) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬

가지로 해서 p형 질화물계 Ⅲ-V족 화합물 반도체층(24)을 성장시킨다. 이 경우, 각 단의 볼록부(12)는 기판(11)의 주면과 평행한 면 내에서 서로 반 주기 어긋난 위치에 형성한다.

[0340] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0341] 이 제18 실시예에 따르면, 제1 및 제15 실시예와 마찬가지의 이점을 얻을 수 있다.

[0342] 다음으로, 본 발명의 제19 실시예에 대해서 설명한다.

[0343] 이 제19 실시예에서는, 도 42에 도시하는 바와 같이, 기판(11) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 예를 들면 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)을 성장시킨 후, 그 위에 활성층(17) 및 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)을 순차적으로 성장시킨다. 다음으로, 이 p형 질화물계 Ⅲ-V족 화합물 반도체층(18) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 p형 질화물계 Ⅲ-V족 화합물 반도체층(24)을 성장시킨다. 각 단의 볼록부(12)는 기판(11)의 주면과 평행한 면 내에서 동일한 위치에 형성한다.

[0344] 활성층(17)의 하측의 볼록부(12)의 평면 형상의 예를 도 43의 (A)~도 43의 (C)에, 활성층(17)의 상측의 볼록부(12)의 평면 형상의 예를 도 44의 (A)~도 44의 (C)에 도시한다. 활성층(17)의 하측의 볼록부(12) 및 활성층(17)의 상측의 볼록부(12)의 평면 형상은 이들의 임의의 조합이 가능하다.

[0345] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0346] 이 제19 실시예에 따르면, 제1 및 제15 실시예와 마찬가지의 이점을 얻을 수 있다.

[0347] 또한, 도 42에서, 활성층(17)을 사이에 둔 하측의 볼록부(12) 및 상측의 볼록부(12) 중 어느 한 쪽의 재료에 금속, 합금, 투명 도전체 등의 도전체를 이용해도 된다. 특히, 활성층(17)의 상측의 볼록부(12)의 재료에 금속, 합금, 투명 도전체 등의 도전체를 이용하는 경우, 도 45에 도시하는 바와 같이, 이 볼록부(12)에 접촉하도록 반사 전극(25)을 형성하고, 그 위에 예를 들면 p측 전극(19)을 형성해도 된다. 또한 활성층(17)의 상측의 볼록부(12)의 재료인 금속, 합금, 투명 도전체 등의 도전체가 투광성, 반사성 중 어느 쪽이든, 도 46에 도시하는 바와 같이, p형 질화물계 Ⅲ-V족 화합물 반도체층(24)의 두께를 적절하게 조정, 예를 들면 λ/4(λ:발광 파장) 두께로 하고, 그 위에 이 볼록부(12)에 접촉하도록 반사 전극(25)을 더 형성하고, 그 위에 예를 들면 p측 전극(19)을 형성해도 된다. 이렇게 함으로써 발광 다이오드의 동작 시에 p측 전극(19)으로부터의 양호한 전류 패스를 확보하면서, 활성층(17)에서 발생한 임의의 방향으로부터의 광을 높은 반사율로, 기판(11)측에 반사하는 구조를 형성하는 것이 가능하게 된다.

[0348] 다음으로, 본 발명의 제20 실시예에 대해서 설명한다.

[0349] 이 제20 실시예에서는, 제11 실시예와 마찬가지로 해서 도 34에 도시하는 바와 같이, p측 전극(19)까지 형성한 후, 기판(11)을 제거하고, n형의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 이면을 노출시킨다. 그리고, 도 47에 도시하는 바와 같이, 이 질화물계 Ⅲ-V족 화합물 반도체층(15)의 이면에 n측 전극(21)을 형성한다.

[0350] 여기에서, p측 전극(19) 및 n측 전극(21)을 고반사 전극 혹은 투명 전극으로 함으로써, 광의 취출 방향을 선택할 수 있다.

[0351] 또한, 기판(11)을 제거함으로써 발광 다이오드의 전체의 두께가 매우 작아지므로, 기계적 강도의 향상을 도모하기 위해서, 도 48에 도시하는 바와 같이, p측 전극(19)에 지지 기판 S를 그 위의 금속 전극 M을 개재해서 접착해서 접합해도 된다. 지지 기판 S는 도전성, 비도전성 중 어느 쪽이어도 되며, 금속 전극 M을 개재해서 발광 다이오드에 전류를 흘리는 것이 가능한 구조를 지지 기판 S에 갖게 하면 된다.

[0352] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0353] 이 제20 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0354] 다음으로, 본 발명의 제21 실시예에 대해서 설명한다.

[0355] 이 제21 실시예에서는, 제12 실시예와 마찬가지로 해서 도 35에 도시하는 바와 같이, n측 전극(21)까지 형성한 후, 기판(11)을 제거하고, p형의 질화물계 Ⅲ-V족 화합물 반도체층(15)의 이면을 노출시킨다. 그리고, 도 49에 도시하는 바와 같이, 이 질화물계 Ⅲ-V족 화합물 반도체층(15)의 이면에 p측 전극(19)을 형성한다.

[0356] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0357] 이 제21 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0358] 다음으로, 본 발명의 제22 실시예에 대해서 설명한다.

[0359] 이 제22 실시예에서는, 도 50의 (A)에 도시하는 바와 같이, 기판(11) 상에 단면 형상이 사다리 형상인 볼록부(12)를 소정의 평면 형상으로 주기적으로 형성한다. 볼록부(12) 사이에는 역사다리 형상의 단면 형상을 갖는 오목부(13)가 형성된다.

[0360] 다음으로, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시킨다. 구체적으로는, 오목부(13)의 저면 상의 미소 핵(14)의 생성, 성장 및 합체의 과정을 거쳐 도 50의 (B)에 도시하는 바와 같이, 오목부(13)의 저면을 저변으로 하는 이등변 삼각 형상의 단면 형상을 갖는 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시키고, 또한 가로 방향 성장을 거쳐 도 50의 (C)에 도시하는 바와 같이, 평탄한 표면을 갖고, 관통 전위 밀도가 낮은 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시킨다.

[0361] 다음으로, 제1 실시예와 마찬가지로 공정을 진행시켜, 도 51에 도시하는 바와 같이, 목적으로 하는 질화물계 Ⅲ-V족 화합물 반도체계 발광 다이오드를 제조한다.

[0362] 상기 이외의 것은 제1 실시예와 마찬가지이다.

[0363] 도 52에, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 결정 결함 분포를 TEM에 의해 조사한 결과를 모식적으로 도시한다.

[0364] 이 제22 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0365] 도 53~도 55에, 기판(11)에 요철을 형성한 경우와 요철을 형성하지 않는 플랫한 경우에서 발광 다이오드로부터 외부로의 광 취출 효율의 변화의 시뮬레이션을 행한 결과의 일례를 도시한다. 모두 광 취출은 기판(11)의 이면 측으로부터 행하는 것으로 한다.

[0366] 도 53에서, 횡축은 볼록부(12)의 굴절률, 종축은 볼록부(12)를 형성하지 않은 경우에 대한 광 취출 효율 η의 향상도(광 취출 배율)를 나타낸다. 또한, 도 53에서, ▲의 데이터는 볼록부(12)가 도 4에 도시하는 일차원 스트라이프 형상인 경우(1D), ●의 데이터는 일차원 스트라이프 형상의 볼록부(12)를 서로 직교해서 형성함으로써 얻어지는 이차원 배열인 경우(2D)를 나타낸다. 단, 볼록부(12)의 측면과 기판(11)의 일주면이 이루는 각도 Θ는 135°, 오목부(13)의 저변의 길이 W_g=2㎛, 볼록부(12)의 저변의 길이=3㎛이다. 기판(11)의 굴절률은 1.77, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 굴절률은 2.35로 가정하였다. 도 53으로부터, 광 취출 배율은, 1D, 2D 모두 볼록부(12)의 굴절률이 1.4일 때에 최대로 되며, 굴절률이 1.2~1.7의 범위에서는 충분히 커지는 것, 2D에서는 1D에 비해서 광 취출 배율이 큰 것을 알 수 있다.

[0367] 또한, 이 결과는 볼록부(12)의 단면 형상이 제1 실시예와 같이 삼각형인 경우에도 마찬가지이다.

[0368] 도 54에서, 횡축은 볼록부(12)의 측면이 기판(11)의 일주면과 이루는 각도 Θ, 종축은 광 취출 배율을 나타낸다. 또한, 도 54 중, ▲의 데이터는 볼록부(12)가 도 4에 도시하는 일차원 스트라이프 형상인 경우(1D), ●의 데이터는 일차원 스트라이프 형상의 볼록부(12)를 서로 직교해서 형성함으로써 얻어지는 이차원 배열인 경우(2D)를 나타낸다. 단, 오목부(13)의 저변의 길이 W_g=3㎛, 볼록부(12)의 저변의 길이=2㎛이다. 기판(11)의 굴절률은 1.77, 볼록부(12)의 굴절률은 1.4, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 굴절률은 2.35로 가정하였다. 도 54로부터, 광 취출 배율은, 1D, 2D 모두 볼록부(12)의 측면이 기판(11)의 일주면과 이루는 각도 Θ가 100°<Θ<160°의 범위에서 1.55배 이상으로 크고, 132°<Θ<139°의 범위에서는 1.75배 이상으로 매우 크며, 특히 Θ=135°에서 극대로 되거나, 혹은 147°<Θ<154°의 범위에서도 1.75배 이상으로 매우 크고, 특히 Θ=152°에서 극대로 되는 것, 2D에서는 1D에 비해서 광 취출 배율이 큰 것을 알 수 있다.

[0369] 또한, 이 결과는 볼록부(12)의 단면 형상이 제1 실시예와 같이 삼각형인 경우에도 마찬가지이다.

[0370] 도 55에서, 횡축은 오목부(13)의 깊이 d, 종축은 볼록부(12)를 형성하지 않은 경우에 대한 광 취출 효율 η의 향상도(광 취출 배율)를 나타낸다. 볼록부(12)는 도 4에 도시하는 일차원 스트라이프 형상을 갖는다. 단, 오목부(13)의 저변의 길이 W_g와 볼록부(12)의 저변의 길이와의 비는 3:2이다. 기판(11)의 굴절률은 1.77, 볼록부(12)의 굴절률은 1.4, 질화물계 Ⅲ-V족 화합물 반도체층(15)의 굴절률은 2.35로 가정하였다. 도 55로부터, 광 취출 배율은, 오목부(13)의 깊이가 커짐에 따라서 증가하는 것을 알 수 있다.

[0371] 다음으로, 본 발명의 제23 실시예에 대해서 설명한다.

[0372] 이 제23 실시예에서는, 도 56의 (A)에 도시하는 바와 같이, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화

합물 반도체층(15)을 표면이 평탄하게 될 때까지 성장시킨 후, 볼록부(12) 상의 관통 전위(22)가 집중하고 있는 부분을 에칭 등에 의해 선택적으로 제거하여, 이 부분에 볼록부(12)의 표면을 노출시킨다.

[0373] 다음으로, 도 56의 (B)에 도시하는 바와 같이, 남은 질화물계 Ⅲ-V족 화합물 반도체층(15)으로부터 질화물계 Ⅲ-V족 화합물 반도체층(26)을 가로 방향 성장시킨다.

[0374] 이 후, 제1 실시예와 마찬가지로 해서 n형 질화물계 Ⅲ-V족 화합물 반도체층(16)의 성장 이후의 공정을 진행시켜 발광 다이오드를 제조한다.

[0375] 이 제23 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0376] 다음으로, 본 발명의 제24 실시예에 대해서 설명한다.

[0377] 이 제24 실시예에서는, 도 57의 (A)에 도시하는 바와 같이, 기판(11) 상에 볼록부(12)를 형성하고, 제1 실시예와 마찬가지로 해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을 성장시킨다.

[0378] 다음으로, 도 57의 (B)에 도시하는 바와 같이, 볼록부(12)의 상방의 부분에서의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 볼록부(12)에 대응한 마스크(도시하지 않음)를 형성한 후, 이 마스크를 이용해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을, 예를 들면 RIE법, 분말 블라스트법, 샌드 블라스트법 등에 의해 기판(11)이 노출될 때까지 에칭하거나, 또는 깎는다.

[0379] 다음으로, 상기한 마스크를 제거한 후, 도 58의 (A)에 도시하는 바와 같이, 상기한 바와 같이 해서 패터닝된 질화물계 Ⅲ-V족 화합물 반도체층(15)의 양 측면으로부터 질화물계 Ⅲ-V족 화합물 반도체층(26)을 가로 방향 성장시키고, 도 58의 (B)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15) 사이를 메운다. 이 때, 이 질화물계 Ⅲ-V족 화합물 반도체층(26)과 기판(11)의 사이에 간극이 형성된다.

[0380] 다음으로, 도 59의 (A)에 도시하는 바와 같이, 기판(11)을 제거 혹은 박리한다. 이 기판(11)의 제거 혹은 박리는, 도 58의 (B)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(26)과 기판(11)의 사이에 간극이 형성되는 것을 이용하여, 화학적 혹은 기계적(역학적)으로 행할 수 있다. 구체적으로는, 예를 들면 이 간극에 소정의 에칭액 혹은 에칭 가스(반응 가스)가 골고루 퍼지도록 함으로써 질화물계 Ⅲ-V족 화합물 반도체층(15, 26)측으로부터 기판(11)을 에칭하고, 제거 혹은 박리한다. 혹은, 상기한 공극이나 볼록부(12) 또는 그 주변의 재료층에 열을 가하거나, 초음파를 조사하거나 함으로써, 기계적으로 기판(11)을 박리한다. 나아가서는, 상기한 공극이나 볼록부(12) 또는 그 주변의 재료층에 레이저 광을 조사함으로써, 기판(11)을 박리해도 된다. 레이저 광으로서는, 예를 들면 YAG 레이저나 엑시머 레이저 등에 의한 레이저 광을 이용할 수 있다.

[0381] 다음으로, 볼록부(12)가 남는 경우에는 이것을 완전하게 에칭 제거한다. 이것에 의해, 도 59의 (B)에 도시하는 바와 같이, 질화물계 Ⅲ-V족 화합물 반도체층(15, 26)으로 이루어지는 질화물계 Ⅲ-V족 화합물 반도체 기판(27)이 얻어진다.

[0382] 기판(11)을 제거 혹은 박리하는 방법으로서는, 볼록부(12)를, 예를 들면 화학적 혹은 열적인 방법으로 선택적으로 녹이거나, 저온 버퍼층(예를 들면 GaN, AlN, AlGaN, CrN 등으로 이루어지는 버퍼층)을, 예를 들면 화학적 혹은 열적인 방법으로 선택적으로 녹이는 방법을 이용할 수도 있고, 질화물계 Ⅲ-V족 화합물 반도체층(15, 26)의 내성 등에 따라서 적절하게 선택할 수 있다. 특히, 볼록부(12)의 재료로서 CrN을 이용한 경우, 저온 버퍼층으로서도 CrN 버퍼층을 이용하는 것이 가능하기 때문에, 사파이어 기판 등의 기판(11)으로부터 질화물계 Ⅲ-V족 화합물 반도체층(15, 26)을 용이하게 화학적으로 박리할 수 있다.

[0383] 이 시점에서는, 이 질화물계 Ⅲ-V족 화합물 반도체 기판(27)의 이면은 요철로 되어 있기 때문에, 다음으로, 이 질화물계 Ⅲ-V족 화합물 반도체 기판(27)의 이면을 연마 등에 의해 평탄화 처리한다.

[0384] 이렇게 해서, 도 59의 (C)에 도시하는 바와 같이, 양 주면 모두 평탄한 질화물계 Ⅲ-V족 화합물 반도체 기판(27)이 얻어진다.

[0385] 이 질화물계 Ⅲ-V족 화합물 반도체 기판(27) 상에 필요한 질화물계 Ⅲ-V족 화합물 반도체층을 성장시킴으로써, 발광 다이오드 등의 각종 반도체 장치를 제조할 수 있다.

[0386] 다음으로, 본 발명의 제25 실시예에 대해서 설명한다.

[0387] 이 제25 실시예에서는, 도 57의 (B)에 도시하는 바와 같이, 볼록부(12)의 상방의 부분에서의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 볼록부(12)에 대응한 마스크(도시하지 않음)를 형성한 후, 이 마스크를 이용해서 질

화물계 Ⅲ-V족 화합물 반도체층(15)을, 예를 들면 RIE법, 분말 블라스트법, 샌드 블라스트법 등에 의해 도 57의 (B) 중, 일점쇄선으로 나타내는 깊이까지 에칭하거나, 또는 깎는다. 즉, 이 경우, 기판(11)이 노출되기 전에 에칭 또는 깎는 것을 정지한다.

[0388] 이 후, 제24 실시예와 마찬가지로 해서 공정을 진행시킨다.

[0389] 이 제25 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0390] 다음으로, 본 발명의 제26 실시예에 대해서 설명한다.

[0391] 이 제26 실시예에서는, 도 60의 (A)에 도시하는 바와 같이, 볼록부(12)의 상방의 부분에서의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 볼록부(12)보다 폭이 좁은 마스크(도시하지 않음)를 형성한 후, 이 마스크를 이용해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을, 예를 들면 RIE법에 의해 기판(11)이 노출될 때까지 에칭하거나, 또는 깎는다.

[0392] 다음으로, 상기한 마스크를 제거한 후, 도 60의 (B)에 도시하는 바와 같이, 상기한 바와 같이 해서 패터닝된 질화물계 Ⅲ-V족 화합물 반도체층(15)의 양 측면으로부터 질화물계 Ⅲ-V족 화합물 반도체층(26)을 가로 방향 성장시켜, 질화물계 Ⅲ-V족 화합물 반도체층(15) 사이를 메운다. 이 때, 이 질화물계 Ⅲ-V족 화합물 반도체층(26)과 기판(11)의 사이에 간극이 형성된다.

[0393] 이 후, 제24 실시예와 마찬가지로 해서 공정을 진행시킨다.

[0394] 이 제26 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0395] 다음으로, 본 발명의 제27 실시예에 대해서 설명한다.

[0396] 이 제27 실시예에서는, 도 61의 (A)에 도시하는 바와 같이, 오목부(13)의 상방의 부분에서의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에, 볼록부(12)의 일부와 오목부(13)의 전부에 걸친 평면 형상의 마스크(도시하지 않음)를 형성한 후, 이 마스크를 이용해서 질화물계 Ⅲ-V족 화합물 반도체층(15)을, 예를 들면 RIE법에 의해 볼록부(12)가 노출될 때까지 에칭하거나, 또는 깎는다.

[0397] 다음으로, 상기한 마스크를 제거한 후, 도 61의 (B)에 도시하는 바와 같이, 상기한 바와 같이 해서 패터닝된 질화물계 Ⅲ-V족 화합물 반도체층(15)의 양 측면으로부터 질화물계 Ⅲ-V족 화합물 반도체층(26)을 가로 방향 성장시켜, 질화물계 Ⅲ-V족 화합물 반도체층(15) 사이를 메운다.

[0398] 이 후, 제24 실시예와 마찬가지로 해서 공정을 진행시킨다.

[0399] 이 제27 실시예에 따르면, 제1 실시예와 마찬가지의 이점을 얻을 수 있다.

[0400] 다음으로, 본 발명의 제28 실시예에 대해서 설명한다.

[0401] 이 제28 실시예에서는, p측 전극(19)의 형성 공정까지는 제1 실시예와 마찬가지이지만, 그 이후의 공정이 서로 다르다. 여기에서, 이 p측 전극(19)에서는, 적합하게는, 전극 재료(예를 들면 Ag 등)의 확산을 방지하기 위해서 Pd를 함유하는 층을 개재시키거나, 그 위에, 응력, 열, 상층에 형성되는 Au나 Sn을 포함하는 층(땜납층이나 범프 등)으로부터의 Au나 Sn의 p측 전극(19)에의 확산 등에 의한 불량의 발생을 방지하기 위해 예를 들면 Ti, W, Cr 혹은 이들 합금 등의 고융점 금속, 혹은 이들 금속의 질화물(TiN, WN, TWN, CrN 등)을 형성함으로써, 입계가 없는 아몰퍼스 형상의 배리어 메탈층으로서 이용하는 기술을 적용한다. 여기에서, Pd를 함유하는 층을 개재시키는 기술은, 예를 들면 금속 도금 기술에서는 Pd 개재층으로서 주지이며, 상기한 배리어 메탈층 재료는 Si계 전자 디바이스의 Al 배선 기술, Ag 배선 기술 등에서 주지이다.

[0402] 또한, 여기에서는, p형 질화물계 Ⅲ-V족 화합물 반도체층(18)과 직접 접촉하는, 열 응력적으로 약한 p측 전극(19)을 보호할 목적으로, Ti, W, Cr 혹은 이들 합금 등의 고융점 금속, 혹은 이들 금속의 질화물 등이 보호층으로서 적층되는 예가 나타내어지지만, 이 보호층은, 그 자신을 p형 질화물계 Ⅲ-V족 화합물 반도체층(18)과 직접 접촉하는 전극으로서 이용하는 것이 가능하며, 응력 내성이나 접착 강화력이 있는 것 등으로부터, p형 질화물계 Ⅲ-V족 화합물 반도체층(18)측뿐만 아니라, 특히, n형의 질화물계 Ⅲ-V족 화합물 반도체층(15)에 접촉시키는 n측 전극(21)으로서 종래 이용되고 있는 Ti/Pt/Au 전극 대신에, 혹은 제1 층째의 n측 전극으로서 이용해도 된다. 접착 강화력을 이용한 방법으로서는, 기판의 접합 기술 등을, 금속-금속간 접합부의 강화나 금속-유전체 접합부 등의 강화를 위해 p측, n측을 막론하고 이용할 수 있다. 응력 내성이나 접착 강화력을 갖게 하는 구체예를 들면, 단층 금속막 혹은 복수층의 금속막으로 형성된 p측 전극(19)의 최표면이 Au로 이루어지는 경우에, 도전성

지지 기판 상에 Ti, W, Cr 혹은 이들 합금 등의 고융점 금속막, 혹은 이들 금속의 질화막을 형성하고, 그 위에 Au막을 형성하였지만 Au막을 p측 전극(19)과 접합할 수 있다.

[0403] 즉, 이 제28 실시예에서는, 도 62의 (A)에 도시하는 바와 같이, p측 전극(19)을 형성한 후, 리프트법 등에 의해, 이 p측 전극(19)을 피복하도록 Ni막(41)을 형성한다. 다음으로, 도시는 생략하지만, 예를 들면 Ni막(41)을 피복하도록 Pd막을 형성하고, 이 Pd막을 피복하도록 금속 질화막, 예를 들면 TiN, WN, TWN, CrN 등의 막을 형성하고, 또한 필요에 따라서 이 막을 피복하도록 Ti, W, Mo, Cr 혹은 그들의 합금 등의 막을 형성한다. 단, Ni막(41)을 형성하지 않고, 그 대신에, p측 전극(19)을 피복하도록 Pd막을 형성하고, 이 Pd막을 피복하도록 TiN, WN, TWN, CrN 등의 막을 형성하고, 또한 필요에 따라서 이 막을 피복하도록 Ti, W, Mo, Cr 혹은 그들의 합금 등의 막을 형성하도록 해도 된다.

[0404] 다음으로, 도 62의 (B)에 도시하는 바와 같이, 리소그래피에 의해, Ni막(41) 및 그 위의 Pd막 등의 층을 피복하는 소정 형상의 레지스트 패턴(42)을 형성한다.

[0405] 다음으로, 도 62의 (C)에 도시하는 바와 같이, 레지스트 패턴(42)을 마스크로 하여 예를 들면 RIE법에 의해 에칭함으로써 메사부(20)를 단면 형상이 사다리꼴로 되도록 형성한다. 이 메사부(20)의 사면과 기판(11)의 주면이 이루는 각도는 예를 들면 35도 정도로 한다. 이 메사부(20)의 사면에는 필요에 따라서 λ/4 유전 체막(λ: 발광 파장)을 형성한다.

[0406] 다음으로, 도 62의 (D)에 도시하는 바와 같이, n형의 질화물계 Ⅲ-V족 화합물 반도체층(15) 상에 n측 전극(21)을 형성한다.

[0407] 다음으로, 도 62의 (E)에 도시하는 바와 같이, 기판 전체면에 패시베이션막으로서 SiO_2막(43)을 형성한다. 베이스에 대한 밀착성, 내구성, 프로세스 상의 내식성을 고려한 경우, SiO_2막(43) 대신에 SiN막 혹은 SiON막을 이용해도 된다.

[0408] 다음으로, 도 62의 (F)에 도시하는 바와 같이, 이 SiO_2막(43)을 에치백해서 얇게 한 후, 메사부(20)의 사면의 SiO_2막(43) 상에 반사막으로서 Al막(44)을 형성한다. 이 Al막(44)은, 활성층(17)으로부터 발생하는 광을 기판(11)측에 반사시켜 광의 취출 효율의 향상을 도모하기 위한 것이다. 이 Al막(44)의 일단은 n측 전극(21)과 접촉하도록 형성한다. 이것은, Al막(44)과 n측 전극(21)의 사이에 간극을 만들지 않도록 함으로써 광의 반사를 증가시키기 위해서이다. 이 후, SiO_2막(43)을 재차 형성해서 패시베이션막으로서 필요한 두께로 한다.

[0409] 다음으로, 도 62의 (G)에 도시하는 바와 같이, SiO_2막(43) 내의 Ni막(41) 및 n측 전극(21)의 상방의 부분을 에칭 제거해서 개구(45, 46)를 형성하고, 이러한 부분에 Ni막(41) 및 n측 전극(21)을 노출시킨다.

[0410] 다음으로, 도 62의 (H)에 도시하는 바와 같이, 개구(45)의 부분의 Ni막(41) 상에 패드 전극(47)을 형성함과 함께, 개구(46)의 부분의 n측 전극(21) 상에 패드 전극(48)을 형성한다.

[0411] 다음으로, 도 62의 (I)에 도시하는 바와 같이, 기판 전체면에 범프 마스크재(49)를 형성한 후, 이 범프 마스크재(49) 내의 패드 전극(48)의 상방의 부분을 에칭 제거해서 개구(50)를 형성하고, 이 부분에 패드 전극(48)을 노출시킨다.

[0412] 다음으로, 도 62의 (J)에 도시하는 바와 같이, 범프 마스크재(49)를 이용해서 패드 전극(48) 상에 Au 범프(51)를 형성한다. 다음으로, 범프 마스크재(49)를 제거한다. 다음으로, 기판 전체면에 재차 범프 마스크재(도시하지 않음)를 형성한 후, 이 범프 마스크재 내의 패드 전극(47)의 상방의 부분을 에칭 제거해서 개구를 형성하고, 이 부분에 패드 전극(47)을 노출시킨다. 다음으로, 패드 전극(47) 상에 Au 범프(52)를 형성한다.

[0413] 다음으로, 필요에 따라, 상술한 바와 같이 해서 발광 다이오드 구조가 형성된 기판(11)을 그 이면측으로부터 연삭이나 랩핑함으로써 두께를 감소시킨 후, 이 기판(11)의 스크라이빙을 행하여, 바를 형성한다. 이 후, 이 바의 스크라이빙을 행함으로써 칩화한다.

[0414] 또한, 도 62에서 설명한 전극 적층 구조는, 일례에 불과하며, 특히, 각 전극층을 복수 적층하는 경우, 소자 온도 상승에 수반하는 각 금속층의 열팽창 계수의 차이에 의한 응력 발생의 억제, 금속층간의 확산의 억제를 고려하면서, Ag 전극 등으로 이루어지는 p측 전극(19)과 다른 금속층과의 밀착성의 향상, 응력 내구성의 향상, 크랙 방지성의 향상, 저컨택트 저항화, Ag 전극 등의 품질 유지에 의한 고반사율화를 도모할 필요가 있으므로, 필요에 따라, 이미 설명한 Si계 전자 디바이스의 Al 배선 기술 등을 삽입하는 것이 가능하다.

[0415] 다음으로, 본 발명의 제29 실시예에 대해서 설명한다.

[0416] 이 제29 실시예에서는, 제1 실시예에 따른 방법에 의해 얻어지는 청색 발광의 발광 다이오드 및 녹색 발광의 발광 다이오드 외에, 별도로 준비하는 적색 발광의 발광 다이오드(예를 들면 AlGaInP계 발광 다이오드)를 이용해서 발광 다이오드 백 라이트를 제조하는 경우에 대해서 설명한다.

[0417] 제1 실시예에 따른 방법에 의해 기판(11) 상에 청색 발광의 발광 다이오드 구조를 형성하고, p측 전극(19) 및 n측 전극(21) 상에 각각 범프(도시하지 않음)를 더 형성한 후, 이것을 칩화함으로써 플립 칩의 형태로 청색 발광의 발광 다이오드를 얻는다. 마찬가지로 해서, 녹색 발광의 발광 다이오드를 플립 칩의 형태로 얻는다. 한편, 적색 발광의 발광 다이오드로서는, n형 GaAs 기판 상에 AlGaInP계 반도체층을 적층해서 다이오드 구조를 형성하고, 그 상부에 p측 전극을 형성하는 공정을 거치는, AlGaInP계 발광 다이오드를 칩의 형태로 이용하는 것으로 한다.

[0418] 그리고, 이들 적색 발광의 발광 다이오드 칩, 녹색 발광의 발광 다이오드 칩 및 청색 발광의 발광 다이오드 칩을 각각 AlN 등으로 이루어지는 서브 마운트 상에 마운트한 후, 이것을 서브 마운트를 아래로 해서 예를 들면 Al 기판 등의 기판 상에 소정의 배치로 마운트한다. 이 상태를 도 63의 (A)에 도시한다. 도 63의 (A)에서, 부호 61은 기판, 부호 62는 서브 마운트, 부호 63은 적색 발광의 발광 다이오드 칩, 부호 64는 녹색 발광의 발광 다이오드 칩, 부호 65는 청색 발광의 다이오드 칩을 나타낸다. 이들 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)의 칩 사이즈는 예를 들면 350㎛^{2}이다. 여기에서, 적색 발광의 발광 다이오드 칩(63)은 그 n측 전극이 서브 마운트(62) 상에 오도록 마운트하고, 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)은 그 p측 전극 및 n측 전극이, 범프를 거쳐 서브 마운트(62) 상에 오도록 한다. 적색 발광의 발광 다이오드 칩(63)이 마운트되어 있는 서브 마운트(62) 상에는 n측 전극용의 인출 전극(도시하지 않음)이 소정의 패턴 형상으로 형성되어 있고, 이 인출 전극 상의 소정 부분에 적색 발광의 발광 다이오드 칩(63)의 n측 전극측이 마운트되어 있다. 그리고, 이 적색 발광의 발광 다이오드 칩(63)의 p측 전극과, 기판(61) 상에 설치된 소정의 패드 전극(66)에 이들을 접속하도록 와이어(67)가 본딩되어 있음과 함께, 상기한 인출 전극의 일단과 기판(61) 상에 설치된 다른 패드 전극에 이들을 접속하도록 와이어(도시하지 않음)가 본딩되어 있다. 녹색 발광의 발광 다이오드 칩(64)이 마운트되어 있는 서브 마운트(62) 상에는, p측 전극용의 인출 전극 및 n측 전극용의 인출 전극(모두 도시하지 않음)이 각각 소정의 패턴 형상으로 형성되어 있고, 이들 p측 전극용의 인출 전극 및 n측 전극용의 인출 전극 상의 소정 부분에, 녹색 발광의 발광 다이오드 칩(64)의 p측 전극 및 n측 전극측이 그들 상에 형성된 범프를 거쳐서 각각 마운트되어 있다. 그리고, 이 녹색 발광의 발광 다이오드 칩(64)의 p측 전극용의 인출 전극의 일단과, 기판(61) 상에 설치된 패드 전극에 이들을 접속하도록 와이어(도시하지 않음)가 본딩되어 있음과 함께, 그 n측 전극용의 인출 전극의 일단과, 기판(61) 상에 설치된 패드 전극에 이들을 접속하도록 와이어(도시하지 않음)가 본딩되어 있다. 청색 발광의 발광 다이오드 칩(65)도 마찬가지이다.

[0419] 단, 서브 마운트(62)를 생략하여, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 직접, 방열성을 갖는 임의의 프린트 배선 기판 혹은, 프린트 배선 기판의 기능을 갖는 판, 케이스의 내외벽(예를 들면 섀시의 내벽 등)에 다이렉트 마운트하는 것도 가능하며, 이렇게 함으로써 발광 다이오드 백 라이트 혹은 패널 전체의 저비용화를 도모할 수 있다.

[0420] 상술한 바와 같은 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 1단위(셀)로 하고, 이것을 기판(61) 상에 소정의 패턴으로 필요한 수 배치한다. 그 일례를 도 64에 도시한다. 다음으로, 도 63의 (B)에 도시하는 바와 같이, 이 1단위를 피복하도록 투명 수지(68)의 포팅을 행한다. 이 후, 투명 수지(68)의 큐어링 처리를 행한다. 이 큐어링 처리에 의해 투명 수지(68)는 고화하며, 그것에 수반하여 약간 축소된다(도 63의 (C). 이렇게 해서, 도 65에 도시한 바와 같이, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 1단위로 한 것이 기판(61) 상에 어레이 형상으로 배열된 발광 다이오 드 백 라이트를 얻을 수 있다. 이 경우, 투명 수지(68)는 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)의 기판(11)의 이면과 접촉하고 있기 때문에, 이 기판(11)의 이면이 공기와 직접 접촉하고 있는 경우에 비해서 굴절률차가 작아지고, 따라서 이 기판(11)을 투과해서 외부로 나오려고 하는 광이 이 기판(11)의 이면에서 반사되는 비율이 감소하며, 그것에 의해서 광 취출 효율이 향상함으로써 발광 효율이 향상한다.

[0421] 이 발광 다이오드 백 라이트는, 예를 들면 액정 패널의 백 라이트에 이용하기에 적합한 것이다.

[0422] 다음으로, 본 발명의 제30 실시예에 대해서 설명한다.

[0423] 이 제30 실시예에서는, 제29 실시예와 마찬가지로 해서, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 기판(61) 상에 소정의 패턴으로 필요한 수 배치한 후, 도 66에 도시하는 바와 같이, 적색 발광의 발광 다이오드 칩(63)을 피복하도록 이 발광 다이오드 칩(63)에 적합한 투명 수지(69)의 포팅을 행하고, 녹색 발광의 발광 다이오드 칩(64)을 피복하도록 이 발광 다이오드 칩(64)에 적합한 투명 수지(70)의 포팅을 행하며, 청색 발광의 발광 다이오드 칩(65)을 피복하도록 이 발광 다이오드 칩(65)에 적합한 투명 수지(71)의 포팅을 행한다. 이 후, 투명 수지(69~71)의 큐어링 처리를 행한다. 이 큐어링 처리에 의해 투명 수지(69~71)는 고화하며, 그에 수반하여 약간 축소한다. 이렇게 해서, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 1단위로 한 것이 기판(61) 상에 어레이 형상으로 배열된 발광 다이오드 백 라이트를 얻을 수 있다. 이 경우, 투명 수지(70, 71)는 각각 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)의 기판(11)의 이면과 접촉하고 있기 때문에, 이 기판(11)의 이면이 공기와 직접 접촉하고 있는 경우에 비해서 굴절률차가 작아지고, 따라서 이 기판(11)을 투과해서 외부로 나오려고 하는 광이 이 기판(11)의 이면에서 반사되는 비율이 감소하며, 그것에 의해서 광 취출 효율이 향상함으로써 발광 효율이 향상한다.

[0424] 이 발광 다이오드 백 라이트는, 예를 들면 액정 패널의 백 라이트에 이용하기에 적합한 것이다.

[0425] 다음으로, 본 발명의 제31 실시예에 대해서 설명한다.

[0426] 이 제31 실시예에서는, 제1 실시예에 따른 방법에 의해 기판(11) 상에 발광 다이오드 구조를 형성하고, p측 전극(19) 및 n측 전극(21)은 각각 스트라이프 형상으로 형성하며, 이들 p측 전극(19) 및 n측 전극(21) 상에 각각 범프(도시하지 않음)를 형성한 후, 이 기판(11)의 스크라이빙을 행함으로써 소정의 크기의 사각형으로 한다. 이것에 의해, 도 67에 도시하는 바와 같이, 스트라이프 형상의 발광부를 갖는 집적형 발광 다이오드를 얻을 수 있다. 이 경우, n측 전극(21)은, 스트라이프 형상의 메사부(20)의 주위를 둘러싸도록 형성되어 있다. 그리고, 도 68에 도시하는 바와 같이, 이 집적형 발광 다이오드를 AlN 등으로 이루어지는 서브 마운트(72) 상에 마운트한다. 이 경우, 서브 마운트(72) 상에는 p측 전극용의 인출 전극 및 n측 전극용의 인출 전극(도시하지 않음)이 각각 소정의 패턴 형상으로 형성되어 있고, 그들 위에 땜납(73, 74)이 형성되어 있다. 집적형 발광 다이오드의 p측 전극(19)은 땜납(73) 상에, n측 전극(21)은 땜납(74) 상에 오도록 위치 맞춤하고, 이들이 땜납(73, 74)을 녹여서 접합한다.

[0427] 여기에서, 각 발광 다이오드를 서지, 과대 전류 등으로부터 보호하는 것을 목적으로 한 보호 회로(예를 들면 제너 다이오드를 (역)병렬 접속한 것) 등을 광 취출의 방해로 되지 않는 위치에 배치해도 된다.

[0428] 다음으로, 본 발명의 제32 실시예에 대해서 설명한다.

[0429] 이 제32 실시예에서는, 제1 실시예에 따른 방법에 의해 얻어지는 청색 발광의 발광 다이오드 및 녹색 발광의 발광 다이오드 외에, 별도로 준비하는 적색 발광의 발광 다이오드를 이용해서 광원 셀 유닛을 제조하는 경우에 대해서 설명한다.

[0430] 도 69의 (A)에 도시하는 바와 같이, 이 제32 실시예에서는, 제29 실시예와 마찬가지로 해서, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 각각 적어도 1개 포함하며, 이들이 소정의 패턴으로 배치된 셀(75)을 프린트 배선 기판(76) 상에 소정의 패턴으로 필요한 수 배치한다. 이 예에서는, 각 셀(75)은, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)을 각각 1개 포함하며, 이들이 정삼각형의 정점에 배치되어 있다. 도 69의 (B)에 셀(75)을 확대해서 도시한다. 각 셀(75)에서의 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)의 간격 a는 예를 들면 4㎜이지만, 이것에 한정되는 것은 아니다. 셀(75)의 간격 b는 예를 들면 30㎜이지만, 이것에 한정되는 것은 아니다. 프린트 배선 기판(76)으로서는, 예를 들면 FR4(Flame Retardant Type 4의 약칭) 기판이나 메탈 코어 기판이나 플렉시블 배선 기판 등을 이용할 수 있지만, 방열성을 갖는 프린트 배선 기판이면 다른 것을 이용할 수도 있으며, 이들에 한정되는 것은 아니다. 제29 실시예와 마찬가지로 해서, 각 셀(76)을 피복하도록 투명 수지(68)의 포팅을 행하거나, 혹은, 제30 실시예와 마찬가지로 해서, 적색 발광의 발광 다이오드 칩(63)을 피복하도록 투명 수지(69)의 포팅을 행하고, 녹색 발광의 발광 다이오드 칩(64)을 피복하도록 투명 수지(70)의 포팅을 행하며, 청색 발광의 발광 다이오드 칩(65)을 피복하도록 투명 수지(71)의 포팅을 행한다. 이렇게 해서, 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)으로 이루어지는 셀(75)이 프린

트 배선 기판(76) 상에 배치된 광원 셀 유닛을 얻을 수 있다.

[0431] 프린트 배선 기판(76) 상의 셀(75)의 배치의 구체예를 도 70 및 도 71에 도시하지만, 이들에 한정되는 것은 아니다. 도 70에 도시하는 예는 셀(75)을 4×3의 이차원 어레이 형상으로 배치한 것, 도 71에 도시하는 예는 셀(75)을 6×2의 이차원 어레이 형상으로 배치한 것이다.

[0432] 도 72는 셀(75)의 다른 구성예를 도시하는 것이다. 이 예에서는, 셀(75)은, 적색 발광의 발광 다이오드 칩(63)을 1개, 녹색 발광의 발광 다이오드 칩(64)을 2개, 청색 발광의 발광 다이오드 칩(65)을 1개 포함하며, 이들이 예를 들면 정방형의 정점에 배치되어 있다. 2개의 녹색 발광의 발광 다이오드 칩(64)은 이 정방형의 하나의 대각선의 양단의 정점에 배치되고, 적색 발광의 발광 다이오드 칩(63) 및 청색 발광의 발광 다이오드 칩(65)은 이 정방형의 다른 하나의 대각선의 양단의 정점에 배치되어 있다.

[0433] 이 광원 셀 유닛을 1개 또는 복수 배열함으로써, 예를 들면 액정 패널의 백 라이트에 이용하기에 적합한 발광 다이오드 백 라이트를 얻을 수 있다.

[0434] 셀(75)을 구성하는 적색 발광의 발광 다이오드 칩(63), 녹색 발광의 발광 다이오드 칩(64) 및 청색 발광의 발광 다이오드 칩(65)으로서, 도 7~도 11, 특히 도 11에 도시하는 예와 같이 p측 전극(19) 및 n측 전극(21)의 배선에 2층 배선 기술을 이용한 것을 프린트 배선 기판(76) 상에 탑재해도 되고, 프린트 배선 기판(76) 상에 서브 마운트를 거쳐서 탑재해도 된다.

[0435] 또한, 프린트 배선 기판(76) 상의 패드 전극부나 배선부 등은 종래, Au에 의해 형성하는 것이 일반적이지만, 이들 전부 혹은 부분적으로 내구성이나 접착 강화력이 있는 Ti, W, Cr 혹은 이들 합금 등의 고융점 금속, 혹은 이들 금속의 질화물 등을 이용하여, 그 위에 Au를 형성하도록 해도 된다. 이들 재료는, 예를 들면 전해 도금, 무전해 도금, 진공 증착(플래시 증착 등), 스퍼터링 등에 의해 형성할 수 있다. 혹은, 패드 전극부나 배선부 등을 Au에 의해 형성하고, 그 위에 이들 재료를 형성하도록 해도 된다. 또한, 예를 들면 패드 전극부나 배선부 등을 Ti, W, Cr 혹은 이들 합금 등의 고융점 금속에 의해 형성하고, 이들 재료를 질화하고나서 그 위에 다시 Ti, W, Cr 혹은 이들 합금 등의 고융점 금속을 형성해서 표면을 질화 전의 상태로 복귀시키고, 그 위에 발광 다이오드 칩(63~65)을 그 TW 전극 등이나 Au 전극 등의 측으로부터, 필요에 따라서 Ti, W, Cr, Au 등으로 이루어지는 막을 1층 개재해서, 다이 본딩하도록 해도 된다.

[0436] 또한, 프린트 배선 기판(76) 상에 탑재되는 발광 다이오드 칩(63~65)에 접속되는 보호 칩(회로), 베이스 오픈된 트랜지스터 소자(회로), 트리거 다이오드 소자(회로), 부성 저항 소자(회로) 등의 탑재 시에도, 접착 강도, 열응력 내성 등, 광원 셀 유닛의 신뢰성 향상을 목적으로 하여, Ti, W, Cr 혹은 이들 합금 등의 고융점 금속, 혹은 이들 금속의 질화물 등을 이용한 상기한 전극 구조의 채용이 가능하다.

[0437] 또한, 프린트 배선 기판(76) 상의 포팅에 의해 형성된 투명 수지(68~71) 이외의 부분에 최종적으로, 되도록이면 백 레지스트를 두껍게 칠하여, 발광 다이오드 칩(63~65)으로부터의 광이 프린트 배선 기판(76)에 의해 흡수되는 것을 억제하도록 해도 된다.

[0438] 이상, 본 발명의 실시예에 대해서 구체적으로 설명했지만, 본 발명은, 상술한 실시예에 한정되는 것이 아니라, 본 발명의 기술적 사상에 기초하는 각종 변형이 가능하다.

[0439] 예를 들면, 상술한 제1~제32 실시예에서 예로 든 수치, 재료, 구조, 형상, 기판, 원료, 프로세스, 볼록부(12) 및 오목부(13)의 방위 등은 어디까지나 예에 불과하며, 필요에 따라, 이들과 서로 다른 수치, 재료, 구조, 형상, 기판, 원료, 프로세스 등을 이용해도 된다.

[0440] 구체적으로는, 예를 들면, 상술한 제1~제32 실시예에서, p형 층 및 n형 층의 도전형을 서로 반대로 해도 된다.

[0441] 또한, 필요에 따라, 상술한 제1~제32 실시예 중의 2 이상을 조합해도 된다.

[0442] 또한, 광 취출면 혹은 광 반사면에 요철 구조를 형성한 발광 다이오드로서, 도 73~도 76에 도시하는 바와 같은 것이 있다.

[0443] 도 73에 도시하는 발광 다이오드에서는, 기판(81) 상에 n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(82), n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(83), 활성층(84), p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(85) 및 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)을 순차적으로 성장시킨 후, n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(83), 활성층(84), p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(85) 및 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)을 에칭해서 메사부(87)

를 형성한다. 그리고, p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)의 표면을 요철 가공해서 오목부에 p측 전극(88)을 메운다. 또한, 메사부(87)에 인접하는 부분의 n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(82) 상에 n측 전극(89)을 형성한다. 이 발광 다이오드에서는, 광은 기판(81)측으로부터 취출해도 되고, p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)측으로부터 취출해도 된다. 기판(81)으로서는, 기판(11)과 마찬가지의 것을 이용할 수 있다.

[0444] 도 74에 도시하는 발광 다이오드에서는, 도 73에 도시하는 구조에서, 기판(81)의 이면에 반사막(90)을 형성한다. 이 반사막(90)에 의해, 활성층(84)으로부터 발생하는 광이 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)측에 반사되기 때문에, p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)측으로부터 외부로 광을 취출하기 쉬워진다.

[0445] 도 75에 도시하는 발광 다이오드에서는, 도 73에 도시하는 구조에서, p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)의 이면에 반사막(90)을 형성한다. 이 반사막(90)에 의해, 활성층(84)으로부터 발생하는 광이 기판(11)측에 반사되기 때문에, 기판(11)측으로부터 외부로 광을 취출하기 쉬워진다.

[0446] 도 76에 도시하는 발광 다이오드에서는, 기판(81) 상에 n형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(83), 활성층(84) 및 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(85)을 에피택셜 성장시킨 후, 그 위에 볼록부(91)를 형성하고, 그 위에 제1 실시예와 마찬가지로 해서 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86)을 성장시킨다. 볼록부(91)는 볼록부(12)와 마찬가지의 것이다.

[0447] 또한, 도 76에서, 볼록부(91)에 접하도록 p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(86) 상에 반사 전극을 형성해도 된다. 혹은, 볼록부(91)의 재료가 투광성, 반사성 중 어느 쪽이든, p형 질화물계 Ⅲ-Ⅴ족 화합물 반도체층(24)의 두께를 적절하게 조정, 예를 들면 λ/4 두께로 하고, 그 위에 다시 이 볼록부(91)에 접촉하도록 반사 전극을 형성하고, 그 위에 p측 전극을 형성해도 된다. 이렇게 함으로써 발광 다이오드의 동작 시에 p측 전극으로부터의 양호한 전류 패스를 확보하면서, 활성층(84)에서 발생한 임의의 방향으로부터의 광을 높은 반사율로, 기판(81)측에 반사하는 구조를 형성할 수 있다.

발명의 효과

[0448] 본 발명에 따르면, 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층 및 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층과 기판의 사이에 간극이 형성되지 않음으로써, 광의 취출 효율을 대폭으로 향상시킬 수 있으며, 또한 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 결정성이 양호하게 되기 때문에, 그 위에 성장시키는 제3 질화물계 Ⅲ-Ⅴ족 화합물 반도체층, 활성층 및 제4 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 결정성도 대폭으로 향상하기 때문에, 발광 효율이 매우 높은 발광 다이오드를 얻을 수 있다. 또한, 1회의 에피택셜 성장에 의해 발광 다이오드를 제조할 수 있기 때문에, 저코스트이다. 또한, 기판의 요철 가공도 용이하며, 가공 정밀도도 높다. 그리고, 이 발광 효율이 높은 발광 다이오드를 이용해서 고성능의 광원 셀 유닛, 발광 다이오드 백 라이트, 발광 다이오드 조명 장치, 발광 다이오드 디스플레이, 발광 다이오드 광 통신 장치, 광 공간 전송 장치, 각종 전자 기기 등을 실현할 수 있다.

[0449] 보다 일반적으로는, 제1 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 제1 층, 제2 질화물계 Ⅲ-Ⅴ족 화합물 반도체층을 제2 층으로 바꿔 읽어도 상기와 마찬가지의 효과를 얻을 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0002] 도 2는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0003] 도 3은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0004] 도 4는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 형성하는 볼록부의 평면 형상의 예를 도시하는 평면도.

[0005] 도 5는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 형성하는 볼록부의 평면 형상의 예를 도시하는 평면도.

[0006] 도 6은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에 의해 제조된 발광 다이오드의 평면도.

[0007] 도 7은 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 다른 구조예를 도시하는 단면도.

[0008] 도 8은 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 다른 구조예를 도시하는 단면도.

[0009] 도 9는 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 다른 구조예를 도시하는 단면도.

[0010] 도 10은 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 다른 구조예를 도시하는 단면도.

[0011] 도 11은 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 다른 구조예를 도시하는 단면도.

[0012] 도 12는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 이용하는 기판을 도시하는 개략 선도.

[0013] 도 13은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서의 기판 상의 질화물계 Ⅲ-V족 화합물 반도체층의 성장의 모습을 설명하기 위한 개략 선도.

[0014] 도 14는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시킨 질화물계 Ⅲ-V족 화합물 반도체층의 TEM 관찰에 의해 얻어진 전위의 거동을 설명하기 위한 개략 선도.

[0015] 도 15는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시킨 질화물계 Ⅲ-V족 화합물 반도체층의 관통 전위의 분포의 예를 도시하는 개략 선도.

[0016] 도 16은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시킨 질화물계 Ⅲ-V족 화합물 반도체층의 관통 전위의 분포의 예를 도시하는 개략 선도.

[0017] 도 17은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시키는 질화물계 Ⅲ-V족 화합물 반도체층의 성장의 모습을 도시하는 개략 선도.

[0018] 도 18은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시키는 질화물계 Ⅲ-V족 화합물 반도체층의 전위의 거동을 설명하기 위한 개략 선도.

[0019] 도 19는 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시키는 질화물계 Ⅲ-V족 화합물 반도체층의 성장 초기의 모습을 도시한 도면 대용 사진.

[0020] 도 20은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시키는 질화물계 Ⅲ-V족 화합물 반도체층의 성장 초기에 미소 핵의 생성을 수반하지 않는 경우의 성장의 모습을 도시하는 개략 선도.

[0021] 도 21은 본 발명의 제1 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시키는 질화물계 Ⅲ-V족 화합물 반도체층의 성장 초기에 미소 핵의 생성을 수반하지 않는 경우의 성장의 모습을 도시하는 개략 선도.

[0022] 도 22는 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 레이 트레이싱 시뮬레이션의 결과를 도시하는 개략 선도.

[0023] 도 23은 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 활성층의 표면 평탄성을 설명하기 위한 개략 선도.

[0024] 도 24는 본 발명의 제1 실시예에 따라 제조되는 발광 다이오드의 활성층의 표면 평탄성을 설명하기 위한 개략 선도.

[0025] 도 25는 본 발명의 제2 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0026] 도 26은 본 발명의 제3 실시예에 따른 발광 다이오드의 제조 방법에 의해 제조된 발광 다이오드의 평면도.

[0027] 도 27은 본 발명의 제4 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0028] 도 28은 본 발명의 제5 실시예에 따른 발광 다이오드의 제조 방법에 의해 제조된 발광 다이오드의 평면도.

[0029] 도 29는 본 발명의 제6 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0030] 도 30은 본 발명의 제7 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0031] 도 31은 본 발명의 제8 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0032] 도 32는 본 발명의 제9 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0033] 도 33은 본 발명의 제10 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0034] 도 34는 본 발명의 제11 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0035] 도 35는 본 발명의 제12 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0036] 도 36은 본 발명의 제13 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0037] 도 37은 본 발명의 제14 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0038] 도 38은 본 발명의 제15의 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0039] 도 39는 본 발명의 제16 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0040] 도 40은 본 발명의 제17 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0041] 도 41은 본 발명의 제18 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0042] 도 42는 본 발명의 제19 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0043] 도 43은 본 발명의 제19 실시예에 따른 발광 다이오드의 활성층의 하측의 볼록부의 평면 형상의 예를 도시하는 평면도.

[0044] 도 44는 본 발명의 제19 실시예에 따른 발광 다이오드의 활성층의 상측의 볼록부의 평면 형상의 예를 도시하는 평면도.

[0045] 도 45는 본 발명의 제19 실시예에 따른 발광 다이오드의 변형예를 도시하는 단면도.

[0046] 도 46은 본 발명의 제19 실시예에 따른 발광 다이오드의 다른 변형예를 도시하는 단면도.

[0047] 도 47은 본 발명의 제20 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0048] 도 48은 본 발명의 제20 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0049] 도 49는 본 발명의 제21 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0050] 도 50은 본 발명의 제22 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0051] 도 51은 본 발명의 제22 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0052] 도 52는 본 발명의 제22 실시예에 따른 발광 다이오드의 제조 방법에서 기판 상에 성장시킨 질화물계 Ⅲ-Ⅴ족 화합물 반도체층의 TEM 관찰에 의해 얻어진 전위의 거동을 설명하기 위한 개략 선도.

[0053] 도 53은 본 발명의 제22 실시예에 따라 제조되는 발광 다이오드의 레이 트레이싱 시뮬레이션의 결과를 도시하는 개략 선도.

[0054] 도 54는 본 발명의 제22 실시예에 따라 제조되는 발광 다이오드의 레이 트레이싱 시뮬레이션의 결과를 도시하는 개략 선도.

[0055] 도 55는 본 발명의 제22 실시예에 따라 제조되는 발광 다이오드의 레이 트레이싱 시뮬레이션의 결과를 도시하는 개략 선도.

[0056] 도 56은 본 발명의 제23 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0057] 도 57은 본 발명의 제24 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0058] 도 58은 본 발명의 제24 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0059] 도 59는 본 발명의 제24 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0060] 도 60은 본 발명의 제26 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0061] 도 61은 본 발명의 제27 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0062] 도 62는 본 발명의 제28 실시예에 따른 발광 다이오드의 제조 방법을 설명하기 위한 단면도.

[0063] 도 63은 본 발명의 제29 실시예에 따른 발광 다이오드 백 라이트의 제조 방법을 설명하기 위한 단면도.

[0064] 도 64는 본 발명의 제29 실시예에 따른 발광 다이오드 백 라이트의 제조 방법을 설명하기 위한 사시도.

[0065] 도 65는 본 발명의 제29 실시예에 따른 발광 다이오드 백 라이트의 제조 방법을 설명하기 위한 사시도.

[0066] 도 66은 본 발명의 제30 실시예에 따른 발광 다이오드 백 라이트의 제조 방법을 설명하기 위한 사시도.

[0067] 도 67은 본 발명의 제31 실시예에 따라 제조되는 집적형 발광 다이오드를 도시하는 사시도.

[0068] 도 68은 본 발명의 제31 실시예에 따라 제조되는 집적형 발광 다이오드를 서브 마운트 상에 마운트하는 모습을 도시하는 단면도.

[0069] 도 69는 본 발명의 제32 실시예에 따른 광원 셀 유닛을 도시하는 평면도 및 이 광원 셀 유닛의 셀의 확대도.

[0070] 도 70은 본 발명의 제32 실시예에 따른 광원 셀 유닛의 하나의 구체예를 도시하는 평면도.

[0071] 도 71은 본 발명의 제32 실시예에 따른 광원 셀 유닛의 다른 구체예를 도시하는 평면도.

[0072] 도 72는 본 발명의 제32 실시예에 따른 광원 셀 유닛의 셀의 다른 구성예를 도시하는 평면도.

[0073] 도 73은 발광 다이오드의 다른 예를 도시하는 단면도.

[0074] 도 74는 발광 다이오드의 다른 예를 도시하는 단면도.

[0075] 도 75는 발광 다이오드의 다른 예를 도시하는 단면도.

[0076] 도 76은 발광 다이오드의 다른 예를 도시하는 단면도.

[0077] 도 77은 종래의 요철 가공 기판 상에의 GaN계 반도체층의 성장 방법을 설명하기 위한 단면도.

[0078] 도 78은 도 77에 도시하는 종래의 GaN계 반도체층의 성장 방법의 과제를 설명하기 위한 단면도.

[0079] 도 79는 종래의 요철 가공 기판 상에의 GaN계 반도체층의 성장 방법을 설명하기 위한 단면도.

[0080] 도 80은 다른 종래의 요철 가공 기판 상에의 GaN계 반도체층의 성장 방법을 설명하기 위한 단면도.

[0081] 도 81은 사파이어의 주요한 결정면 및 결정 방위를 도시하는 개략 선도.

[0082] <도면의 주요 부분에 대한 부호의 설명>

[0083] 11 : 기판

[0084] 12 : 볼록부

[0085] 13 : 오목부

[0086] 14 : 미소 핵

[0087] 15 : 질화물계 Ⅲ-V족 화합물 반도체층

[0088] 16 : n형 질화물계 Ⅲ-V족 화합물 반도체층

[0089] 17 : 활성층

[0090] 18 : p형 질화물계 Ⅲ-V족 화합물 반도체층

[0091] 19 : p측 전극

[0092] 20 : 메사부

[0093] 21 : n측 전극

[0094] 63~65 : 발광 다이오드 칩

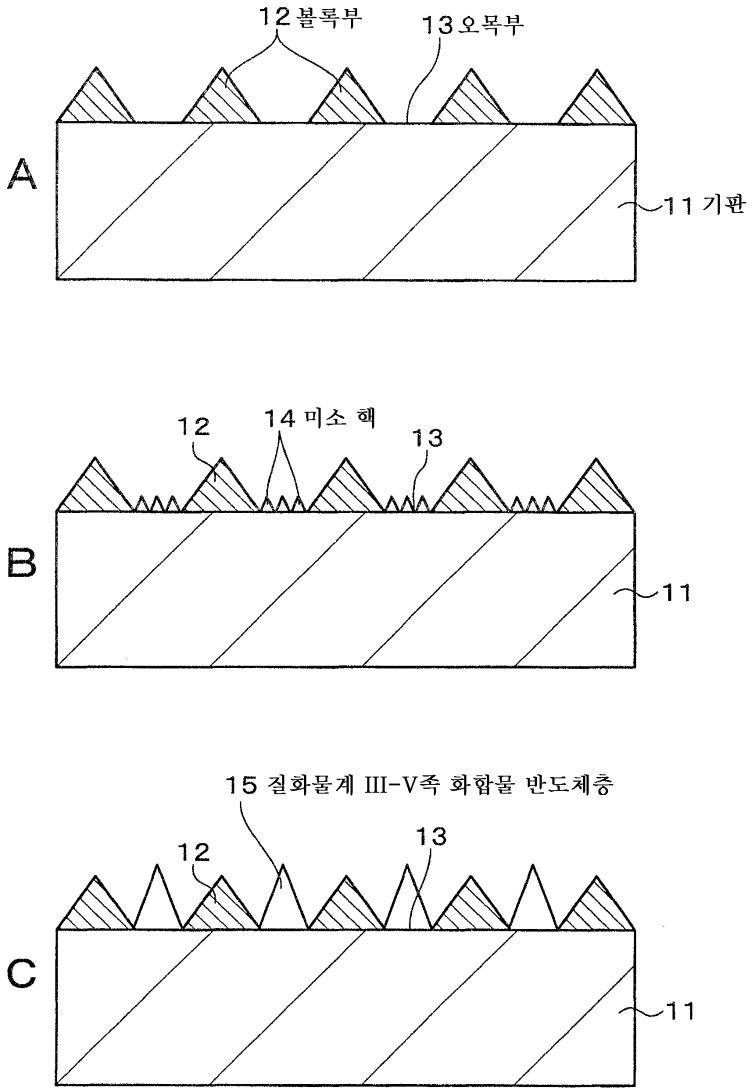
[0095] 68~71 : 투명 수지

[0096] 75 : 셀

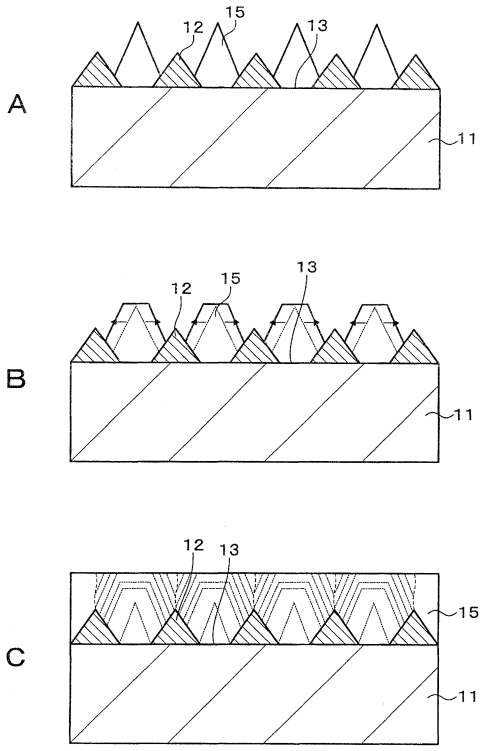
[0097] 76 : 프린트 배선 기판

도면

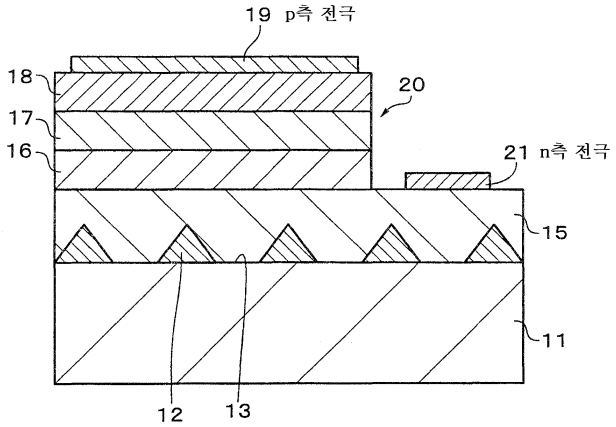
도면1


12 볼록부
13 오목부
A
11 기판
12
14 미소 핵
13
B
11
15 질화물계 III-V족 화합물 반도체층
12
13
C
11

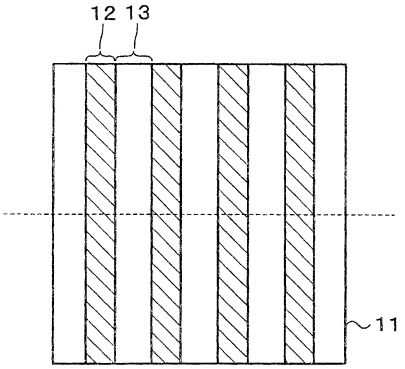
도면2


A
12
15
13
11
B
12
15
13
11
C
12
13
15
11

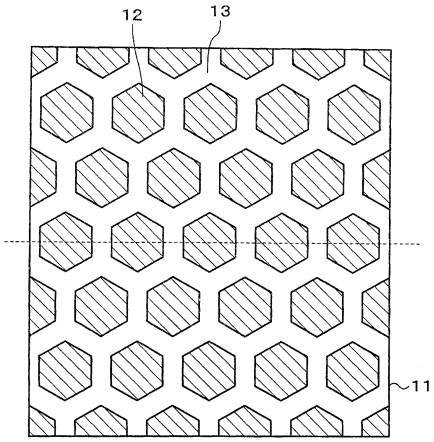
도면3


19 p측 전극
18
17
16
20
21 n측 전극
15
11
12
13

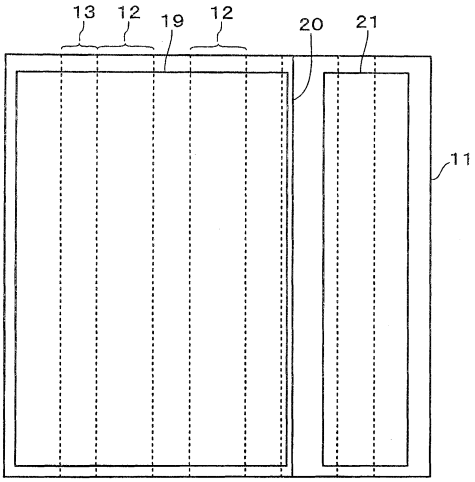
도면4



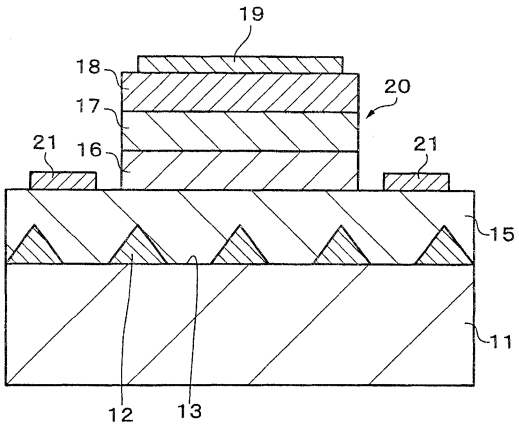
도면5



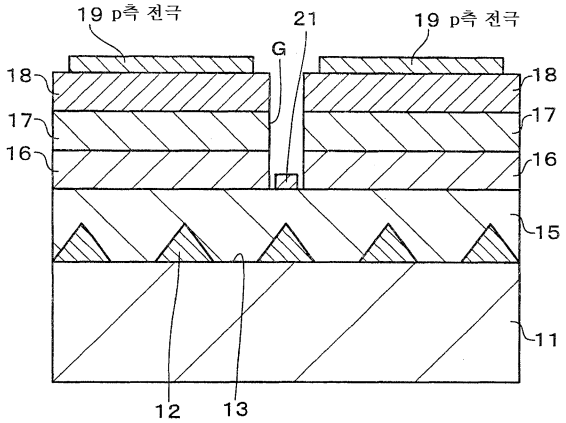
도면6



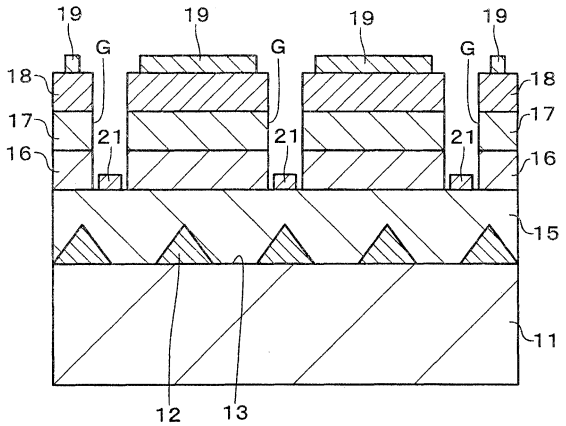
도면7


19
18
17
16
20
21
21
15
11
12
13

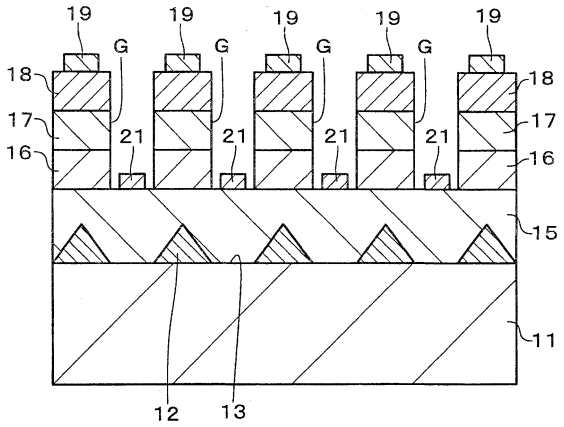
도면8


19 p측 전극
21
19 p측 전극
G
18
17
16
18
17
16
15
11
12
13

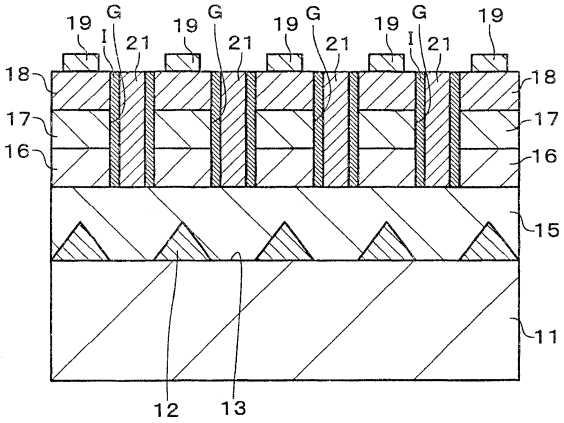
도면9


19
19
19
19
G
G
G
18
17
16
21
21
21
18
17
16
15
11
12
13

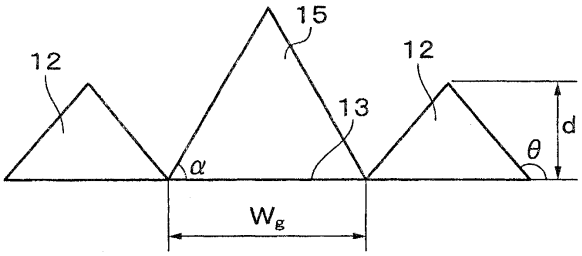
도면10



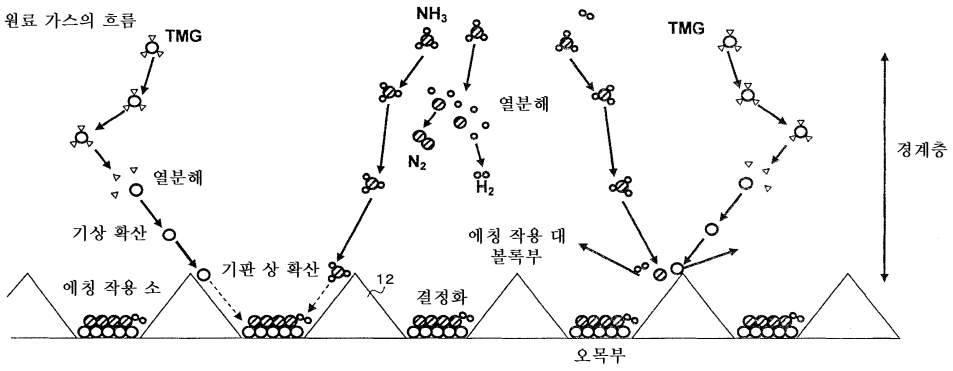
도면11



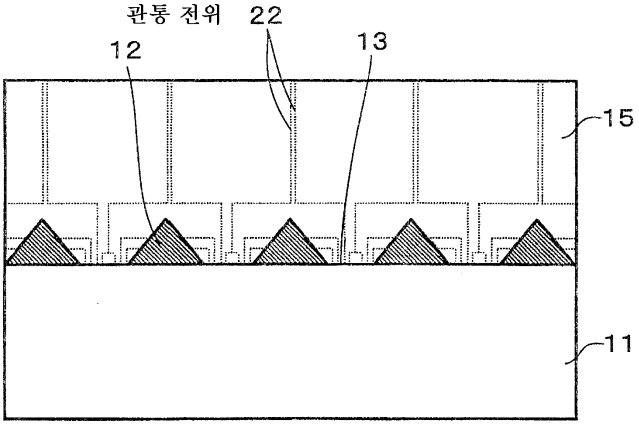
도면12



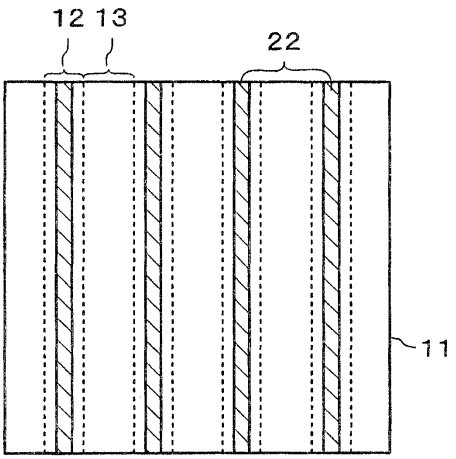
도면13



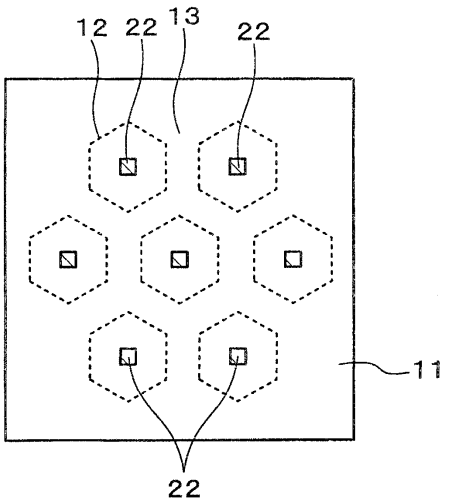
도면14



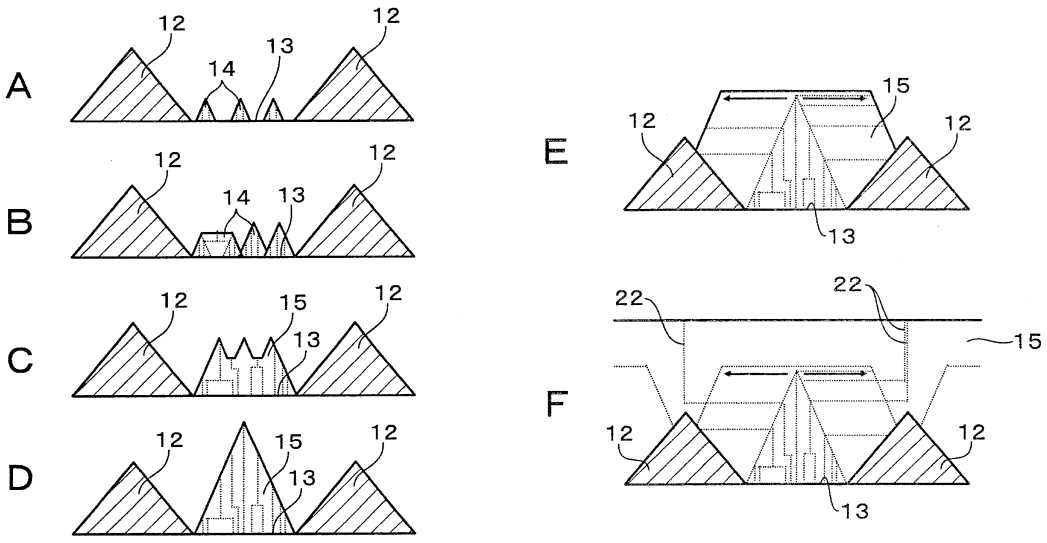
도면15



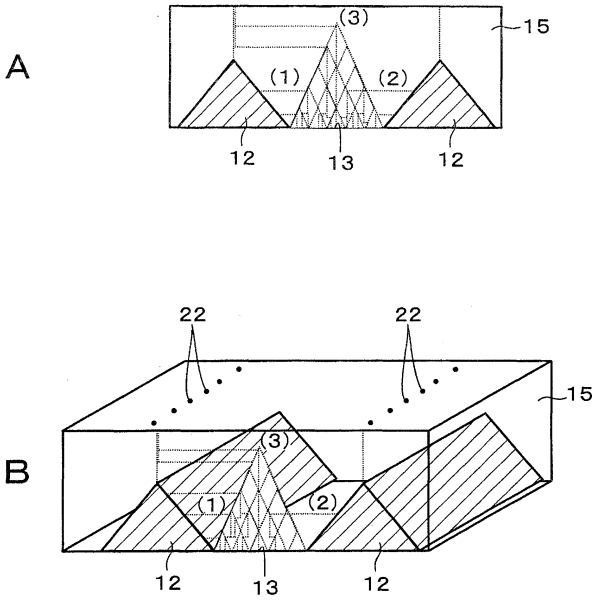
도면16


12
22
13
22
11
22

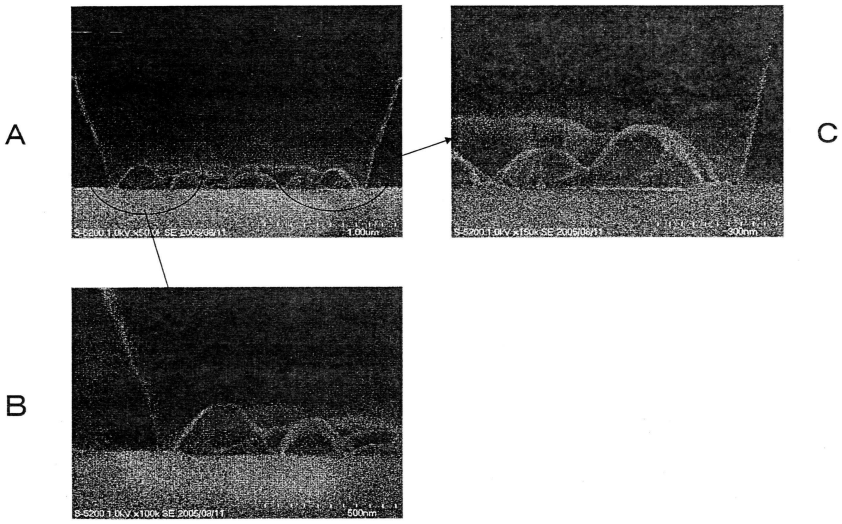
도면17


A
12
14
13
12
B
12
14
13
12
C
12
15
13
12
D
12
15
13
12
E
12
15
12
13
F
22
22
15
12
12
13

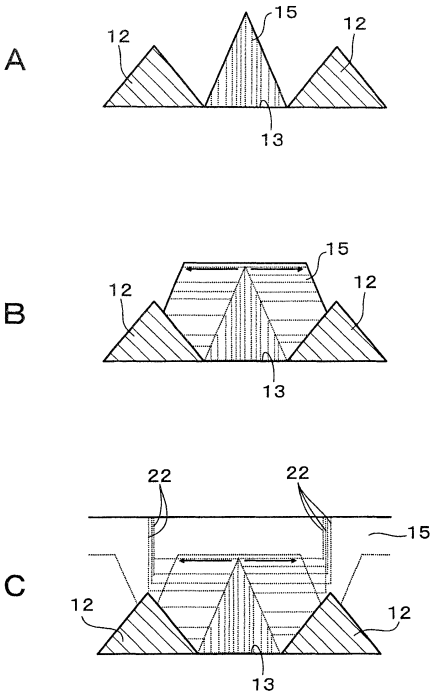
도면18



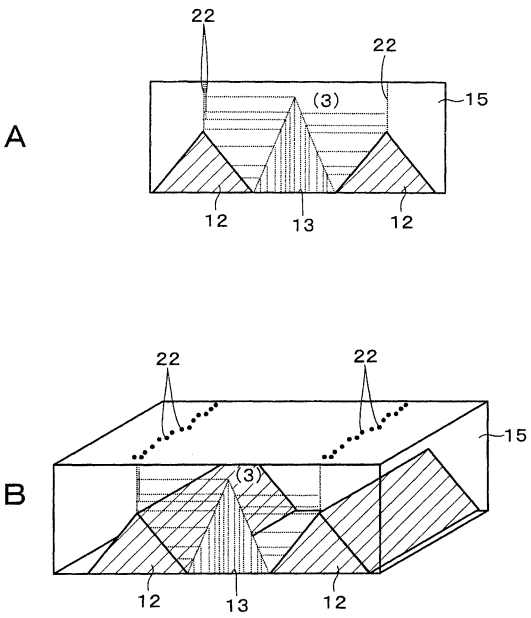
도면19



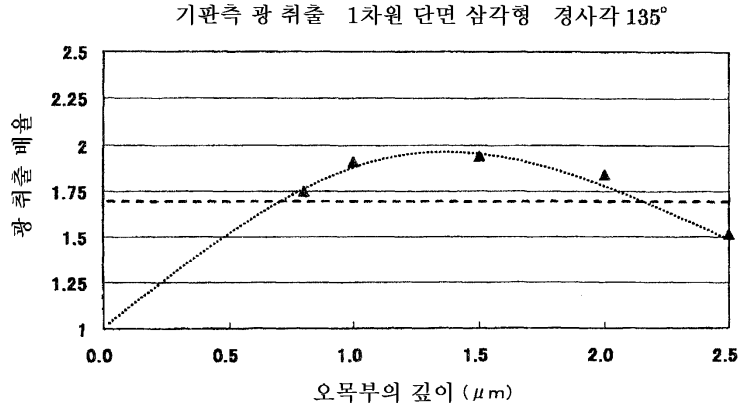
도면20


A
12
15
12
13
B
12
15
12
13
C
22
22
15
12
12
13

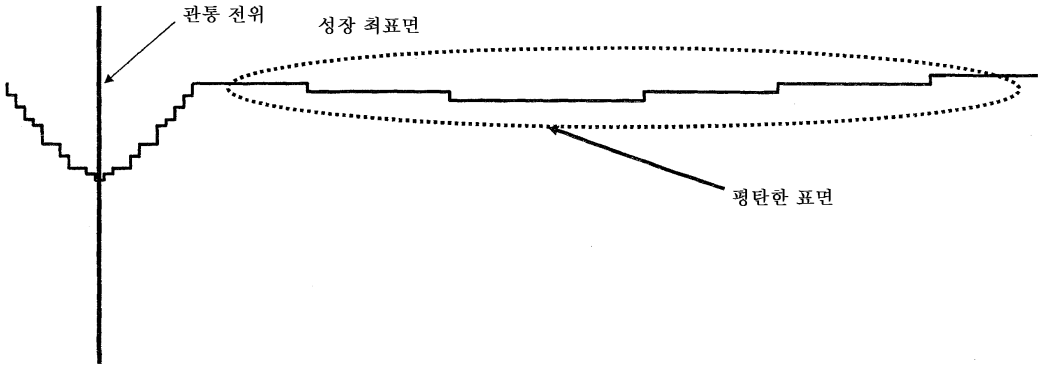
도면21


A
22
22
(3)
15
12
13
12
B
22
22
15
(3)
12
13
12

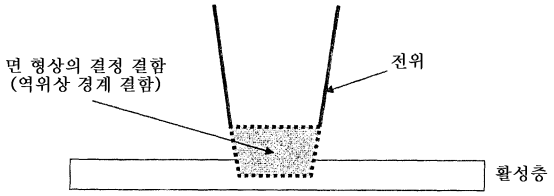
도면22



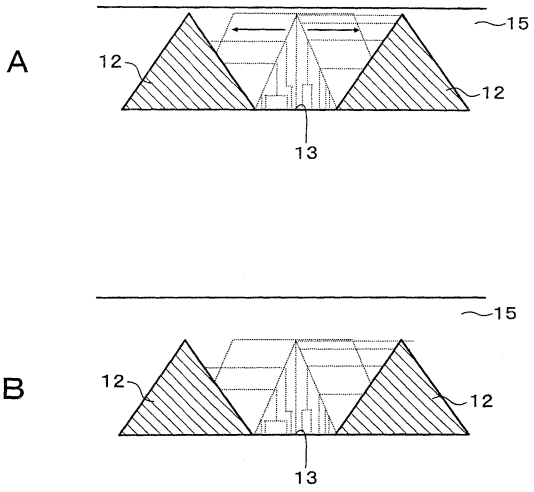
도면23



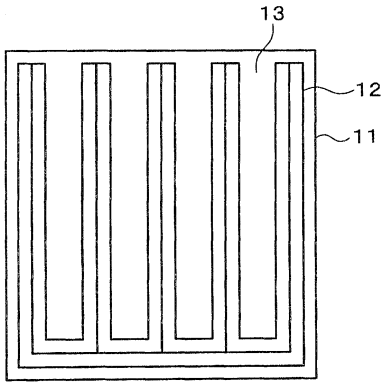
도면24



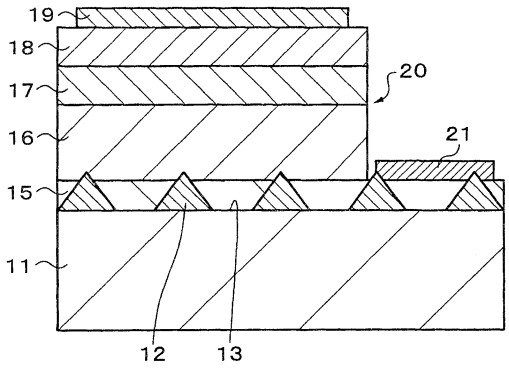
도면25



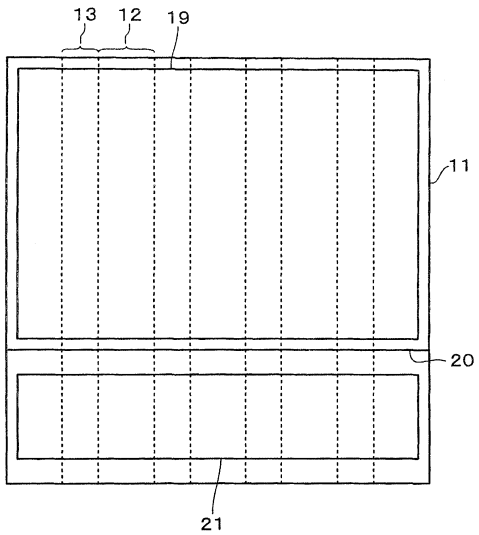
도면26



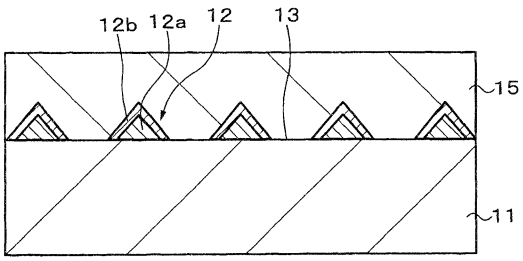
도면27



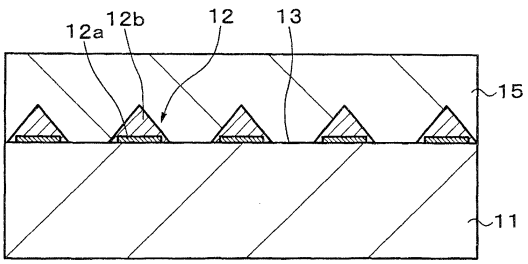
도면28



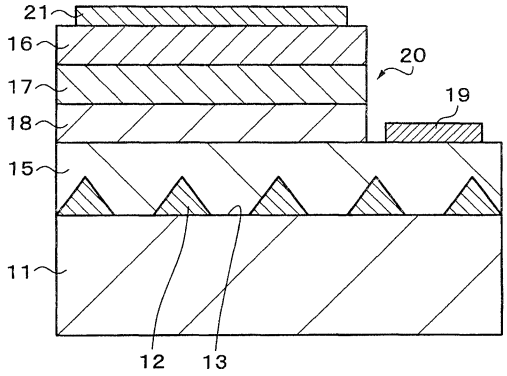
도면29



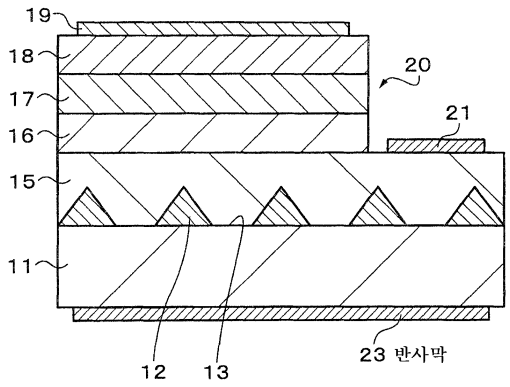
도면30



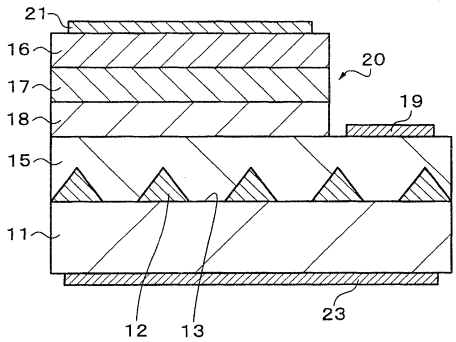
도면31



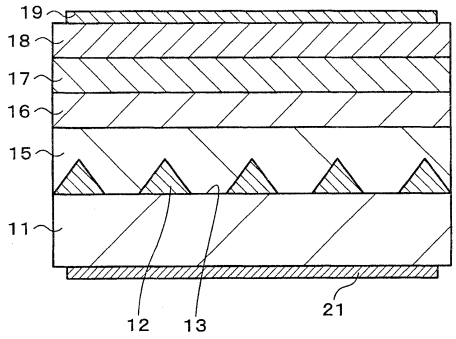
도면32



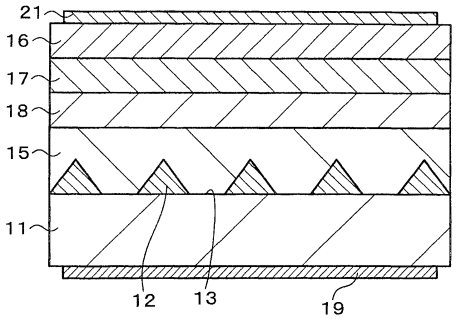
도면33



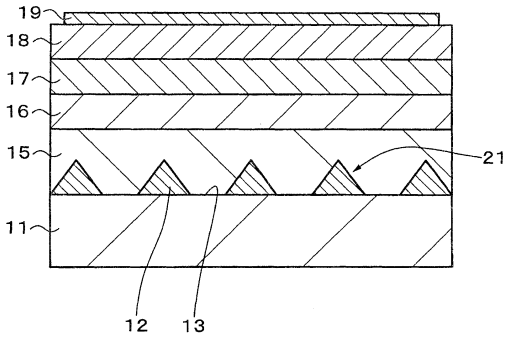
도면34



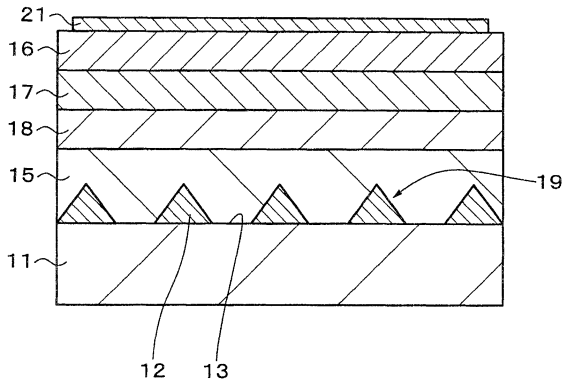
도면35



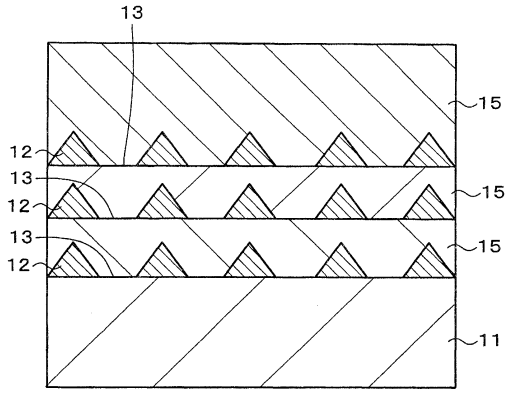
도면36



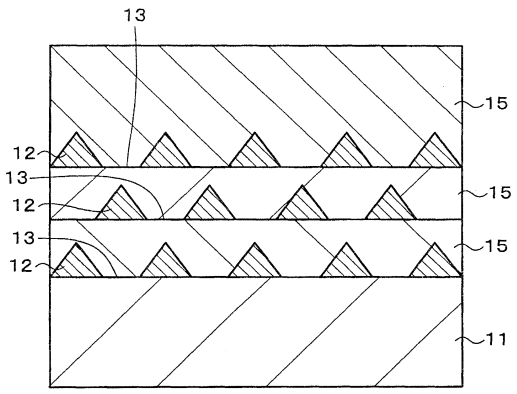
도면37



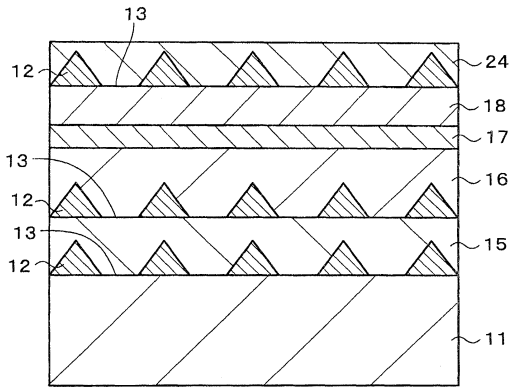
도면38



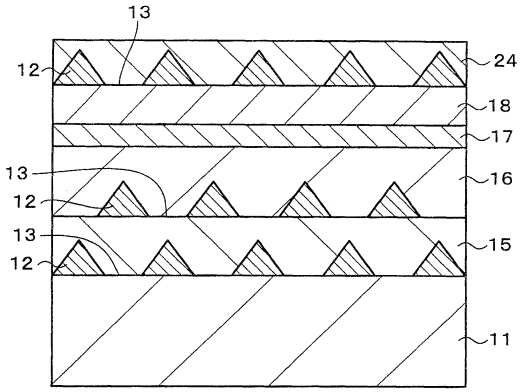
도면39



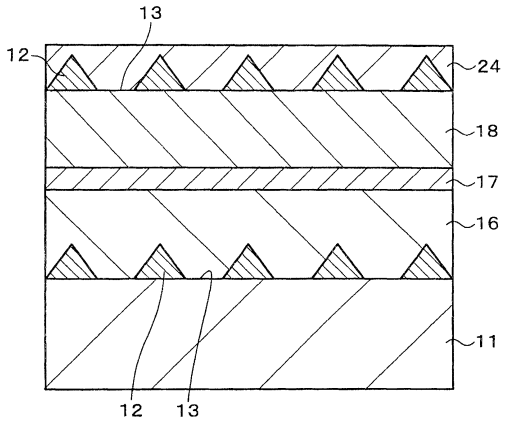
도면40



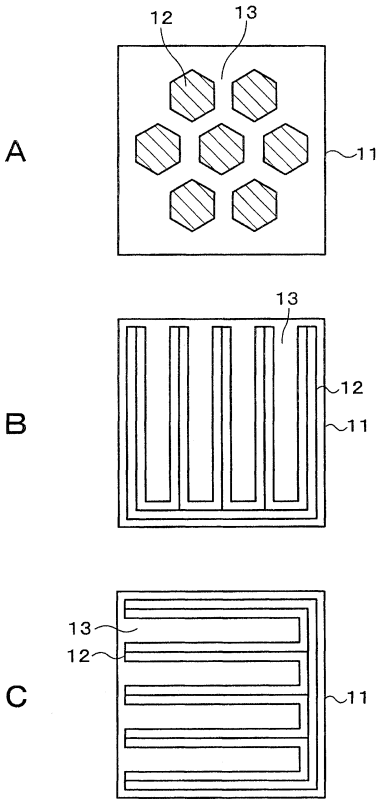
도면41



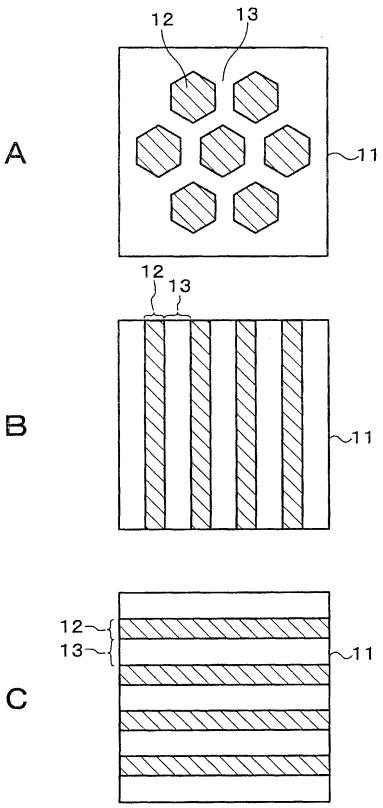
도면42



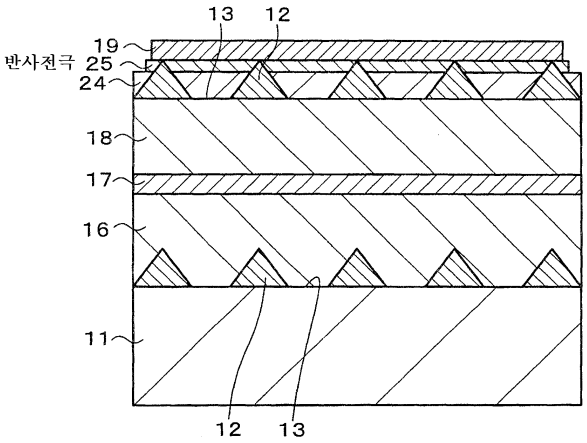
도면43



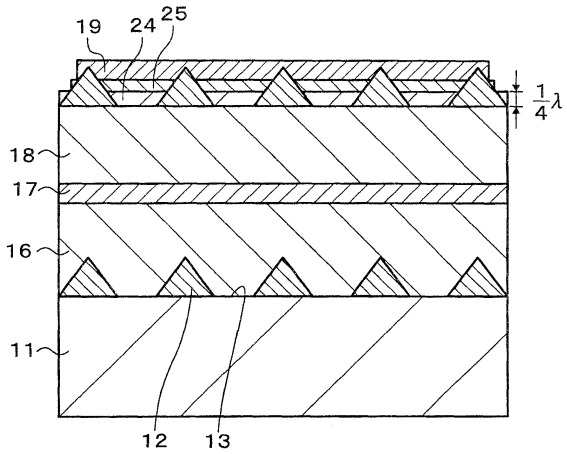
도면44



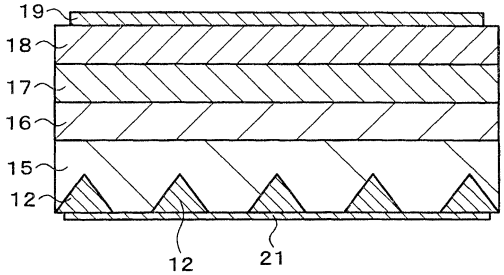
도면45



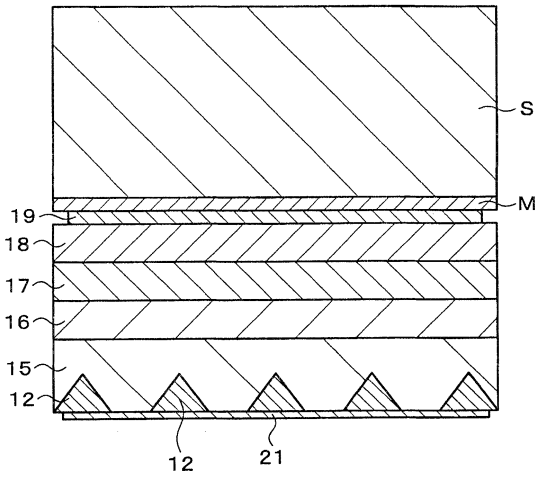
도면46



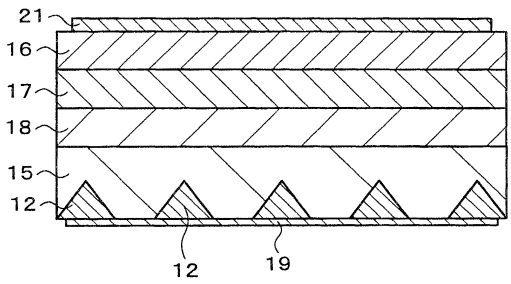
도면47



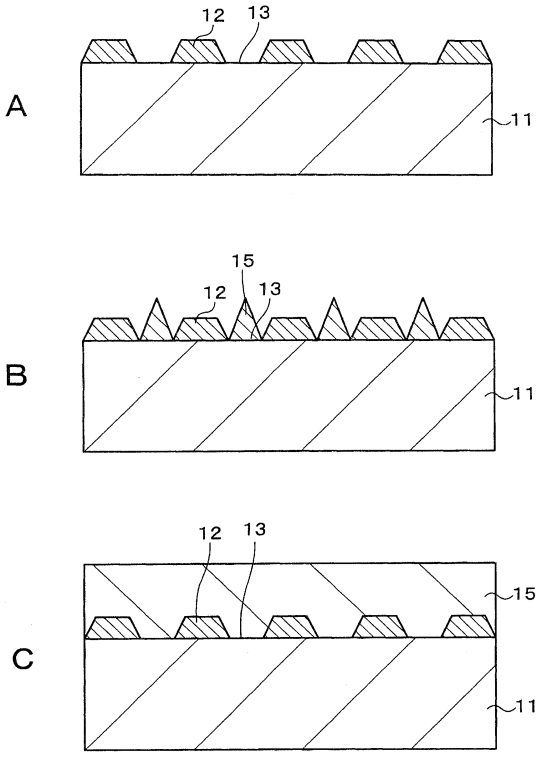
도면48



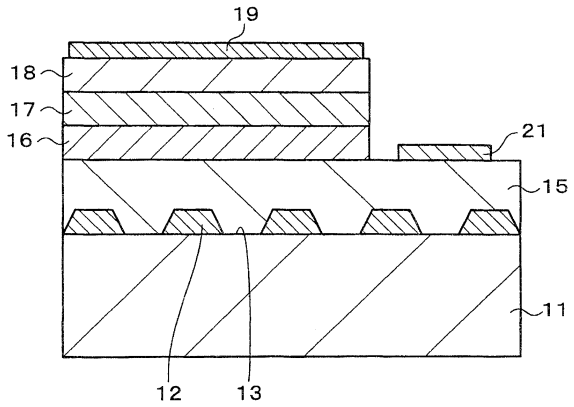
도면49



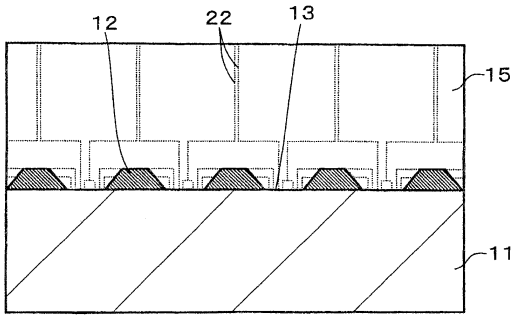
도면50



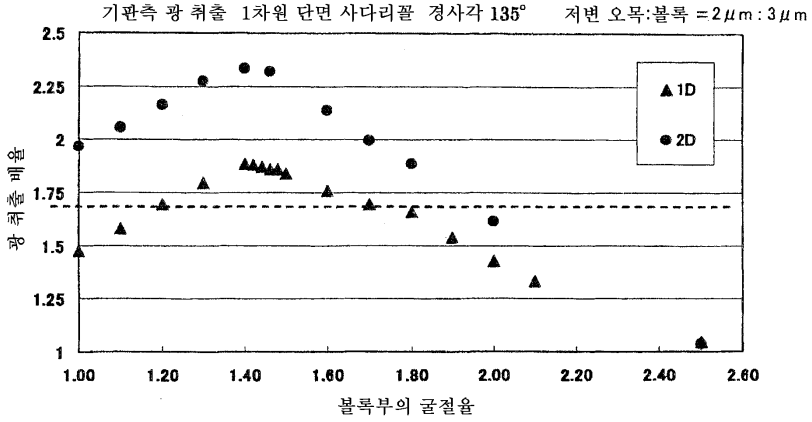
도면51



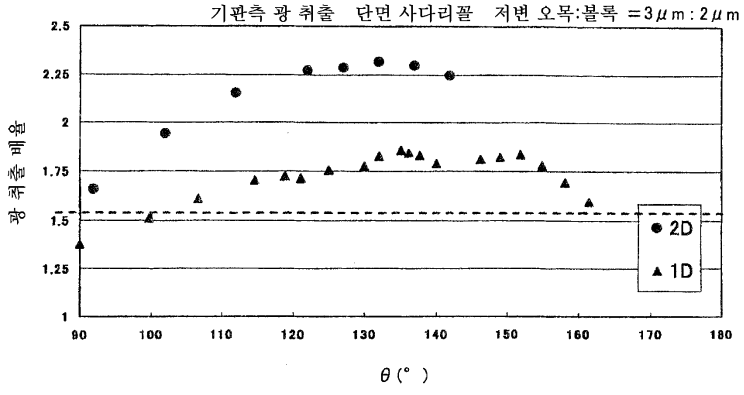
도면52



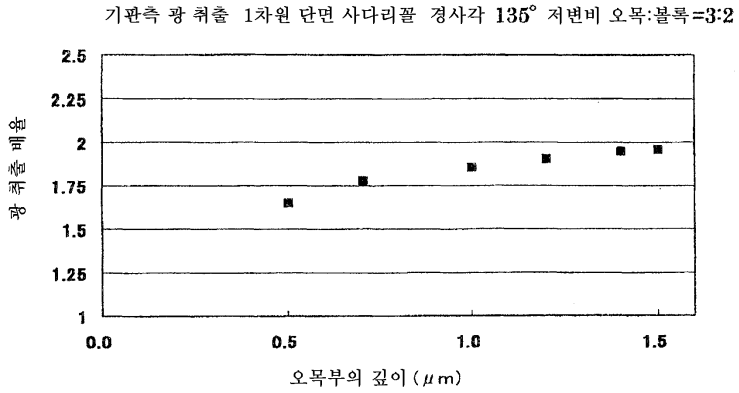
도면53



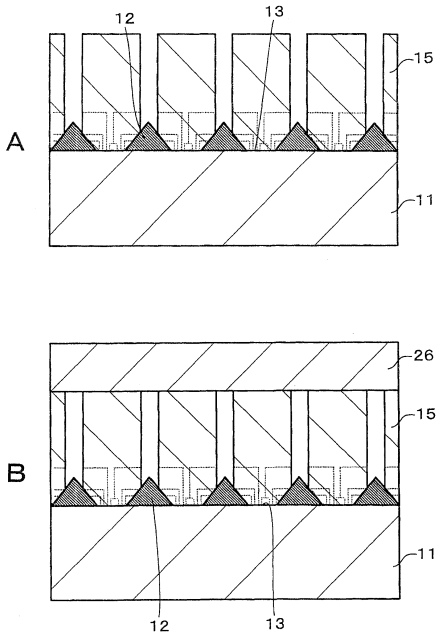
도면54



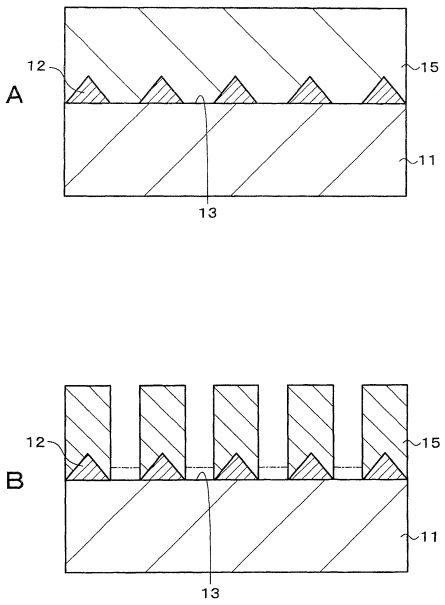
도면55


기판측 광 취출 1차원 단면 사다리꼴 경사각 135° 저변비 오목:볼록=3:2
광 취출 배율
2.5
2.25
2
1.75
1.5
1.25
1
0.0
0.5
1.0
1.5
오목부의 깊이 (μm)

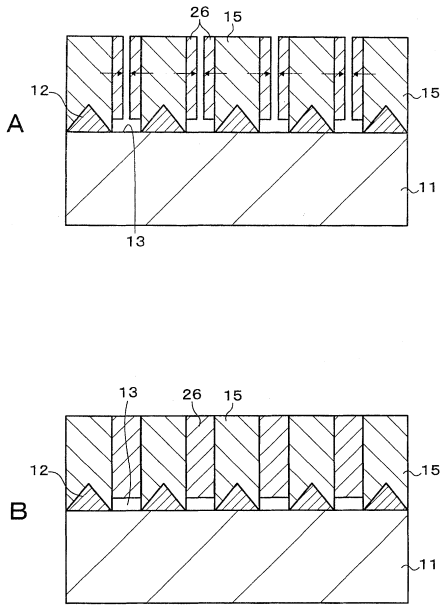
도면56


A
12
13
15
11
B
26
15
11
12
13

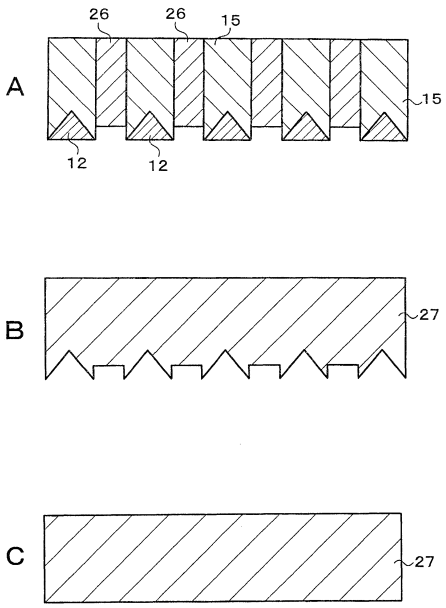
도면57



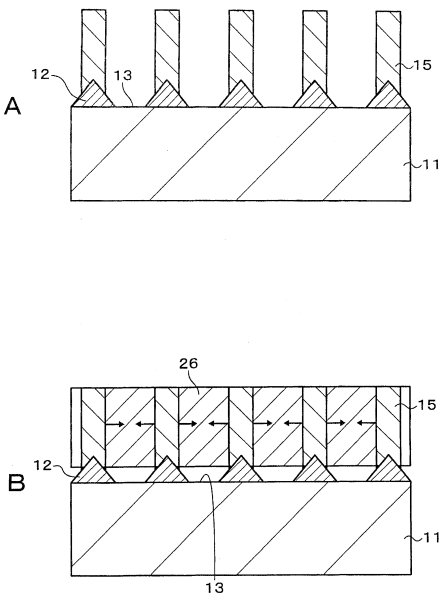
도면58



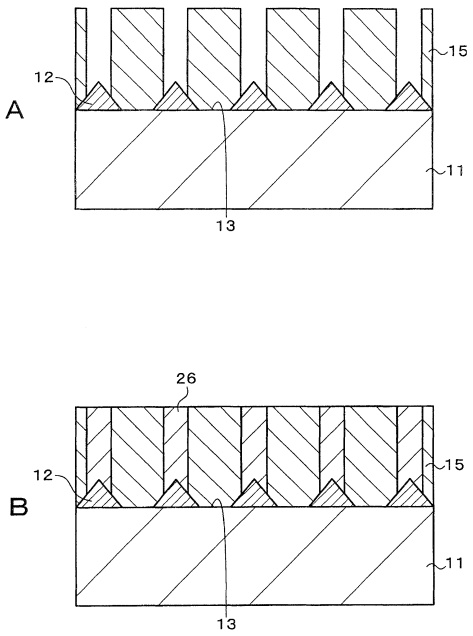
도면59



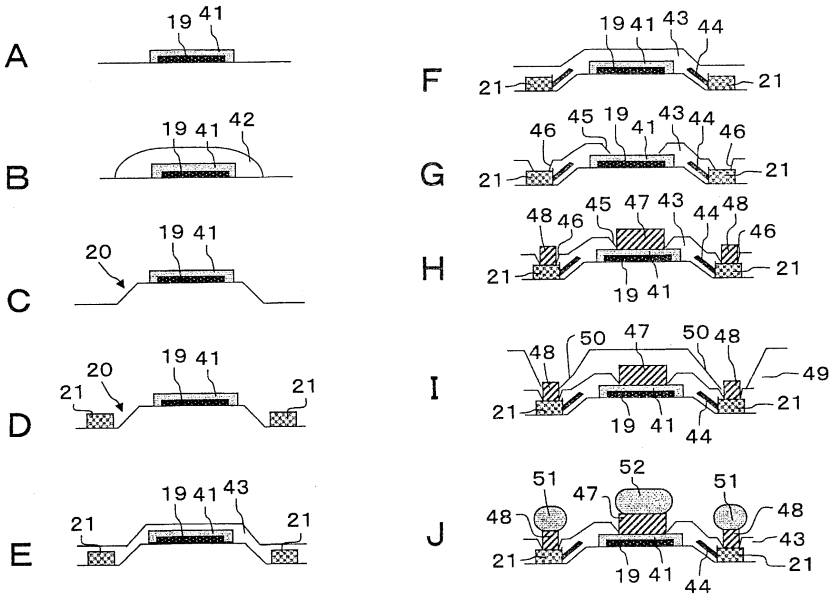
도면60



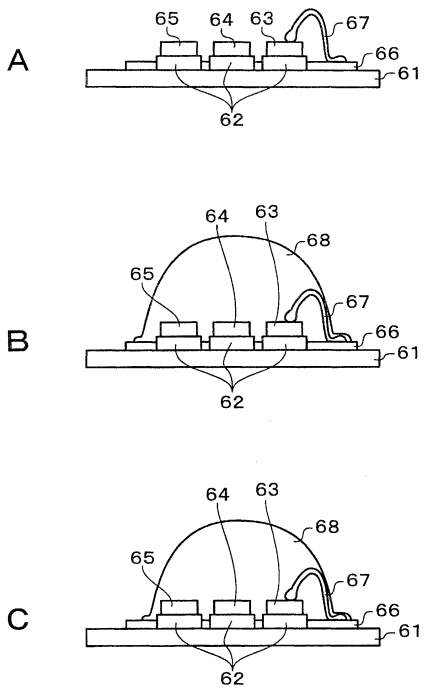
도면61


A
12
15
11
13
B
26
12
15
11
13

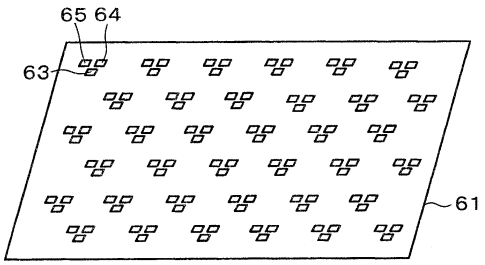
도면62


A
19 41
B
19 41 42
C
20
19 41
D
20
21
19 41
21
E
19 41 43
21
21
F
19 41 43 44
21
21
G
46
45 19 41 43 44
46
21
H
48 46
45 47 43
44 48
46
21
21
19 41
I
48
50
47
50 48
49
21
21
19 41
44
J
51
47
52
51
48
48
43
21
21
19 41
44

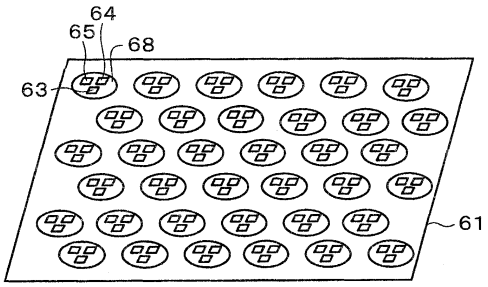
도면63



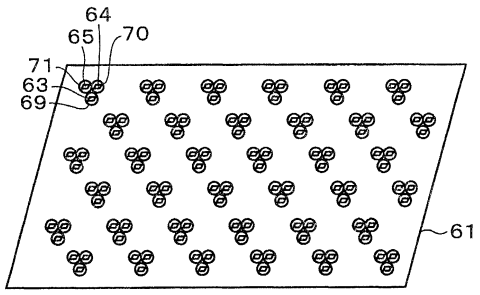
도면64



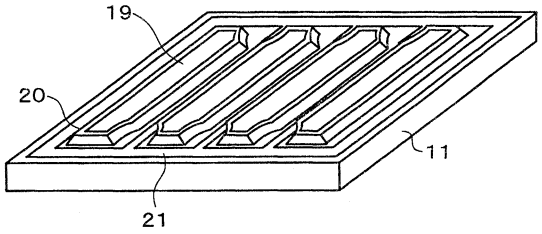
도면65



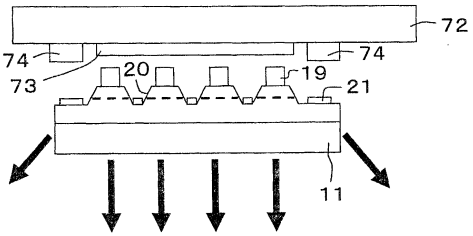
도면66



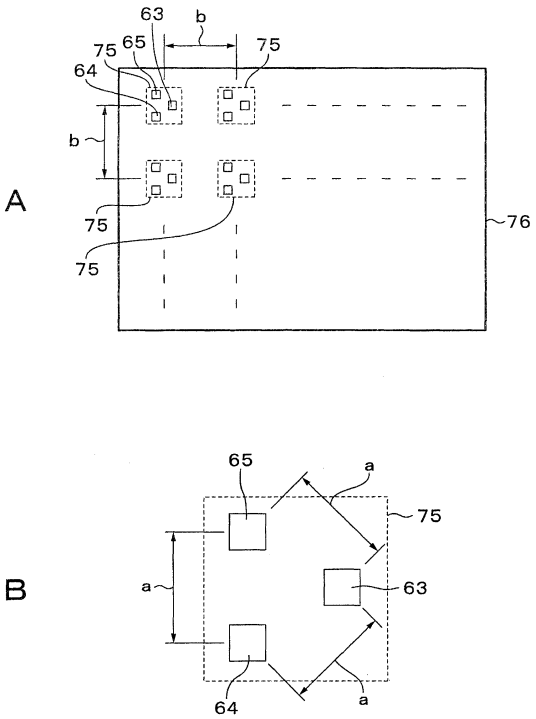
도면67



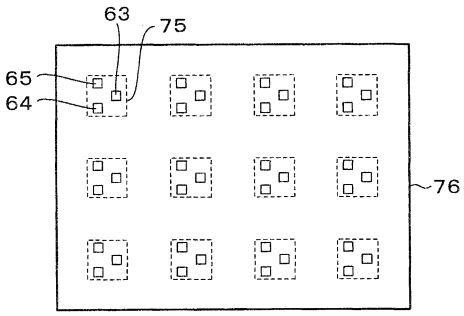
도면68



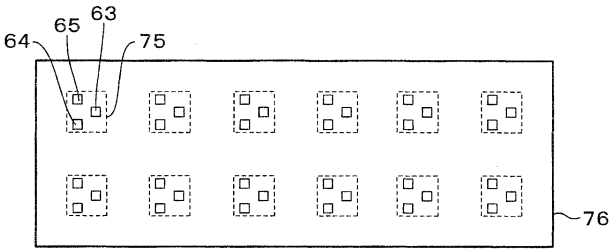
도면69



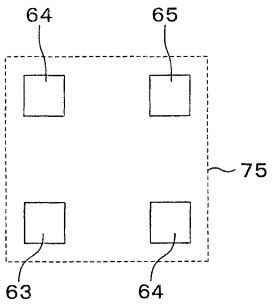
도면70



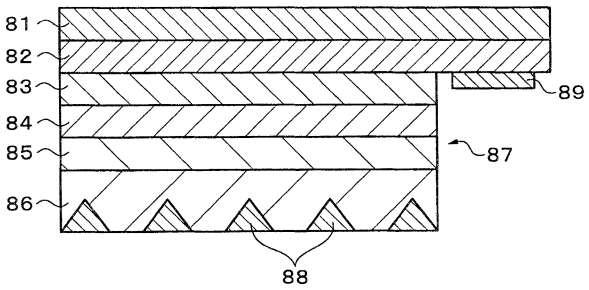
도면71



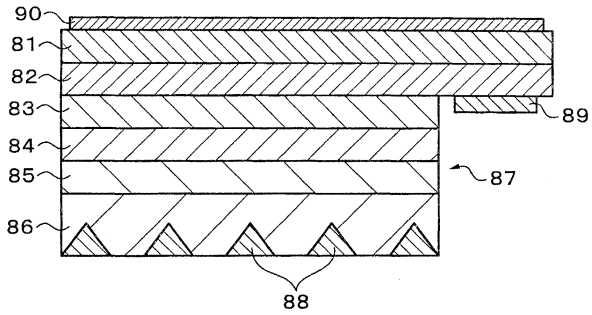
도면72



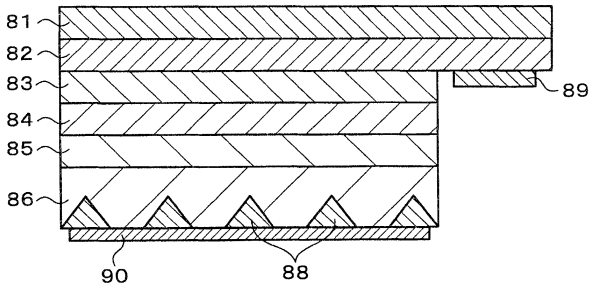
도면73



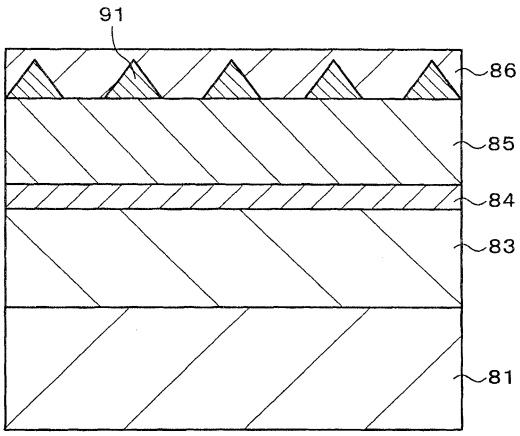
도면74



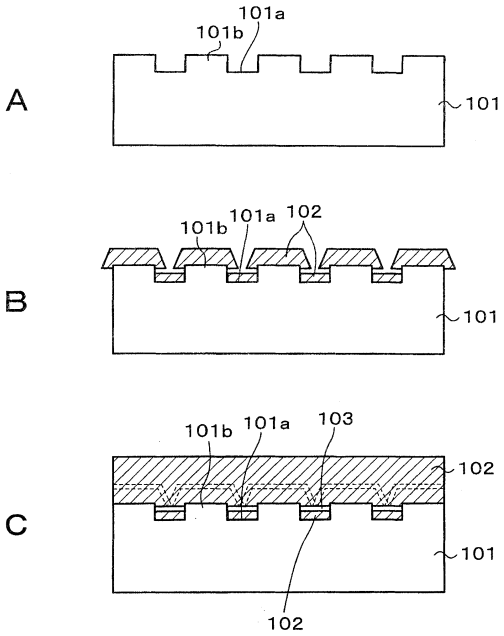
도면75



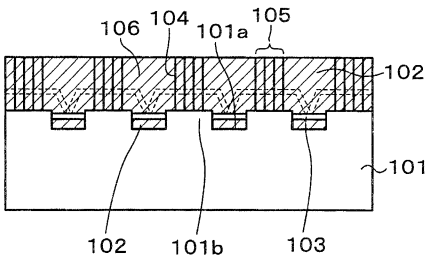
도면76



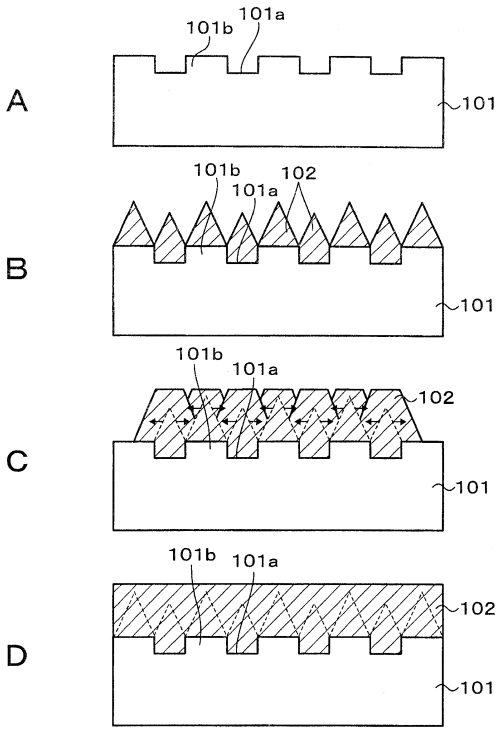
도면77



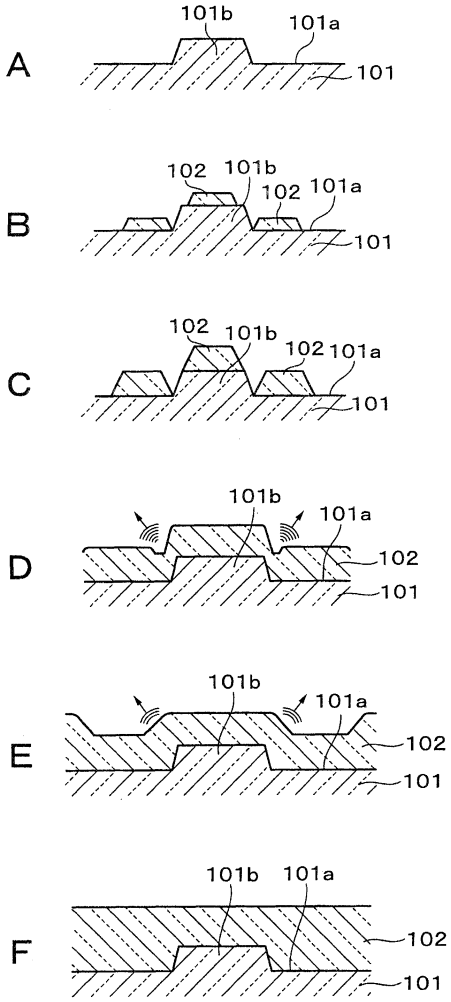
도면78



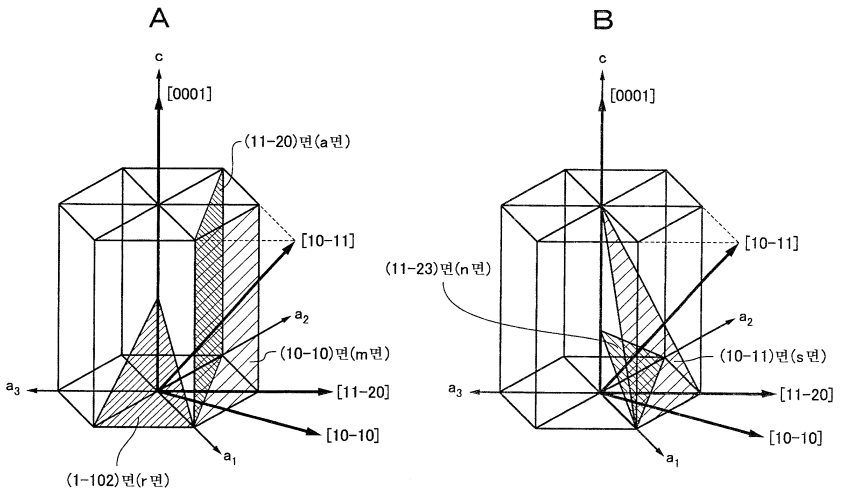
도면79


A
101b
101a
101
B
101b
101a
102
101
C
101b
101a
102
101
D
101b
101a
102
101

도면80


A
101b
101a
101
B
102
101b
102
101a
101
C
102
101b
102
101a
101
D
101b
101a
102
101
E
101b
101a
102
101
F
101b
101a
102
101

도면81


A
c
[0001]
(11-20)면(a면)
[10-11]
a2
(10-10)면(m면)
a3
[11-20]
[10-10]
a1
(1-102)면(r면)
B
c
[0001]
[10-11]
(11-23)면(n면)
a2
(10-11)면(s면)
a3
[11-20]
[10-10]
a1