

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 1 日 (01.05.2014)



(10) 国际公布号
WO 2014/063387 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
- (21) 国际申请号: PCT/CN2012/084108
- (22) 国际申请日: 2012 年 11 月 6 日 (06.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210404871.0 2012 年 10 月 22 日 (22.10.2012) CN
- (71) 申请人 (对除美国外的所有指定国): **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)**
[CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人; 及
- (71) 申请人 (仅对美国): **陈胤宏 (CHEN, Yinhung)**
[CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。**田夏 (TIAN, Xia)**
[CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。**贾沛 (JIA, Pei)**

[CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE)**; 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: LIQUID CRYSTAL PANEL DRIVING CIRCUIT

(54) 发明名称: 液晶面板驱动电路

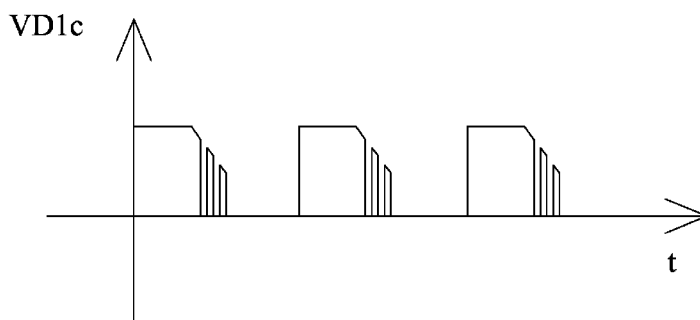


图11/Fig.11

(57) Abstract: A liquid crystal panel driving circuit, comprising a gate electrode driver (10), a source electrode driver (20), multiple gate lines (G(M)), and multiple data lines (S(N)). The multiple gate lines (G(M)) and the multiple data lines (S(N)) define multiple pixel units. Each pixel unit comprises a thin-film transistor (T), a common electrode (40), a pixel electrode (30), and a storage capacitor (Cs). The thin-film transistor (T) is electrically connected respectively to the gate electrode driver (10) and to the source electrode driver (20) via the gate lines (G(M)) and the data lines (S(N)). The gate electrode driver (10) comprises a driving synthesizer circuit. The driver synthesizer circuit comprises a first electric switch (SW1), an amplifier (Q), a first driving source (Vdd), a second driving source (Stc), a first resistor (R1), a third driving source (Vdd1), a second resistor (R2), a third resistor (R3), a second electric switch (SW2), and a fourth driving source (Vmc). The liquid crystal panel driving circuit reduces a delay impact of a parasitic capacitance (C_{gd}) on the conduction time of the thin-film transistor (T), and increases the display quality of large-sized liquid crystal display devices.

(57) 摘要:

[见续页]



WO 2014/063387 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, 本国际公布:

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, — 包括国际检索报告(条约第 21 条(3))。
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

一种液晶面板驱动电路，包括栅极驱动器（10）、源极驱动器（20）、多条选通线（G（M））及多条数据线（S（N））。该多条选通线（G（M））和数据线（S（N））界定多个像素单元。每一像素单元包括薄膜晶体管（T）、公共电极（40）、像素电极（30）及存储电容（Cs）。薄膜晶体管（T）通过选通线（G（M））及数据线（S（N））分别与栅极驱动器（10）及源极驱动器（20）电性连接。栅极驱动器（10）包括驱动合成电路，驱动合成电路包括第一电开关（SW1）、放大器（Q）、第一驱动源（Vdd）、第二驱动源（Stc）、第一电阻（R1）、第三驱动源（Vddl）、第二电阻（R2）、第三电阻（R3）、第二电开关（SW2）及第四驱动源（Vmc）。该液晶面驱动电路能够减小寄生电容（C_{gd}）对薄膜晶体管（T）导通时间的延时影响，提高大尺寸液晶显示器显示质量。

液晶面板驱动电路

技术领域

5 本发明涉及一种液晶显示器领域，尤其涉及一种液晶显示器件的液晶面板驱动电路。

背景技术

随着科学技术的发展以及人们生活质量的提高，液晶显示器件在生活中已经随处可见，并且人们对液晶显示器件的要求越来越高，开始追求大的显示画面、快的响应速度。但是随着液晶显示器件的增大布线的复杂度提高，而且随着 TFT (Thin Film Transistor、薄膜场效应晶体管) 基板驱动像素电极数量的增加线路延时以及因为薄膜晶体管寄生电容的存在所带来的反馈电压对每个像素电极的影响使得精确控制像素电极的难度也跟着增加。

15 图 1 为 VA 型液晶显示器件结构图，图中液晶分子 100 在驱动电路 500 没有施加驱动电压的情况下垂直排列于两基板 300 及 400 之间，当施加驱动电压时，处于像素电极 200 附近的液晶分子 100 偏转 $0-90^\circ$ 。

图 2 为基本的 TFT 阵列基板的驱动电路结构示意图，图中在整个 TFT 基板上分布着像素电极 200，每一个像素电极 200 至少与一个薄膜晶体管的漏极 d 相连，每个薄膜晶体管的源极 s 至少连接一条数据线路，数条数据线路共同构成了数据总线结构；每一个薄膜晶体管的栅极 g 至少连接一条选通线路，数条选通线路共同构成了选通总线结构；数据总线和选通总线通过薄膜晶体管共同控制这些像素电极的数据写入，如图 2 所示的 TFT 基板上的第 i 列第 j 行的像素电极 $P(i,j)$ 共同受到选通线路 $G(j)$ 和数据线路 $S(i)$ 的控制，当对该像素电极 $P(i,j)$ 进行写操作时，选通线路 $G(j)$ 处于高电平控制，保证薄膜晶体管 $T(i,j)$ 处于导通状态，此时通过数据线路 $S(i)$ 上所加的驱动电压的大小使与像素电极 $P(i,j)$ 附近的液晶分子按照预定的偏转方向偏转，从而实现图像的显示。这样的写操作是按行进行的，当选通线路 $G(j)$ 处于高电平时将对第 j 行的所有像素电极进行写操作。

30 图 3 所示是每一个像素电极的等效驱动线路连接示意图，其中第 i 条数据线路 $S(i)$ 与第 i 列第 j 行薄膜晶体管 $T(i, j)$ 的源极 s 相连，第 j 条选通线路 $G(j)$ 与第 i 列第 j 行薄膜晶体管 $T(i, j)$ 的栅极 g 相连，第 i 列第 j 行薄膜晶体管 $T(i, j)$ 的漏极 d 与第 i 列第 j 行像素电极 $P(i, j)$ 相连。电容 C_{gd} 是

栅极 g 和漏极 d 之间的寄生电容, 该寄生电容 C_{gd} 是在 TFT 三极管中固有的, C_{lc} 是处在 TFT 基板和 CF 基板之间的液晶层的等效电容, C_s 是处在 TFT 基板和 V_{com} 之间的一个补偿电容, 该电容的存在是为了通过放电保证 C_{lc} 上电压降低时的补偿, 以适当增大 C_{lc} 区域中的液晶分子偏转方向的保持时间。然而随着矩阵分布的 TFT 像素电极的行和列数量的增加, 增长的选通线路和数据线路的会带来驱动线路的延时; 另一方面如图 4 所示薄膜晶体管中的栅极 g 和漏极 d 之间寄生电容 C_{gd} 的存在将直接影响栅极电压 V_g 对 TFT 的导通和截止的控制, 特别是在离选通总线线路较远的末端的像素电极 $P(n, j)$ 附近, 由于选通信号在之前所经过的 $n-1$ 个薄膜晶体管的寄生电容 C_{gd} 带来的放电电压的影响以及线路延时影响, 此处不但响应时间较长, 同时也存在选通电压由高变低时因放电带来的衰减使得薄膜晶体管 $T(n, j)$ 导通时间 T_j 延长 ΔT_j , 也就是说本来应该已经截止的薄膜晶体管异常导通, 这样会带来在薄膜晶体管漏极 d 相连的像素电极 $P(n, j)$ 的驱动时间延长 ΔT_{dx} , 导致该像素电极附近的液晶分子偏转异常带来的透射率差异和对比度异常。

在美国专利 US7304626 中, 针对寄生电容造成的 TFT 栅极电压延时带来的显示的异常提出了:

1、采用电阻可变元件或者受电压控制的电阻可变元件电阻的变化, 补偿寄生电容的在选通线路电压下降时的放电电压的影响。

如图 5 所示的选通信号发生电路中 SC 为电阻可变元件或者受电压控制的电阻可变元件, 驱动电压采用高电平产生电路 $VD1_x$ 产生的高电平 $VD1$ 与低电平产生电路 $VD2_x$ 产生的低电平 $VD2$ 通过受控开关 $3b$ 的导通与闭合形成选通线路的驱动电压。当 $3b$ 处于与 $VD1$ 高电平导通时对寄生电容 C_{gd} 和 C_{lc} 充电, 驱动像素电极; 当 $3b$ 处于与 $VD2$ 低电平导通时, 利用 SC 元件的电阻的变化通过改变的电阻上边的压降抵消寄生电容的放电电压, 减少选通线路电压的延时, 提高图像显示质量。

2、采用图 6A 所示的 $VD1a$ 信号发生电路结构在图 5 结构的基础上作为 $VD1$ 高电平的发生电路, 同时去掉图 5 中电阻可变元件或者受电压控制的电阻可变元件 SC, 补偿寄生电容在选通线路电压下降时的放电电压的影响。

利用图 6A 所示的电路结构图生成如图 6B 中所示的 $VD1a$ 在高电平, 该高电平一个周期结束时形成具有一个一定下降率的下降沿的波形, 在该 $VD1a$ 一个周期结束时刻同时保证控制开关 $3b$ 处于与低电平 $VD2$ 产生电路连接。该高电平 $VD1a$ 的一个周期和 $VD2$ 一个低电平周期共同构成选通

线路上的选通信号 VG 的一个周期。

其中 Stc 是一个与 GCK 相似波形的电压，也可以是 GCK/GSP 变换得到的基本电压，它主要是用一个反相放大器来控制 SW2 开关的导通与截止的。

5 当 Stc 是高电平时，SW1 导通，而 SW2 处是低电平，此时 SW2 截止，通过的电压是 Vdd，同时 Vdd 给 Ccnt 电容充电，VD1a 稳定后的电压是 Vdd；当 Stc 是低电平时，SW1 截止，而 SW2 处于高电平，此时 SW2 导通，此时 VD1a 的电压是在 Stc 的基础上经过 Rcnt 分压得到的。已经充电的 Ccnt 此时将会放电，使 VD1a 有一个不变的下降率，具体波形如图
10 6B，进而得到选通线路施加到薄膜晶体管栅极上的驱动电压的波形为 VG (j) 所示的波形。

3、采用图 7A 所示的 VD1b 信号发生电路结构在图 5 结构的基础上作为 VD1 高电平的发生电路，同时去掉图 5 中电阻可变元件或者受电压控制的电阻可变元件 SC，补偿寄生电容在选通线路电压下降时的放电电压
15 的影响。

利用图 7A 所示的电路结构图生成如图 7B 中所示的 VD1b 在高电平，该高电平一个周期结束时形成具有一个一定下降率的下降沿的波形，在该 VD1b 一个周期结束时刻同时保证控制开关 3b 处于与低电平 VD2 产生电路连接。同样的在该高电平 VD1b 的一个周期和 VD2 一个低电平周期共同
20 构成选通线路上的选通信号 VG 的一个周期。

图 7A 虚线框中是一个直流的充放电震荡电路，虚线框外是一个运算放大器。其中 Stc 仍然是一个与 GCK 相似波形的电压，也可以是 GCK/GSP 变换得到的基本电压，Vct 是放大器负极的电压，Rct 与 Cct 依然是充放电单元。Cct 充电饱和时的电压正是直流电流 Ict 经过 Rct 所形成的电压 Vct。
25

当 Stc 是高电平的时候，SW3 打开，此时的输出电压 VD1b 是与 Vdd 同向的，并受 Vdd 大小成比例的一个电压，其电压是一个高电平，并足以让 TFT 导通。

当 Stc 是低电平时，SW3 闭合，此时在放大器的负极的输入端将会
30 Cct 的放电形成的正的电压升，该接在放大器负极的正的电压升经过放大器后形成放大的负的电压降。该负的电压降与 SW3 打开时的高电平共同形成的 VD1b 同样作为图 5 中的 VD1 的高电平。

上述方案尽管可以减小寄生电容放电电压对选通电压带来的延时的影响，但是在远离选通总线 G 的像素电极 T(n, j)处的等效寄生电容 C_n 为所

述前 $n-1$ 个寄生电容的并联，这样会带来寄生电容在与像素电极 $T(i, j)$ 处不同的放电电压，也就是说在整个一条选通线路上连接的所有的薄膜晶体管，在选通电压由高电平变为低电平的时刻，薄膜晶体管的栅极寄生电容的放电产生的负电压是变化的。利用上述驱动电路方案不能很好地解决薄膜晶体管导通时间延长的问题。

发明内容

本发明的目的在于提供一种液晶面驱动电路，能够减小寄生电容对薄膜晶体管导通时间的延时影响，提高应用该电路的大尺寸液晶显示器显示质量。

为实现上述目的，本发明提供一种液晶面板驱动电路，包括：栅极驱动器、源极驱动器、多条选通线及多条数据线，该多条选通线和数据线界定多个像素单元，每一像素单元包括一薄膜晶体管、一公共电极、一与薄膜晶体管电性连接的像素电极及一存储电容，所述薄膜晶体管通过选通线及数据线分别与栅极驱动器及源极驱动器电性连接，所述公共电极与像素电极形成一液晶电容，所述存储电容与该液晶电容并联连接，所述栅极驱动器包括一驱动合成电路，所述驱动合成电路包括：第一电开关、与第一电开关电性连接的放大器、与第一电开关电性连接的放大器第一驱动源、与第一电开关电性连接的放大器第二驱动源、电性接于放大器两接口上的第一电阻、与放大器电性连接的第三驱动源、与第一电开关电性连接的第二电阻、电性连接于第二电阻与放大器之间的第二电开关、与放大器电性连接的第三电阻及与第二电开关电性连接的第四驱动源。

所述薄膜晶体管包括：一栅极、一源极及一漏极，所述栅极通过选通线电性连接至栅极驱动器，所述源极通过数据线电性连接至源极驱动器，所述漏极与像素电极电性连接。

所述第一电开关包括：第一、第二及第三引脚，所述第一引脚电性连接至第一驱动源，所述第二引脚电性连接至第二驱动源及放大器，所述第三引脚电性连接至第二电阻一端。

所述第二电开关包括：第四、第五及第六引脚，所述第四引脚电性连接至第二电阻的另一端，所述第五引脚电性连接至第四驱动源，所述第六引脚电性连接至放大器及第一电阻的一端。

所述放大器包括：第七、第八及第九引脚，所述第七引脚电性连接至第二驱动源及第一电开关的第二引脚，所述第八引脚电性连接至第三驱动源及第一电阻的另一端，所述第九引脚电性连接至第二电开关的第六引

脚、第一电阻的一端及第三电阻。

所述薄膜晶体管的栅极与第二电阻与第一电开关连接端电性连接。

所述第一电开关在第二引脚被高电平控制时导通，被低电平控制时断开；所述第二电开关在第五引脚被高电平控制时导通，被低电平控制时断开。

所述第一驱动源为一方形波，所述第二驱动源为一与第一驱动源具有相同相位及周期的方形波，所述第三驱动源为一三角形波，所述第四驱动源为一高频率的方形波。

本发明还提供一种液晶面板驱动电路，包括：栅极驱动器、源极驱动器、多条选通线及多条数据线，该多条选通线和数据线界定多个像素单元，每一像素单元包括一薄膜晶体管、一公共电极、一与薄膜晶体管电性连接的像素电极及一存储电容，所述薄膜晶体管通过选通线及数据线分别与栅极驱动器及源极驱动器电性连接，所述公共电极与像素电极形成一液晶电容，所述存储电容与该液晶电容并联连接，所述栅极驱动器包括一驱动合成电路，所述驱动合成电路包括：第一电开关、与第一电开关电性连接的放大器、与第一电开关电性连接的放大器第一驱动源、与第一电开关电性连接的放大器第二驱动源、电性接于放大器两接口上的第一电阻、与放大器电性连接的第三驱动源、与第一电开关电性连接的第二电阻、电性连接于第二电阻与放大器之间的第二电开关、与放大器电性连接的第三电阻及与第二电开关电性连接的第四驱动源；

其中，所述薄膜晶体管包括：一栅极、一源极及一漏极，所述栅极通过选通线电性连接至栅极驱动器，所述源极通过数据线电性连接至源极驱动器，所述漏极与像素电极电性连接；

其中，所述第一电开关包括：第一、第二及第三引脚，所述第一引脚电性连接至第一驱动源，所述第二引脚电性连接至第二驱动源及放大器，所述第三引脚电性连接至第二电阻一端；

其中，所述第二电开关包括：第四、第五及第六引脚，所述第四引脚电性连接至第二电阻的另一端，所述第五引脚电性连接至第四驱动源，所述第六引脚电性连接至放大器及第一电阻的一端；

其中，所述放大器包括：第七、第八及第九引脚，所述第七引脚电性连接至第二驱动源及第一电开关的第二引脚，所述第八引脚电性连接至第三驱动源及第一电阻的另一端，所述第九引脚电性连接至第二电开关的第六引脚、第一电阻的一端及第三电阻；

其中，所述薄膜晶体管的栅极与第二电阻与第一电开关连接端电性连

接;

其中, 所述第一电开关在第二引脚被高电平控制时导通, 被低电平控制时断开; 所述第二电开关在第五引脚被高电平控制时导通, 被低电平控制时断开;

- 5 其中, 所述第一驱动源为一方形波, 所述第二驱动源为一与第一驱动源具有相同相位及周期的方形波, 所述第三驱动源为一三角形波, 所述第四驱动源为一高频率的方形波。

10 本发明的有益效果: 本发明液晶面板驱动电路通过电开关控制将方形波驱动电压与具有一定斜率的三角形波合成到一起, 形成高电平结束时具有一下降率的下降沿的驱动电压驱动薄膜晶体管的栅极, 从而减少寄生电容因放电带来的延长薄膜晶体管导通的时间, 进而减小薄膜晶体管非导通状态下的异常导通的可能性, 进一步提高薄膜晶体管控制的精度, 避免了液晶分子异常偏转带来的透射率的改变和对比度异常的现象, 提高大尺寸使用该电路的液晶显示器的质量。

- 15 为了能更进一步了解本发明的特征以及技术内容, 请参阅以下有关本发明的详细说明与附图, 然而附图仅提供参考与说明用, 并非用来对本发明加以限制。

附图说明

- 20 下面结合附图, 通过对本发明的具体实施方式详细描述, 将使本发明的技术方案及其它有益效果显而易见。

附图中,

图 1 为 VA 液晶显示器件的基本结构;

图 2 为 TFT 阵列基板的驱动电路结构示意图;

- 25 图 3 为像素电极的驱动电路等效连接示意图;

图 4 为寄生电容带来的选通驱动电压波形;

图 5 为一现有驱动电路连接示意图;

图 6A-B 为一现有驱动电路连接示意图及该连接方式下的波形图;

图 7A-B 为另一现有驱动电路连接示意图及该连接方式下的波形图;

- 30 图 8 为本发明液晶面板驱动电路中像素单元电路结构示意图;

图 9 为本发明液晶面板驱动电路中驱动合成电路结构示意图;

图 10 为本发明液晶面板驱动电路中第一、第二、第三及第四驱动源的波形图;

图 11 为本发明液晶面板驱动电路中输出端 VD1c 的波形图;

图 12 为本发明液晶面板驱动电路中下降沿 V'_{slop} 的波形图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
5 的优选实施例及其附图进行详细描述。

请参阅图 5、8 至 12，本发明提供一种液晶面板驱动电路，包括：栅极驱动器 10、源极驱动器 20、多条选通线 $G(M)$ 及多条数据线 $S(N)$ ，该多条选通线 $G(M)$ 和数据线 $S(N)$ 界定多个像素单元，每一像素单元包括一薄膜晶体管 T 、一公共电极 40、一与薄膜晶体管 T 电性连接的像素电极 30
10 及一存储电容 C_s ，所述薄膜晶体管 T 通过选通线 $G(M)$ 及数据线 $S(N)$ 分别与栅极驱动器 10 及源极驱动器 20 电性连接，所述公共电极 40 与像素电极 30 形成一液晶电容 C_{lc} ，所述存储电容 C_s 与该液晶电容 C_{lc} 并联连接。

其中，所述多条选通线 $G(1)$ ， $G(2)$... $G(M)$ 形成一选通总线结构 G ，
15 所述多条数据线 $S(1)$ ， $S(2)$... $S(N)$ 形成一数据总线结构 S 。

所述栅极驱动器 10 包括一驱动合成电路，所述驱动合成电路包括：第一电开关 $SW1$ 、与第一电开关 $SW1$ 电性连接的放大器 Q 、第一驱动源 V_{dd} 、第二驱动源 Stc 、电性接于放大器 Q 两接口上的第一电阻 $R1$ 、与放大器 Q 电性连接的第三驱动源 V_{dd1} 、与第一电开关 $SW1$ 电性连接的第二
20 电阻 $R2$ 、电性连接于第二电阻 $R2$ 与放大器 Q 之间的第二电开关 $SW2$ 、与放大器 Q 电性连接的第三电阻 $R3$ 及与第二电开关 $SW2$ 电性连接的第四驱动源 V_{mc} 。所述第一、第二、第三及第四驱动源 V_{dd} 、 Stc 、 V_{dd1} 及 V_{mc} 可由电源及相应的电路产生。

在本较佳实施例中，所述薄膜晶体管 T 包括：一栅极 g 、一源极 s 及
25 一漏极 d ，所述栅极 g 通过选通线 $G(M)$ 电性连接至栅极驱动器 10，所述源极 s 通过数据线 $S(N)$ 电性连接至源极驱动器 20，所述漏极 d 与像素电极 30 电性连接，所述栅极 g 与漏极 d 因结构特性而形成一寄生电容 C_{gd} 。所述栅极驱动器 10 对薄膜晶体管 T 的栅极 g 施加一高电平结束时具有一下降率的下降沿 V'_{slop} 驱动电压，从而避免寄生电容 C_{gd} 对栅极 g 导通时间
30 的影响。所述下降沿 V'_{slop} 在下降的电压时刻内可以部分或者全部抵消因为寄生电容 C_{gd} 的存在带来的施加在栅极 g 上的放电电压，减少对栅极 g 的延时时间，保证薄膜晶体管 TFT 的导通或者截止的精确性。

所述第一电开关 $SW1$ 包括：第一、第二及第三引脚 1、2 及 3，所述
第一引脚 1 电性连接至第一驱动源 V_{dd} ，所述第二引脚 2 电性连接至第二

驱动源 S_{tc} 及放大器 Q ，所述第三引脚 3 电性连接至第二电阻 R_2 一端。所述第二电开关 SW_2 包括：第四、第五及第六引脚 4、5 及 6，所述第四引脚 4 电性连接至第二电阻 R_2 的另一端，所述第五引脚 5 电性连接至第四驱动源 V_{mc} ，所述第六引脚 6 电性连接至放大器 Q 及第一电阻 R_1 的一端。所述第一电开关 SW_1 在第二引脚 2 被高电平控制时导通，被低电平控制时断开；所述第二电开关 SW_2 在第五引脚 5 被高电平控制时导通，被低电平控制时断开。如此利用第二、第四驱动源 S_{tc} 、 V_{mc} 来分别驱动第一、第二电开关 SW_1 、 SW_2 的导通或断开，从而实现第一驱动源 V_{dd} 与第三驱动源 V_{dd1} 合成在一起。

所述放大器 Q 包括：第七、第八及第九引脚 7、8 及 9，所述第七引脚 7 电性连接至第二驱动源 S_{tc} 及第一电开关 SW_1 的第二引脚 2，所述第八引脚 8 电性连接至第三驱动源 S_{tc} 及第一电阻 R_1 的另一端，所述第九引脚 9 电性连接至第二电开关 SW_2 的第六引脚 6、第一电阻 R_1 的一端及第三电阻 R_3 ，所述第三电阻 R_3 另一端连接至地线。所述薄膜晶体管 T 的栅极 g 与第二电阻 R_2 的与第一电开关 SW_1 连接端电性连接。

所述第一驱动源 V_{dd} 为一方形波，所述第二驱动源 S_{tc} 为一与第一驱动源 V_{dd} 具有相同相位及周期的方形波，所述第三驱动源 V_{dd1} 为一三角形波，所述第四驱动源 V_{mc} 为一高频率的方形波。其中，所述第四驱动源 V_{mc} 可以为一控制时钟信号。

在本较佳实施例中，所述薄膜晶体管 T 的栅极 g 上的驱动电压 V 包括：所述选通线 $G(M)$ 上驱动电压 V 由一高电平 $VD1$ 产生电路 $VD1_x$ 及一低电平 $VD2$ 产生电路 $VD2_x$ 共同产生，所述高电平产生电路 $VD1_x$ 在高电平结束时刻产生一电压下降沿 V'_{slop} 。所述电压下降沿 V'_{slop} 具有负的线性电压降或者具有负的阶梯电压降。

请参阅图 10-12，第一驱动源 V_{dd} 、第二驱动源 S_{tc} 、第三驱动源 V_{dd1} 、第四驱动源 V_{mc} ，及输出端 $VD1c$ 及下降沿 V'_{slop} 的波形如图所示。 S_{tc} 和 V_{mc} 都是一种 CLK 变换后的时钟信号，第一驱动源 V_{dd} 的幅值大小与选通线 $G(j)$ 上的电压信号幅值相同。当第二驱动源 S_{tc} 为高电平时，第一驱动源 V_{dd} 处于高电平，第一电开关 SW_1 闭合，第二电开关 SW_2 打开，此时输出端 $VD1c$ 为高电平 $VD1$ ；当第二驱动源 S_{tc} 为低电平时，第一驱动源 V_{dd} 处于低电平，第一电开关 SW_1 打开，第二电开关 SW_2 受第四驱动源 V_{mc} 的电平的变化控制其打开或者闭合动作，同时具有线性下降波形的第一驱动源 V_{dd1} 电压信号经过放大器连接于第二电开关 SW_2 ，第一驱动源 V_{dd1} 的信号经过放大器 Q ，并在第二电开关 SW_2 的控制下，施加到输出端

VD1c。其中采用输出端 VD1c 与低电平 VD2 合成信号来驱动选通线 G(j)，下降沿 V'_{slop} 的产生受到第四驱动源 V_{mc} 的控制，第四驱动源 V_{mc} 在第二驱动源 S_{lc} 处于高电平时处于低电平，在第二驱动源 S_{lc} 由高电平到低电平的 t_x 时刻内具有高的频率 f ，在这段时间内第二电开关 SW2 高速的导通与断开，对加在其上的第三驱动源 V_{ddl} 进行抽样，形成如图 11 所示的下降沿 V'_{slop} 波形。所述下降沿 V'_{slop} 波形可以根据 t_x 的时间长短，以及该时间段内的频率 f 的不同参数，获得不同的下降沿 V'_{slop} 波形。

所述下降沿 V'_{slop} 波形与第一电开关 SW1 闭合、第二电开关 SW2 打开时的高电平共同构成选通线 G(j) 的高电平 VD1c。

综上所述，本发明液晶面板驱动电路通过电开关控制将方形波驱动电压与具有一定斜率的三角形波合成到一起，形成高电平结束时具有一下降率的下降沿的驱动电压驱动薄膜晶体管的栅极，从而减少寄生电容因放电带来的延长薄膜晶体管导通的时间，进而减小薄膜晶体管非导通状态下的异常导通的可能性，进一步提高薄膜晶体管控制的精度，避免了液晶分子异常偏转带来的透射率的改变和对比度异常的现象，提高大尺寸使用该电路的液晶显示器的质量。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

- 1、一种液晶面板驱动电路，其包括：栅极驱动器、源极驱动器、多条选通线及多条数据线，该多条选通线和数据线界定多个像素单元，每一像素单元包括一薄膜晶体管、一公共电极、一与薄膜晶体管电性连接的像素电极及一存储电容，所述薄膜晶体管通过选通线及数据线分别与栅极驱动器及源极驱动器电性连接，所述公共电极与像素电极形成一液晶电容，所述存储电容与该液晶电容并联连接，所述栅极驱动器包括一驱动合成电路，所述驱动合成电路包括：第一电开关、与第一电开关电性连接的放大器、与第一电开关电性连接的放大器第一驱动源、与第一电开关电性连接的放大器第二驱动源、电性接于放大器两接口上的第一电阻、与放大器电性连接的第三驱动源、与第一电开关电性连接的第二电阻、电性连接于第二电阻与放大器之间的第二电开关、与放大器电性连接的第三电阻及与第二电开关电性连接的第四驱动源。
- 2、如权利要求 1 所述的液晶面板驱动电路，其中，所述薄膜晶体管包括：一栅极、一源极及一漏极，所述栅极通过选通线电性连接至栅极驱动器，所述源极通过数据线电性连接至源极驱动器，所述漏极与像素电极电性连接。
- 3、如权利要求 2 所述的液晶面板驱动电路，其中，所述第一电开关包括：第一、第二及第三引脚，所述第一引脚电性连接至第一驱动源，所述第二引脚电性连接至第二驱动源及放大器，所述第三引脚电性连接至第二电阻一端。
- 4、如权利要求 3 所述的液晶面板驱动电路，其中，所述第二电开关包括：第四、第五及第六引脚，所述第四引脚电性连接至第二电阻的另一端，所述第五引脚电性连接至第四驱动源，所述第六引脚电性连接至放大器及第一电阻的一端。
- 5、如权利要求 4 所述的液晶面板驱动电路，其中，所述放大器包括：第七、第八及第九引脚，所述第七引脚电性连接至第二驱动源及第一电开关的第二引脚，所述第八引脚电性连接至第三驱动源及第一电阻的另一端，所述第九引脚电性连接至第二电开关的第六引脚、第一电阻的一端及第三电阻。
- 6、如权利要求 5 所述的液晶面板驱动电路，其中，所述薄膜晶体管的栅极与第二电阻与第一电开关连接端电性连接。

7、如权利要求 6 所述的液晶面板驱动电路，其中，所述第一电开关在第二引脚被高电平控制时导通，被低电平控制时断开；所述第二电开关在第五引脚被高电平控制时导通，被低电平控制时断开。

8、如权利要求 1 所述的液晶面板驱动电路，其中，所述第一驱动源为一方形波，所述第二驱动源为一与第一驱动源具有相同相位及周期的方形波，所述第三驱动源为一三角形波，所述第四驱动源为一高频率的方形波。

9、一种液晶面板驱动电路，包括：栅极驱动器、源极驱动器、多条选通线及多条数据线，该多条选通线和数据线界定多个像素单元，每一像素单元包括一薄膜晶体管、一公共电极、一与薄膜晶体管电性连接的像素电极及一存储电容，所述薄膜晶体管通过选通线及数据线分别与栅极驱动器及源极驱动器电性连接，所述公共电极与像素电极形成一液晶电容，所述存储电容与该液晶电容并联连接，所述栅极驱动器包括一驱动合成电路，所述驱动合成电路包括：第一电开关、与第一电开关电性连接的放大器、与第一电开关电性连接的放大器第一驱动源、与第一电开关电性连接的放大器第二驱动源、电性接于放大器两接口上的第一电阻、与放大器电性连接的第三驱动源、与第一电开关电性连接的第二电阻、电性连接于第二电阻与放大器之间的第二电开关、与放大器电性连接的第三电阻及与第二电开关电性连接的第四驱动源；

其中，所述薄膜晶体管包括：一栅极、一源极及一漏极，所述栅极通过选通线电性连接至栅极驱动器，所述源极通过数据线电性连接至源极驱动器，所述漏极与像素电极电性连接；

其中，所述第一电开关包括：第一、第二及第三引脚，所述第一引脚电性连接至第一驱动源，所述第二引脚电性连接至第二驱动源及放大器，所述第三引脚电性连接至第二电阻一端；

其中，所述第二电开关包括：第四、第五及第六引脚，所述第四引脚电性连接至第二电阻的另一端，所述第五引脚电性连接至第四驱动源，所述第六引脚电性连接至放大器及第一电阻的一端；

其中，所述放大器包括：第七、第八及第九引脚，所述第七引脚电性连接至第二驱动源及第一电开关的第二引脚，所述第八引脚电性连接至第三驱动源及第一电阻的另一端，所述第九引脚电性连接至第二电开关的第六引脚、第一电阻的一端及第三电阻；

其中，所述薄膜晶体管的栅极与第二电阻与第一电开关连接端电性连接；

其中，所述第一电开关在第二引脚被高电平控制时导通，被低电平控制时断开；所述第二电开关在第五引脚被高电平控制时导通，被低电平控制时断开；

5 其中，所述第一驱动源为一方形波，所述第二驱动源为一与第一驱动源具有相同相位及周期的方形波，所述第三驱动源为一三角形波，所述第四驱动源为一高频率的方形波。

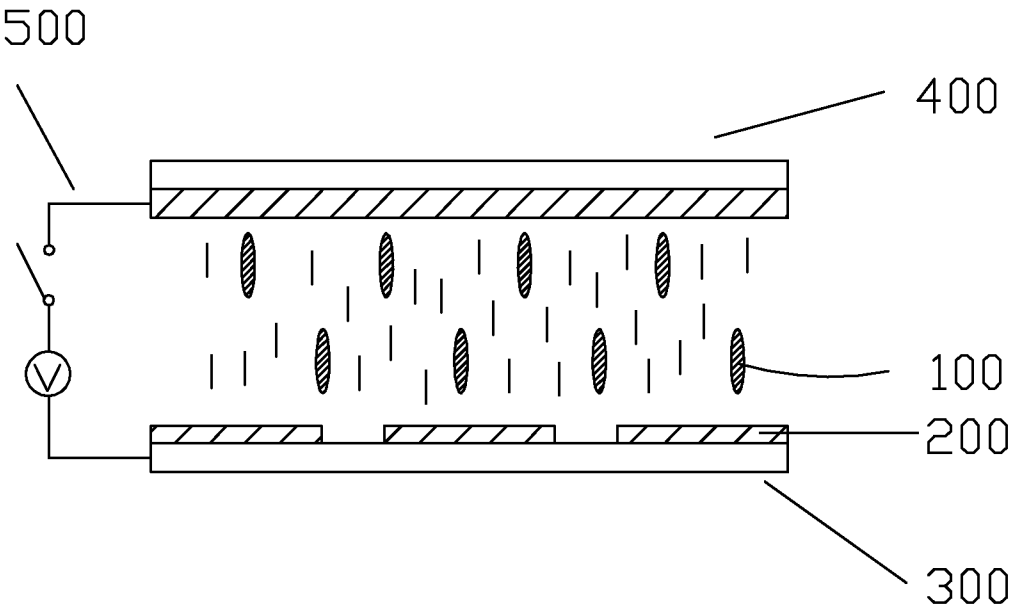


图1

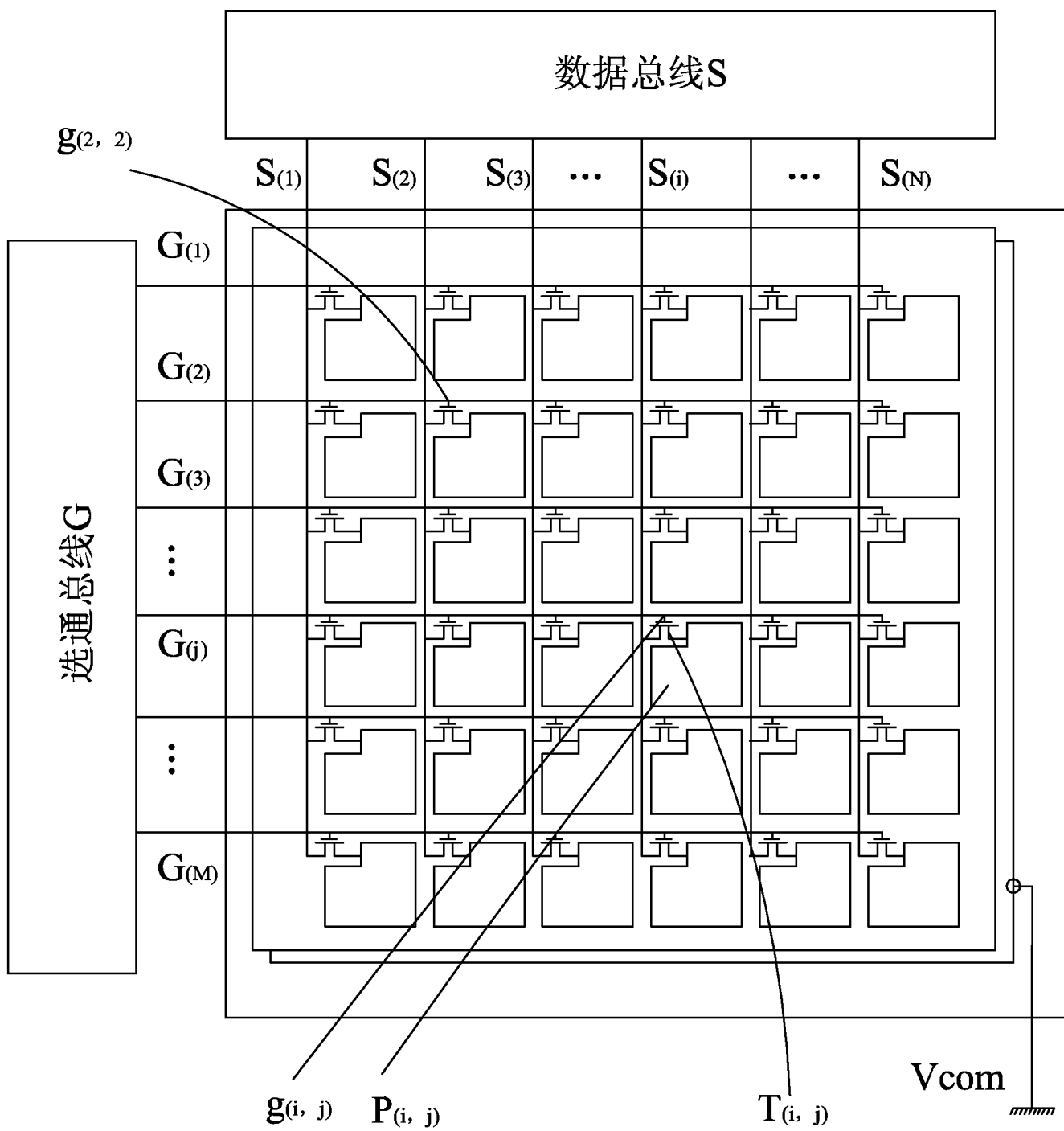


图2

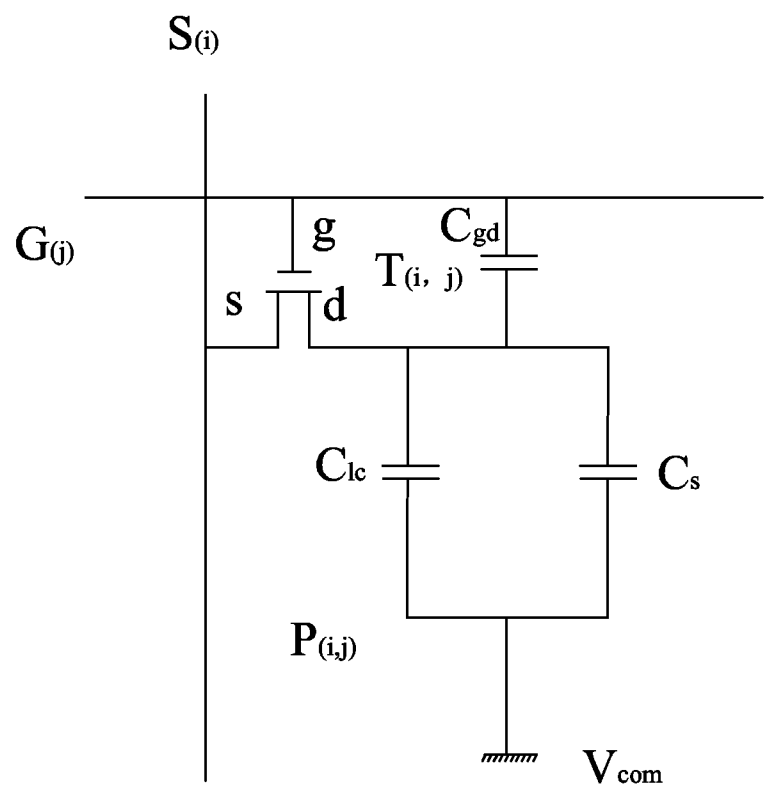
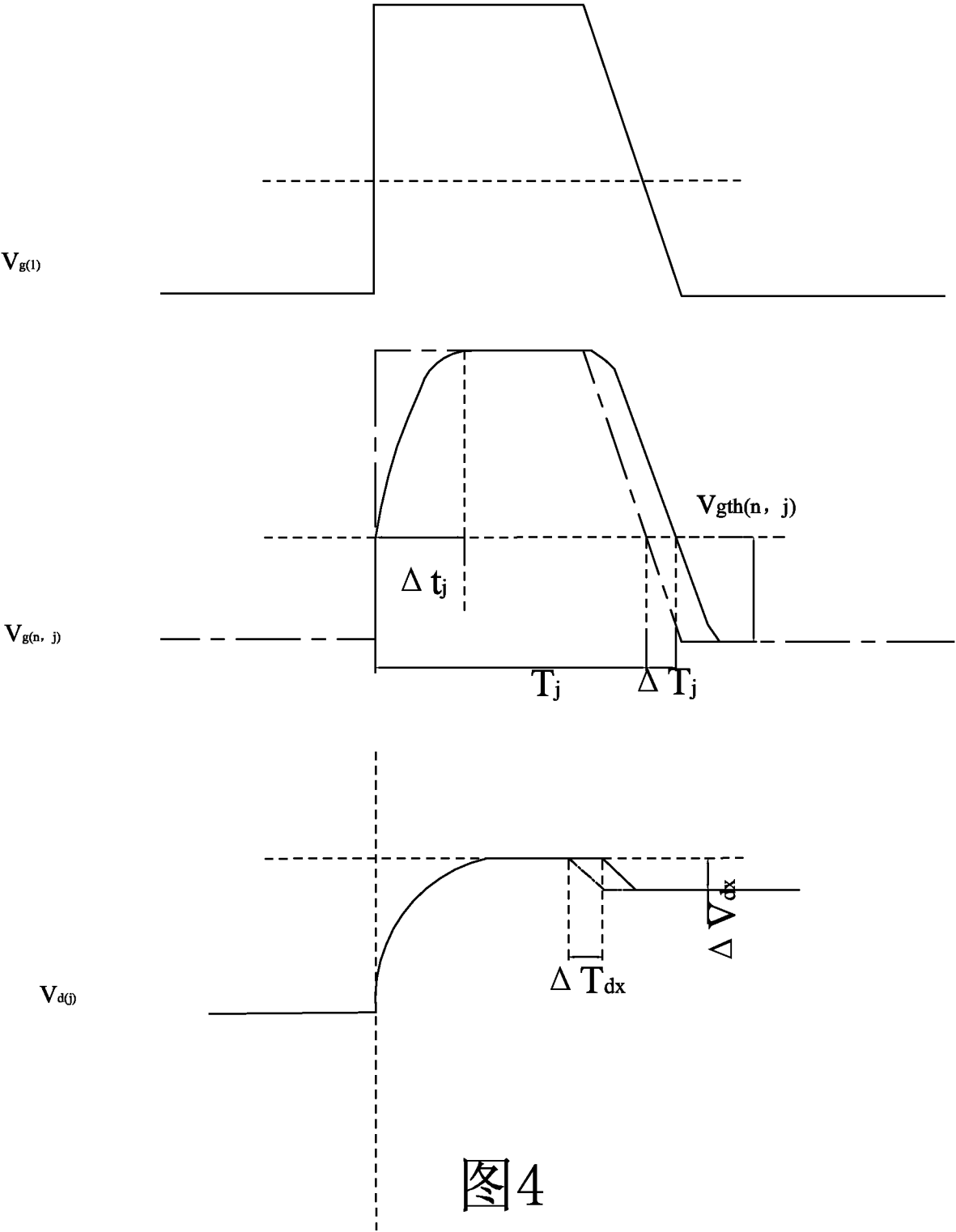


图3



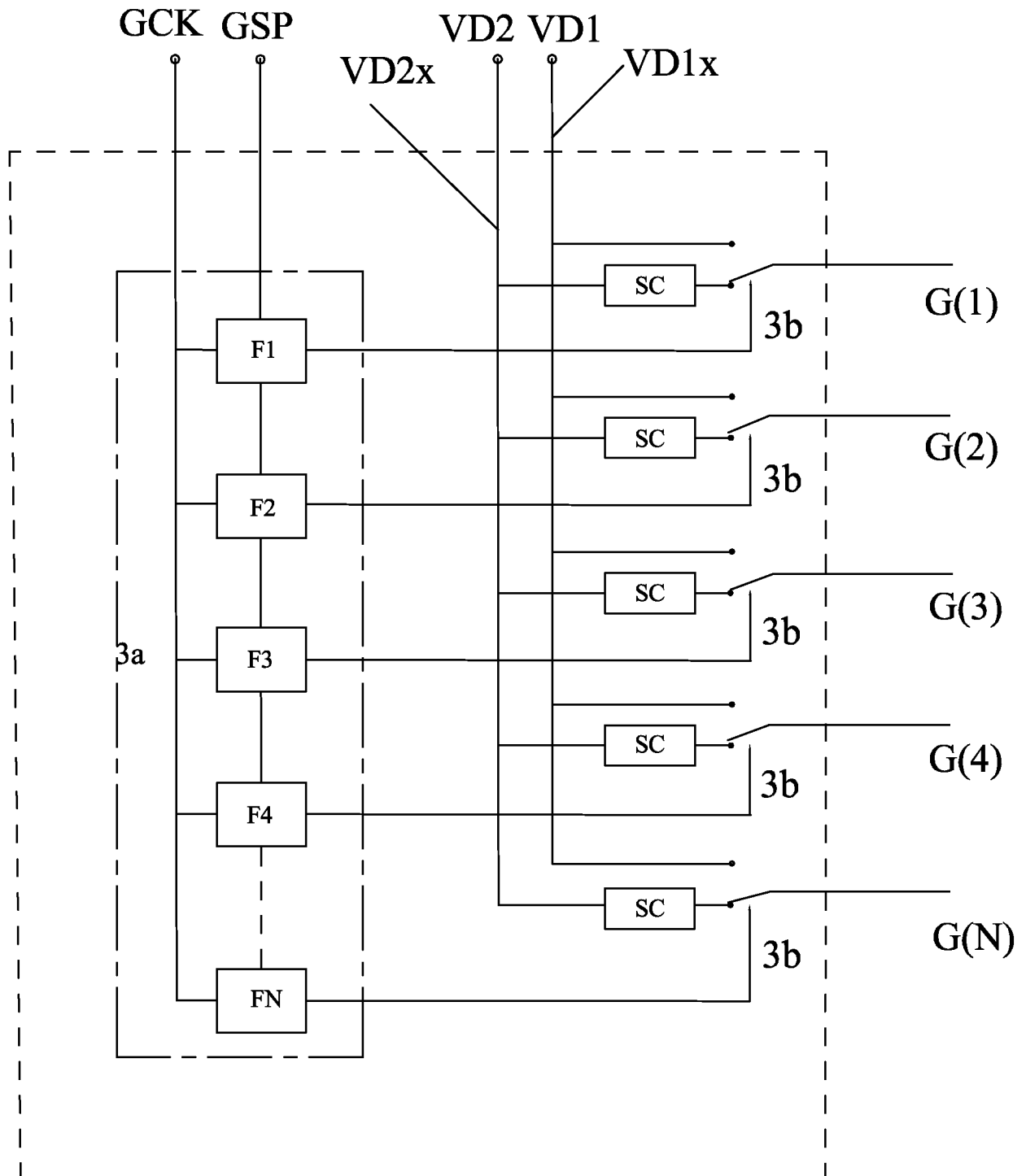


图5

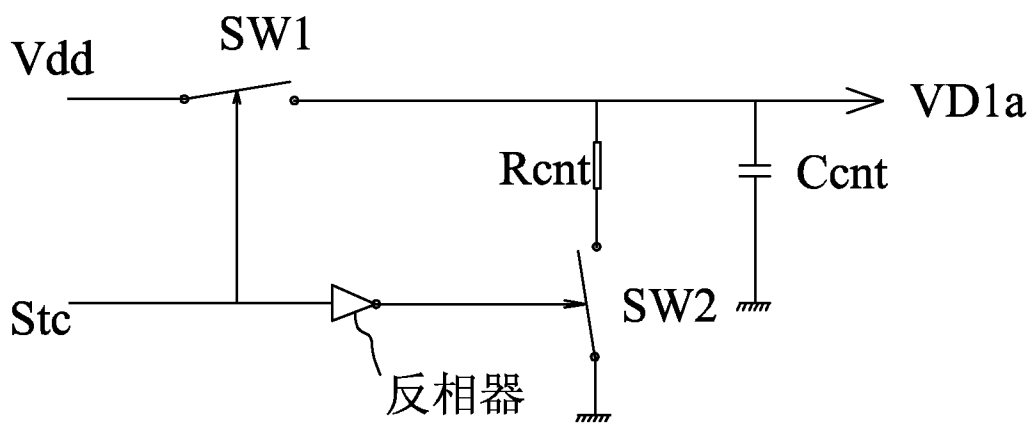


图6A

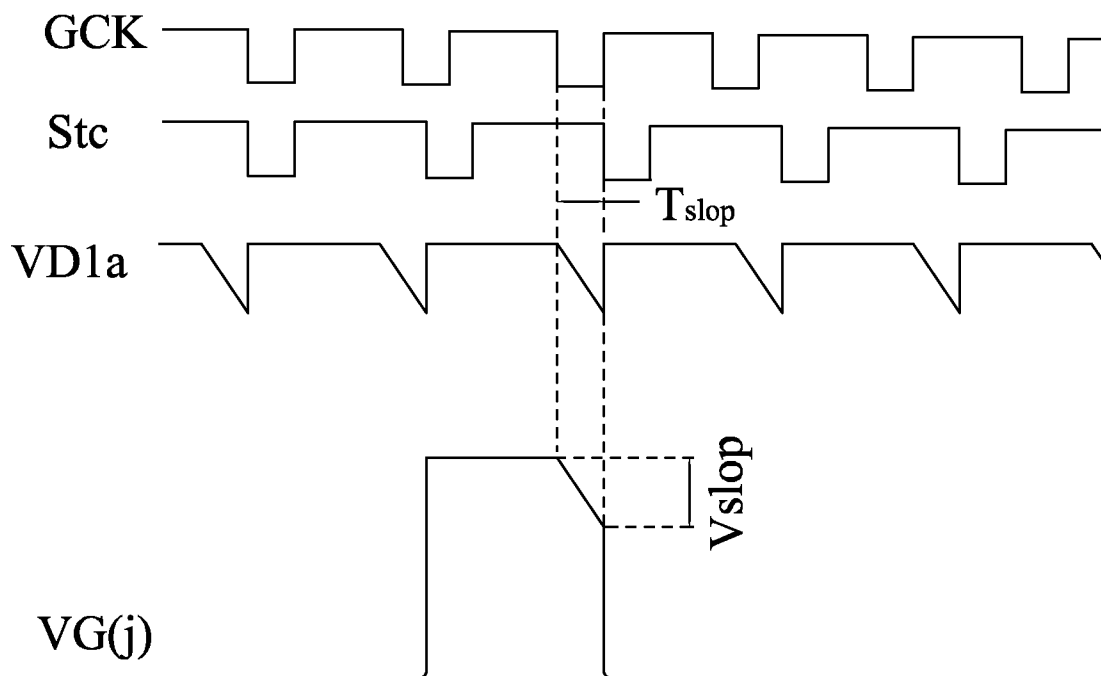


图6B

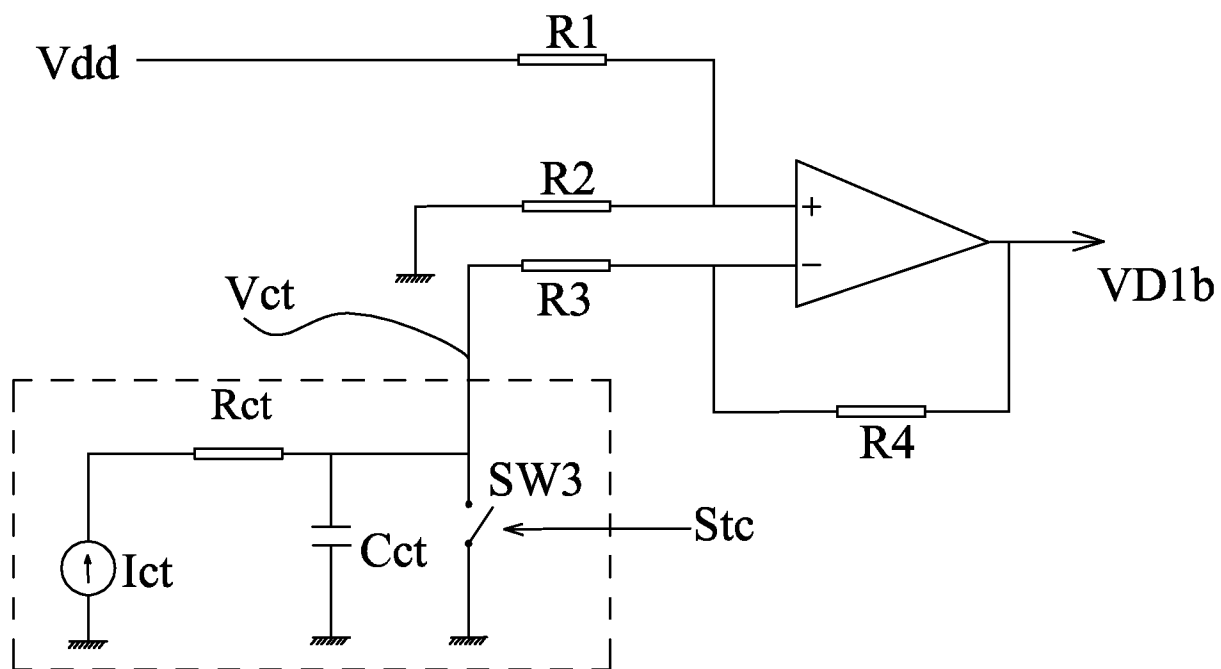


图7A

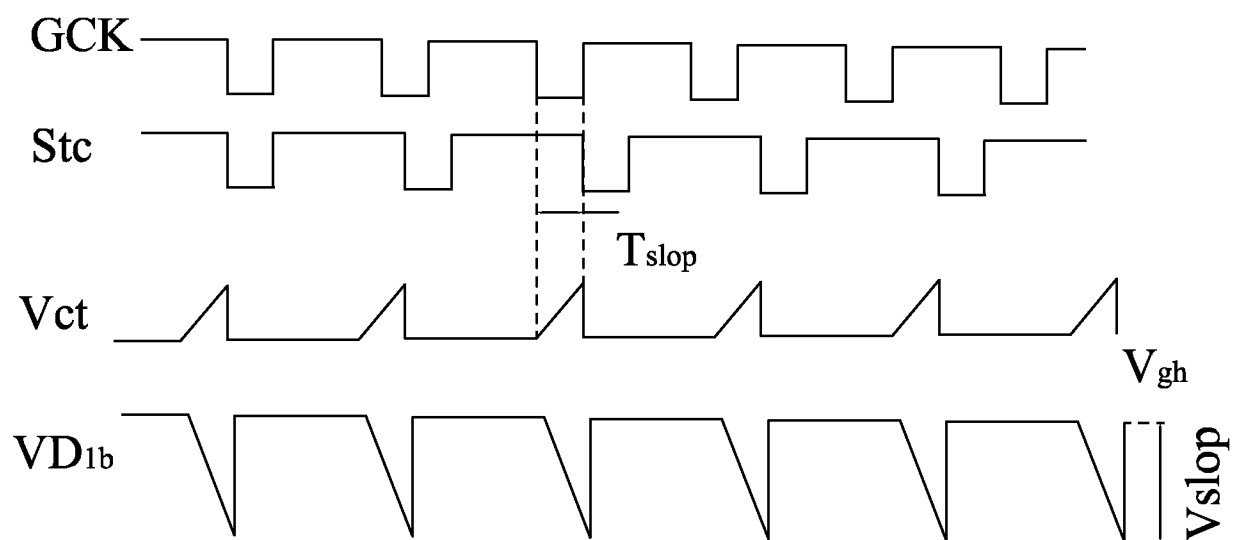


图7B

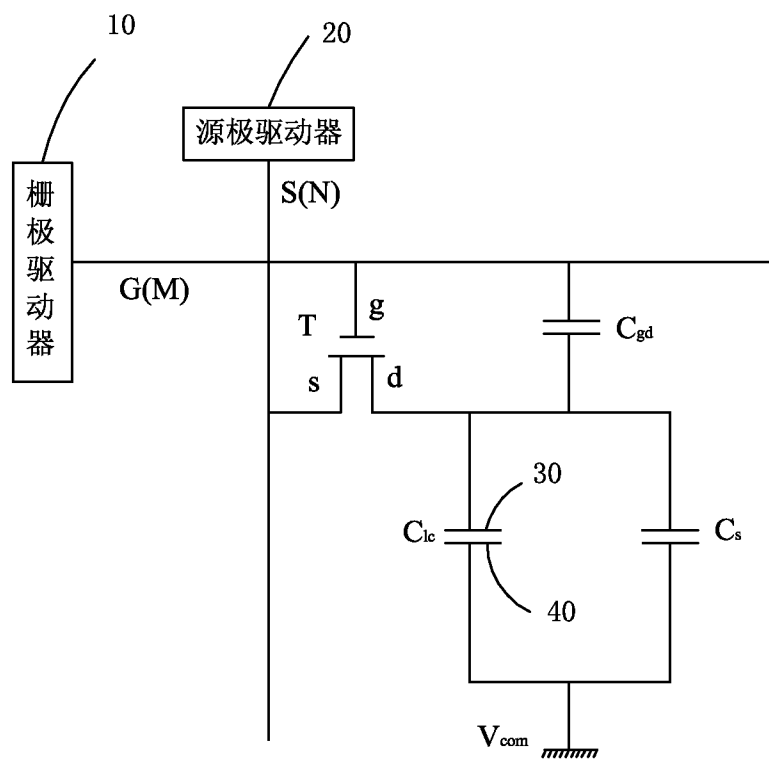


图8

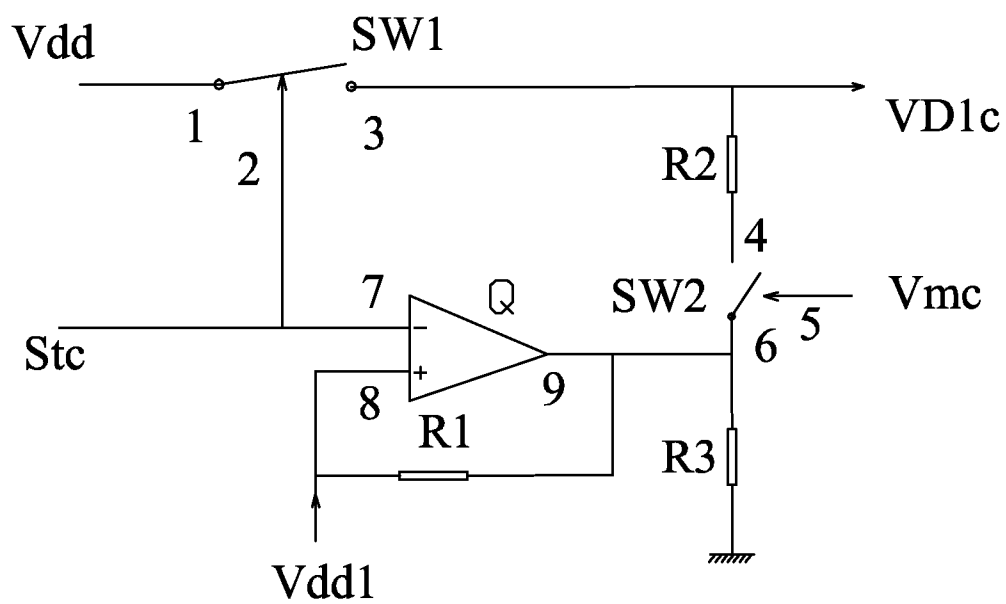


图9

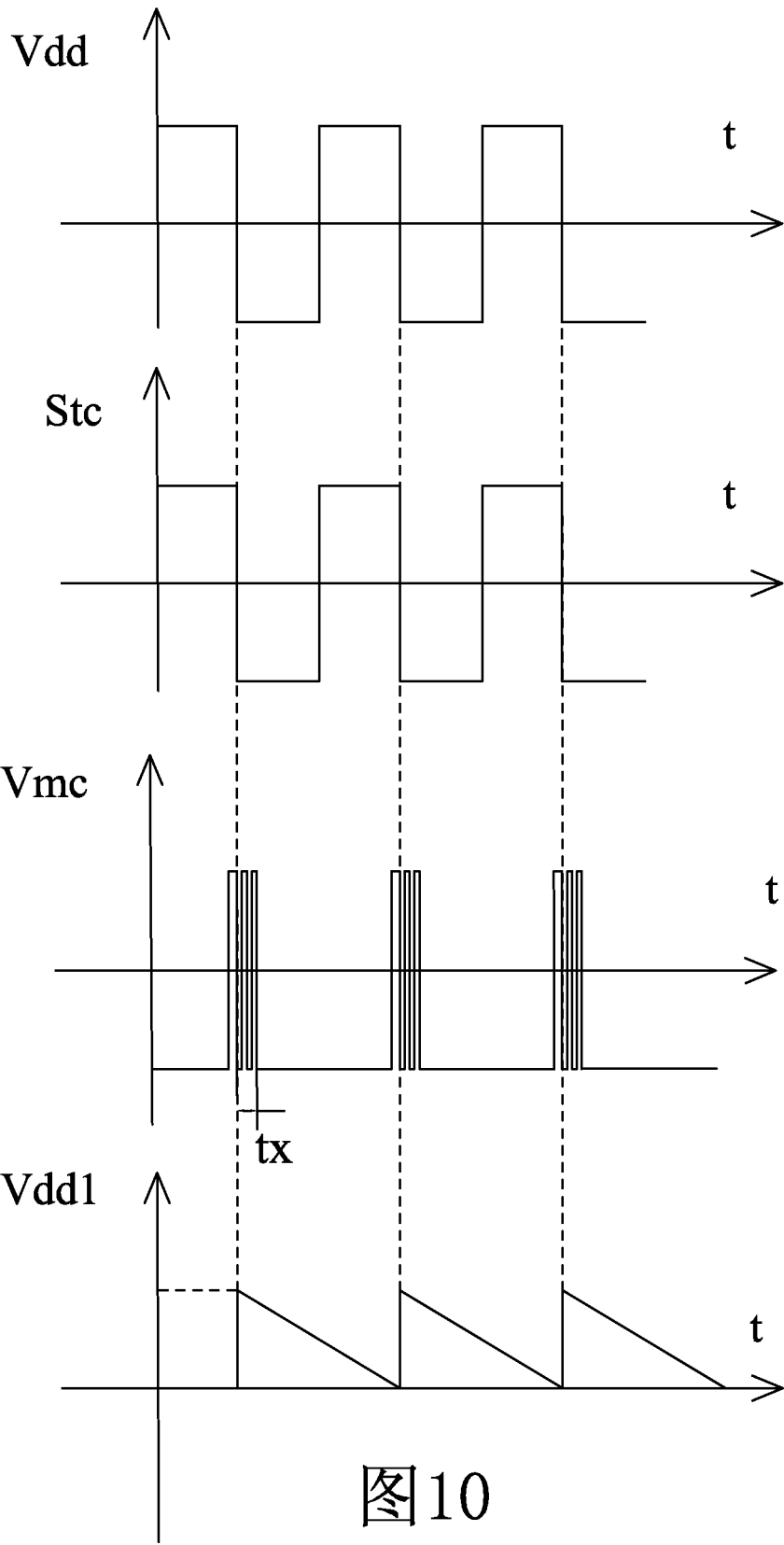


图10

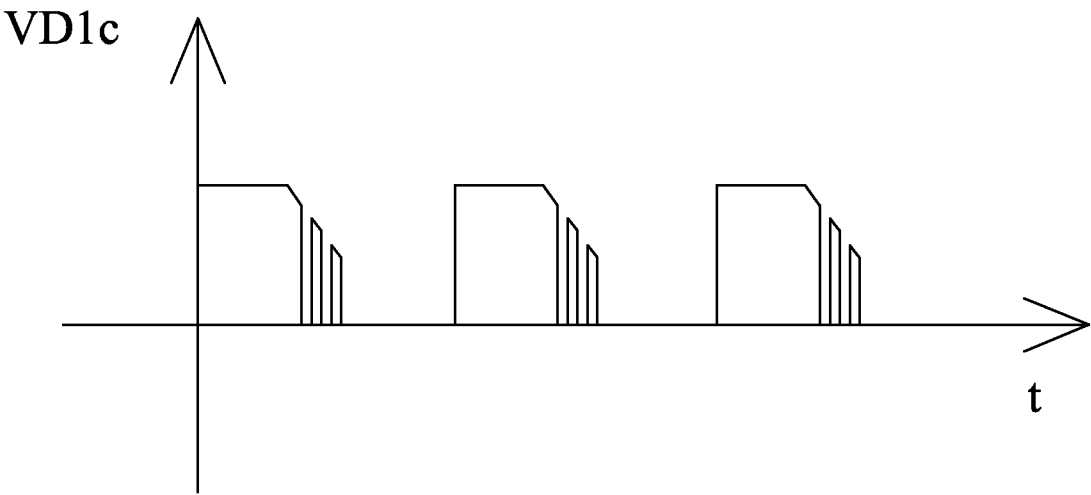


图 11

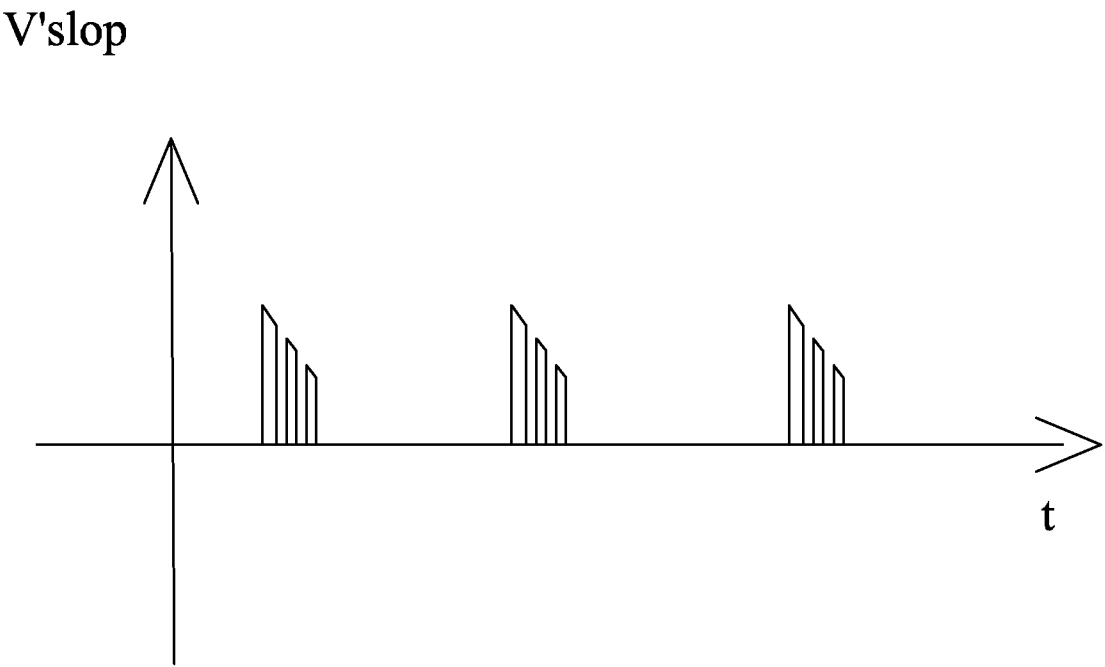


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/084108

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/36; G02F 1/13+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNTXT, WPI, EPODOC, USTXT, WOTXT, EPTXT: lcd, parasitic, stray+, spurious, coupl+, capac+, cgd, cgs, transistor, tft, delay+, slant, slope, desecnd, declin+, inclin+, drop+, fall, decreas+, chamfer+, staircase, ramp, triangular, square, wave+, amplifier, resist+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1667457 A (SHARP KK) 14 September 2005 (14.09.2005) description, page 1 to page 4, page 10 to page 15 and figures 1 to 8	1, 2
A	CN 101300619 A (SHARP KK) 05 November 2008 (05.11.2008) the whole document	1-9
A	CN 1319833 A (SANYO ELECTRIC CO., LTD) 31 October 2001 (31.10.2001) the whole document	1-9
A	JP 6-110035 A (SEIKO EPSON CORP.) 22 April 1994 (22.04.1994) the whole document	1-9
A	JP 6-43833 A (TOSHIBA CORP.) 18 February 1994 (18.02.1994) the whole document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 July 2013 (15.07.2013)	Date of mailing of the international search report 25 July 2013 (25.07.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Chao Telephone No. (86-10) 62085834

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/084108

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1667457 A	14.09.2005	KR 20050028842 A	23.03.2005
		KR 100596084 B	03.07.2006
		US 2005062706 A	24.03.2005
		US 7460114 B	02.12.2008
		JP 2005091836 A	07.04.2005
		JP 4060256 B	12.03.2008
		CN 100416347 C	03.09.2008
		TWI 254909 B	11.05.2006
		US 2009009460 A	08.01.2009
		TW 200525484 A	01.08.2005
CN 101300619 A	05.11.2008	WO 2007052408 A	10.05.2007
		CN 101300619 B	17.11.2010
		US 2009289884 A	26.11.2009
		US 8411006 B	02.04.2013
		CN 101944346 A	12.01.2011
		JP 4704438 B	15.06.2011
CN 1319833 A	31.10.2001	EP 1139329 A	04.10.2001
		JP 2001272654 A	05.10.2001
		KR 20010093737 A	29.10.2001
		CN 1183503 C	05.01.2005
		US 2001045930 A	29.11.2001
		US 7102606 B	05.09.2006
		TW 548458 B	21.08.2003
		KR 100461924 B	17.12.2004
JP 6-110035 A	22.04.1994	None	
JP 6-43833 A	18.02.1994	None	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/084108

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

G02F 1/133 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/084108

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3/36, G02F1/13+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNTEXT: 液晶,lcd,寄生电容,cgd,cgs,晶体管,tft,延长,延迟,延时,下降,斜坡,倾斜,阶梯,方波,方形,三角波,三角形,波形,电阻,放大器

WPI,EPODOC,USTXT,WOTXT,EPTXT: lcd,parasitic,stray+,spurious,coupl+,capac+,slant,slope,desecnd,declin+,inclin+,drop+,fall,decreas+,chamfer+,staircase,ramp,triangular,square,wave+,amplifier,resist+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN1667457A (夏普株式会社) 14.9 月 2005 (14.09.2005) 说明书第 1-4, 10-15 页, 图 1-8	1-2
A	CN101300619A (夏普株式会社) 05.11 月 2008 (05.11.2008) 全文	1-9
A	CN1319833A (三洋电机株式会社) 31.10 月 2001 (31.10.2001) 全文	1-9
A	JP 平 6-110035A (SEIKO EPSON CORP) 22.4 月 1994 (22.04.1994) 全文	1-9
A	JP 平 6-43833A (TOSHIBA CORP) 18.2 月 1994 (18.02.1994) 全文	1-9

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

15.7 月 2013 (15.07.2013)

国际检索报告邮寄日期

25.7 月 2013 (25.07.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王超

电话号码: (86-10) **62085834**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/084108

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1667457A	14.09.2005	KR20050028842A	23.03.2005
		KR100596084B	03.07.2006
		US2005062706A	24.03.2005
		US7460114B	02.12.2008
		JP2005091836A	07.04.2005
		JP4060256B	12.03.2008
		CN100416347C	03.09.2008
		TWI254909B	11.05.2006
		US2009009460A	08.01.2009
		TW200525484A	01.08.2005
CN101300619A	05.11.2008	WO2007052408A	10.05.2007
		CN101300619B	17.11.2010
		US2009289884A	26.11.2009
		US8411006B	02.04.2013
		CN101944346A	12.01.2011
		JP4704438B	15.06.2011
CN1319833A	31.10.2001	EP1139329A	04.10.2001
		JP2001272654A	05.10.2001
		KR20010093737A	29.10.2001
		CN1183503C	05.01.2005
		US2001045930A	29.11.2001
		US7102606B	05.09.2006
		TW548458B	21.08.2003
		KR100461924B	17.12.2004
JP 平 6-110035A	22.04.1994	无	
JP 平 6-43833A	18.02.1994	无	

A. 主题的分类

G09G3/36 (2006.01) i

G02F1/133 (2006.01) i