

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5584960号  
(P5584960)

(45) 発行日 平成26年9月10日(2014.9.10)

(24) 登録日 平成26年8月1日(2014.8.1)

(51) Int.Cl. F I  
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 9 A  
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 8 B

請求項の数 6 (全 14 頁)

(21) 出願番号	特願2008-174469 (P2008-174469)	(73) 特許権者	000002185
(22) 出願日	平成20年7月3日(2008.7.3)		ソニー株式会社
(65) 公開番号	特開2010-16163 (P2010-16163A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年1月21日(2010.1.21)	(74) 代理人	100098785
審査請求日	平成23年6月15日(2011.6.15)		弁理士 藤島 洋一郎
		(74) 代理人	100109656
			弁理士 三反崎 泰司
		(74) 代理人	100130915
			弁理士 長谷部 政男
		(74) 代理人	100155376
			弁理士 田名網 孝昭
		(72) 発明者	諸沢 成浩
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよび表示装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、

前記ゲート電極に対応してチャネル領域を形成すると共に、オゾン処理、酸素プラズマ処理もしくは二酸化窒素プラズマ処理が施された酸化物半導体膜と、

前記酸化物半導体膜上に形成されたソース電極およびドレイン電極からなる一対の電極とを備え、

前記酸化物半導体膜のチャネル領域に対向して、前記酸化物半導体膜の側から順に、第1の保護膜および第2の保護膜が積層され、

前記第1の保護膜は、前記酸化物半導体膜のチャネル領域上に形成されると共に、シリコン酸化膜であり、

前記第2の保護膜は、前記第1の保護膜および前記一対の電極を覆うように形成されると共に酸化アルミニウム膜を含み、

前記一対の電極は、前記酸化物半導体膜上の前記第1の保護膜に重ならないように形成されている

薄膜トランジスタ。

【請求項2】

前記第2の保護膜は、膜厚が10nm以上50nm以下である

請求項1に記載の薄膜トランジスタ。

【請求項3】

10

20

基板上にゲート電極を形成する工程と、  
前記ゲート電極に対応してチャンネル領域を有する酸化物半導体膜を形成する工程と、  
前記酸化物半導体膜上にソース電極およびドレイン電極からなる一対の電極を形成する工程と、

前記酸化物半導体膜のチャンネル領域に対向して、シリコン酸化膜からなる第 1 の保護膜と酸化アルミニウム膜を含む第 2 の保護膜とを形成する工程とを含み、

前記第 1 および第 2 の保護膜を形成する工程では、

前記酸化物半導体膜のチャンネル領域上に、前記第 1 の保護膜を形成し、

前記第 1 の保護膜および前記一対の電極を覆うように、前記第 2 の保護膜を形成し、

前記第 2 の保護膜を形成するよりも前に、オゾン処理、酸素プラズマ処理もしくは二酸化窒素プラズマ処理を施し、

前記一対の電極は、前記酸化物半導体膜上の前記第 1 の保護膜に重ならないように形成される

薄膜トランジスタの製造方法。

【請求項 4】

前記酸化アルミニウムを含む膜を、原子層成膜法により形成する

請求項 3 に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記第 1 および第 2 の保護膜を形成する工程では、

前記第 1 の保護膜を形成した後、前記酸化物半導体膜に対して酸素雰囲気中でアニール処理を施す

請求項 3 に記載の薄膜トランジスタの製造方法。

【請求項 6】

表示素子と、前記表示素子を駆動するための薄膜トランジスタを備え、

前記薄膜トランジスタは、

ゲート電極と、

前記ゲート電極に対応してチャンネル領域を形成すると共に、オゾン処理、酸素プラズマ処理もしくは二酸化窒素プラズマ処理が施された酸化物半導体膜と、

前記酸化物半導体膜上に形成されたソース電極およびドレイン電極からなる一対の電極とを備え、

前記酸化物半導体膜のチャンネル領域に対向して、前記酸化物半導体膜の側から順に、第 1 の保護膜および第 2 の保護膜が積層され、

前記第 1 の保護膜は、前記酸化物半導体膜のチャンネル領域上に形成されると共に、シリコン酸化膜であり、

前記第 2 の保護膜は、前記第 1 の保護膜および前記一対の電極を覆うように形成されると共に酸化アルミニウム膜を含み、

前記一対の電極は、前記酸化物半導体膜上の前記第 1 の保護膜に重ならないように形成されている

表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体膜を用いた薄膜トランジスタおよびこれを用いた表示装置に関する。

【背景技術】

【0002】

近年、薄膜トランジスタ (TF T : Thin Film Transistor) や発光デバイス、透明導電膜等の電子デバイスへの応用を目的として、酸化亜鉛や酸化インジウムガリウム亜鉛等を用いた半導体薄膜層 (以下、酸化物半導体膜という) の研究開発が活発化している。このような酸化物半導体膜は、液晶ディスプレイなどに一般的に用いられているアモルファス

10

20

30

40

50

シリコン ( - Si ) を用いた場合と比較して、電子移動度が大きく、優れた電気特性を有することがわかっている。また、室温付近の低温でも高い移動度が期待できる等の利点もあり、積極的な開発が進められている。

【 0 0 0 3 】

上記のような酸化物半導体膜を用いた薄膜トランジスタとしては、ボトムゲート型およびトップゲート型の構造が報告されている。ボトムゲート型は、基板上にゲート電極、ゲート絶縁膜がこの順に形成され、ゲート絶縁膜の上面を被覆するように酸化物半導体膜が形成された構造である。

【 0 0 0 4 】

【非特許文献1】Cetin Kilic他1著, 「n-type doping of oxides by hydrogen」, APPLIED PHYSICS LETTERS, 2002年7月1日Vol.81, No.1, p.73 - 75

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

ところで、上記酸化物半導体膜では、水素ガス等の浸入により、電氣的に浅い不純物準位が形成され低抵抗化を引き起こすことが報告されている(非特許文献1参照)。このため、例えば酸化亜鉛を薄膜トランジスタに用いた場合、ゲート電圧を印加しなくてもドレイン電流が流れるノーマリーオン型、すなわちデプレッション型の動作となり、欠陥準位の増大と共に、しきい値電圧が小さくなり、リーク電流が増大するという問題がある。このように、酸化物半導体膜への水素ガスの浸入は、薄膜トランジスタの電流伝達特性に影響を与える。

20

【 0 0 0 6 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、酸化物半導体膜におけるリーク電流の発生を抑制することが可能な薄膜トランジスタおよびこれを用いた表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の薄膜トランジスタは、ゲート電極と、ゲート電極に対応してチャンネル領域を形成すると共に、オゾン処理、酸素プラズマ処理もしくは二酸化窒素プラズマ処理が施された酸化物半導体膜と、酸化物半導体膜上に形成されたソース電極およびドレイン電極からなる一対の電極とを備え、酸化物半導体膜のチャンネル領域に対向して、第1の保護膜および第2の保護膜が積層され、第1の保護膜は、酸化物半導体膜のチャンネル領域上に形成されると共にシリコン酸化膜であり、第2の保護膜は、第1の保護膜および一対の電極を覆うように形成されると共に酸化アルミニウム膜を含み、一対の電極は、酸化物半導体膜上の第1の保護膜に重ならないように形成されているものである。

30

【 0 0 0 8 】

本発明の薄膜トランジスタの製造方法は、基板上にゲート電極を形成する工程と、ゲート電極に対応してチャンネル領域を有する酸化物半導体膜を形成する工程と、酸化物半導体膜上にソース電極およびドレイン電極からなる一対の電極を形成する工程と、酸化物半導体膜のチャンネル領域に対向して、シリコン酸化膜からなる第1の保護膜と酸化アルミニウム膜を含む第2の保護膜とを形成する工程とを含む。第1および第2の保護膜を形成する工程では、酸化物半導体膜のチャンネル領域上に、第1の保護膜を形成し、第1の保護膜および一対の電極を覆うように、第2の保護膜を形成し、第2の保護膜を形成するよりも前に、オゾン処理、酸素プラズマ処理もしくは二酸化窒素プラズマ処理を施す。一対の電極は、酸化物半導体膜上の第1の保護膜に重ならないように形成される。

40

【 0 0 0 9 】

本発明の表示装置は、表示素子と、上記本発明の薄膜トランジスタとを備えたものである。

【 0 0 1 0 】

本発明の薄膜トランジスタ、薄膜トランジスタの製造方法および表示装置では、チャネ

50

ル領域を形成する酸化物半導体膜のチャネル領域に対向して、酸化アルミニウムを含む保護膜が設けられていることにより、酸化物半導体膜中に水素などの元素が浸入することが抑制される。

【発明の効果】

【0011】

本発明の薄膜トランジスタ、薄膜トランジスタの製造方法および表示装置によれば、チャネル領域を形成する酸化物半導体膜のチャネル領域に対向して、一または複数の保護膜を設け、これらのうち少なくとも一の保護膜が酸化アルミニウムを含むようにしたので、酸化物半導体膜への水素などの浸入を抑制し、リーク電流の発生を抑制することができる。また、これにより、表示装置では、輝度が向上して明るい表示が可能となる。

10

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0013】

[第1の実施の形態]

図1は、本発明の第1の実施の形態に係る薄膜トランジスタ1の断面構造を表すものである。薄膜トランジスタ1は、例えばボトムゲート型の構造を有し、チャネル領域(活性層)に酸化物半導体を用いたものである。薄膜トランジスタ1は、ガラスやプラスチックなどよりなる基板11上にゲート電極12を有しており、このゲート電極12と基板11とを覆うように、ゲート絶縁膜13が設けられている。ゲート絶縁膜13上のゲート電極12に対応する領域には、酸化物半導体膜14が形成され、酸化物半導体膜14上には、所定の間隔をおいて一对の電極(ソース電極15Aおよびドレイン電極15B)が設けられている。これらの酸化物半導体膜14のチャネル領域14A、ソース電極15Aおよびドレイン電極15Bを被覆するように、基板11の全面に渡って保護膜16が形成されている。

20

【0014】

ゲート電極12は、薄膜トランジスタ1に印加されるゲート電圧により酸化物半導体膜14中の電子密度を制御する役割を果たすものである。このゲート電極12は、例えばモリブデン(Mo)などから構成されている。

【0015】

ゲート絶縁膜13は、シリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜、あるいは酸化アルミニウム膜等により構成されている。

30

【0016】

酸化物半導体膜14は、酸化物半導体から構成され、電圧印加によりソース電極15Aとドレイン電極15Bとの間にチャネル領域14Aを形成するようになっている。ここで、酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、スズ(Sn)等の元素から形成された酸化物である。この酸化物半導体膜14は、厚みが例えば20nm~100nmである。

【0017】

ソース電極15Aおよびドレイン電極15Bは、例えばモリブデンやクロム(Cr)単体、もしくはチタン(Ti)/アルミニウム(Al)/チタンの積層構造により構成されている。

40

【0018】

保護膜16は、薄膜トランジスタ1の内部、特に酸化物半導体膜14のチャネル領域14Aへの水素などの浸入を抑制するものである。この保護膜16は、酸化アルミニウム膜( $Al_2O_3$ )を含むものであり、単層膜または2層以上の積層膜により構成される。2層膜としては、例えば、酸化アルミニウム膜とシリコン窒化膜との積層膜、あるいは酸化アルミニウム膜とシリコン酸化膜との積層膜が挙げられる。3層膜としては、例えば、酸化アルミニウム膜とシリコン窒化膜とシリコン酸化膜との積層膜が挙げられる。この保護膜16の厚みは、例えば10nm~100nmであり、好ましくは50nm以下である。

50

## 【 0 0 1 9 】

上記薄膜トランジスタ 1 は、例えば次のようにして製造することができる。

## 【 0 0 2 0 】

まず、図 2 ( A ) に示したように、基板 1 1 上の全面にスパッタリング法や蒸着法により金属薄膜を形成したのち、この金属薄膜を、例えばフォトリレジストを用いたエッチングによりパターンニングすることにより、ゲート電極 1 2 を形成する。

## 【 0 0 2 1 】

続いて、図 2 ( B ) に示したように、基板 1 1 およびゲート電極 1 2 上を覆うようにゲート絶縁膜 1 3 を、例えばプラズマ C V D ( Chemical Vapor Deposition ; 化学気相成長 ) 法により形成する。

10

## 【 0 0 2 2 】

続いて、図 2 ( C ) に示したように、上述した材料および厚みからなる酸化物半導体膜 1 4 を、例えばスパッタリング法により形成する。例えば、酸化物半導体として酸化インジウムガリウム亜鉛 ( I G Z O ) を用いた場合には、酸化インジウムガリウム亜鉛のセラミックをターゲットとした D C スパッタ法を用い、アルゴン ( A r ) および酸素 ( O<sub>2</sub> ) の混合ガスを用いたプラズマ放電により、酸化物半導体膜 1 4 を形成する。但し、プラズマ放電を行う前に、真空容器内の真空度が、例えば  $1 \times 10^{-4}$  P a 以下になるまで排気したのち、アルゴンと酸素の混合ガスを導入するようにするとよい。こののち、形成した酸化物半導体膜 1 4 を、例えばフォトリレジストを用いたエッチングによりパターンニングする。

20

## 【 0 0 2 3 】

続いて、図 2 ( D ) に示したように、酸化物半導体膜 1 4 上に金属薄膜を例えばスパッタリング法により形成したのち、この金属薄膜のうち酸化物半導体膜 1 4 のチャンネル領域 1 4 A に対応する領域に、例えばフォトリレジストを用いたエッチングにより、開口 1 5 0 を形成する。これにより、ソース電極 1 5 A およびドレイン電極 1 5 B がそれぞれ形成される。

## 【 0 0 2 4 】

次いで、形成した酸化物半導体膜 1 4、ソース電極 1 5 A およびドレイン電極 1 5 B を被覆するように、上述した材料等よりなる保護膜 1 6 を形成する。なお、ここでは、保護膜 1 6 として、酸化アルミニウム膜単層を形成する場合について説明する。この保護膜 1 6 は、例えば以下に説明するような原子層成膜 ( A L D : Atomic Layer Deposition ) 法を用いて形成する。すなわち、酸化物半導体膜 1 4、ソース電極 1 5 A およびドレイン電極 1 5 B を形成した基板 1 1 を、真空チャンパー内に配置し、原料ガスとなるトリメチルアルミニウムガスを導入して、電極形成側に原子層のアルミニウム膜を形成する。続いて、オゾンガスあるいは酸素ガスをプラズマで励起した酸素ラジカルを、基板 1 1 のアルミニウム膜が形成された側へ導入することにより、アルミニウム膜を酸化する。ここで、上記アルミニウム膜は、原子層レベルの膜厚であるため、オゾンあるいは酸素ラジカルによって容易に酸化される。これにより、基板 1 1 の全面に渡って酸化アルミニウム膜が形成される。このようにして、アルミニウム膜の原子層形成プロセスと酸化プロセスとを交互に繰り返すことで、所望の膜厚の酸化アルミニウム膜を形成することが可能である。

30

## 【 0 0 2 5 】

このように、保護膜 1 6 としての酸化アルミニウム膜を、原子層成膜法を用いて形成することにより、酸化プロセスにおいて酸素不足となることがないため、化学量論比となる理想的な組成を実現し易くなる。例えば、アルミニウムと酸素の組成比を、理想的な 2 : 3 とすることが可能である。また、水素ガスの発生を抑制した状態で成膜可能であるため、酸化物半導体膜 1 4 の電気的特性を劣化させることがない。これにより、優れたガスバリア性を有する保護膜 1 6 を形成することができる。以上により、図 1 に示した薄膜トランジスタ 1 を完成する。

40

## 【 0 0 2 6 】

次いで、本実施の形態の薄膜トランジスタ 1 の作用、効果について説明する。

## 【 0 0 2 7 】

50

薄膜トランジスタ1では、図示しない配線層を通じてゲート電極12とソース電極15Aとの間に所定のしきい値電圧以上のゲート電圧 $V_g$ が印加されると、酸化物半導体膜14にチャンネル領域14Aが形成され、ソース電極15Aとドレイン電極15Bとの間に電流(ドレイン電流 $I_d$ )が流れ、トランジスタとして機能する。

【0028】

ここで、薄膜トランジスタ1の内部へ水素などの元素が浸入した場合、前述のように、酸化物半導体膜14において、電氣的に浅い不純物準位が形成され、低抵抗化を生じる。このため、例えば酸化物半導体膜14として酸化亜鉛を用いた場合、ゲート電圧 $V_g$ を印加しなくてもドレイン電流 $I_d$ が流れ、リーク電流が増大してしまう。

【0029】

これに対し、本実施の形態では、酸化アルミニウム膜からなる保護膜16を、チャンネル領域14A、ソース電極15Aおよびドレイン電極15Bを被覆するように設けることにより、酸化アルミニウム膜のガスバリア性によって、酸化物半導体膜14への水素の浸入が抑制される。これにより、上記のようなリーク電流の発生を抑制することができる。また、この酸化アルミニウム膜を、上述したような原子層成膜法により形成することにより、より優れたガスバリア性を実現することができる。よって、リーク電流の発生を効果的に抑制することができる。

【0030】

以上説明したような薄膜トランジスタ1は、例えば有機ELディスプレイや液晶ディスプレイなどの表示装置における駆動素子として好適に用いることができる。このような表示装置では、上記薄膜トランジスタ1を備えていることにより、リーク電流を抑制することができるため、輝度の高い明るい表示を実現できる。更に酸化アルミニウム膜による保護膜16が外部からの水素などの浸入を防ぐため、信頼性が向上する。

【0031】

[第2の実施の形態]

図3は、本発明の第2の実施の形態に係る薄膜トランジスタ2の断面構造を表すものである。薄膜トランジスタ2は、上記第1の実施の形態と同様、ボトムゲート型の構造を有し、チャンネル領域(活性層)に酸化物半導体を用いたものである。以下では、上記第1の実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

【0032】

薄膜トランジスタ2では、基板11上にゲート電極12、ゲート絶縁膜13および酸化物半導体膜14が設けられている。本実施の形態では、酸化物半導体膜14の上面には、チャンネル保護膜17(第1の保護膜)が形成され、このチャンネル保護膜17の上面と酸化物半導体膜14の側面とを被覆するように、保護膜18(第2の保護膜)が形成されている。チャンネル保護膜17および保護膜18には、開口170A、170Bが設けられ、これら開口170A、170Bに、ソース電極19Aおよびドレイン電極19Bがそれぞれ埋設されている。

【0033】

チャンネル保護膜17は、酸化物半導体14の上面を覆うように形成されている。このチャンネル保護膜17は、酸化物半導体膜14の機械的損傷を防止すると共に、例えば製造プロセス中の熱処理などにより、酸化物半導体膜14中の酸素などの脱離を抑制する役割を果たしている。また、製造プロセスにおいて、酸化物半導体膜14をレジスト剥離液から保護するという役割も果たしている。このようなチャンネル保護膜17は、上記第1の実施の形態の保護膜16と同様の材料により構成されている。

【0034】

保護膜18は、薄膜トランジスタ2内部を保護する目的で設けられ、上記第1の実施の形態の保護膜16と同様の材料により構成されている。

【0035】

上記薄膜トランジスタ2は、例えば次のようにして製造することができる。

【0036】

10

20

30

40

50

まず、図4(A)に示したように、ゲート絶縁膜13の全面に、上述した手法により酸化物半導体膜14を形成する。

【0037】

続いて、図4(B)に示したように、形成した酸化物半導体膜14の全面にチャネル保護膜17を、例えば上述したような原子層成膜法により形成する。

【0038】

続いて、図4(C)に示したように、全面に渡って形成したチャネル保護膜17および酸化物半導体膜14を、フォトレジストを用いたエッチングによりパターンニングする。このうち、パターンニングしたチャネル保護膜の上面および酸化物半導体膜14の側面を被覆するように、保護膜18を上述した原子層成膜法により形成する。

10

【0039】

続いて、図4(D)に示したように、形成したチャネル保護膜17および保護膜18に、例えばフォトレジストを用いたエッチングにより、酸化物半導体膜14の表面まで貫通する開口170A, 170Bを形成する。

【0040】

最後に、これらの開口170A, 170Bを埋めるように、金属薄膜を例えばスパッタリング法により形成する。このうち、形成した金属薄膜のチャネル領域14Aに対応する領域に、例えばフォトレジストを用いたエッチングにより、開口を形成する。これにより、ソース電極19Aおよびドレイン電極19Bがそれぞれ形成される。以上により、図3に示した薄膜トランジスタ2を完成する。

20

【0041】

上記第2の実施の形態の薄膜トランジスタ2では、酸化物半導体膜14の上面を覆うように形成したチャネル保護膜17により、酸化物半導体14、ソース電極19Aおよびドレイン電極19Bをパターンニング形成する際のエッチングによってチャネル領域14Aが損傷することを防止することができる。また、チャネル保護膜17の上面と酸化物半導体膜14の側面とを被覆するように設けられた保護膜18により、酸化物半導体膜14への水素の浸入を抑制することができる。よって、上記第1の実施の形態よりも、効果的にリーク電流の発生を抑制することができる。

【0042】

[第3の実施の形態]

30

図5は、本発明の第3の実施の形態に係る薄膜トランジスタ3の断面構造を表すものである。薄膜トランジスタ3は、上記第1の実施の形態と同様、ボトムゲート型の構造を有し、チャネル領域(活性層)に酸化物半導体を用いたものである。以下では、上記第1の実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

【0043】

薄膜トランジスタ3では、基板11上にゲート電極12、ゲート絶縁膜13および酸化物半導体膜14が設けられている。酸化物半導体膜14上のチャネル領域14Aに対応する領域には、チャネル保護膜20(第1の保護膜)が形成されている。本実施の形態では、ソース電極21Aおよびドレイン電極21Bが、チャネル保護膜20の端部を覆うようにして酸化物半導体膜14上に設けられている。また、これらのチャネル保護膜20、ソ

40

ース電極21Aおよびドレイン電極21Bを被覆するように保護膜22(第2の保護膜)が形成されている。

【0044】

チャネル保護膜20は、酸化物半導体膜14の機械的損傷を防止すると共に、例えば製造プロセス中の熱処理などにおいて酸素などの元素が脱離することを抑制する役割を果たしている。また、製造プロセスにおいて、酸化物半導体膜14をレジスト剥離液から保護するという役割も果たしている。本実施の形態では、このチャネル保護膜20がシリコン酸化膜により構成されている。

【0045】

保護膜22は、薄膜トランジスタ3内部を保護する目的で設けられ、上記第1の実施の

50

形態の保護膜 16 と同様の材料により構成されている。

【0046】

上記薄膜トランジスタ 3 は、例えば次のようにして製造することができる。

【0047】

まず、図 6 (A) に示したように、ゲート絶縁膜 13 の全面に、上述した手法により酸化物半導体膜 14 を形成したのち、上述した材料よりなるチャネル保護膜 20 を、例えばプラズマ CVD 法により形成する。なお、本実施の形態では、この後の工程において、酸素雰囲気アニール処理することが望ましい。一般に、酸化物半導体膜は、真空雰囲気中に置かれることにより、膜中や表面に存在する酸素が脱離してしまうことが知られている。シリコン酸化膜は、酸素拡散性を有するため、チャネル保護膜 20 をシリコン酸化膜により形成し、酸化物半導体膜 14 に対して酸素雰囲気アニール処理を施すことにより、酸化物半導体膜 14 に酸素を供給することが可能となる。これにより、酸化物半導体膜 14 における格子欠陥の発生を抑制することができる。

10

【0048】

続いて、図 6 (B) に示したように、全面に渡って形成したチャネル保護膜 20 および酸化物半導体膜 14 を、順に、フォトリソを用いたエッチングによりパターンニングする。

【0049】

続いて、図 6 (C) に示したように、形成したチャネル保護膜 20 および酸化物半導体膜 14 を覆うように、金属薄膜を例えばスパッタリング法により成膜する。こののち、金属薄膜のチャネル領域 14A に対応する領域に、例えばフォトリソを用いたエッチングにより、開口を形成する。これにより、ソース電極 21A およびドレイン電極 21B がそれぞれ形成される。

20

【0050】

一方、保護膜 22 を形成する前段階の処理として、酸化物半導体膜 14 に対し、例えばオゾン処理、酸素プラズマ処理もしくは二酸化窒素プラズマ処理を施す。このような処理は、酸化物半導体膜 14 を形成した後、保護膜 22 を形成する前であれば、どのタイミングで行うようにしてもよい。但し、保護膜 22 を形成する直前に行うことが望ましい。このような前処理を行うことによっても、酸化物半導体膜 14 における格子欠陥の発生を抑制することができる。

30

【0051】

最後に、形成したチャネル保護膜 20、ソース電極 21A およびドレイン電極 21B を覆うように、保護膜 22 を例えば上述した原子層成膜法により形成する。以上により、図 5 に示した薄膜トランジスタ 3 を完成する。

【0052】

上記第 3 の実施の形態の薄膜トランジスタ 3 では、酸化物半導体膜 14 のチャネル領域 14A 上に形成したチャネル保護膜 20 により、例えばソース電極 19A およびドレイン電極 19B を形成する際のエッチングにより、チャネル領域 14A が損傷することを防止することができる。また、チャネル保護膜 20、ソース電極 21A およびドレイン電極 21B を覆うように設けられた保護膜 22 により、酸化物半導体膜 14 への水素の浸入を抑制することができる。よって、上記第 1 の実施の形態よりも、リーク電流の発生を効果的に抑制することができる。

40

【0053】

また、チャネル保護膜 20 をシリコン酸化膜により形成し、酸素雰囲気アニール処理を施すことにより、もしくは、保護膜 22 形成前にオゾン処理等を施すことにより、酸化物半導体膜 14 における格子欠陥の発生を抑制することができる。ここで、保護膜 22 の形成前にオゾン処理を行った場合の薄膜トランジスタ 3 の電流 ( $I_d$ ) - 電圧 ( $V_g$ ) 特性を、図 7 (A) に示す。また、オゾン処理を行なわなかった場合の電流 - 電圧特性を図 7 (B) に示す。

【0054】

50



図7(A)に示したように、オゾン処理を行うことにより、低いオフリーク電流を得ることが可能となり、十分に高いオンオフ比を有する電気特性を得ることが可能となる。一方、図7(B)に示したように、オゾン処理を行わない場合には、トランジスタのしきい値電圧がマイナス方向にシフトしてしまい電気特性が大きく劣化してしまうことがわかる。これは、次のような理由によるものと考えられる。一般に、酸化物半導体膜では、真空中において膜中や表面の酸素が脱離し、これにより格子欠陥が発生する。このような格子欠陥は、水素ガスと同様、酸化物半導体膜中に浅い不純物準位を形成し、リーク電流を増大させてしまう。また、キャリアの誘起を妨げて、キャリア濃度を減少させる。このキャリア濃度の減少は、酸化物半導体膜の導電率を引き下げ、薄膜トランジスタの電子移動度、電流伝達特性(例えば、サブスレッショルド特性やしきい電圧)に影響する。よって、保護膜22の形成前にオゾン処理を施すことで、酸化物半導体膜14中に十分な量の酸素を供給することが可能となり、格子欠陥の発生を抑制し、結果的にオフリーク電流が低く十分なオンオフ比を有する薄膜トランジスタ3を得ることができる。なお、オゾン処理の代わりに酸素ガスや二酸化窒素ガスをプラズマで励起して形成したラジカルで処理を行った場合においても上記と同等の効果を得ることができる。

10

## 【0055】

また、図8に、保護膜22としての酸化アルミニウム膜の膜厚に対する薄膜トランジスタ3のオフリーク電流の関係を示す。但し、保護膜22の形成前に上記オゾン処理を施したものである。このように、保護膜22の膜厚が50nmより大きくなると、オゾン処理を行ってもオフリーク電流が増加してしまい、十分なオンオフ比が得られないことがわかる。このことから、保護膜22として用いる酸化アルミニウム膜の膜厚は50nm以下とすることが望ましい。

20

## 【0056】

さらに、図9(A)、(B)に、膜厚10nmの酸化アルミニウム膜の保護膜22を形成した場合の薄膜トランジスタ3の電流-電圧特性を示す。但し、図9(A)は、初期の特性、図9(B)は、窒素雰囲気中、温度300で1時間アニールした後の特性である。また、これらの比較例として、保護膜22を形成しない場合の初期の特性を図10(A)、窒素雰囲気中、温度300で1時間アニールした後の特性を図10(B)に示す。

## 【0057】

図10(A)、(B)に示したように、保護膜22を形成しない場合には、アニール後に電流-電圧特性が大きく変化して、オフリーク電流が急激に増大していることがわかる。これに対して、図9(A)、(B)に示したように、膜厚10nmの酸化アルミニウム膜を保護膜22として形成した本実施の形態の薄膜トランジスタ3では、300のアニールの後においても特性に変化はほとんど見られず、安定していることがわかる。これにより、デバイス作製の際に必要な熱プロセスに対してもトランジスタ特性を劣化させることなく、安定した特性を維持できることがわかった。

30

## 【0058】

(変形例)

次に、上記第3の実施の形態の変形例について説明する。図11は、変形例に係る薄膜トランジスタ4の断面構造を表すものである。薄膜トランジスタ4は、上記第1の実施の形態と同様、ボトムゲート型の構造を有し、チャンネル領域(活性層)に酸化物半導体を用いたものである。以下では、上記第1および第3の実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

40

## 【0059】

本変形例では、ソース電極23Aおよびドレイン電極23Bの構成以外は、上記第3の実施の形態と同様の構成となっている。すなわち、ソース電極23Aおよびドレイン電極23Bは、酸化物半導体膜14上に形成されたチャンネル保護膜20と互いに重ならないように設けられている。保護膜24は、酸化物半導体膜14の一部と、チャンネル保護膜20と、ソース電極23Aおよびドレイン電極23Bとを覆うように形成されている。保護膜24は、薄膜トランジスタ4内部を保護する目的で設けられ、上記第1の実施の形態の保

50

護膜 16 と同様の材料等により構成されている。

【0060】

この薄膜トランジスタ 4 は、例えば次のようにして製造することができる。まず、図 12 (A) に示したように、上述した第 3 の実施の形態の薄膜トランジスタ 3 と同様にして、チャンネル保護膜 20 および酸化物半導体膜 14 を順に、フォトリソを用いたエッチングによりパターンニング形成する。続いて、図 12 (B) に示したように、形成したチャンネル保護膜 20 と重ならないように、酸化物半導体膜 14 上に、ソース電極 23 A およびドレイン電極 23 B を形成する。最後に、保護膜 24 を上述した原子層成膜法により形成する。なお、本変形例においても、上記第 3 の実施の形態と同様に、保護膜 24 形成前にオゾン処理等を施すことが望ましい。以上により、図 11 に示した薄膜トランジスタ 4 を完成する。

10

【0061】

上記のように、ソース電極 23 A およびドレイン電極 23 B は、チャンネル保護膜 20 と重ならないように形成されていてもよい。このように構成した場合であっても、上記第 1 および第 3 の実施の形態と同等の効果を得ることができる。なお、酸化物半導体膜 14 に、チャンネル保護膜 20 とソース電極 23 A およびドレイン電極 23 B の両方に被覆されない領域（露出領域）が存在することになるが、保護膜 24 を形成する際の減圧雰囲気において、この露出領域における酸素は脱離してしまうため、露出領域では低抵抗となる。よって、寄生抵抗により薄膜トランジスタ 4 の電流を低下させることなく寄生容量を低減させることができる。

20

【0062】

なお、ここでの保護膜形成前のオゾン処理等は、上記第 1 および第 2 の実施の形態の薄膜トランジスタの製造プロセスにおいても行うことができる。また、上記第 2 の実施の形態では、チャンネル保護膜 17 を酸化アルミニウム膜により形成する場合を例に挙げて説明したが、これに限定されず、上記第 3 の実施の形態および変形例のように、チャンネル保護膜 17 をシリコン酸化膜により形成し、後の工程において酸素雰囲気中でアニール処理を施すようにしてもよい。また、上記第 3 の実施の形態および変形例では、チャンネル保護膜 20 がシリコン酸化膜により構成された場合を例に挙げて説明したが、酸化アルミニウム膜により構成されていてもよい。

30

【0063】

以上、実施の形態および変形例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、酸化アルミニウム膜を、原子層成膜法により形成する場合を例に挙げて説明したが、これに限定されず、他の成膜方法、例えばスパッタリング法などにより酸化アルミニウム膜を形成するようにしてもよい。但し、上述したように、原子層成膜法を用いた場合、酸化アルミニウム膜を理想的な組成比で均一に形成することができるため、ガスバリア性を確保し易くなる。

【0064】

また、上記実施の形態等では、薄膜トランジスタとして、ボトムゲート構造を例に挙げて説明したが、これに限定されず、トップゲート構造であってもよい。

40

【図面の簡単な説明】

【0065】

【図 1】本発明の第 1 の実施の形態に係る薄膜トランジスタの断面構造を表すものである。

【図 2】図 1 に示した薄膜トランジスタの製造方法を説明するための図である。

【図 3】本発明の第 2 の実施の形態に係る薄膜トランジスタの断面構造を表すものである。

【図 4】図 3 に示した薄膜トランジスタの製造方法を説明するための図である。

【図 5】本発明の第 3 の実施の形態に係る薄膜トランジスタの断面構造を表すものである

50

。

【図6】図5に示した薄膜トランジスタの製造方法を説明するための図である。

【図7】図5の薄膜トランジスタの電流電圧特性を表すものであり、(A)はオゾン処理を行った場合、(B)はオゾン処理を行わなかった場合を示す。

【図8】図5の薄膜トランジスタの保護膜の膜厚に対するオフ電流の関係を表すものである。

【図9】図5の薄膜トランジスタの電流電圧特性を表すものであり、(A)はアニール処理前、(B)はアニール処理後を示す。

【図10】比較例に係る薄膜トランジスタの電流電圧特性を表すものである。

【図11】第3の実施の形態の変形例に係る薄膜トランジスタの断面構造を表すものである。

10

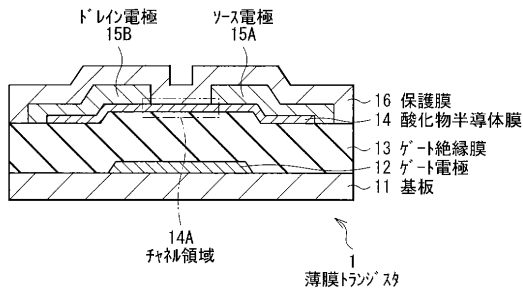
【図12】図11に示した薄膜トランジスタの製造方法を説明するための図である。

【符号の説明】

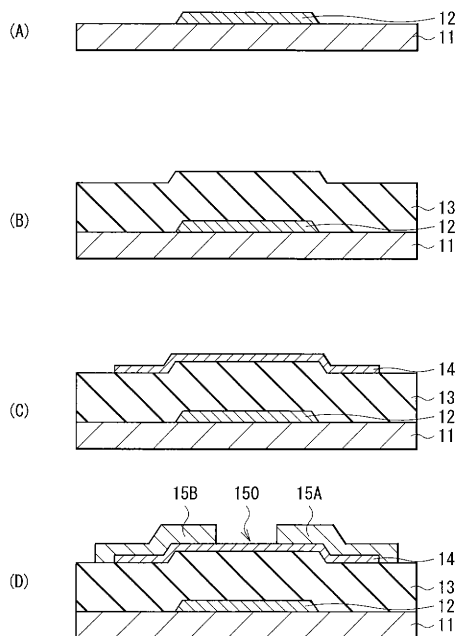
【0066】

1～4...薄膜トランジスタ、11...基板、12...ゲート電極、13...ゲート絶縁膜、14...酸化物半導体膜、15A, 19A, 21A, 23A...ソース電極、15B, 19B, 21B, 23b...ドレイン電極、16, 18, 22, 24...保護膜、17, 20...チャネル保護膜。

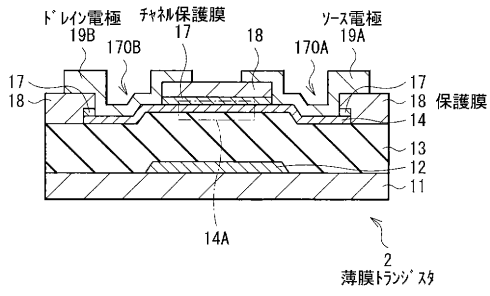
【図1】



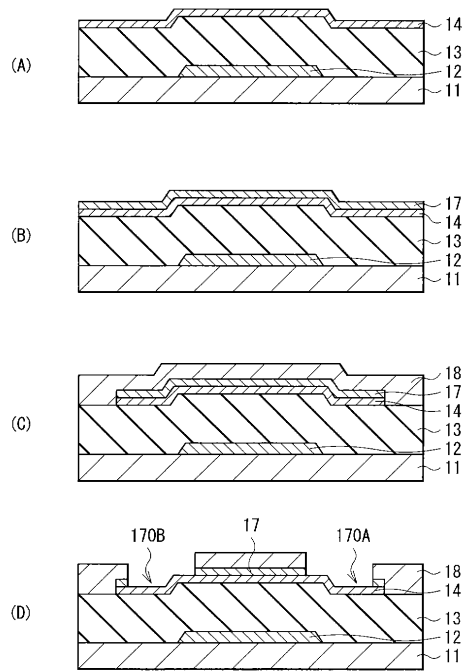
【図2】



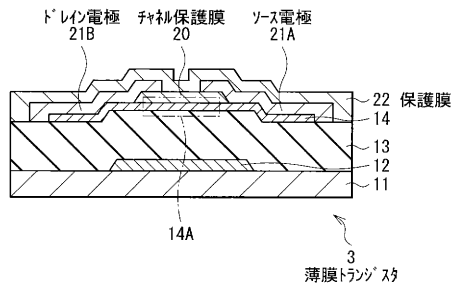
【図3】



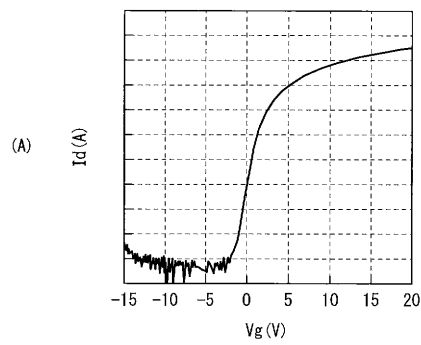
【図4】



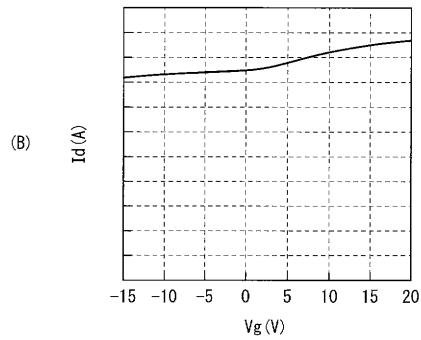
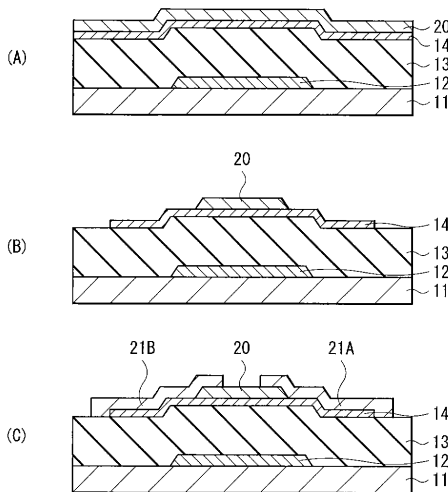
【図5】



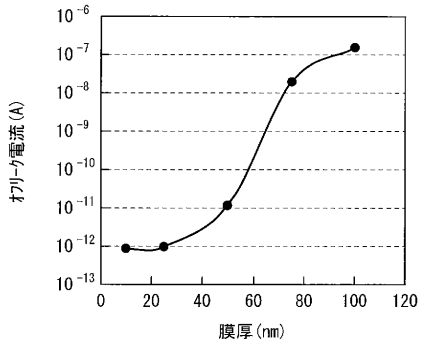
【図7】



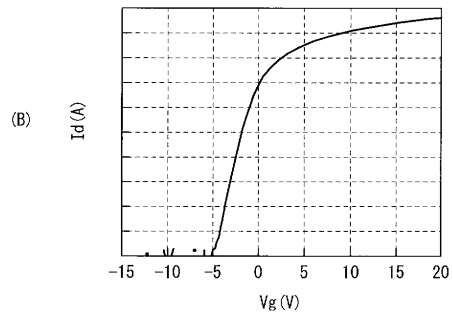
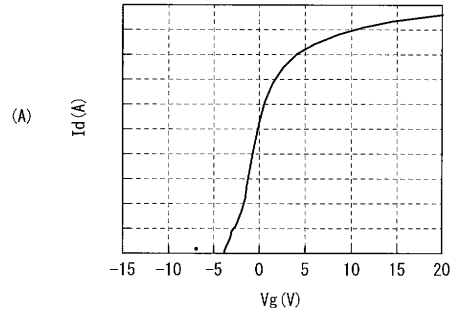
【図6】



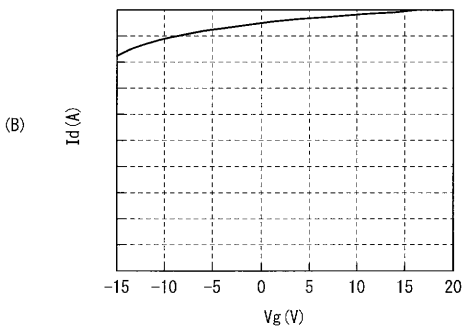
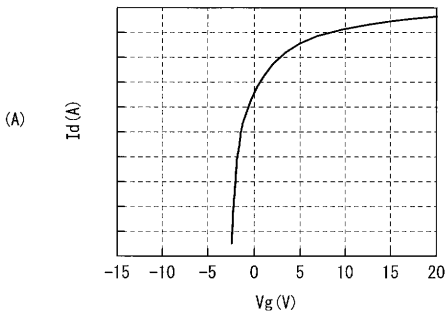
【図8】



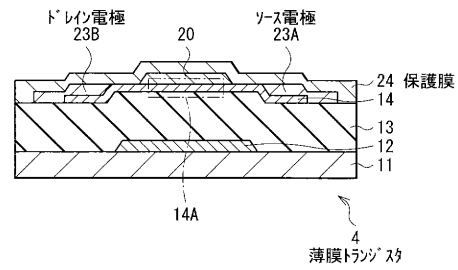
【図9】



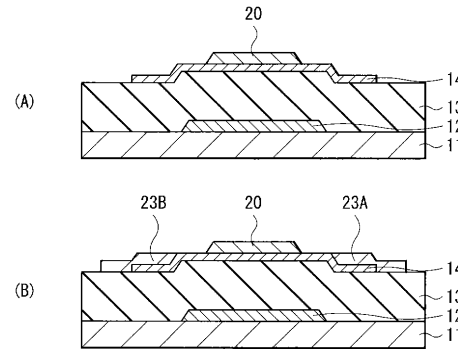
【図10】



【図11】



【図12】



---

フロントページの続き

(72)発明者 荒井 俊明  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 綿引 隆

(56)参考文献 特開2007-073559(JP,A)  
特開2007-115808(JP,A)  
特開2005-197651(JP,A)  
特開2008-060419(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 21/336  
H01L 29/786