



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I557994 B

(45)公告日：中華民國 105 (2016) 年 11 月 11 日

(21)申請案號：101115764

(22)申請日：中華民國 101 (2012) 年 05 月 03 日

(51)Int. Cl. : *H01Q1/38 (2006.01)**H01L23/08 (2006.01)**H01L23/28 (2006.01)*

(30)優先權：2011/05/05 美國

13/101,891

(71)申請人：英特爾公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：坎嘉因 泰勒斯弗 KAMGAING, TELESPHOR (CM)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW I240454

TW I306682

US 6154176

US 2008/0105966A1

US 2010/0327068A1

審查人員：程敦睿

申請專利範圍項數：46 項 圖式數：12 共 55 頁

(54)名稱

帶有高性能之以玻璃為基礎的 60GHz/毫米波相位陣列天線的裝置及電腦系統以及其製造方法
APPARATUS AND COMPUTER SYSTEM WITH HIGH PERFORMANCE GLASS-BASED 60 GHZ/
MM-WAVE PHASED ARRAY ANTENNAS AND METHODS OF MAKING SAME

(57)摘要

一種以玻璃為基礎的高性能 60GHz/毫米波天線，包括設於相位-陣列天線(PAA)基材中之腔洞。該腔洞設於平面天線元件之下。射極跡線設於平面天線元件與射極跡線對面之 PAA 基材上，腔洞及平面天線元件係垂直地對準。

A glass-based, high-performance 60 GHz/ mm-wave antenna includes cavities disposed in a phased-array antenna (PAA) substrate. The cavities are disposed below planar antenna elements. Emitter traces are disposed on the PAA substrate opposite the planar antenna elements and the emitter traces, the cavities, and the planar antenna elements are vertically aligned.

指定代表圖：



- 210 · · · PAA 基材
- 212、213 · · · 平面天線元件
- 227 · · · 主動表面
- 228 · · · TSV RIFC 晶粒
- 229 · · · 背側表面
- 230 · · · 次級廉價封裝件
- 231 · · · 著陸表面
- 232 · · · 貫通矽晶穿孔
- 234、238 · · · 電氣凸塊
- 240 · · · 陣列遮罩
- 242 · · · 金屬層
- 244 · · · 跡線
- 250 · · · 主動-裝置層
- 251 · · · 頂結合墊
- 252 · · · 第一介電層
- 254 · · · 第二介電層
- 255 · · · 腔洞
- 256 · · · 厚度
- 257 · · · 剩餘厚度
- 400 · · · 晶片裝置

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：101115764

※ 申請日：101.5.3

※IPC 分類：H01Q 001/38 (2006.01)
H01Q 023/08 (2006.01)
H01Q 023/28 (2006.01)

一、發明名稱：(中文/英文)

帶有高性能之以玻璃為基礎的60GHZ/毫米波相位陣列天線的裝置及電腦系統以及其製造方法

APPARATUS AND COMPUTER SYSTEM WITH HIGH PERFORMANCE GLASS-BASED 60 GHZ/MM-WAVE PHASED ARRAY ANTENNAS AND METHODS OF MAKING SAME

二、中文發明摘要：

一種以玻璃為基礎的高性能60GHz/毫米波天線，包括設於相位-陣列天線(PAA)基材中之腔洞。該腔洞設於平面天線元件之下。射極跡線設於平面天線元件與射極跡線對面之PAA基材上，腔洞及平面天線元件係垂直地對準。

三、英文發明摘要：

A glass-based, high-performance 60 GHz/ mm-wave antenna includes cavities disposed in a phased-array antenna (PAA) substrate. The cavities are disposed below planar antenna elements. Emitter traces are disposed on the PAA substrate opposite the planar antenna elements and the emitter traces, the cavities, and the planar antenna elements are vertically aligned.

四、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

210...PAA基材	242...金屬層
212、213...平面天線元件	244...跡線
227...主動表面	250...主動-裝置層
228...TSV RIFC晶粒	251...頂結合墊
229...背側表面	252...第一介電層
230...次級廉價封裝件	254...第二介電層
231...著陸表面	255...腔洞
232...貫通矽晶穿孔	256...厚度
234、238...電氣凸塊	257...剩餘厚度
240...陣列遮罩	400...晶片裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

技術領域

本發明係有關於相位陣列天線及其製造方法，特別係有關於一種高性能之以玻璃為基礎的60GHZ/毫米波相位陣列天線及其製造方法。

【先前技術】

發明背景

揭露的實施例係有關於一種用於經封裝之射頻積體電路的相位-陣列天線基材及形成該基材的方法。

【發明內容】

依據本發明之一實施例，係特地提出一種相位-陣列天線(PAA)基材，包括：一第一介電層，其含有多數射極跡線；一第二介電層，其配合至該第一介電層，其中該第二介電層為玻璃且支持設於其一頂表面上的一平面天線元件陣列，及其中該第二介電層包括對應於該平面天線元件陣列的一腔洞陣列，其中各個天線元件與該第二介電層中對應的腔洞垂直地對準。

圖式簡單說明

為了瞭解獲得實施例之方式，藉由參考附屬圖式，將提供簡述於上之各種實施例的特別說明。這些圖形描繪實施例，其等不必然與實際比例相符且不應被認為限制了權利範圍。經由使用附屬圖形，一些實施例將以額外特別及詳細之方式描述及解釋，其中：

第1圖為根據一例示實施例之垂直整合之相位-陣列天線射頻積體電路晶片裝置的頂部平面圖；

第2圖為根據一例示實施例之裝設在次級廉價封裝件上之相位-陣列天線射頻積體電路晶片裝置的立體前視圖；

第3圖為第2圖描繪之根據一例示實施例之裝設在次級廉價封裝件上的相位-陣列天線射頻積體電路晶片裝置沿著截面線3-3切割的截面前視圖；

第4圖為第3圖描繪之根據一例示實施例之裝設在次級廉價封裝件上的相位-陣列天線射頻積體電路晶片裝置的詳細截面前視圖；

第5圖為根據一例示實施例之頂部、低喪失相位-陣列天線的詳細截面前視圖；

第5a-5h圖為根據數實施例之第5圖描繪之低喪失相位-陣列天線於加工期間的截面前視圖；

第5j圖為根據一例示實施例之第5圖描繪之PAA天線於加工期間的立體切除及部分佈線-框架的前視詳細圖；

第5f-1圖為根據一例示實施例之第5圖描繪之PAA天線於加工期間的立體切除及部分佈線-框架的前視詳細圖；

第5k, 5m及5n圖為根據一例示實施例之第5圖描繪之頂部、低喪失相位-陣列天線的經暴露層的平面圖；

第6圖為根據一例示實施例之頂部、低喪失相位-陣列天線600的詳細截面前視圖；

第6d圖為根據一例示實施例之第6圖描繪之部分頂部、低喪失相位-陣列天線於加工期間的截面前視圖；

第7圖為根據一例示實施例之頂部、低喪失相位-陣列天線的詳細截面前視圖；

第7d圖為根據一例示實施例之第7圖描繪之部分頂部、低喪失相位-陣列天線於加工期間的截面前視圖；

第8圖為根據一例示實施例之頂部、低喪失相位-陣列天線的詳細截面前視圖；

第9圖為相位-陣列天線射頻積體電路晶片裝置(其包括裝設於板，諸如次級廉價封裝件上之貫通矽晶穿孔RFIC晶片)的放大、佈線-框架立體圖；

第10圖為根據一例示實施例之晶片封裝件(其包括具有腔洞之相位-陣列天線基材)的截面前視圖；

第11圖為根據一例示實施例之製程及方法流程圖；及

第12圖為根據一例示實施例之電腦系統的簡要圖。

【實施方式】

詳細說明

所揭露者係關於將貫通矽晶穿孔射頻積體電路(TSV RFIC)晶粒組合至相位-陣列天線基材的製程。相位-陣列天線基材具有設於各個天線元件下方的腔洞。

現在請參考圖式，其中類似結構具有類似元件標號。為了更清楚顯示各種實施例之結構，包含於此處之圖式為積體電路結構之概略表示圖。因此，所製作之積體電路結構的真實外表，例如在顯微照片中者，雖然表現出差異，但依然含有說明實施例中的所請求結構。而且，圖式僅顯示有用於明瞭說明實施例的結構。為了保持圖式的清晰，

習於此藝者熟知之額外結構可能未被包括。

第1圖係根據一例示實施例之相位-陣列天線射頻積體電路晶片裝置100的頂平面圖。以4X4陣列的平面天線元件111，112，113，114，115，116，117，118，119，120，121，123，124，125及126描繪一種簡化形式的相位-陣列天線(PAA)基材110。PAA元件被配置成4-4-4-4列。於此實施例中，8個PAA元件為接收器元件，另8個PAA元件為發送器元件。於一實施例中，PAA元件數目的範圍從4至64。於一實施例中，PAA元件的數目為6X6陣列的36，其中18 PAA元件為接收器元件，另18 PAA元件為發送器元件。於一實施例中，PAA元件數目為8X8陣列的64，其中32 PAA元件為接收器元件，另32 PAA元件為發送器元件。於一實施例中，64元件被分割成為許多陣列。例如，組態為4個4x4陣列，其中各個陣列組態為2個用於接收的天線元件及2個用於發送的天線元件。於一實施例中，32元件相位-陣列天線被分割成為許多陣列。例如，組態為2個4x4陣列，其中各陣列組態為2個用於接收的天線元件及2個用於發送的天線元件。

一種貫通矽晶穿孔(TSV)晶粒128以虛線描繪於PAA基材110的下方，且TSV晶粒128與PAA基材110垂直結合(Z-方向)。於一實施例中，TSV晶粒128包括半導體材料製成的主動及被動電路系統。例如，TSV晶粒128為英特爾公司(聖塔克拉拉，加州)製造之處理器的一部分。於一實施例中，TSV晶粒128含有一種晶片上系統(SoC) 128，諸如雙重處理

器微電子裝置。於一實施例中，TSV晶粒128包括數位處理器及射頻積體電路(DP-RFIC)混合裝置128。於一實施例中，TSV晶粒128包括SoC 128，其包括DP及圖形(DP-GIC)之混合，諸如英特爾公司製造代號為Sandy Bridge的型式。

於一實施例中，TSV晶粒128為射頻積體電路(RFIC) TSV晶粒128。可以見到，TSV RFIC晶粒128具有比PAA基材110還小的足印(footprint)，且PAA基材110對稱地設於TSV RFIC晶粒128上方。如描繪者，PAA基材110與TSV RFIC晶粒128之間可以見到四邊形對稱。“四邊形對稱”可被了解為在裝置100之X-Y中心開始，當沿著所採取之相同路線的相反方向移動時，所遇到之PAA元件可藉由遇見相同之PAA元件而平衡。雖然平面天線元件描繪為四邊形對稱，它們可以其他組態配置，諸如以徑向對稱。平面天線元件也可被配置為諸如3-5-5-3列，其為不是完美幾何正方形的16元件陣列，雖然16本身是完美的數字平方。平面天線元件也可被配置為諸如4-6-6-6-6-4列，其為不是完美幾何正方形的32元件陣列。

藉由能夠直接在PAA基材110下方設置TSV RFIC晶粒128，如此有用於達到更為一致的阻抗、訊號減弱及其間的相位延遲。一致的阻抗可意指當與在給定應用中之任何PAA基材上兩天線元件的運作比較時，可以觀察到裝置100的運作可達成在線性阻抗上無顯著的區別。額外地，藉由能夠直接設置TSV RFIC晶粒128於PAA基材110下方，可達成一種可以便利封裝微小化的有用較小裝置。

第2圖為根據一實施例之裝設於次級廉價封裝件230 (也稱作板230)之相位-陣列天線射頻積體電路晶片裝置200的立體前視圖。於一實施例中，板230為一種直接晶片-貼附(DCA)板230。使用次級廉價封裝件230者，RF/mm-波訊號的移除，讓板230上的低頻率訊號具有更寬的間距(pitch)。這使得可以將晶粒第一級交互連接，諸如經控制之崩潰(collapse)晶片連接(C4)凸塊直接貼附至板230。

為了圖示設於PAA基材210下方(Z-方向)之TSV RFIC晶粒228的定位，裝置200以部分佈線框方式描繪。一種4 X4 PAA組態的平面天線設於PAA基材210上，其中之一以參考標號211表示。

TSV RFIC晶粒228顯示為具有16個貫通矽晶穿孔(其等以四個分組)，其中的四個以參考標號232表示。16個TSVs 232的每一個耦合至對應的平面天線元件，諸如平面天線元件211。參考16個訊號TSVs 232，未顯示於第2圖之額外的TSV可被用於提供適當的電氣接地。TSV RFIC晶粒228係藉由多數電氣凸塊234裝設至直接晶片-貼附(DCA)板230的覆晶，其中一個電氣凸塊234標示為參考標號234。電氣凸塊234為第一級交互連接凸塊，諸如貼附至晶粒主動側的C4凸塊。如圖所示，電氣凸塊的組態為12X12陣列，但需要時可以使用其他凸塊數目。額外的偽凸塊，其中之一以參考標號236表示，配置於PAA基材210與次級廉價封裝件230之間。偽凸塊236橋接PAA基材210與次級廉價封裝件230之間的間隙，而且增加裝置200與次級廉價封裝件230的機械及

熱-應力穩定度。於一實施例中，電氣接地的能力可經由至少用於PAA基材210與TSV RFIC 228的偽凸塊236而達成。

第3圖為根據一實施例之裝設在描繪於第2圖之直接-晶片-貼附板230上的相位-陣列天線射頻積體電路晶片裝置300的截面前視圖(沿著截面線3--3)。裝置300包括PAA基材210與TSV RFIC 228。額外地，次級廉價封裝件230藉背側電氣凸塊238耦合至PAA基材210。在TSV RFIC 228中可見到多數TSVs，其中兩個以參考標號232表示。第3圖亦可見到其他結構。在TSV RFIC 228係含有RF之主動RF裝置且毫米波訊號通過TSVs被發送至相位-陣列天線的情況下，較低頻率功能與PAA基材210分離並包含於次級廉價封裝件230中。這個垂直整合系統降低訊號壅塞且便利為PAA基材210尺寸所限制的小型式因子。於一實施例中，PAA基材210在60 GHz範圍下運作，而次級廉價封裝件230在較低頻率下運作。

於一實施例中，60 GHz或毫米-波相位陣列或是包括平面天線元件211，212，213及214的毫米-波被組合成為毫米-波(mm-波) TSV RFIC 228，該TSV RFIC 228在無線連結上需要Gb/s資料速率。於一實施例中，無線連結用於來自無線傳輸的無線顯示，該無線傳輸係用於未壓縮的高定義(HD)錄影。

第4圖為根據一實施例之裝設於第3圖描繪之直接-晶片-貼附板上之相位-陣列天線射頻積體電路晶片裝置的截面前視詳細圖。裝置400包括PAA基材210及TSV RFIC 228。

裝置400裝設於次級廉價封裝件230上。

顯示的PAA基材210具有兩個經由陣列遮罩240暴露之平面天線元件212及213。在平面天線元件212及213下方為讓有用頻寬得以強化的對應腔洞255。於一實施例中，金屬層242設於PAA基材210中以強化天線頻寬。經由經由背側凸塊238耦合至TSVs 232的至少一條跡線244達成TSV RFIC 228與天線元件之間的電氣接觸。藉由間接或是直接的通孔耦合達成經由PAA基材210之天線元件212及213的電氣耦合。於一實施例中，PAA基材210包括第一介電層252及配接至第一介電層242的第二介電層254。於一實施例中，第一介電層252具有較第二介電層254為高的介電常數。第二介電層254為玻璃材料。於一實施例中，第一介電層252為玻璃材料。於一實施例中，第一介電層252為有機材料。於一實施例中，第一介電層252為陶瓷材料。於一實施例中，第一介電層252為無機材料，諸如鋁土。

第二介電層254也可組態為具有多數腔洞255，在天線元件，諸如天線元件212及213之下方，各個腔洞255係對準的。可以見到第二介電層254具有延伸於天線元件與金屬層242間的厚度256。在各個天線元件212下方，腔洞255將第二介電層254之有效厚度降低至剩餘厚度257，且物質(諸如空氣)被安置於腔洞255中。於一實施例中，腔洞255開放至外部環境(見第5j圖)，使得外部環境的改變可讓腔洞255在改變的外部壓力下得以交換氣體。

TSV RFIC 228包括展現主動表面227的主動-裝置層

250。金屬化以頂結合墊251部分地表現。主動表面227與晶粒背側表面229相對。金屬化層251也可被稱為矽背端(backend) 251。於一實施例中，根據給定之TSV RFIC 228的需求，金屬化層251具有數個金屬化層諸如金屬-1(M1)至M12。在任一案例中，TSVs232從金屬化層251中開始生長並穿過TSV RVIC228至背側表面229以讓TSV RVIC 228得以與PAA基材210的天線元件溝通。TSVs232製造與背側凸塊238的電氣接觸，並因此耦合至天線元件212及213。

次級廉價封裝件230藉由電氣凸塊234耦合至TSV RFIC 228及藉由偽凸塊236耦合至PAA基材210(見第3圖)。於一實施例中，次級廉價封裝件230為第一級晶片-貼附基材且提供一著陸(land)表面231作為第二級晶片-貼附表面。於一實施例中，該著陸表面231為一種著陸-格柵陣列表面231。於一實施例中，該著陸表面231為一種針-格柵陣列表面231。

第5圖為根據一例示實施例之頂部、低喪失相位-陣列天線500的詳細截面前視圖。天線500為PAA基材510的一部分。顯示的PAA基材510具有4個平面天線元件511，512，513及514，其等經由厚度約20微米(μm)的陣列遮罩540暴露。於一實施例中，陣列遮罩540為包封平面天線元件的鈍化層。如描繪者，平面天線元件511，512，513及514暴露在頂表面，但是它們被第二介電層554覆蓋在底表面上。

腔洞555設於各個平面天線元件下方的PAA基材510中以便利有用頻寬的強化。於一實施例中，金屬層542設於PAA基材510中以強化天線頻寬。

經由至少一跡線544達成TSV RFIC與天線元件511，512，513及514之間的電氣接觸，該跡線544經由設於TSV RFIC與PAA基材510之間的背側凸塊538耦合至TSVs。跡線544可為具有口徑580的接地平面，口徑580加速射極跡線545與對應平面天線元件514之間的誘導耦合。可以見到射極跡線545、腔洞555及平面天線元件係垂直地對準。跡線544藉由厚度約20 μm 之抗焊層541保護。通過抗焊層541提供電氣凸塊538以將PAA 510耦合至裝置(諸如TSV RFIC)。藉由通過PAA基材510的誘導耦合達成天線元件511，512，513及514的電氣耦合，其中射極跡線545通過高-k介電質552(諸如玻璃材料)及較低-k介電層554(包括腔洞555)兩者發射EM波至天線元件511，512，513及514上。

可以見到，第二介電層554具有延伸於天線元件與跡線544之間的厚度556。在各個天線元件511，512，513及514下方，腔洞555將第二介電層554的有效厚度降低至剩餘厚度557，而且任何周圍物質(諸如空氣)被置於腔洞555中。於一實施例中，腔洞555開放與外部環境使得外部環境的改變可以在外部壓力改變時讓腔洞555得以交換氣體。

較低-k介電層554也可為玻璃材料。於一實施例中，第一介電層652的 Er 係約5.5， $\tan \delta$ 係約0.001及厚度係約100 μm ，而較低-k介電層654的 Er 從約2.0至2.5， $\tan \delta$ 係約0.001及厚度從約250 μm 至約400 μm 。

第5a-5h圖係根據數個實施例之第5圖描繪之低喪失相位-陣列天線於加工期間的截面前視圖。第5a圖為根據一例

示實施例之第5圖描繪之頂部、低喪失相位-陣列天線於製造期間的截面前視圖。諸如藉由無電性電鍍，使得將會變成第二介電層554的材料上覆蓋將會變成天線元件511的金屬性材料。

第5b圖為根據一實施例之第5a圖描繪之PAA基材於進一步加工後的截面前視圖。從第5a圖描繪之金屬性材料中已經圖案化平面天線元件511，512，513及514陣列以形成相位-陣列天線。於第5c圖中，藉由固定鈍化層540以保護PAA元件511，512，513及514以完成進一步加工。於一實施例中，陣列遮罩540被圖案化以從上方(Z-方向)暴露PAA元件511-514。

於第5d圖中，藉著於各個PAA元件511，512，513及514下方形成多數腔洞555而完成進一步加工。諸如雷射鑽孔以形成腔洞555而完成加工。於一實施例中，實施鑿孔器(drill-bit)鑽孔。於一實施例中，實施雷射鑽孔。於一實施例中，完成第一鑿孔器鑽孔，接著進行雷射鑽孔修整。於一實施例中，相鄰腔洞之間形成淺槽溝592以便利周圍狀況之調整。

第5e圖為根據一實施例之第5圖描繪之PAA基材於加工期間的截面前視圖。此處觀察到第二介電層554與第一介電層分開製作，接著結合它們以形成第5圖描繪的PAA基材500。第一介電層552上方已經被將形成部分跡線544的金屬性材料覆蓋。於第5f圖中，藉由其間形成填滿的電氣貫通孔完成加工以圖案化跡線544及電氣地耦合兩條跡線。完成

進一步加工以組合兩者類型之對應該多數PAA元件的射極跡線545，射極跡線545係被固定至第5d圖所示之第二介電層554。

第5f-1圖為與第5f圖描繪之結構相比，於加工期間第一介電層552的截面前視圖。附隨於貫通孔之形成而形成第一介電層腔洞555.1，使得腔洞555.1強化例如第5d圖描繪之第二介電層554中的腔洞555。

在第5g圖中，抗焊層541已經形成於射極跡線545及跡線544的上方。於第5h圖中，完成圖案化抗焊層541以暴露射極跡線545，以及已經形成電氣凸塊538以與跡線544溝通。

第6圖為根據一例示實施例之頂部、低喪失相位-陣列天線600的詳細截面前視圖。天線600係PAA基材610之部分。顯示之PAA基材610具有4個平面天線元件611，612，613及614，其等通過厚度可為約20 μm 之陣列遮罩640而暴露。於一實施例中，陣列遮罩640為從下方(在基材610之內)包封平面天線元件的一鈍化層。如描繪者，平面天線元件511，512，513及514暴露於頂表面處，而且其等也藉由它們對應的腔洞655而暴露於底表面上。

腔洞655設於各個平面天線元件下方的PAA基材610中以促進有用的頻寬強化。如描繪者，腔洞655垂直地延伸以暴露平面天線元件。於一實施例中，金屬層642設於PAA基材610中以強化天線頻寬。

通過至少一跡線644達成TSV RFIC與天線元件611，

612，613及614之間的電氣接觸，該跡線644通過設於TSV RFIC與PAA基材610之間的背側凸塊而被耦合至TSVs。跡線644可為具有可促進射極跡線645間誘導耦合之口徑680的接地平面。跡線644藉由厚度約60 μm 的抗焊層641保護。通過抗焊層641提供電氣凸塊638以將PAA610耦合至諸如TSV RFIC的裝置。藉由誘導耦合達成通過PAA基材之天線元件611，612，613及614 610的電氣耦合，其中射極跡線645發射EM波通過高-k介電質652(諸如玻璃材料)及較低-k介電層654中之腔洞655至天線元件611，612，613及614上。

可以見到第二介電層654具有延伸於天線元件與跡線644之間的厚度656。在各個天線元件611，612，613及614下方，腔洞655降低第二介電層654之有效厚度至第二介電層654之剩餘厚度基本上為零，但是它包括任何周圍物質，諸如置於腔洞655中之空氣。於一實施例中，腔洞655開放為外部環境，使得在外部壓力變化時，外部環境的改變可以讓腔洞655得以交換氣體。

較低-k介電層654也可為玻璃材料。於一實施例中，第一介電層652的Er係約5.5， $\tan \delta$ 係約0.001及厚度係約100 μm ，而較低-k介電層654的Er係從約2.0至2.5， $\tan \delta$ 係約0.001及厚度係從約250 μm 至約400 μm 。

第7圖為根據一例示實施例之頂部、低喪失相位-陣列天線700的詳細截面前視圖。天線700為PAA基材710之部分。顯示之PAA基材710具有設於較低-k介電層754之腔洞755內部的4個平面天線元件711，712，713及714。腔洞755

設於PAA基材710中且各個平面天線元件設於腔洞755中以促進有用的頻寬強化。於一實施例中，金屬層742設於PAA基材710中以強化天線頻寬。

通過至少一跡線744達成TSV RFIC與天線元件711，712，713及714之間的電氣接觸，該跡線744通過設於TSV RFIC與PAA基材710之間的背側凸塊耦合至TSVs。跡線744可為具有口徑780的接地平面，口徑780可促進射極跡線745之間的誘導耦合。跡線744藉由厚度約20 μm 之抗焊層741保護。通過抗焊層741提供電氣凸塊738以耦合PAA 710至裝置，諸如TSV RFIC。藉由誘導耦合通過PAA基材710達成天線元件711，712，713及714的電氣耦合，其中射極跡線745通過高-k介電質752(諸如玻璃材料)及較低-k介電層754(包括腔洞755)兩者發射EM波至天線元件711，712，713及714上。

可以見到第二介電層754具有延伸於PAA基材710之頂(外部)與跡線744之間的厚度756。在各個天線元件711，712，713及714下方，腔洞755降低第二介電層754之有效厚度至剩餘厚度757，而且任何物質，諸如空氣，被置於腔洞755中。於一實施例中，腔洞755開放於外部環境中，使得外部壓力變化時，外部環境的改變可讓腔洞755得以交換氣體。

較低-k介電層754也可為玻璃材料。於一實施例中，第一介電層752的Er係約5.5， $\tan \delta$ 係約0.001及厚度係約100 μm ，而較低-k介電層754的Er係從約2.0至2.5， $\tan \delta$

係約0.001及厚度係從約250 μm 至約400 μm 。

第8圖為根據一例示實施例之頂部、低喪失相位-陣列天線800的詳細截面前視圖。天線800係PAA基材810之部分。顯示的PAA基材810具有4個平面天線元件811，812，813及814，其等通過厚度約20 μm 之陣列遮罩840而暴露。腔洞855設於在各個平面天線元件下方的PAA基材810中以促進有用的頻寬強化。於一實施例中，金屬層842設於PAA基材810中以強化天線頻寬。

通過至少一跡線844達成TSV RFIC與天線元件811，812，813及814之間的電氣接觸，該跡線844通過設於TSV RFIC與PAA基材810之間的背側凸塊將被耦合至TSVs。跡線844可為具有口徑880的接地平面，口徑880可促進射極跡線845之間貫穿孔耦合。貫穿孔接點890穿過跡線844中之口徑並接觸至天線元件814。結果於此實施例中，藉由來自射極跡線845之貫穿孔接點890接觸天線元件814。

跡線844藉由厚度約20 μm 抗焊層841保護。穿過抗焊層841提供電氣凸塊838以耦合PAA 810至諸如TSV RFIC的裝置。藉由貫穿孔接點890穿過PAA基材810達成天線元件811，812，813及814的電氣接觸。

可以見到第二介電層854具有延伸於天線元件與金屬層842之間的厚度856。在各個天線元件811，812，813及814下方，腔洞855降低第二介電層854的有效厚度至剩餘厚度857，而且任何物質(諸如空氣)被置於腔洞855內。於一實施例中，腔洞855開放於外部環境中，使得在外部壓力變化

時，外部環境改可讓腔洞855得以交換氣體。

第6d圖為根據一例示實施例之部分第6圖描繪之頂部、低喪失相位-陣列天線600於加工期間的截面前視圖。PAA天線600的加工類似於第5a-5c圖描繪之PAA天線500的加工，但具有以下的變化：形成腔洞655，其延伸以從下方(於PAA基材610之內)暴露PAA元件611，612，613及614。小心進行腔洞655的蝕刻或鑽孔或其等之組合以使得PAA元件之橫向邊緣(X-Y方向)被固定於第二介電層654中。於一實施例中，啟動物理鑽孔製程以形成腔洞前驅物，接著進行停止在元件上的雷射鑽孔製程。

第7d圖為根據一例示實施例之第7圖描繪之頂部、低喪失相位-陣列天線700於加工期間的截面前視圖部分。PAA天線700之加工可類似於第5a-5c圖描繪之PAA天線500的加工，但具有以下的變化：形成腔洞755之後，接著於腔洞中形成PAA元件711，712，713及714。於一加工實施例中，實施腔洞755的蝕刻或鑽孔，或是其等的組合。於腔洞之拓撲(topology)上方整體地形成金屬薄膜，接著進行利用腔洞755深度以保護PAA元件711，712，713及714的雙向蝕刻。藉由腔洞755之深度及方向性蝕刻之淺角度，保護PAA元件711，712，713及714免於蝕刻。可使用其他加工方法以於腔洞755內形成PAA元件711，712，713及714。於腔洞755內形成PAA元件711，712，713及714之後，如第7圖所示，第二介電層754被反轉並組合至第一介電層752。

第5j圖為根據一例示實施例之第5圖描繪之PAA天線

500於加工期間的立體切割與部分細線-框架的前視詳細圖。該結構相對於第5圖描繪天線500係倒轉的。除了暴露出顯現第5圖中見到之兩天線元件513及514的詳細截面之外，加工處在大致等同第5d圖描繪之結構的狀態。

可以見到，淺槽溝592已經形成在第二介電層554的基底中。淺槽溝592使得腔洞555內的周邊氣體得以平衡以及使得腔洞555內的溼度得以調節。

於一實施例中，於玻璃基材上測試天線。在平面天線元件下方沒有腔洞的情形下測試第一天線。第一天線在3.6 GHz (其中頻率範圍為輸入回復損失少於-10dB)下測試。測試的第二天線與第一天線具有相同尺寸及相同陣列組態。第二天線具有與平面天線元件面積相等的腔洞足跡。第二天線具有與第5圖描繪者相似的腔洞形成因子，但是不具有結構542。在跡線544與第二介電層554之接合處量測足印大小。於4.7 GHz測試第二天線。測試之第三天線與第一天線具有相同尺寸及相同陣列之細節。第三天線具有大於平面天線元件面積的腔洞足跡，諸如第5j圖所示。第三天線具有類似第5圖描繪之腔洞形成因子，但沒有結構542。在跡線544與第二介電層554之接合處測量足印尺寸。腔洞足印對於天線元件的比例為約1.96。於5.1 GHz下測試第三天線。

第5k，5m及5n圖為根據例示實施例之第5圖描繪之頂部、低喪失相位-陣列天線的經暴露層平面圖。第5k圖為根據一實施例之第5圖描繪之PAA基材500的頂平面圖。相位-陣列天線元件511-526陣列顯示在第二介電層554上，具有

在第二介電層554中以虛線表示的腔洞555。腔洞555設於相位-陣列天線元件511-526陣列的下方。根據一實施例，腔洞足印對天線元件面積的比例約1.96。

第5m圖為根據一實施例之第5圖描繪之PAA基材一部分的切除頂部平面圖。顯示的是在第5圖平面上具有口徑580的至少一跡線544，其中第二介電層554與至少一跡線544相符合。然而，腔洞555於第5k圖中具有投射影像，腔洞555在至少一跡線544上具有足印。

第5n圖為根據一實施例之第5圖描繪之PAA基材一部分的切除頂部平面圖。顯示的是至少一跡線544的較低部分，腔洞足跡555投射於其上。射極跡線545顯示於可為焊接遮罩材料之介電質絕緣體541中。

第9圖為相位-陣列天線射頻積體電路之晶片裝置900的放大、細線-框架立體圖，包括裝設於板930(諸如次級廉價封裝件)上的貫通矽晶穿孔RFIC晶片928。於一實施例中，板930為DCA封裝件。於一實施例中，板930包括埋入的被動裝置994。如描繪者，裝置900被組態為具有TSV RFIC 928及PAA基材910，其包括設於各平面天線元件下方的腔洞(未圖示)。描繪的PAA基材910具有以3-5-5-3(X-方向)組態排列的16個天線元件911至926。

TSV RFIC 928設於次級廉價封裝件930與被動裝置994上方，在這個圖式中，摺疊電感器994埋在次級廉價封裝件930中。於一實施例中，裝置包括PAA基材910、TSV RFIC 928及也包括TSV DP 992。於一實施例中，裝置992為記憶

體晶粒(諸如固態驅動件(SSD))及RF晶粒928為混合RF-及DP積體電路晶粒928。於一實施例中，RF晶粒928為混合DP-GIC晶粒992所支持。於一實施例中，僅出現PAA基材910及TSV RFIC 928。裝置900以簡化形式描繪，其包括支持TSV DP 992的TSV DP金屬化996及支持TSV RFIC928的RFIC金屬化950。

於一實施例中，相較於第9圖描繪的位相，TSV RFIC 928是反轉的，如此金屬化950及主動表面抵住PAA基材910用以較短連接至天線元件911-926。

於一實施例中，次級廉價封裝件930為無色基材930，其包括埋於其中的至少一被動裝置。根據任一揭露的實施例或者根據已知技術，實行通過電氣凸塊之DP-RFIC 992與次級廉價封裝件930之間的電氣溝通。如圖所示，DP-RFIC 992，若存在的話，為倒置晶片992，其根據任一揭露實施例或者根據已知技術藉由使用電氣凸塊而與次級廉價封裝件930配合。其他被動裝置根據2010年12月20日提出申請之PCT專利申請案第PCT/US2010/061388號所揭露的任一技術可被埋入次級廉價封裝件中，該揭露的完整內容併入此處作為參考。

任一RF-品質的電容器根據一實施例可被配置於TSV RFIC 928的矽內。作為前端(front-end)模組被動裝置，至少一RF-品質的電容器被配置於TSV RFIC 928之矽內部的TSV RFIC 928殘留物中，於該處，相較於可配置於次級廉價封裝件930中的電感器，其可以用作有用電容及有用於小

尺寸之高-k介電質材料的製造。

第10圖為根據一例示實施例之晶片封裝件1000的截面前視圖，其包括具有腔洞1055的相位-陣列天線基材1080。

晶片封裝件1000包括RF晶粒1010。於一實施例中，也提供一種TSV後續(subsequent)數位-處理器(DP)晶粒1052。也提供裝設基材1072以及PAA基材1080。於一實施例中，裝設基材1072為DCA板1072。TSV後續晶粒1052通過RF晶粒1010耦合至PAA基材1080。

顯示的PAA基材1080具有經由陣列遮罩1086暴露的4個平面天線元件1081，1082，1083及1084。於一實施例中，陣列遮罩1086為鈍化層且覆蓋天線元件。於一實施例中，具有口徑1096之金屬層1088設於PAA基材1080中。於一實施例中，提供額外金屬層1089以強化天線頻寬。接地平面1088經由PAA基材1080中之接地貫穿孔1092耦合至偽凸塊1090。

通過至少一射極跡線1094達成RF晶粒1010與天線元件之間的電氣接觸。通過 PAA基材1080之天線元件1081，1082，1083及1084的電氣耦合藉由誘導耦合的口徑饋入(feeding)而達成，包括通過跡線1044中的口徑1096及通過第二介電層1096中的腔洞1055。於一實施例中，PAA基材1080包括第一介電層1098及第二介電層1096。於一實施例中，第一介電層1098為玻璃及具有較第二介電層1096(也是玻璃)為高的介電常數。

RF晶粒1010經由至少一個TSV 1057耦合至PAA基材

1080，以及RF晶粒1010耦合至至少一個射極跡線1094。至少一個TSV 1057係為了訊號及電力及接地功能之一者。於一實施例中，RF晶粒1010 TSV訊號被發送至相位-陣列天線元件，但較低頻率功能與PAA基材1080分離並內含於裝設基材1072中。這個整合系統降低了訊號壅塞並促進較小的X-Y形成因子(其原本受限於PAA基材1080之尺度)。

除了訊號/電力/接地 TSVs 1057之外，由於形成封入件1026的保護TSVs 1026及形成柵格蓋1028的背側保護件1028，RF晶粒1010之至少一區段為保護區段1024。現在可以了解，RF晶粒1010及DP晶粒1052的部分可以交換且RF晶粒1010的主動表面可緊靠PAA基材1080。

第11圖根據一例示實施例之製程及方法流程圖1100。

在1110中，一製程包括形成在平面天線元件下方具有腔洞的相位-陣列天線基材。已經了解第一介電層及第二介電層分別製造然後組合在一起。於一非限制性例示實施例中，第二基材554的製造商與第一基材552的製造商不同。

於一非限制性製程實施例中，所形成之腔洞足印小於平面天線元件之面積的範圍為從50%至99.9%。於一非限制性製程實施例中，所形成之腔洞足印等於平面天線元件之面積。於一非限制性製程實施例中，所形成之腔洞足印大於平面天線元件之面積的範圍為從100.1%至300%。於一非限制性製程實施例中，所形成之腔洞足印大於平面天線元件之面積達196%。

在1120中，一方法實施例包括組合貫通矽晶穿孔晶粒

裝置與相位-陣列天線基材。於一非限制性例示實施例中，第3圖所示之TSV RFIC 228被組合至PAA基材210。於一非限制性例示實施例中，TSV RFIC晶粒與緊靠PAA基材之其主動表面組合。

在1122中，一製程實施例包括將TSV記憶體晶粒組合或添加至裝置。

在1124中，一製程實施例包括將貫通矽晶穿孔數位處理器組合或添加至裝置。於一非限制性例示實施例中，TSV DP 1052被加入TSV RFIC 1010中，如第1000圖所描繪者。

在1126中，一製程包括將TSV RFIC組合至PAA基材，如此電氣耦合藉由TSV RFIC與PAA平面天線元件之間的口徑饋入而達成。於一非限制性例示實施例中，口徑饋入(aperture feeding)將第4，5，6及7圖描繪之PAA基材耦合至個別RF晶粒。

在1128中，一製程包括將TSV RFIC組合至PAA基材，如此藉由TSV RFIC與PAA平面天線元件之間的傳導-通孔饋入(conductive-via feeding)完成電氣耦合。於一非限制性例示實施例中，傳導-通孔饋入被用於第8圖描繪的裝置800上。

在1130中，一方法實施例包括測試裝置。於一非限制性例示實施例中，與TSV RFIC配合之基本上由PAA基材組成的裝置，在該裝置組合至次級廉價封裝件之前，接受測試。例如，測試架可具有與TSV RFIC類似的電氣-接觸足印，如此不需永久性次級廉價封裝件被固定亦可完成測試。

在1140中，一製程實施例包括將裝置組合至板。於一實施例中，該板為次級廉價封裝件。於一實施例中，該板為DCA板。於非限制性例示實施例中，在將裝置組合至次級廉價封裝件之後，完成在1140的試驗。

在1142中，一製程實施例包括在板中或板上製作至少一被動裝置。於一非限制性例示實施例中，經摺疊之電感器994經製造成為如第9圖描繪之無色次級廉價封裝件930。於一實施例中，一凸塊電感器配置於次級廉價封裝件與TSV RFIC之間。於一實施例中，一堆疊通孔(stacked-via)電感器配置在TSV RFIC間及至少部分地在次級廉價封裝件930中。

在1150中，一方法實施例包括將裝置組合至電腦系統。於一非限制性例示實施例中，第12圖描繪之電腦系統具有天線元件的功能，諸如任何與本發明相關之在平面天線元件下方具有腔洞之被揭露的PAA基材。於一非限制性例示實施例中，完成將裝置組合至電腦系統，其中該板為基礎基材。

在1160中，一方法實施例包括通過TSV RFIC及PAA裝置操作遠端裝置。於一實施例中，藉由使用PAA元件1282之裝置實施例操作一遠端裝置1284。

第12圖為根據一實施例之電腦系統簡圖。如描繪者，電腦系統1200(也稱作電子系統1200)可含有一裝置，其包括根據本發明記載之數個揭露實施例及相等實例之任一者之TSV RFIC，其配合至具有腔洞之PAA基材。一裝置(其包括

配合至具有腔洞之PAA基材的TSV RFIC)被組合至電腦系統。電腦系統1200可為一行動裝置，諸如筆記型電腦。電腦系統1200可為一行動裝置，諸如無線智慧型手機。電腦系統1200可為桌上型電腦。電腦系統1200可為手持讀取器。電腦系統1200可以被整合至汽車。電腦系統1200可被整合至電視。電腦系統1200可被整合至dvd播放器。電腦系統1200可被整合至數位攝錄影機。

於一實施例中，電子系統1200為一種電腦系統，包括系統匯流排1220以電氣耦合各種電子系統1200之組件。根據各種實施例，系統匯流排1220為單一匯流排或任何匯流排之組合。電子系統1200包括提供電力至積體電路1210的電壓源1230。於一些實施例中，電壓源1230通過系統匯流排1220供應電流至積體電路1210。

根據一實施例，積體電路1210電氣耦合至系統匯流排1220並包括任何電路，或電路之組合。於一實施例中，積體電路1210包括可為任何類型裝置之處理器1212，該裝置包括配合至具有腔洞之PAA基材的TSV RFIC。如此處所使用者，處理器1212可意指任何類型之電路，諸如，但不限於，微處理器、微控制器、圖形處理器、數位訊號處理器或另一處理器。於一實施例中，處理器1212為此處揭露之BBUL埋入的TSV RFIC晶粒。於一實施例中，SRAM實施例發現於處理器之記憶快取區(caches)中。積體電路1210可包括之其他類型的電路為客製(custom)電路或特殊應用積體電路(ASIC)，諸如用於無線裝置(諸如手機、智慧型手機、

呼叫器、可攜式電腦、雙向無線電及類似電子系統)之通訊電路1214。於一實施例中，處理器1210包括晶粒上(on-die)記憶體1216，諸如靜態隨機存取記憶體(SRAM)。於一實施例中，處理器1210包括埋入式(embedded)晶粒上記憶體1216，諸如埋入式動態隨機存取記憶體(eDRAM)。

於一實施例中，積體電路1210與後續(subsequent)積體電路1211(諸如圖形處理器或射頻積體電路或兩者)組合，如本發明所記載者。於一實施例中，二重積體電路1210包括埋入式晶粒上記憶體1217，諸如eDRAM。二重積體電路1211包括RFIC二重處理器1213及二重通訊電路1215及二重晶粒上記憶體1217(諸如SRAM)。於一實施例中，二重通訊電路1215特別組態為用於RF加工。

於一實施例中，至少一被動裝置1280耦合至後續積體電路1211，使得積體電路1211及至少一被動裝置成為任一裝置實施例的部份，該裝置實施例包括配合至具有腔洞之PAA基材的TSV RFIC，該具有腔洞之PAA基材包括積體電路1210及積體電路1211。

於一實施例中，電子系統1200包括天線元件1282，諸如本發明所載之任一PAA實施例。藉由使用天線元件1282(諸如本發明所載之任一PAA實施例)，得以裝置實施例經由無線連結遠端操作遠端裝置1284(諸如電視)。例如，智慧型手機上之經由TSV RFIC及具有腔洞之PAA基材而運作的應用物件諸如藉由藍芽(Bluetooth®)技術通過無線連結將指令傳播至約30米遠的電視。

於一實施例中，電子系統1200也包括外部記憶體1240，其接著可包括適合特定應用之一或多記憶體元件，諸如RAM型式的主記憶體1242，一或多個硬碟驅動件1244，及/或操縱可移除式媒體1246(諸如碟片、CD片(CDs)、DVD片(DVDs)、快閃記憶體驅動件及其他本技術領域所知之可移除媒體)之一或多驅動件。於一實施例中，外部記憶體1240被推疊成為介於裝設基材與具有腔洞之PAA基材(根據任一揭露的實施例)之間的TSV晶片。於一實施例中，外部記憶體1240為埋入式記憶體1248，此一裝置包括配合至具有腔洞之PAA基材(根據任一揭露的實施例)的TSV RFIC。

於一實施例中，電子系統1200也包括顯示裝置1250及聲音輸出1260。於一實施例中，電子系統1200包括輸入裝置，諸如控制器1270，其可為鍵盤、滑鼠、觸控墊、小鍵盤、軌跡球、遊戲控制器、麥克風、聲音辨識裝置或任何其他將資訊輸入電子系統1200的輸入裝置。於一實施例中，輸入裝置1270包括相機。於一實施例中，輸入裝置1270包括數位錄音機。於一實施例中，輸入裝置1270包括相機及數位錄音機。

基礎基材1290可為計算系統1200的部份。於一實施例中，基礎基材1290為支持一裝置(其包括配合至具有腔洞之PAA基材之TSV RFIC)的母板。要了解的是，次級廉價封裝件可為電腦系統1200之部份以及其上組合有次級廉價封裝件的母板。於一實施例中，基礎基材1290為支持一裝置(其

包括配合至具有腔洞之PAA基材的TSV RFIC)的板。於一實施例中，將包含於虛線1290內之功能的至少一者併入基礎基材1290，而且基礎基材1290為一基材，諸如無線發報器的使用者殼面(user shell)。

如此處所示，積體電路1210可依一些不同實施例而實施，例如，此處各種實施例及其等經習於此藝者認可之相等實例中所記載者：根據數個揭露之實施例的任一者及其等的相等實例，包括配合至具有腔洞之PAA基材的TSV RFIC的一種裝置，一種電子系統，一種電腦系統，及根據數個揭露之實施例的任一者，製造及組合包括配合至具有腔洞之PAA基材之TSV RFIC的裝置的一或多種方法。元件、材料、幾何構圖、尺寸及操作順序均可變化以適合特別的I/O耦合要求，其包括以至少一個自我形成、自我對準之障礙件(barrier)實施例及其等之相等實例進行金屬化的半導體基材。

雖然晶粒可指稱處理器晶片、RF晶片、RFIC晶片、IPD晶片或記憶體晶片可在同一句子中提起，但是它不應當被解釋為其等為相等的結構。整篇本發明所參考的“一個實施例”或“一實施例”意指與實施例相關而說明之特別性質、結構或特質被包括於本發明的至少一實施例中。本發明通篇的各種地方出現片語“在一實施例中”或“於一實施例中”並非全部指稱相同實施例。更且，於一或多個實施例中，該特別的性質、結構或特質可以以任何適當的方式結合起來。

術語諸如“上方”及“下方”與“以上”及“以下”可經由參

考說明的X-Z座標而了解，術語諸如“相鄰”可經由參考X-Y座標或非Z座標而了解。

提供摘要以符合37 C.F.R. §1.72(b), 37 C.F.R. §1.72(b)要求提供摘要以讓讀者快速確認技術揭露內容的性質及要點。雖然呈送摘要，但要了解，該摘要不應被用來解釋或限制請求的範圍或意義。

於前述之詳細說明中，為了使本揭露內容更加流暢，各種特徵被一起集合在單一實施例內。此種揭露方法不當被解釋為反映出本發明所請求之實施例需要比各個請求項中明白記載者更多技術特徵的傾向。相反的，如同以下請求項所反映的，發明的請求主題(subject matter)較單一經揭露實施例之所有特徵還少。所以，以下的申請專利範圍請求於此併入詳細說明中，其中各請求項自己單獨表示一個各別的較佳實施例。

習於此藝者可以很快地了解，為了解釋本發明性質所描述及說明之部件及方法階段的細節、材料及排列可進行各種其他改變，但是仍然不會脫離附加於後之請求項所表示之本發明的原則及範圍。

【圖式簡單說明】

第1圖為根據一例示實施例之垂直整合之相位-陣列天線射頻積體電路晶片裝置的頂部平面圖；

第2圖為根據一例示實施例之裝設在次級廉價封裝件上之相位-陣列天線射頻積體電路晶片裝置的立體前視圖；

第3圖為第2圖描繪之根據一例示實施例之裝設在次級

廉價封裝件上的相位-陣列天線射頻積體電路晶片裝置沿著截面線3-3切割的截面前視圖；

第4圖為第3圖描繪之根據一例示實施例之裝設在次級廉價封裝件上的相位-陣列天線射頻積體電路晶片裝置的詳細截面前視圖；

第5圖為根據一例示實施例之頂部、低喪失相位-陣列天線的詳細截面前視圖；

第5a-5h圖為根據數實施例之第5圖描繪之低喪失相位-陣列天線於加工期間的截面前視圖；

第5j圖為根據一例示實施例之第5圖描繪之PAA天線於加工期間的立體切除及部分佈線-框架的前視詳細圖；

第5f-1圖為根據一例示實施例之第5圖描繪之PAA天線於加工期間的立體切除及部分佈線-框架的前視詳細圖；

第5k、5m及5n圖為根據一例示實施例之第5圖描繪之頂部、低喪失相位-陣列天線的經暴露層的平面圖；

第6圖為根據一例示實施例之頂部、低喪失相位-陣列天線600的詳細截面前視圖；

第6d圖為根據一例示實施例之第6圖描繪之部分頂部、低喪失相位-陣列天線於加工期間的截面前視圖；

第7圖為根據一例示實施例之頂部、低喪失相位-陣列天線的詳細截面前視圖；

第7d圖為根據一例示實施例之第7圖描繪之部分頂部、低喪失相位-陣列天線於加工期間的截面前視圖；

第8圖為根據一例示實施例之頂部、低喪失相位-陣列

天線的詳細截面前視圖；

第9圖為相位-陣列天線射頻積體電路晶片裝置(其包括裝設於板，諸如次級廉價封裝件上之貫通矽晶穿孔RFIC晶片)的放大、佈線-框架立體圖；

第10圖為根據一例示實施例之晶片封裝件(其包括具有腔洞之相位-陣列天線基材)的截面前視圖；

第11圖為根據一例示實施例之製程及方法流程圖；及

第12圖為根據一例示實施例之電腦系統的簡要圖。

【主要元件符號說明】

100, 200, 300, 400, 900...晶片裝置	229...背側表面
	230...次級廉價封裝件
110, 210, 510, 610, 710, 810, 910...PAA基材	231...著陸表面
	232...貫通矽晶穿孔
111, 112, 113, 114, 115, 116, 117, 118, 119, 120, 121, 123, 124, 125, 126, 211, 212, 213, 214, 511, 512, 513, 514, 526, 611, 612, 613, 614, 711, 712, 713, 714, 811, 812, 813, 814, 911, 926...平面天線元件	234...電氣凸塊
	236...偽凸塊
	238...電氣凸塊
	240...陣列遮罩
	242...金屬層
	244...跡線
	250...主動-裝置層
	251...頂結合墊
128...TSV晶粒	252...第一介電層
227...主動表面	254...第二介電層
228...TSV RFIC晶粒	255...腔洞

256...厚度	655...腔洞
257...剩餘厚度	680...口徑
500, 600, 700, 800...天線	738...電氣凸塊
538...凸塊	741...抗焊層
540...陣列遮罩	742...金屬層
541...抗焊層	744...跡線
542...金屬層	745...射極跡線
544...跡線	752...第一介電層
545...射極跡線	754...第二介電層
552...第一介電層	755...腔洞
554...第二介電層	756...厚度
555...腔洞	757...剩餘厚度
555.1...第一介電層腔洞	780...口徑
556...厚度	838...電氣凸塊
557...厚度	840...陣列遮罩
580...口徑	841...抗焊層
592...淺槽溝	842...金屬層
638...電氣凸塊	844...跡線
641...抗焊層	845...射極跡線
644...跡線	854...第二介電層
652...第一介電層	855...腔洞
654...第二介電層	856...厚度
640...陣列遮罩	857...剩餘厚度
642...金屬層	880...口徑

890...貫穿孔接點	1090...偽凸塊
928...TSV RFIC晶粒	1092...接地貫穿孔
930...板	1094...射極跡線
950...金屬化	1096...口徑/第二介電層
992...TSV DP	1098...第一介電層
994...被動裝置	1100...製程及方法流程圖
996...金屬化	1110, 1120, 1122, 1124, 1126,
1000...晶片封裝件	1128, 1130, 1140, 1142,
1010...RF晶粒	1150, 1160...步驟
1024...保護區段	1200...電腦系統
1026...封入件	1210...積體電路
1028...柵格蓋	1211...積體電路
1052...TSV後續晶粒	1212...處理器
1055...腔洞	1213...處理器
1057...TSV	1214...通訊電路
1072...裝設基材	1215...通訊電路
1080...PAA基材	1216...晶粒上記憶體
1081...平面天線元件	1217...晶粒上記憶體
1082...平面天線元件	1220...系統匯流排
1083...平面天線元件	1230...電壓源
1084...平面天線元件	1240...外部記憶體
1086...陣列遮罩	1242...主記憶體
1088...金屬層	1244...硬碟驅動件
1089...金屬層	1246...可移除式媒體

1248...埋入式記憶體

1280...被動裝置

1250...顯示裝置

1282...天線元件

1260...聲音輸出

1284...遠端裝置

1270...控制器/輸入裝置

1290...基礎基材

七、申請專利範圍：

1. 一種相位-陣列天線(PAA)基材，包括：
 - 一第一介電層，其含有複數個射極跡線；
 - 一第二介電層，其配合至該第一介電層，其中該第二介電層為玻璃且支持設於其一頂表面上的一平面天線元件陣列，及其中該第二介電層包括對應於該平面天線元件陣列的一腔洞陣列，其中各個天線元件與該第二介電層中對應的腔洞垂直地對準。
2. 如申請專利範圍第1項的相位-陣列天線(PAA)基材，其中該第一介電層的介電常數比該第二介電層為高。
3. 如申請專利範圍第1項的相位-陣列天線(PAA)基材，其中各個平面天線元件具有一面積，及其中各個對應的腔洞具有小於各個對應平面天線元件之面積的一足印(footprint)。
4. 如申請專利範圍第1項的相位-陣列天線(PAA)基材，其中各個平面天線元件具有一面積，及其中各個對應的腔洞具有等於各個對應平面天線元件之面積的一足印。
5. 如申請專利範圍第1項的相位-陣列天線(PAA)基材，其中各個平面天線元件具有一面積，及其中各個對應的腔洞具有大於各個對應天線元件之面積的一足印。
6. 如申請專利範圍第1項的相位-陣列天線(PAA)基材，其中各個平面天線元件在其一底表面上為該第二介電層所覆蓋。
7. 如申請專利範圍第1項的相位-陣列天線(PAA)基材，其

中各個平面天線元件在其一底表面上藉由對應的腔洞而暴露。

8. 如申請專利範圍第 1 項的相位-陣列天線(PAA)基材，其中各個平面天線元件設於對應的腔洞內，且在其一頂表面上為該第二介電層所覆蓋。

9. 一種垂直整合裝置，包括：

包含一貫通矽晶穿孔及一射頻積體電路的一晶粒(TSV RFIC 晶粒)；及

一相位-陣列天線(PAA)基材，其與該 TSV RFIC 垂直整合，其中該 PAA 基材包括複數個天線元件，各個天線元件經由複數個 TSVs 耦合至該 TSV RFIC，且各個天線元件設於一腔洞上方。

10. 如申請專利範圍第 9 項的裝置，其中各個天線元件具有一面積，及其中該等腔洞具有小於該天線元件之面積的一足印。

11. 如申請專利範圍第 9 項的裝置，其中各個天線元件具有一面積，及其中該等腔洞具有等於該天線元件之面積的一足印。

12. 如申請專利範圍第 9 項的裝置，其中各個天線元件具有一面積，及其中該等腔洞各具有大於該天線元件之面積的一足印。

13. 如申請專利範圍第 9 項的裝置，其中該 PAA 基材包括支持至少一跡線的一第一介電層，其中該 PAA 基材也包括支持該等天線元件的一玻璃第二介電層，及其中該等腔

洞設於該第二介電層中。

14. 如申請專利範圍第9項的裝置，其中該PAA基材包括支持至少一跡線的第一介電層，其中該PAA基材也包括支持該等天線元件的一玻璃第二介電層，其中該等腔洞設於該第二介電層中，及其中各個天線元件在一表面上為該第二介電層所覆蓋。
15. 如申請專利範圍第9項的裝置，其中該PAA基材包括支持至少一跡線的第一介電層，其中該PAA基材也包括支持該等天線元件的一玻璃第二介電層，其中該等腔洞設於該第二介電層中，及其中各個天線元件暴露至對應的腔洞。
16. 如申請專利範圍第9項的裝置，其中該PAA基材包括支持至少一跡線的第一介電層，其中該PAA基材也包括支持該等天線元件的一玻璃第二介電層，其中該等腔洞設於該第二介電層中，及其中各個天線元件設於對應的腔洞內部。
17. 如申請專利範圍第9項的裝置，更包括設於該第一介電層處用於各個天線元件的一射極跡線，其中該第一介電層被置於各個射極跡線與該第二介電層中之對應腔洞之間。
18. 如申請專利範圍第9項的裝置，更包括設於該第一介電層處用於各個天線元件的一射極跡線，其中該第一介電層被置於各個射極跡線與該第二介電層中之對應腔洞之間，及其中各個射極跡線耦合至具有貫穿孔接點的對

應天線元件。

19. 如申請專利範圍第9項的裝置，更包括其上裝設有該 TSV RFIC 的一第一級交互連接基材。

20. 如申請專利範圍第9項的裝置，更包括其上裝設有該 TSV RFIC 的一第一級交互連接基材，及其中該第一級交互連接基材包括埋入其內之與 TSV RFIC 一起發揮功能的至少一被動裝置。

21. 如申請專利範圍第9項的裝置，更包括：

其上裝設有該 TSV RFIC 的一第一級交互連接基材，其中該 TSV RFIC 包括一主動表面及一背側表面；

設於該主動表面與該第一級交互連接基材之間的複數個電氣凸塊，其中該第一級交互連接基材為一直接晶片-貼附(DCA)基材；及

設於該背側表面與該 PAA 基材之間的複數個背側凸塊。

22. 如申請專利範圍第9項的裝置，其中該 PAA 基材中之該等複數個天線元件經由該 PAA 基材中的感應-耦合口徑耦合至該 TSV RFIC。

23. 如申請專利範圍第9項的裝置，其中該 PAA 基材中的該等複數個天線元件經由該 PAA 基材中的貫穿孔-耦合件耦合至該 TSV RFIC。

24. 如申請專利範圍第9項的裝置，更包括：

其上裝設有該 TSV RFIC 的一第一級交互連接基材，其中該 PAA 基材包括耦合至該等複數個天線元件且

也耦合至該 TSV RFIC 的一埋入式接地平面；及

設於該 PAA 基材與其上裝設有該 TSV RFIC 的基材之間的至少一偽凸塊。

25. 如申請專利範圍第 9 項的裝置，更包括：

一貫通矽晶穿孔數位處理器晶粒(TSV DP)，其經由該 TSV RFIC 中的至少一 TSV 及該 TSV DP 中的至少一 TSV 耦合至該 TSV RFIC，及其中該 TSV DP 及該 TSV RFIC 於該 PAA 基材下方垂直整合；

其上裝設有 TSV DP 的一第一級交互連接基材，及其中該 PAA 基材包括耦合至該等複數個天線元件且也耦合至該 TSV RFIC 的一埋入式接地平面；及

設於該 PAA 基材與其上裝設有該 TSV RFIC 的基材之間的至少一偽凸塊。

26. 如申請專利範圍第 9 項的裝置，更包括：

一貫通矽晶穿孔記憶體晶粒，其經由該 TSV RFIC 中的至少一 TSV 及該 TSV 記憶體晶粒中的至少一 TSV 耦合至該 TSV RFIC，及其中該 TSV 記憶體晶粒及該 TSV RFIC 於該 PAA 基材下方垂直整合；及

其上裝設有 TSV 記憶體晶粒的一第一級交互連接基材，及其中該第一級交互連接基材包括埋入其中之與該 TSV RFIC 一起發揮功能的至少一被動裝置。

27. 一種形成一垂直整合裝置的方法，包括：

在一玻璃基材中形成一腔洞陣列；

於該腔洞陣列上方，於該玻璃基材上形成一平面天

線元件陣列。

28. 如申請專利範圍第27項的方法，其中各個平面天線元件具有一面積，及其中各對應的腔洞具有小於各對應平面天線元件之面積的一足印。
29. 如申請專利範圍第27項的方法，其中形成的各個平面天線元件具有一面積，及其中形成的各個對應腔洞具有等於各個對應平面天線元件之面積的一足印。
30. 如申請專利範圍第27項的方法，其中形成的各個平面天線元件具有一面積，及其中形成的各個對應腔洞具有大於各個對應天線元件之面積的一足印。
31. 如申請專利範圍第27項的方法，其中形成的各個平面天線元件在其一底表面上為第二介電層所覆蓋。
32. 如申請專利範圍第27項的方法，其中形成的各個平面天線元件藉由一對應腔洞在其一底表面上被暴露。
33. 如申請專利範圍第27項的方法，其中所形成的各個平面天線元件係設於對應的腔洞內，且在其一頂表面上為該第二介電層所覆蓋。
34. 如申請專利範圍第27項的方法，更包括：

將一貫通矽晶穿孔射頻積體電路(TSV RFIC)晶粒組合至該相位-陣列天線(PAA)基材，其中該PAA基材包括複數個天線元件，及其中組合包括將各個天線元件耦合至該TSV RFIC中的TSV。
35. 如申請專利範圍第27項的方法，其中該TSV RFIC包括一主動表面及一背側表面，更包括：

測試該裝置，接著；

藉由將各該主動表面耦合至該TSV RFIC與該第一級交互連接之間的複數個電氣凸塊，來將該裝置組合至一第一級交互連接板。

36. 如申請專利範圍第27項的方法，其中該TSV RFIC包括一主動表面及一背側表面，更包括：

藉由將各該主動表面耦合至該TSV RFIC與該第一級交互連接之間的複數個電氣凸塊，來將該裝置組合至一第一級交互連接板，接著；

測試該裝置。

37. 如申請專利範圍第27項的方法，其中該TSV RFIC包括一主動表面及一背側表面，該方法更包括藉由將各該主動表面耦合至該TSV RFIC與該第一級交互連接之間的複數個電氣凸塊，來將該裝置組合至一第一級交互連接基材。

38. 如申請專利範圍第27項的方法，其中在將該TSV RFIC組合至該PAA基材之前，該TSV首先埋入一無凸塊建造層(bumpless, build-up layer (BBUL))中。

39. 如申請專利範圍第27項的方法，更包括將一貫通矽晶穿孔數位處理器組合至該TSV RFIC晶粒。

40. 如申請專利範圍第27項的方法，更包括將該裝置組合至一計算系統。

41. 如申請專利範圍第27項的方法，更包括經由該裝置操作一遠端裝置。

42. 如申請專利範圍第27項的方法，更包括：

形成一第一介電層以使得其上設有至少一跡線；

形成一訊號跡線於該第一介電層上；

形成一射極跡線於該第一介電層上；及

將該第一介電層組合至該玻璃基材，其中該玻璃基材為一第二介電層。

43. 一種電腦系統，包括：

包含一貫通矽晶穿孔及一射頻積體電路的一晶粒 (TSV RFIC 晶粒)；及

與該 TSV RFIC 垂直整合的一相位-陣列天線 (PAA) 基材，其中該 PAA 基材包括複數個天線元件，各個天線元件經由多數 TSVs 耦合至該 TSV RFIC，及各個天線元件係設於一腔洞上方；及

支持該第一級交互連接基材的一基礎基材。

44. 如申請專利範圍第43項的電腦系統，其中該基礎基材為可移動裝置的部份。

45. 如申請專利範圍第43項的電腦系統，其中該基礎基材為運載工具的部份。

46. 如申請專利範圍第43項的電腦系統，其中該基礎基材為電視的部份。