

[12] 发明专利申请公开说明书

[21] 申请号 02120300.8

[43]公开日 2002 年 12 月 25 日

[11]公开号 CN 1387250A

[22]申请日 2002.5.21 [21]申请号 02120300.8
[30]优先权
[32]2001.5.21 [33]US [31]09/860453
[71]申请人 惠普公司
地址 美国加利福尼亚州
[72]发明人 H·李 C·C·杨
P·哈特维尔

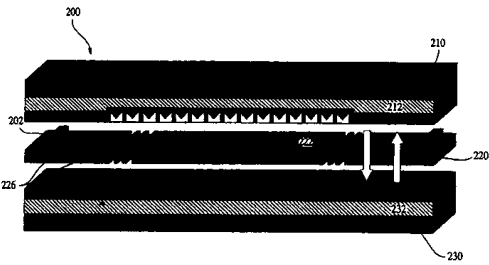
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 肖春京 章社杲

权利要求书 1 页 说明书 8 页 附图 16 页

[54]发明名称 利用硒化晶片接合的用于原子分辨率存储移动器的加工方法

[57]摘要

一种用于原子分辨率存储系统(200)的改进的加工方法,其中在晶片薄化加工即研磨和 CMP 之前,在转子晶片(220)的介质侧上淀积导电电极(434(c)),因而保护介质表面上(460)上的导电电极(434(c))免受研磨加工的影响。此外,在较后的阶段在定子晶片(230)中形成 CMOS 电路(232)。因此,CMOS 电路(232)不易被热加工破坏。此外,一些所需的加工可以在放宽的热积聚条件下进行。最后,因为转子晶片(220)和定子晶片(230)的接合在较后的阶段进行,所以具有较小的可能性使晶片接合变劣。因此,可以提高器件产量,降低制造成本。



ISSN 1008-4274

1. 一种用于加工原子分辨率存储系统(200)的方法包括:
在第一晶片(220)的第一侧上淀积(612)保护层(350);
接合(614)第一晶片(220)和处理晶片(530);
5 使第一晶片(220)在其第二侧被薄化(616);
加工(620)第二晶片(230);
接合(626)第一晶片(220)和第二晶片(230);
除去(628)处理晶片(530); 以及
通过在第一晶片(220)的第一侧上淀积导电电极(434(c))加工
10 (632)第一晶片(220)的第一侧。
 2. 如权利要求1所述的方法, 还包括形成(634)悬簧(240)。
 3. 如权利要求2所述的方法, 其中形成悬簧的步骤包括:
图形化保护层(350);
有选择地刻蚀保护层(350); 以及
15 利用保护层(350)作为掩模对第一晶片(220)有选择地进行深的硅刻蚀。
 4. 如权利要求1所述的方法, 其中淀积保护层的步骤包括淀积氧化物层或光刻胶(PR)层。
 5. 如权利要求1所述的方法, 其中淀积保护层的步骤包括淀积硼
20 磷硅酸盐玻璃(BPSG)层。
 6. 如权利要求1所述的方法, 其中接合第一晶片和处理晶片的步骤包括接合网状的处理晶片(530)和第一晶片(220)。
 7. 如权利要求1所述的方法, 其中接合第一晶片和处理晶片的步骤包括采用硒化反应。
 - 25 8. 如权利要求7所述的方法, 其中去除步骤包括借助于对接合层(520)有选择地进行湿刻, 从而去除处理晶片(530)。
 9. 如权利要求1所述的方法, 还包括通过在第一晶片(220)的第二侧上淀积导电电极(434(a))加工(618)第一晶片(220)的第二侧。
 - 30 10. 如权利要求1所述的方法, 其中加工第二晶片的步骤包括通过在第二晶片(230)的表面上淀积导电电极(434(b)), 加工(624)第二晶片(230)的表面。

利用硒化晶片接合的用于原子分辨率存储移动器的加工方法

技术领域

- 5 本发明的技术领域涉及原子分辨率存储（ARS）系统，尤其涉及采用硒化晶片接合的用于 ARS 系统的加工流程。

背景

- ARS 系统提供一种存储密度大于每平方英寸 1 兆兆位（1000G）的指甲盖大小的装置。ARS 技术建立在原子探针显微术发展的基础上，
10 其中像一个原子那样小的探针场发射器尖扫描材料的表面，从而产生精确在几个纳米内的图像。探针存储技术可以使用原子大小的探针场发射器尖的阵列，用于在存储介质上的点读写数据。

- ARS 系统一般包括 3 个接合的硅（Si）晶片，即尖晶片，也称为发射器晶片，转子晶片，也称为移动器（mover）晶片，以及定子晶片。
15 晶片通过使用本领域中熟知的晶片接合技术被接合在一起。

为了使 ARS 系统能够工作，转子晶片和定子晶片需要被加工，即淀积导电电极，以便进行纳米精度的位置控制。图 1(a)-1(f)表示用于 ARS 系统 100 的现有技术的加工流程。

- 参看图 1(a)，转子晶片 120 的定子侧（底侧）（图 1(a)所示是倒置的）首先通过在转子晶片 120 的定子侧上淀积导电电极 134(a)，例如钛/氮化钛（Ti/TiN）电极，进行加工。多晶硅（Poly Si）层 102 和绝缘层 104(a)，例如绝缘的氧化硅（SiO₂）层，也可以被淀积在转子晶片 120 的定子侧上。多晶硅 102 是被淀积在晶片上的一般形式的硅，并且可以通过“掺杂”使硅更为导电。这里，转子晶片 120 的厚度大约
25 是 600 微米。

参看图 1(b)，在定子晶片 130 上形成 CMOS 电路 132，然后，利用电极 134(b)的导电层，例如导电的 Ti/TiN 电极的导电层，绝缘层 104(b)，例如绝缘的 SiO₂ 层，以及氮化硅（Si₃N₄）层 106 加工定子晶片 130 的转子侧。Si₃N₄ 层 106 可被用作另一种绝缘（介电）层。

- 30 图 1(c)表示随后进行的转子晶片 120 和定子晶片 130 的接合。因为尖晶片（未示出）和定子晶片 130 的厚度一般为 500-600 微米，所以在接合之后，转子晶片 120 可能需要被开槽，例如使得其厚度大

约为 100 微米。转子晶片 120 一般使用晶片研磨机在介质侧上研磨。

不过，转子晶片 120 的剧烈的加工和研磨可能引起破坏，例如，应力，错位，机械孪晶，叠置故障，以及在晶片表面引入杂质。在研磨之后，一般进行被称为化学机械抛光（CMP）的加工，其以较“温和”的加工再把硅晶片去除 1-5 微米，使得晶片表面破坏较小。

图 1(d)表示转子晶片 120 的介质侧的金属化，它是利用淀积导电电极 134(c)进行的，例如导电的 Ti/TiN 电极，用于传递电信号和驱动转子晶片 120。绝缘层 104(c)，例如绝缘的 SiO_2 层，可以涂敷在转子晶片 120 的介质侧上的导电电极 134(c)的下面或上面，用于电气绝缘和表面保护。

参见图 1(e)，通过深的硅刻蚀形成悬簧。首先，掩模层 150，例如光刻胶（PR）膜层，可被淀积在转子晶片 120 的介质侧上的导电电极 134(c)上。刻蚀掉掩模层 150 的预定部分，使得露出相应于掩模层 150 的刻蚀部分的转子晶片 120 的部分。接着，使用掩模层 150 作为掩模利用深的硅刻蚀除去转子晶片 120 的暴露的部分，从而形成悬簧。

图 1(f)表示 ARS 系统 100 的加工的最后的步骤：利用掩模刻蚀绝缘的 SiO_2 层 104(c)，除去掩盖的 PR 层 150，并进行激光切割，这是一种在计算机控制的激光下把晶片切成单个的矩形器件，即切片的技术。

在一系列晶片加工步骤之后，形成作为 ARS 存储介质的表面 160，其包括导电电极 134(c)，并可以和尖晶片中的电子电路导通，以便进行读/写操作。

然而，上述的 ARS 系统 100 的加工流程具有以下缺点，首先，用作 ARS 存储介质的表面 160 可能容易地被薄化加工例如研磨和 CMP 所破坏。

此外，控制整个系统的操作的，其中包括数据输入和输出的 CMOS 电路 132 对热非常敏感。因为 CMOS 电路 132 在其它的结构被形成和加工之前便被形成在定子晶片 130 中，所以现有技术的加工流程具有严重的热积聚问题，即，晶片不能在高温下被加工。

类似地，由于转子晶片 120 的介质侧的随后的加工和其它的加工步骤，可能使在转子晶片 120 和定子晶片 130 之间的晶片接合发生劣化的可能性较大。

在形成之后由于热加工使得 CMOS 电路具有高的被破坏的可能性以及由于随后的加工使得晶片接合容易劣化，可以降低产量，所述产量表示在完成移动器加工时在晶片上具有的功能正确的器件的数量，从而使得制造成本较高。

5 发明概述

一种用于加工 ARS 系统的方法包括在第一晶片（例如转子晶片）的第一侧（例如介质侧）上淀积保护层。所述的方法还包括：接合转子晶片和处理晶片，使转子晶片在其定子侧薄化，加工定子晶片，接合转子晶片和定子晶片，拆下处理晶片，以及通过在转子晶片的介质侧上淀积导电电极加工转子晶片的介质侧。

用于加工 ARS 系统的所述方法的一个实施例还包括：借助于图形化保护层，有选择地刻蚀保护层，并利用保护层作为掩模对第一晶片有选择地进行深的硅刻蚀，形成悬簧。

用于加工 ARS 系统的方法的另一个实施例还包括：在第二晶片形成互补的金属氧化物半导体（CMOS）电路，除去保护层，以及进行激光切割。

改进的用于 ARS 系统的加工流程在晶片薄化加工即研磨和 CMP 之前淀积导电电极，因而保护介质表面上的导电电极免受研磨加工的影响。此外，COMS 电路在相对后期的阶段中才被形成在定子晶片上。因此，CMOS 电路不易受到热加工的破坏。此外，一些必须进行的加工可以在放宽的热积聚下进行。最后，转子晶片和定子晶片的晶片接合在较后的阶段进行，所以使得晶片接合劣化的可能性较小。因而，可以提高器件产量，从而导致降低成本。

附图说明

下面参照附图详细说明本发明的优选实施例，附图中相同的标号表示相同的元件，其中：

图 1(a)-1(f)表示现有技术的 ARS 系统加工流程；

图 2(a)和 2(b)表示一种示例的 ARS 系统；

图 3-10 表示示例的 ARS 系统的示例的加工流程；以及

图 11 是说明示例的 ARS 系统的示例的加工流程的流程图。

详细说明

图 2(a)和图 2(b)说明一种示例的 ARS 系统 200。ARS 系统 200 具

有高达 1000 Gb/英寸²的高的数据存储容量。ARS 系统 200 是一种体积小，坚固耐用和便携的系统。此外，ARS 系统 200 具有低的功率消耗，这是因为当不要求 ARS 系统 200 进行操作时，一般没有功率消耗。

参看图 2(a)，ARS 系统 200 包括 3 个接合的硅晶片，即尖晶片 210，
5 在本说明书中也叫第三晶片，转子晶片 220，也叫移动器晶片，以及定子晶片 230。转子晶片 220 一般 100 微米厚，其比尖晶片 210 和定子晶片 230 薄得多。晶片 210，220，230 使用本领域中熟知的接合技术被接合在一起，如图 2(a)所示。

每个晶片和晶片的接合要求使用超高真空 (UHV) 密封 202 在高真
10 空下对内部空腔密封，以便维持 ARS 芯片的内部环境。晶片和晶片的接合还要求低电阻的电接触。例如，如图 2(a)所示，在转子晶片 220 的定子侧上的导电电极可以和在定子晶片 230 上的转子侧的导电电极相连，在转子晶片 220 的介质侧上的导电电极可以和位于定子晶片 230 上的 CMOS 电路 232 相连。尖电子电路 212 控制需要和 ARS 系统 200 中
15 的存储介质 222 接合的场发射器尖 214 (图 2(b))。存储介质 222，其包括介质记录单元 224 (图 2(b))，在 ARS 系统 200 中存储数据位。

读/写 (R/W) 电子电路，其包括 CMOS 电路 232，也位于导电电极
234(b)下方的定子晶片 230 上。读/写电子电路可以控制在存储介质 222 中的数据位的读写，并访问存储介质 222 中的数据位，以便确定数据
20 位的值。

晶片通路 226 使得 R/W 电信号 (未示出) 能够从定子晶片 230 中的 CMOS 电路 232 传输到转子晶片 220 的介质侧上的导电电极和在尖晶片 210 中的尖电子电路 212。

图 2(b)说明 ARS 系统 200 的操作。一个场发射器尖 214 通过利用
25 高电场将电子拉出场发射器尖 214 中的金属，从而产生电子束 216。电子束 216 被聚焦，并通过加热微小的数据点因而改变数据点的状态或相以便在介质 212 上写数据位。电子束 216 还可以用于确定存储介质 222 中的数据位状态 (值)。发射器尖阵列 218 是场发射器尖 214 的一个阵列，在其下方存储介质 222 以纳米的精度移动。

如图 2(b)所示，悬簧 240 可以把转子晶片 220 保持在场发射器尖
30 214 和定子晶片 230 之间，使得数据位能够相对于场发射器尖 214 移动，因而使得每个场发射器尖 214 能够访问多个数据位。

为了使 ARS 系统 200 能够操作, 转子晶片 220 和定子晶片 230 需要通过淀积导电电极进行加工, 以便实现纳米精度的位置控制。这种改进的 ARS 系统 200 的加工流程提供了一种用于在转子晶片 220 的介质侧上淀积导电电极以及接合转子晶片 220 和定子晶片 230 的一种新的方法。在 ARS 系统 200 中使用的导体和其它电子装置一般由硅制成, 所述的硅需要进行清洁和光滑加工, 因为灰尘可以破坏电子装置。这种改进的加工流程可以帮助保护 ARS 存储介质的表面免遭剧烈的晶片薄化加工, 使得可以对 ARS 介质表面使用具有高灵敏度的电子装置。此外, 因为热敏的 CMOS 电路 232 在大部分器件加工之后被制造, 所以 10 对于所需器件加工的热积聚的要求可以放宽。此外, 由于晶片接合在较后的阶段进行, 所以改进的加工流程可以降低在转子晶片 220 和定子晶片 230 之间的晶片劣化的可能性, 从而增加产量和降低制造成本。

一种改进的加工流程的实施例如图 3-10 所示。参见图 3(a), 15 可以在转子晶片 220 的介质表面 460 上涂敷保护层 350, 以便保护 Ti/TiN 电极 434(c) 的导电层免受以后加工的影响。在该加工之后可以从介质表面 460 有选择地除去保护层 350, 使得不破坏被保护的导电电极 434(c)。保护层 350 还可以粘接在 In_2Se_3 接合层上(后面说明)。例如, 可以使用 SiO_2 层或硼磷硅酸盐玻璃(BPSG)膜作为用于转子晶片 20 片 220 的粘接保护层 350。

接着, 对于处理晶片 530 可以利用一种新的晶片接合技术。因为转子晶片 220 在薄化和进一步加工期间可以成为非常易碎和难于加工的, 所以可以使处理晶片 530 和转子晶片 220 接合以便使得容易加工。处理晶片 530 可以是网形的, 可以重新使用的, 并由刚性材料例如铝 25 制成。

图 3(b)说明处理晶片 530 是如何使用例如硒化反应和转子晶片 220 的介质侧接合的。转子晶片 220 可以使用和一般的 CMOS 加工兼容的任何类型的晶片接合技术和处理晶片 530 相接合。晶片接合技术例如在 Kish, Jr. 等人的名称为 “Method For Bonding Compound 30 Semiconductor Wafers To Create An Ohmic Interface” 的美国专利 5661316 中描述了, 该专利列于此处作为参考。

多层的硒化铟 (In_2Se_3) 510 通过在 200℃ 以上的硒化反应可被用作

黏胶。硒化反应是一种加工步骤，用于使同质的交替的 In 和 Se 的膜的层叠体被共同加热和退火，从而形成二元的化合物 In_2Se_3 。如果在 In_2Se_3 层 510 还和转子晶片 220 上的保护层 350 接触的条件下进行退火加工，则所述二元化合物可以粘接在转子晶片 220 上。因此，退火的 In_2Se_3 层可以作为粘接层 520，用于把处理晶片 430 粘接到转子晶片 220 上。图 3(a) 中示出了 In_2Se_3 的多个叠置层 510 (退火之前)，520 (退火之后)。在退火之后，处理晶片 530 和转子晶片 220 相接合。接着，可以进行薄化加工，其中转子晶片 220 在定子侧被薄化，使其厚度从大约 600 微米变为大约 100 微米。因为晶片薄化在早期阶段进行，所以可以保护在随后形成的导电电极免受研磨加工的影响。

在图 4 中，为了容易加工而和处理晶片 530 相接合的被薄化的转子晶片 220 可以被翻转，以便通过在转子晶片 220 的定子侧上淀积导电电极 434(a)，例如 Ti/TiN 电极来加工转子晶片 220 的定子侧。多晶硅 (Poly Si) 402 和绝缘层 404(a)，例如 SiO_2 绝缘层可以被淀积在转子晶片 220 的定子侧上。多晶硅 402 可以用作晶片通路 226 的导体。

参见图 5，CMOS 电路 232 可被形成在定子晶片 230 上，然后在定子晶片 230 的转子侧上进行淀积导电电极 434(b) 加工，例如 Ti/TiN 电极的加工。绝缘层 404(b)，例如 SiO_2 绝缘层，和另一种绝缘层，例如 Si_3N_4 绝缘层也可以淀积在定子晶片 230 的转子侧上。因为在较后的阶段形成热敏的 CMOS 电路 232，在此之前的任何器件加工可以进行而不管热积聚。此外，由于具有较少的随后的器件加工，CMOS 电路 232 被破坏的可能性较小，因而可以提高器件产量。

接着，如图 6 所示，转子晶片 220 和定子晶片 230 可以利用晶片接合技术被接合。导电电极 434(a)，434(b) 可以彼此导通，以便进行读/写操作。在转子晶片 220 和定子晶片 230 接合之后，可以通过有选择地对 In_2Se_3 接合层 520 进行湿刻蚀除去处理晶片 530。在处理晶片 530 被除去之后，可以通过各向同性的湿刻蚀或蒸汽刻蚀从转子晶片 220 上除去保护层 350。

参见图 8，接着转子晶片 230 的介质侧可以通过在转子晶片 220 的介质侧上进行淀积导电电极 434(c) 例如导电的 Ti/TiN 电极的加工，从而形成 ARS 存储介质 222 的表面 460。绝缘层 404(c) 例如 SiO_2 绝缘

层可以被涂敷在转子晶片 220 的介质侧上的导电电极 434(c) 的下方或上方，用于电气绝缘和表面保护。因为转子晶片 230 的介质侧的加工在接近 ARS 加工流程结束时进行，所以可以保护介质表面 222 免受晶片研磨加工的影响，并因而保护导电电极 434(c)。

- 5 参见图 9，悬簧 240 可以通过对转子晶片 220 有选择地进行深硅刻蚀而被形成。悬簧 240，其一般被构成用于微电子机械系统 (MEMS)，可用于把转子晶片 220 保持在场发射器尖 214 和定子晶片 230 之间，使得数据位能够相对于场发射器尖 214 移动，因而使得每个场发射器尖 214 访问多个数据位。MEMS 指的是使用集成电路技术，除了在硅晶片上制造电路之外，还制造运动部件。首先，可以刻蚀保护层 350 的
10 预定部分，使得露出相应于保护层 350 的刻蚀的部分的转子晶片 220 的部分。接着，使用保护层 350 作为掩模利用深硅刻蚀除去转子晶片 220 的暴露的部分。作为掩模的保护层 350，例如利用是硬掩模氧化物层或软掩模 PR 层。最后，可以利用计算机控制的激光进行激光切
15 割把转子晶片 220 切割成为各个矩形器件，即小方块。

- 上述的加工流程在晶片薄化加工即研磨和 CMP 之后在转子晶片 220 的介质侧上淀积导电电极 434(c)，因而保护介质表面 460 上的导电电极 434(c) 不受研磨加工的影响。此外，CMOS 电路 232 也在较后的阶段在定子晶片 230 上形成。因此，CMOS 电路 232 不容易被热加工破坏。
20 此外，一些所需的加工可以在放宽的热积聚下进行。最后，因为转子晶片 220 和定子晶片 230 的晶片接合在较晚的阶段进行，所以较少可能使晶片接合变劣。因而，可以提高器件产量，降低制造成本。

- 图 11 是说明用于 ARS 系统 200 的改进的加工流程的步骤的流程图。第一步涉及通过在转子晶片 220 的介质侧上涂敷保护层 350 (步骤 612)。接着，例如使用硒化反应使转子晶片 220 的介质侧和处理
25 晶片 530 接合，以便容易进行加工 (步骤 614)。多层的 In_2Se_3 510 可以被退火，并可以作为接合层 520 把处理晶片 530 固定到转子晶片 220 上。接着，转子晶片 220 可以在定子侧被薄化而成为大约 100 微米的厚度 (步骤 616)。

- 30 下一步涉及通过在转子晶片 220 的定子侧上淀积多晶硅 402，导电电极 434(a) 以及绝缘层 404(a) 进行转子晶片 220 的定子侧的加工 (步骤 618)。然后，可以加工定子晶片 230 (步骤 620)。定子晶片 230 的

加工涉及在定子晶片 230 上形成 CMOS 电路 232 (步骤 622), 以及通过在定子晶片 230 的转子侧上淀积导电电极 434 (b) 来加工定子晶片 230 的转子侧。绝缘层 404 (b) 和另一个绝缘层 206 也可以被淀积在定子晶片 230 的转子侧上。

5 接着, 借助于处理晶片 530, 转子晶片 220 可以被翻转, 并可以在定子侧和定子晶片 230 接合 (步骤 626)。在接合转子晶片 220 和转子晶片 230 之后, 可以通过有选择地湿刻蚀接合层 520 除去处理晶片 530 (步骤 628)。类似地, 可以通过各向同性的湿刻蚀或蒸汽刻蚀, 除去保护层 350 (步骤 630)。

10 下一步涉及通过在转子晶片 120 的介质侧上淀积导电电极 134 (c) 进行转子晶片 120 的介质侧的加工 (步骤 632)。最后, 可以通过首先图形化保护层 350 然后深硅刻蚀转子晶片 220 的暴露的部分而形成悬簧 140 (步骤 634)。改进的加工流程可以包括激光切片, 其中利用计算机控制的激光把转子晶片 220 切割成为各个矩形的小片 (步骤 15 636)。

虽然加工流程已经结合示例的实施例进行了说明, 但是, 应当理解, 根据这些教导, 本领域技术人员显然可以作出许多变型, 因而本申请旨在包括所有这些变型。

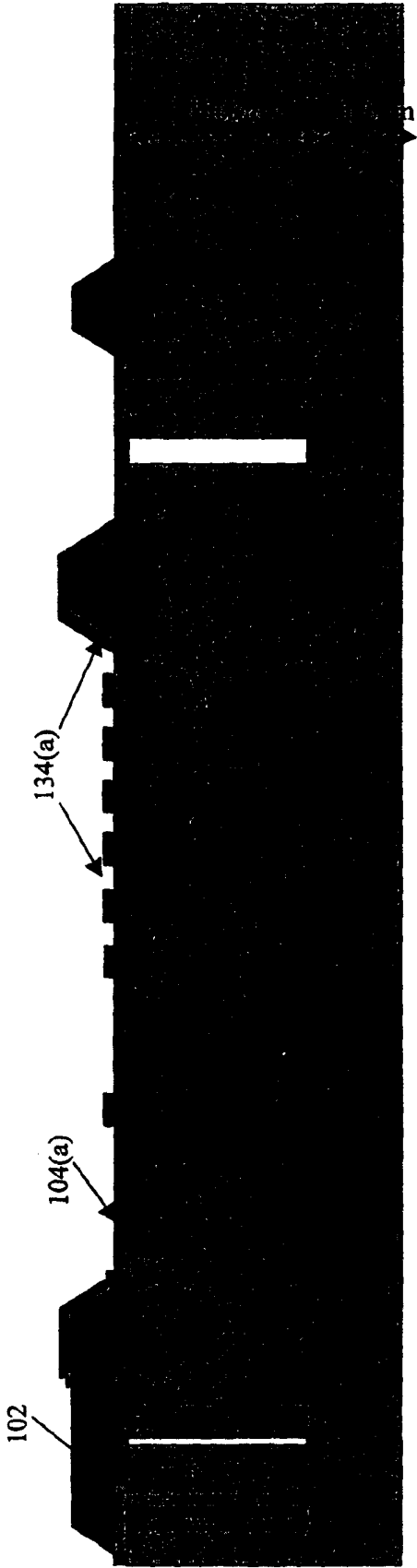


图 1(a) 现有技术

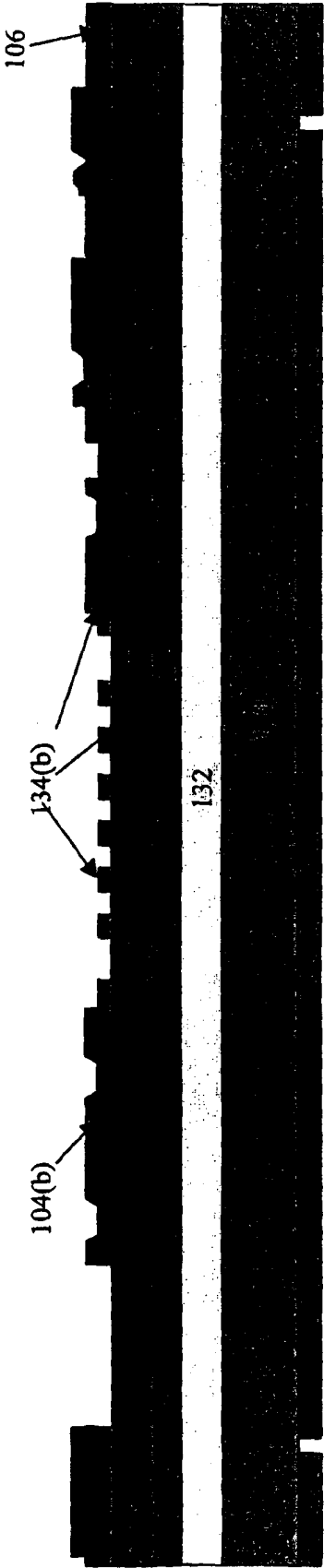


图 1(b) 现有技术

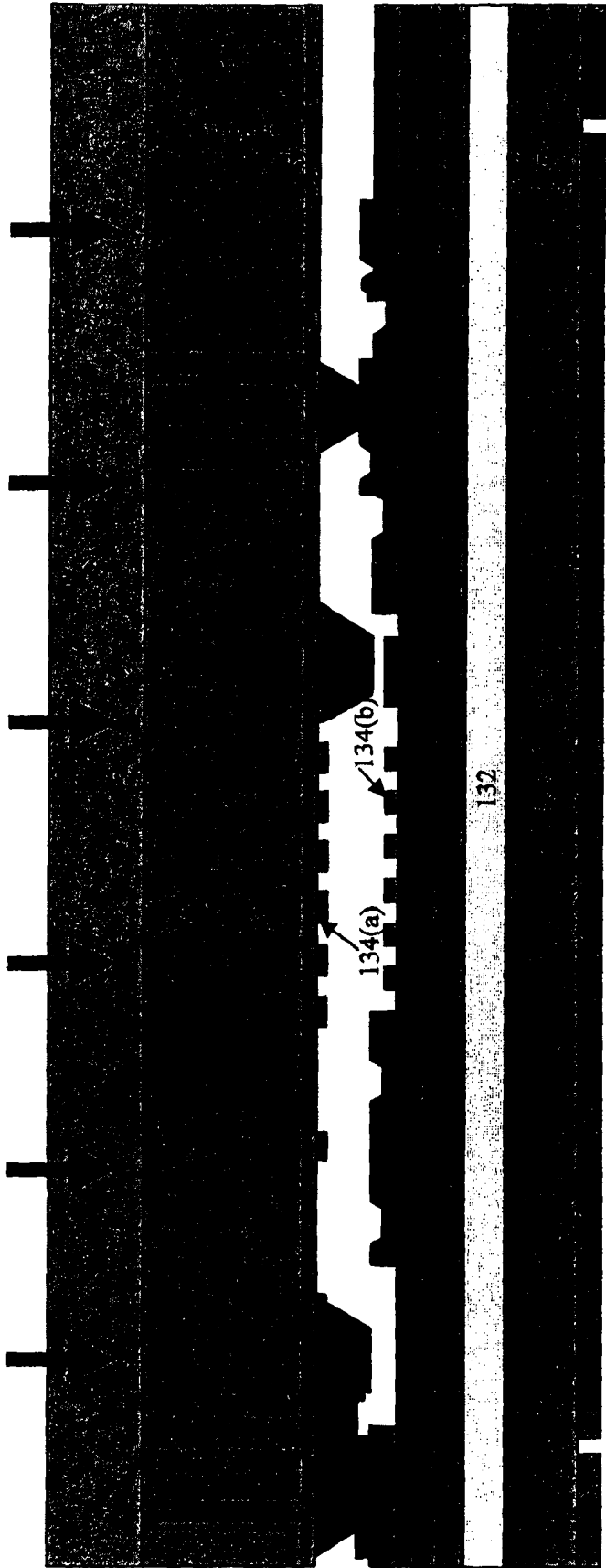


图 1(c) 现有技术

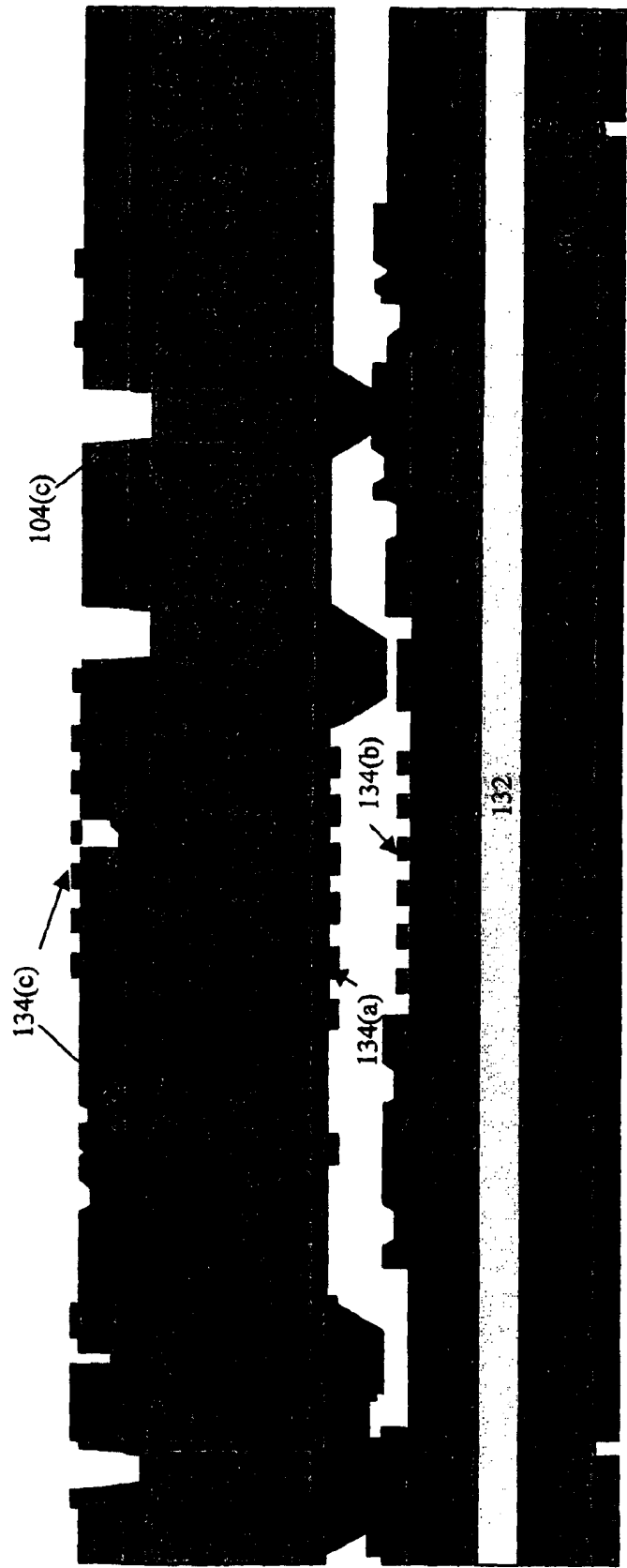


图 1 (d) 现有技术

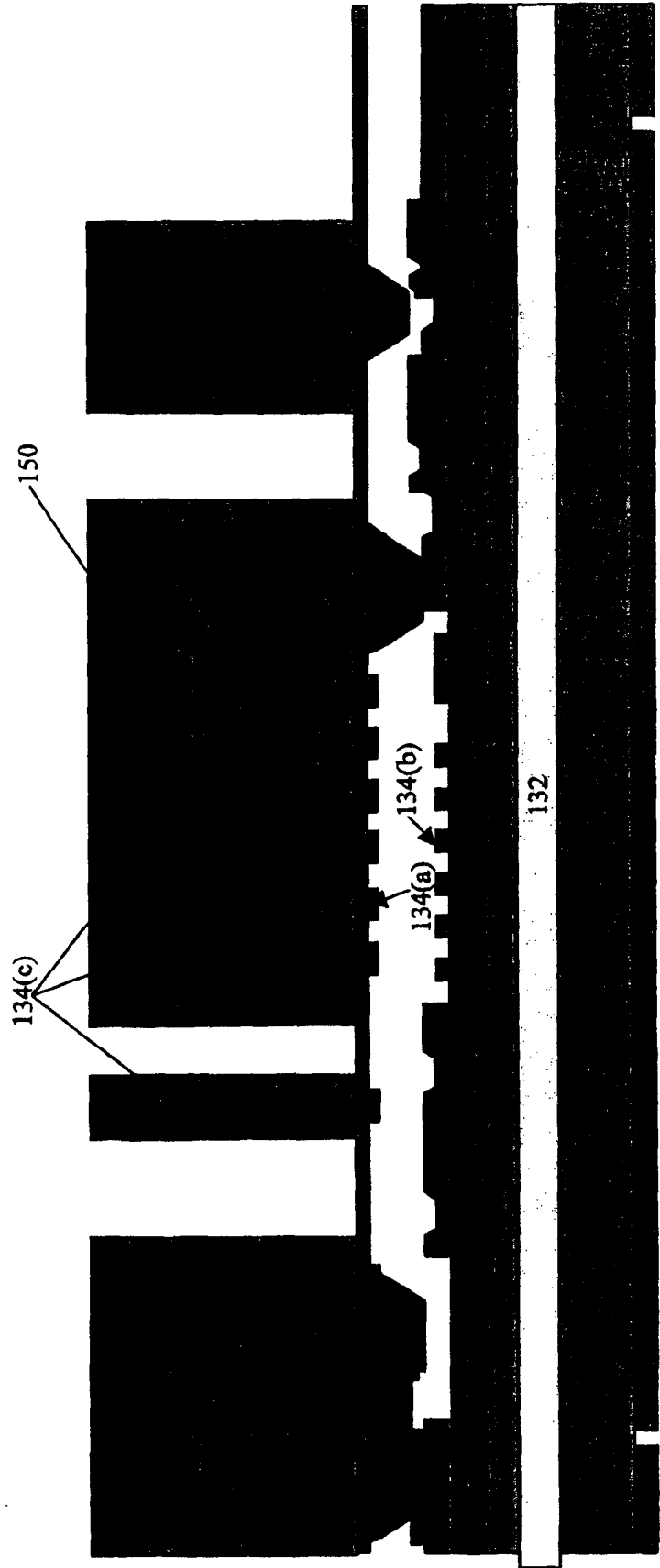


图 1 (e) 现有技术

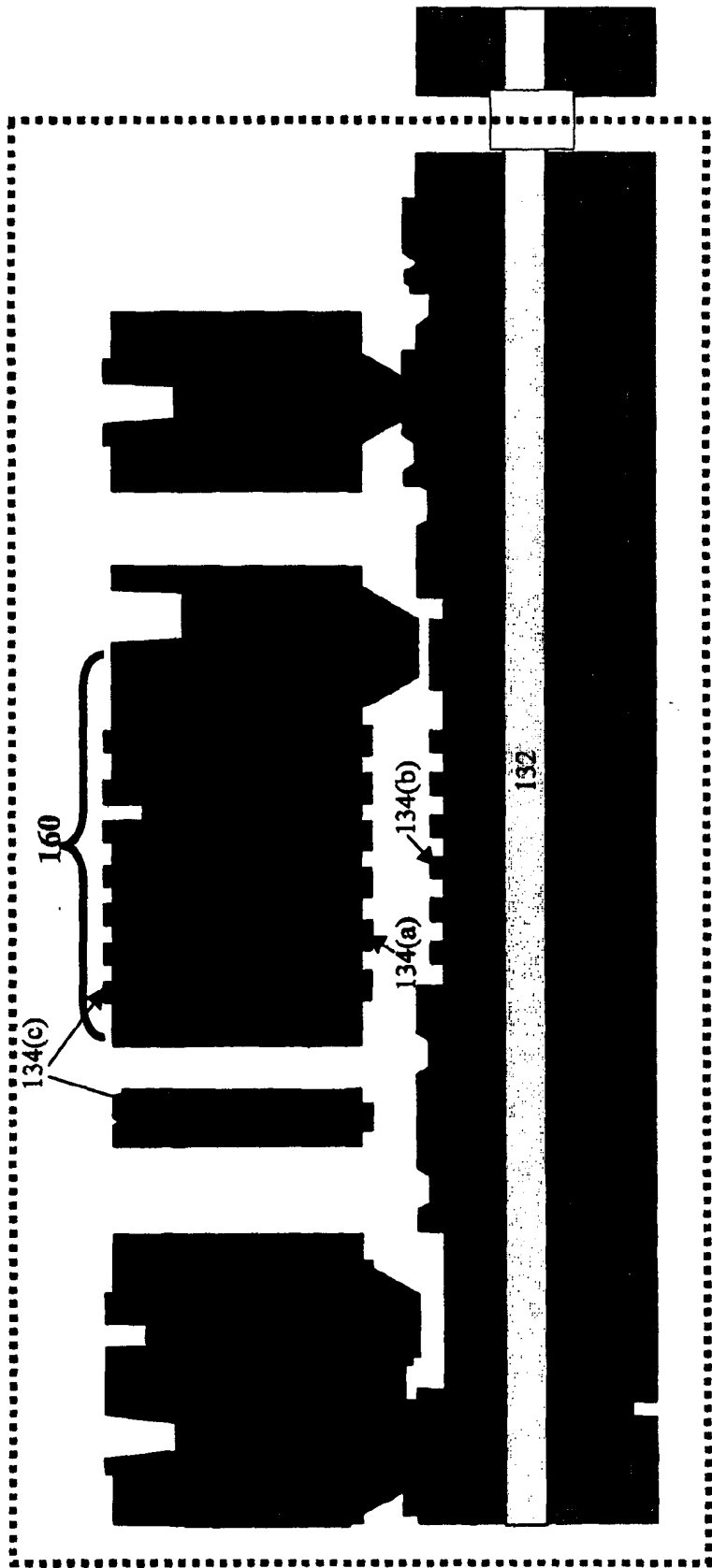


图 1(f) 现有技术

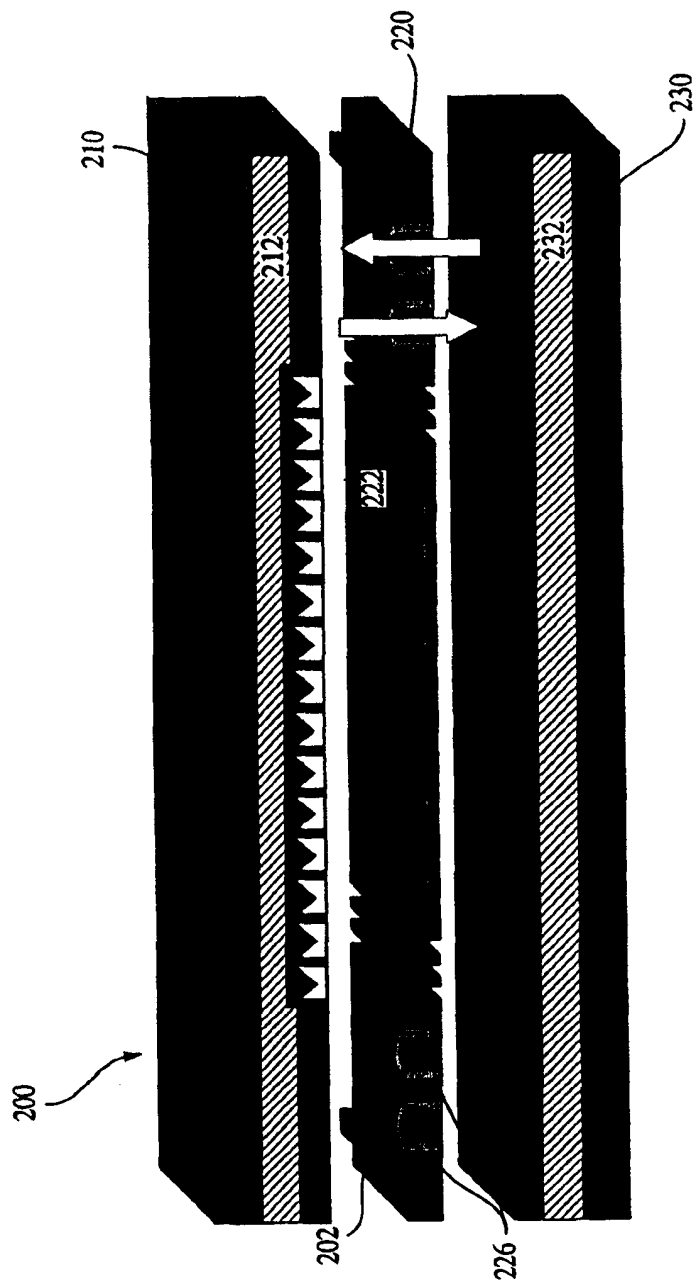


图 2 (a)

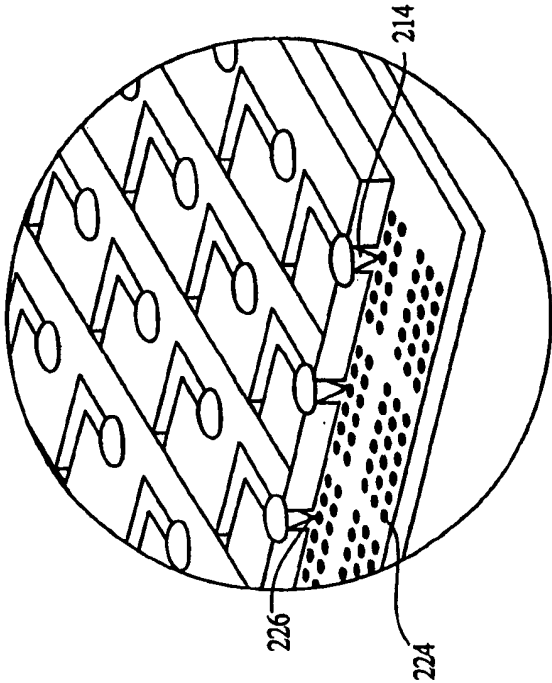


图 2(b)-2

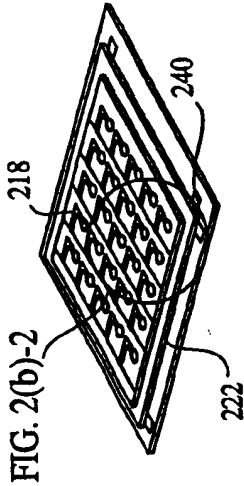


图 2(b)-1

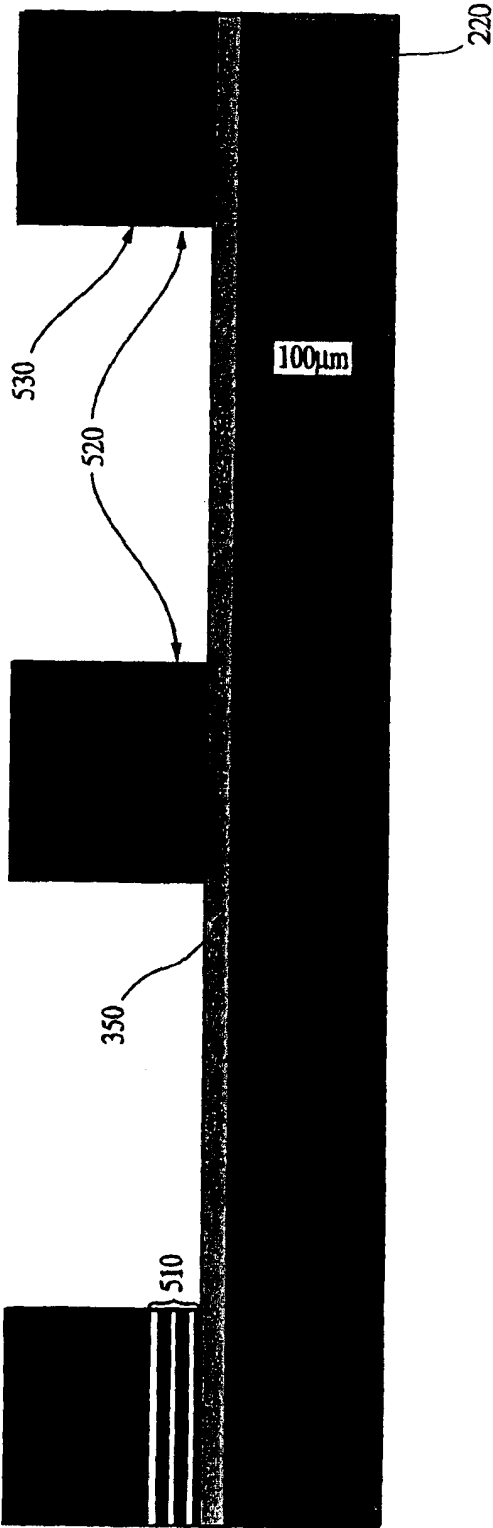


图 3 (a)

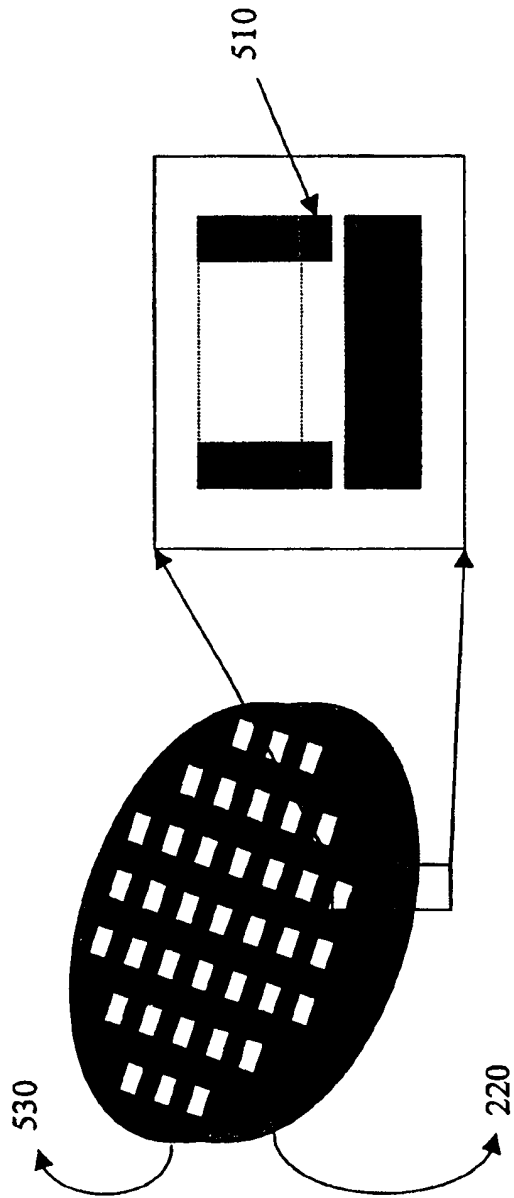


图 3 (b)

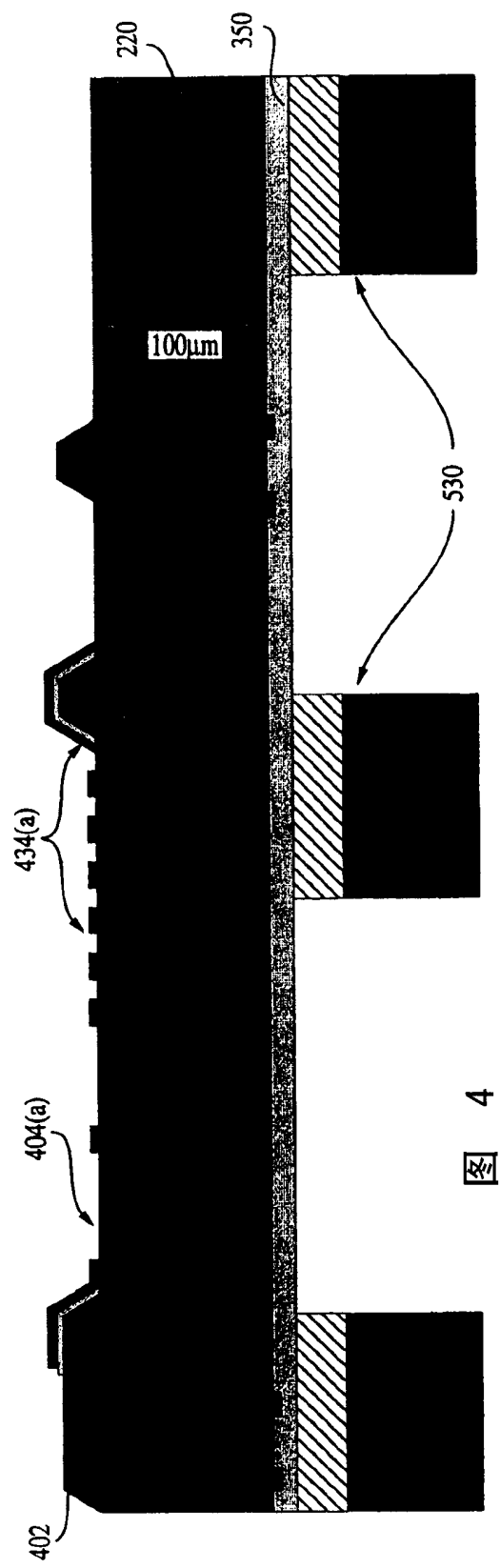


图 4

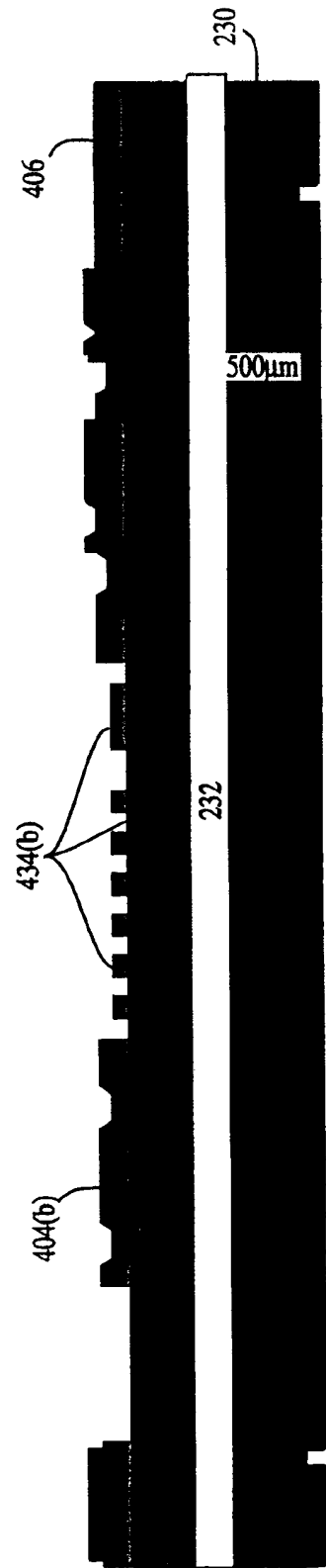


图 5

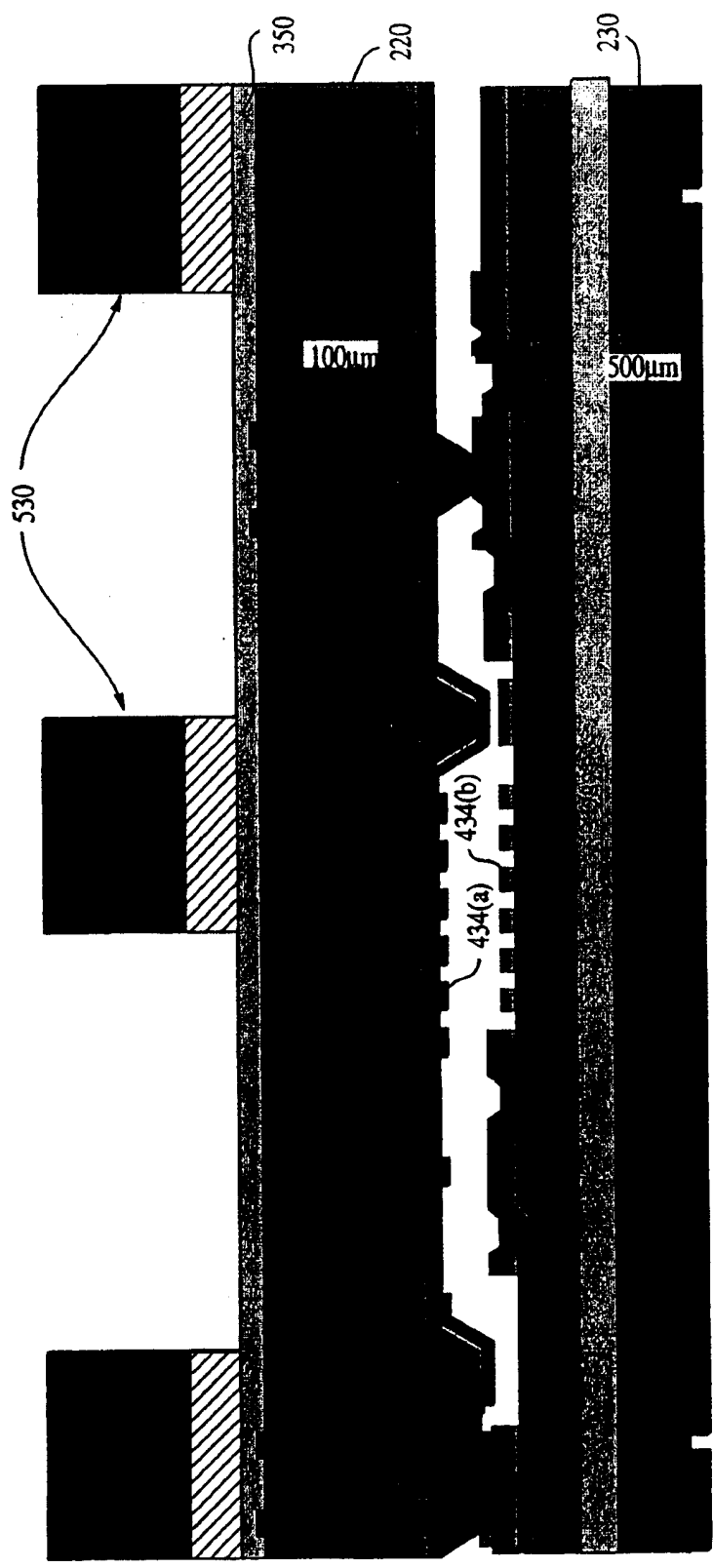


图 6

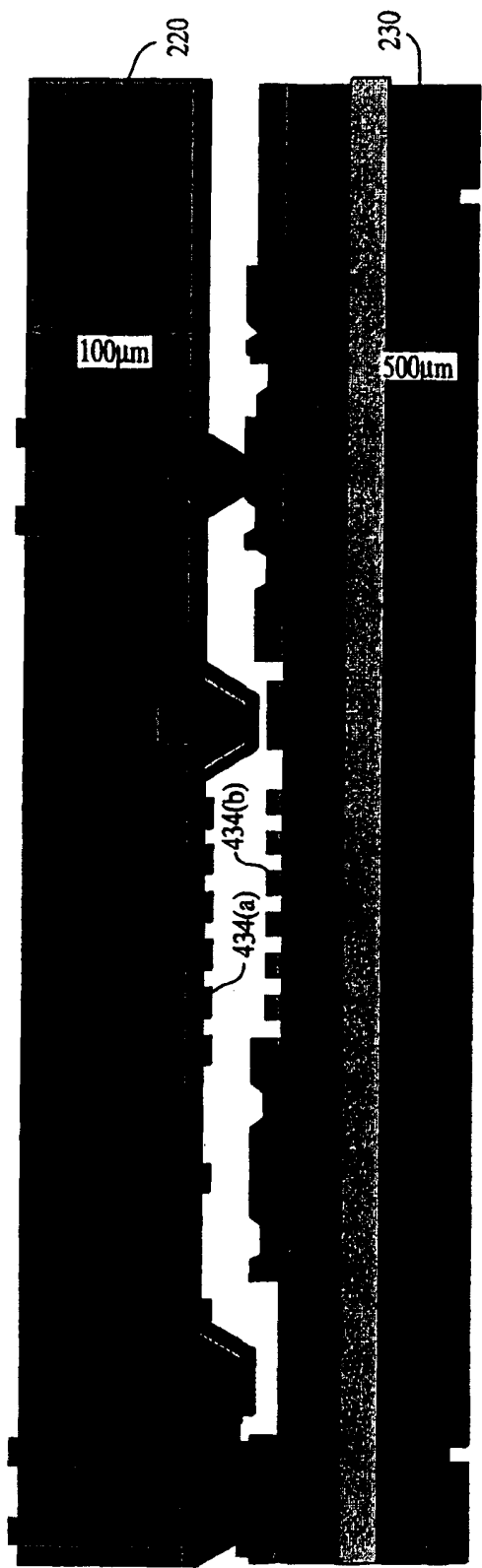


图 7

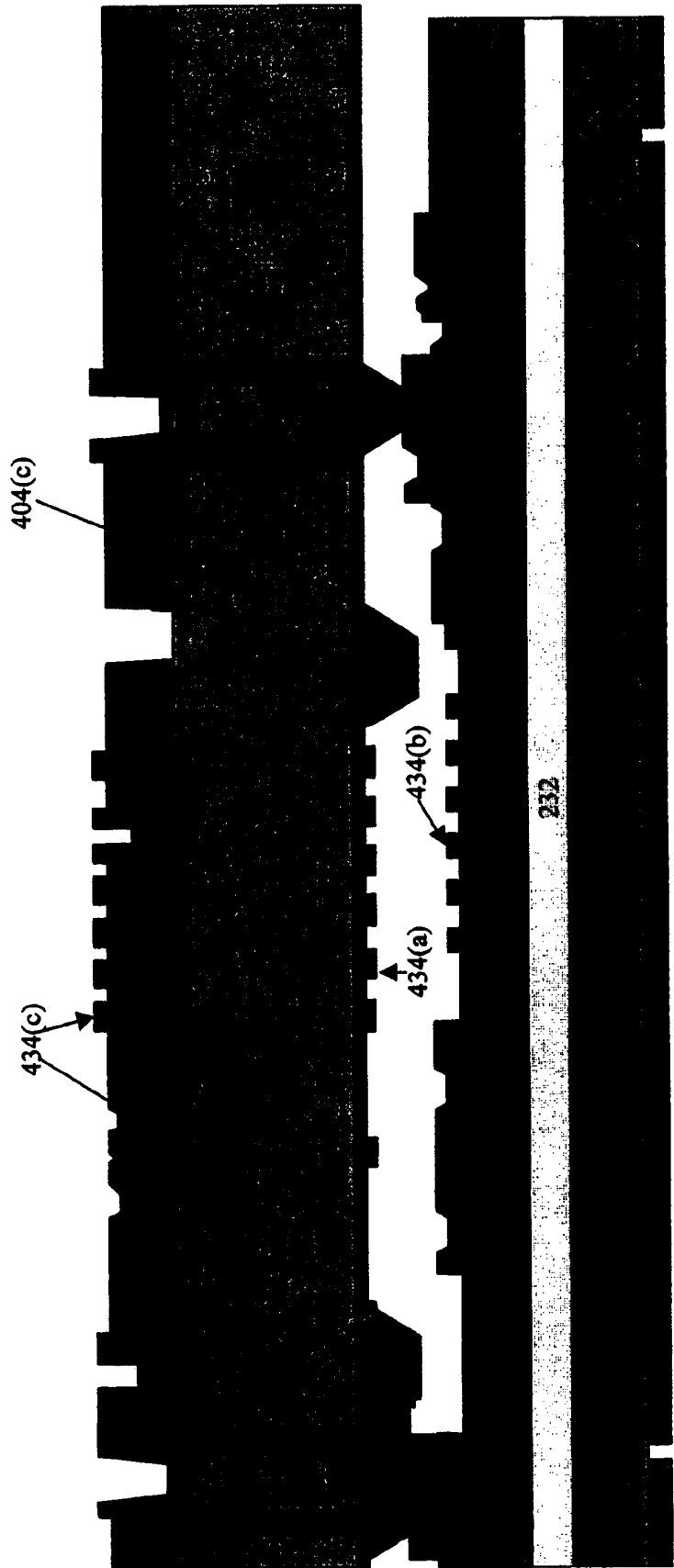


图 8

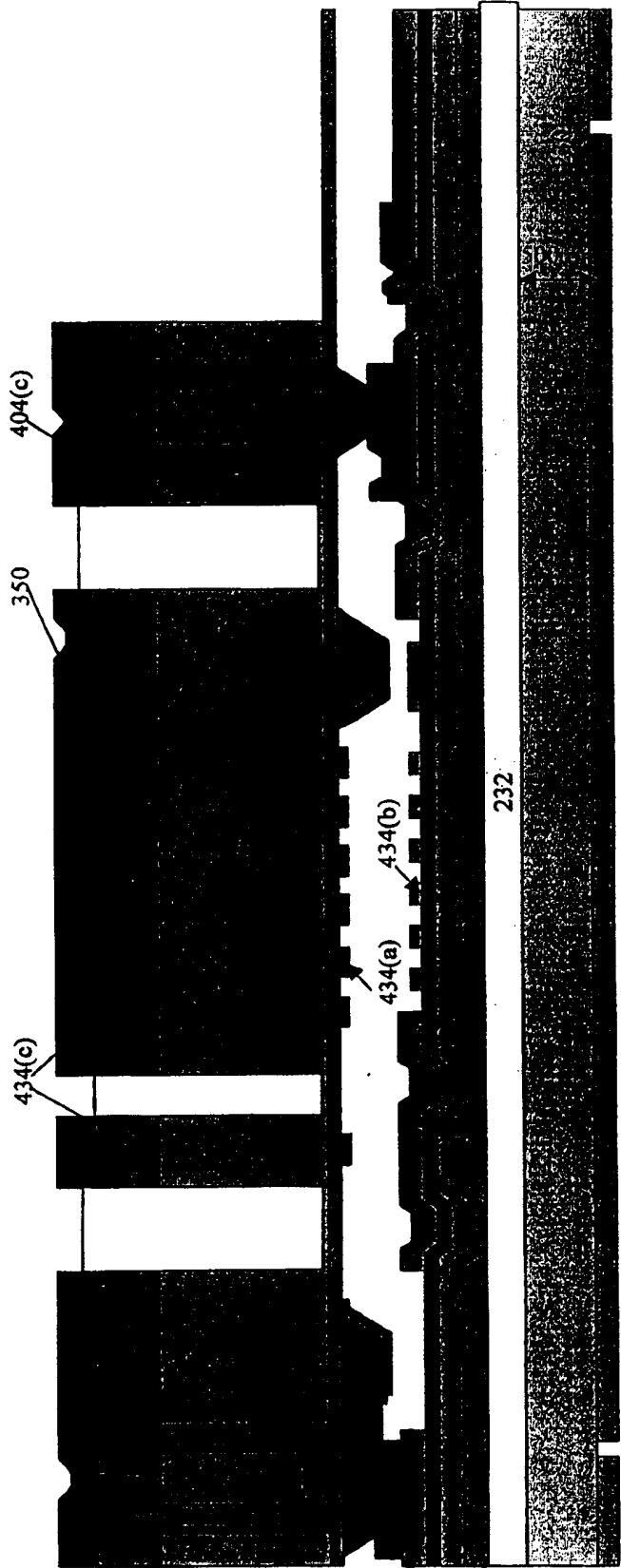


图 9

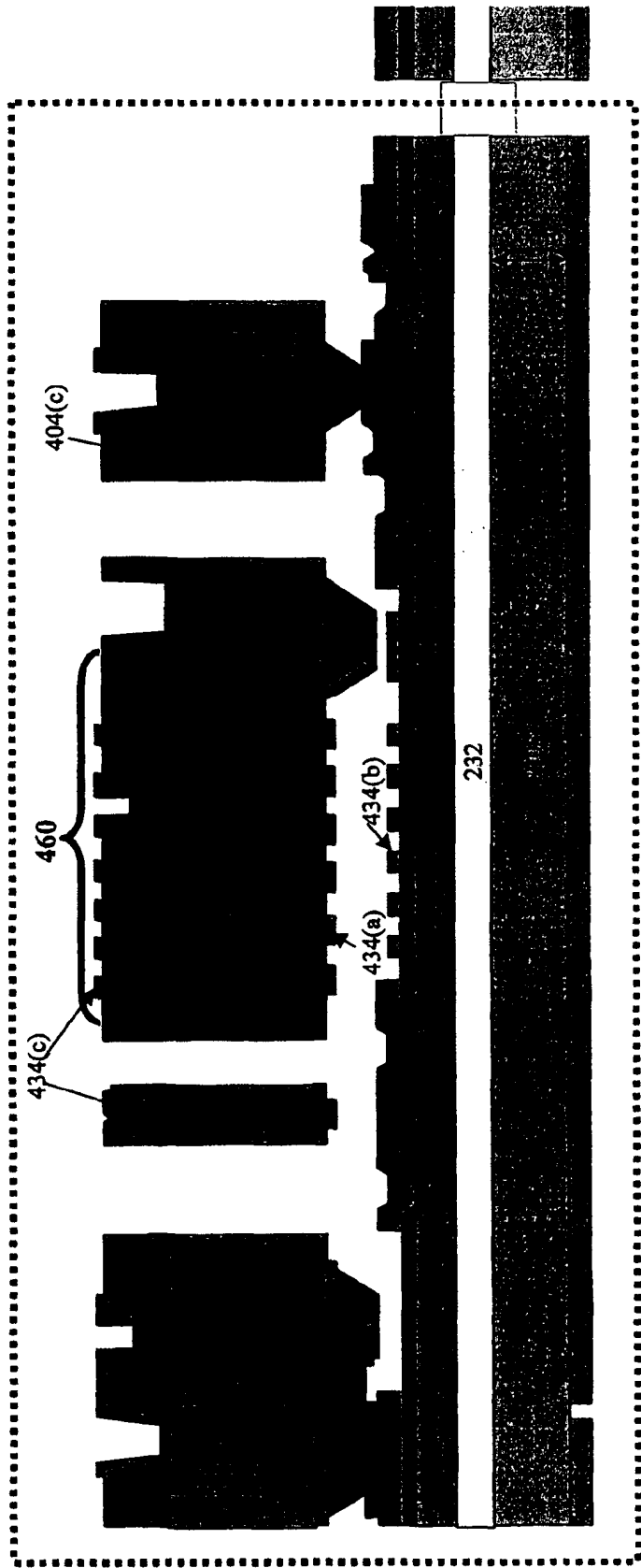


图 10

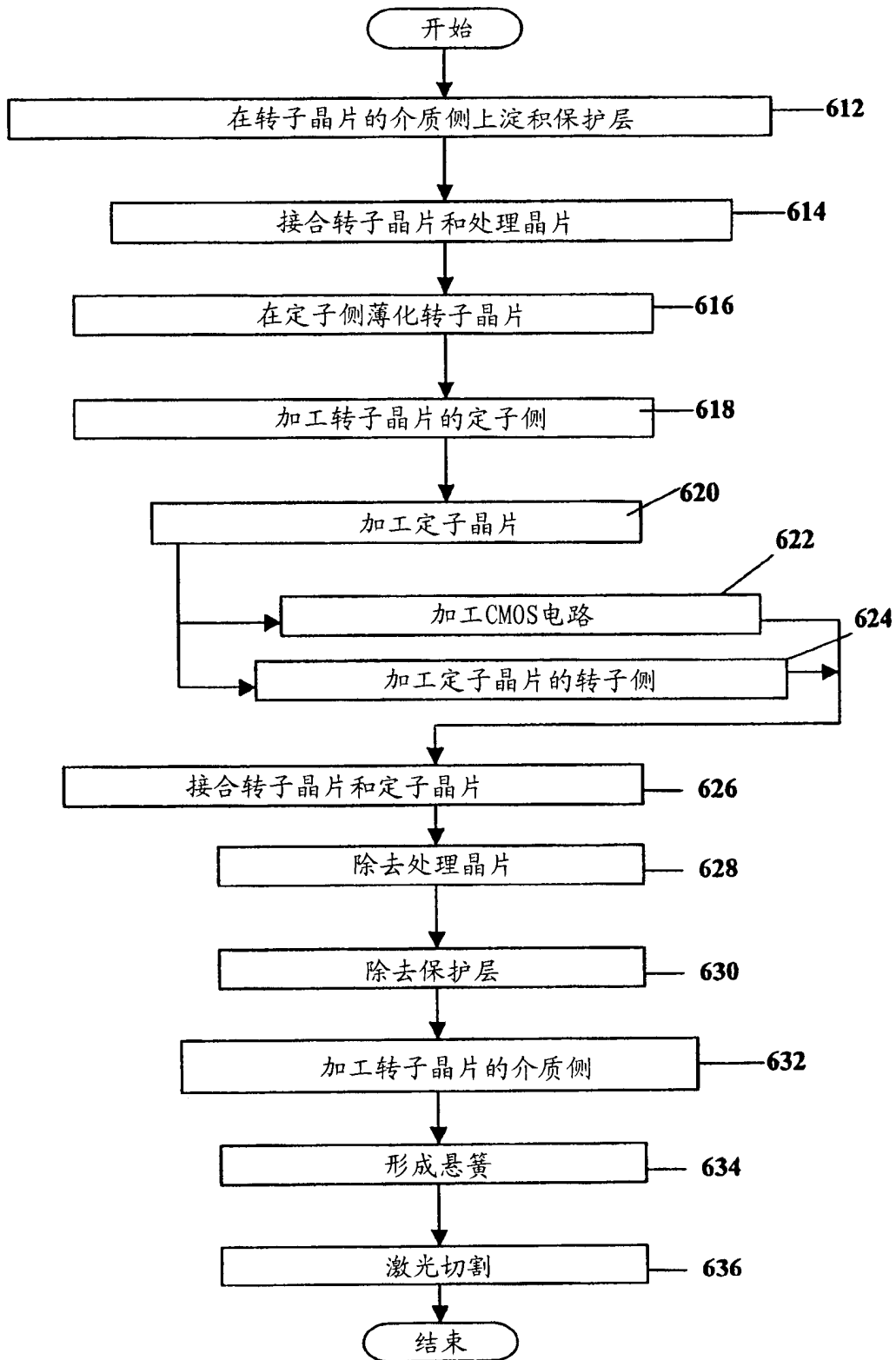


图 11