

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年11月13日(2014.11.13)

【公開番号】特開2014-142995(P2014-142995A)

【公開日】平成26年8月7日(2014.8.7)

【年通号数】公開・登録公報2014-042

【出願番号】特願2014-76283(P2014-76283)

【国際特許分類】

G 1 1 C 11/4091 (2006.01)

G 1 1 C 11/4094 (2006.01)

【F I】

G 1 1 C 11/34 3 5 3 A

G 1 1 C 11/34 3 5 3 C

【手続補正書】

【提出日】平成26年9月25日(2014.9.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置からデータを読み出す方法及び半導体装置

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置からデータを読み出す方法であって、

メモリセルに接続されたビット線を第1の電位にプリチャージし、

センスアンプ回路の出力ノードを前記第1の電位より大きい第2の電位にプリチャージ

し、

前記センスアンプ回路のセンス検出トランジスタに接続されたセンスノードを前記第1の電位より大きい第3の電位に駆動し、

前記ビット線を前記センスノードに接続する転送トランジスタを活性化し、前記ビット線の電位が前記第1の電位から前記第1の電位より大きくかつ前記第2の電位より小さい第4の電位に駆動され、

前記ビット線を用いて前記メモリセルに保持されるデータを読み出し、

前記センスアンプ回路の前記センス検出トランジスタを用いて、前記メモリセルから読み出されたデータがハイレベルのデータ又はローレベルのデータに対応するかを判定し、

前記読み出したデータがハイレベルのデータであるときは前記出力ノードを前記第1の電位に駆動し、前記読み出したデータがローレベルのデータであるときは前記出力ノードを前記第2の電位に保ち、

前記出力ノードに接続された入力を有する書き込み回路を用い、前記入力が入力ノードから前記第1の電位を受け取ったときは前記第1の電位より大きくかつ前記第2の電位より小さい第5の電位を供給し、前記入力が入力ノードから前記第2の電位を受け取ったときは前記第1の電位を供給する、

ことを特徴とする方法。

【請求項 2】

前記センスノードは、前記センス検出トランジスタのゲートに接続される請求項 1 に記載の方法。

【請求項 3】

前記データは蓄積電荷読み出し期間において前記メモリセルから読み出され、

前記データがハイレベルのデータに対応するときは、前記ビット線の電位が前記第 4 の電位から前記第 4 の電位より大きい前記第 5 の電位より小さい第 6 の電位に駆動されるとともに前記転送トランジスタが非活性化され、

前記データがローレベルのデータに対応するときは、前記ビット線の電位が前記第 4 の電位から前記第 4 の電位より小さい前記第 1 の電位より大きい第 7 の電位に駆動される請求項 2 に記載の方法。

【請求項 4】

前記第 4 の電位は、前記転送トランジスタを活性化するために当該転送トランジスタのゲートに供給されて前記転送トランジスタの閾値電圧より小さい転送制御電圧に等しい請求項 3 に記載の方法。

【請求項 5】

前記第 6 の電位は、前記転送制御電圧より大きい請求項 3 に記載の方法。

【請求項 6】

更に、前記メモリセルに接続されたワード線を前記蓄積電荷読み出し期間に活性化して前記メモリセルからの前記データの読み出しを可能とする請求項 3 に記載の方法。

【請求項 7】

更に、前記蓄積電荷読み出し期間に続くセンス期間において、

前記メモリセルから読み出したデータがハイレベルのデータに対応するときは、前記センスノードを前記第 3 の電位に保ち、

前記メモリセルから読み出したデータがローレベルのデータに対応するときは、前記センスノードを前記第 7 の電位に駆動する、

請求項 3 に記載の方法。

【請求項 8】

前記センス検出トランジスタは、前記センスノードが前記第 3 の電位のときにオンし、前記センスノードが前記第 7 の電位のときにオフする請求項 7 に記載の方法。

【請求項 9】

前記第 3 の電位は前記センス検出トランジスタの閾値電圧以上であり、前記第 7 の電位は前記センス検出トランジスタの前記閾値電圧以下である請求項 7 に記載の方法。

【請求項 10】

前記センス検出トランジスタがオンのとき、前記センスアンプ回路の前記出力ノードは前記センス期間に前記第 1 の電位に駆動され、

前記センス検出トランジスタがオフのとき、前記センスアンプ回路の前記出力ノードは前記第 2 の電位に保たれる請求項 8 又は 9 に記載の方法。

【請求項 11】

前記書き込み回路は、前記出力ノードから前記第 1 の電位を受け取る前記入力と、前記データがハイレベルのデータ又はローレベルのデータに対応するかに依存して前記第 5 の電位又は前記第 1 の電位を供給する出力と、をそれぞれ有するインバータを備える請求項 1 に記載の方法。

【請求項 12】

前記メモリセルからの前記データの読み出しに続くリフレッシュ期間に前記書き込み回路のトランジスタを活性化して前記インバータの前記出力を前記ビット線に接続し、前記リフレッシュ期間に前記インバータの前記出力を前記ビット線に供給する請求項 11 に記載の方法。

【請求項 13】

前記第 2 及び第 3 の電位は互いに等しい請求項 1 に記載の方法。

【請求項 14】

前記第3の電位は前記第2の電位より大きい請求項1に記載の方法。

【請求項 15】

前記第1の電位はグランド電位である請求項1に記載の方法。

【請求項 16】

メモリセルと、

選択トランジスタにより前記メモリセルに接続されるビット線と、

前記ビット線と第1の電位との間に接続される第1のトランジスタと、センスノードと第2の電位との間に接続される第2のトランジスタと、前記ビット線を前記センスノードに接続する第3のトランジスタとを備える電荷転送制御回路と、

前記センスノードに接続されるゲートを有する第4のトランジスタと、第3の電位に接続される第5のトランジスタと、前記第5のトランジスタ及び前記第4のトランジスタの間に接続される第6のトランジスタと、出力ノードとを備えるセンスアンプと、

前記出力ノードの電位が、前記メモリセルからハイレベルのデータが読み出されたことを示すときは、第4の電位を供給し、前記出力ノードの電位が、前記メモリセルからローレベルのデータが読み出されたことを示すときは、前記第1の電位を供給する書き込み回路と、

を備える半導体装置。

【請求項 17】

更に、

第1の期間において、前記第1のトランジスタにプリチャージ信号を供給して前記ビット線を前記第1の電位にプリチャージし、前記第5のトランジスタにプリチャージ信号を供給して前記出力ノードを前記第3の電位にプリチャージし、

前記第1の期間に続く第2の期間において、電圧設定信号を前記第2のトランジスタに供給して前記センスノードを前記第2の電位に充電し、

前記第2の期間に続く第3の期間において、前記メモリセルに接続されたワード線を活性化して、前記ビット線を用いて前記メモリセルに保持されるデータの読み出しを可能とし、

前記第3の期間に続く第4の期間において、前記第6のトランジスタを活性するセンス期間制御信号を供給し、前記メモリセルから読み出した前記データがハイレベルのデータであるときは前記出力ノードが前記第1の電位に駆動され、前記メモリセルから読み出した前記データがローレベルのデータであるときは前記出力ノードが前記第3の電位に保たれる、

ように構成された制御回路を備える請求項16に記載の半導体装置。

【請求項 18】

前記制御回路は、更に、前記第4の期間に続く第5の期間において、前記書き込み回路のトランジスタを活性化して前記供給された第4の電位又は第1の電位を前記ビット線に接続する請求項17に記載の半導体装置。

【請求項 19】

前記第3のトランジスタは、そのゲートに供給される転送制御電圧に応じて活性化される請求項17に記載の半導体装置。

【請求項 20】

前記第2の期間において、前記ビット線は、前記第1の電位より大きい前記転送制御電圧より小さい参照電圧に充電される請求項19に記載の半導体装置。

【請求項 21】

前記第3の期間において、前記参照電圧は、前記メモリセルから読み出した前記データがローレベルのデータであるときは第5の電位に低下し、前記メモリセルから読み出した前記データがハイレベルのデータであるときは第6の電位に上昇する請求項20に記載の半導体装置。

【請求項 22】

前記第 4 の期間において、前記データがハイレベルのデータであるときは前記センスノードが前記第 2 の電位に保たれ、前記データがローレベルのデータであるときは前記センスノードが前記第 5 の電位に駆動される請求項 2 1 に記載の半導体装置。

【請求項 2 3】

前記第 4 のトランジスタは、前記センスノードが前記第 2 の電位を有する場合、前記第 4 の期間にオンし、前記センスノードが前記第 5 の電位を有する場合、前記第 4 の期間にオフする請求項 2 2 に記載の半導体装置。

【請求項 2 4】

前記センスアンプは、シングルエンド型のセンスアンプである請求項 1 6 に記載の半導体装置。

【請求項 2 5】

前記第 2 及び第 3 の電位は互いに等しい請求項 1 6 に記載の半導体装置。

【請求項 2 6】

前記第 2 の電位は前記第 3 の電位より大きい請求項 1 6 に記載の半導体装置。

【請求項 2 7】

前記第 1 の電位はグランド電位である請求項 1 6 に記載の半導体装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

上記課題を解決するために、本発明は、半導体装置からデータを読み出す方法であって、メモリセルに接続されたビット線を第 1 の電位にプリチャージし、センスアンプ回路の出力ノードを前記第 1 の電位より大きい第 2 の電位にプリチャージし、前記センスアンプ回路のセンス検出トランジスタに接続されたセンスノードを前記第 1 の電位より大きい第 3 の電位に駆動し、前記ビット線を前記センスノードに接続する転送トランジスタを活性化し、前記ビット線の電位が前記第 1 の電位から前記第 1 の電位より大きくかつ前記第 2 の電位より小さい第 4 の電位に駆動され、前記ビット線を用いて前記メモリセルに保持されるデータを読み出し、前記センスアンプ回路の前記センス検出トランジスタを用いて、前記メモリセルから読み出されたデータがハイレベルのデータ又はローレベルのデータに対応するかを判定し、前記読み出したデータがハイレベルのデータであるときは前記出力ノードを前記第 1 の電位に駆動し、前記読み出したデータがローレベルのデータであるときは前記出力ノードを前記第 2 の電位に保ち、前記出力ノードに接続された入力を有する書き込み回路を用い、前記入力が入力ノードから前記第 1 の電位を受け取ったときは前記第 1 の電位より大きくかつ前記第 2 の電位より小さい第 5 の電位を供給し、前記入力が入力ノードから前記第 2 の電位を受け取ったときは前記第 1 の電位を供給することを特徴としている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

また、上記課題を解決するために、本発明の半導体装置は、メモリセルと、選択トランジスタにより前記メモリセルに接続されるビット線と、前記ビット線と第 1 の電位との間に接続される第 1 のトランジスタと、センスノードと第 2 の電位との間に接続される第 2 のトランジスタと、前記ビット線を前記センスノードに接続する第 3 のトランジスタとを備える電荷転送制御回路と、前記センスノードに接続されるゲートを有する第 4 のトランジスタと、第 3 の電位に接続される第 5 のトランジスタと、前記第 5 のトランジスタ及び

前記第 4 のトランジスタの間に接続される第 6 のトランジスタと、出力ノードとを備えるセンスアンプと、前記出力ノードの電位が、前記メモリセルからハイレベルのデータが読み出されたことを示すときは、第 4 の電位を供給し、前記出力ノードの電位が、前記メモリセルからローレベルのデータが読み出されたことを示すときは、前記第 1 の電位を供給する書き込み回路と、を備えて構成される。