

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/094 (2006.01)

H02M 3/07 (2006.01)



## [12] 发明专利说明书

专利号 ZL 200410034347.4

[45] 授权公告日 2006 年 9 月 6 日

[11] 授权公告号 CN 1274084C

[22] 申请日 2004.4.12

[74] 专利代理机构 北京市柳沈律师事务所

[21] 申请号 200410034347.4

代理人 马 莹 邵亚丽

[30] 优先权

[32] 2003.4.14 [33] JP [31] 108757/03

[71] 专利权人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 名野隆夫 女屋佳隆

审查员 董 杰

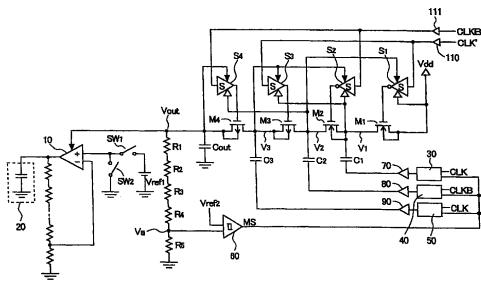
权利要求书 2 页 说明书 11 页 附图 10 页

[54] 发明名称

电荷泵电路

[57] 摘要

一种电荷泵电路，可降低电荷泵电路开始工作时产生的突入电流，可防止对其他电路的不良影响。将电荷传送用 MOS 晶体管 (M1) ~ (M4) 串联连接，将它们的各连接点与耦合电容器 (C1)、(C2)、(C3) 的一端连接，在耦合电容器 (C1)、(C2)、(C3) 的另一端分别施加时钟驱动器 (70)、(80)、(90) 的输出。例如，时钟驱动器 (70) 具有第 1 时钟驱动器 (70A) 和具有比第 1 时钟驱动器 (70A) 驱动能力强的第 2 时钟驱动器 (70B)，首先使第 1 时钟驱动器 (70A) 工作，经过规定时间后，使第 1 时钟驱动器 (70A) 停止，同时进行切换使第 2 时钟驱动器 (70B) 工作。



1. 一种电荷泵电路，其特征在于电荷泵电路包括：  
    串联连接的多个电荷传送用晶体管；  
    5    向初级的所述电荷传送用晶体管提供输入电压的输入电源；  
    与所述多个电荷传送用晶体管的各连接点在一端连接的多个电容器；  
    向所述电容器的另一端提供时钟脉冲的第1时钟驱动器；  
    向所述电容器的另一端提供时钟脉冲，与所述第1时钟驱动器相比有高  
    驱动能力的第2时钟驱动器；  
    10   最初使所述第1时钟驱动器工作，经过规定时间后，使第2时钟驱动器  
    工作的时钟驱动器控制电路，  
        电荷泵电路从后级的电荷传送用晶体管获得输出电压。
2. 如权利要求1所述的电荷泵电路，其特征在于所述时钟驱动器控制电  
    路在经过所述规定时间后使所述第1时钟驱动器的工作停止。
- 15   3. 如权利要求1或2所述的电荷泵电路，其特征在于所述时钟驱动器控  
    制电路包括：  
        将对应所述输出电压的电压与规定的基准电压进行比较的比较器；以及  
        对应所述比较器的输出信号，对所述第1时钟驱动器和第2时钟驱动器  
    的工作进行控制的控制电路。
- 20   4. 如权利要求3所述的电荷泵电路，其特征在于所述规定的基准电压与  
    所述输入电源的输入电压相等。
5. 如权利要求3所述的电荷泵电路，其特征在于所述比较器为磁滞比较  
    器。
- 25   6. 如权利要求3所述的电荷泵电路，其特征在于对应所述输出电压的电  
    压为通过电阻器将所述输出电压进行分压获得的电压。
- 30   7. 如权利要求1或2所述的电荷泵电路，其特征在于所述时钟驱动器控  
    制电路包括：  
        对时钟脉冲进行计数的计数器；以及  
        对应该计数器的输出信号，对所述第1时钟驱动器和所述第2时钟驱动  
    器的工作进行控制的控制电路。
8. 一种电荷泵电路，其特征在于该电荷泵电路包括：

第 1 电荷泵电路，具有：串联连接的多个电荷传送用晶体管；向初级的所述电荷传送给晶体管提供输入电压的输入电源；与所述多个电荷传送给晶体管的各连接点在一端连接的多个电容器；向所述电容器的另一端提供时钟脉冲的第 1 时钟驱动器；和比所述第 1 时钟驱动器驱动能力强的第 2 时钟驱动器；

第 2 电荷泵电路，具有：串联连接的多个电荷传送用晶体管；向初级的所述电荷传送给晶体管提供输入电压的输入电源；与所述多个电荷传送给晶体管的各连接点在一端连接的多个电容器；向所述电容器的另一端提供时钟脉冲的第 3 时钟驱动器；和比所述第 3 时钟驱动器驱动能力强的第 4 时钟驱动器；以及

时钟驱动器控制电路，使所述第 1 电荷泵电路的所述第 1 时钟驱动器工作之后，经过第 1 规定时间后使所述第 2 时钟驱动器工作，使所述第 2 电荷泵电路的所述第 3 时钟驱动器工作之后，经过第 2 规定时间后使所述第 4 时钟驱动器工作。

15 9. 如权利要求 8 所述的电荷泵电路，其特征在于所述时钟驱动器控制电路包括：

对时钟脉冲进行计数的计数器；以及

对该计数器的输出信号，对所述第 1 至第 4 时钟驱动器的工作进行控制的控制电路。

## 电荷泵电路

### 5 技术领域

本发明涉及电荷泵电路，特别涉及用于电源电路等的大电流输出的电荷泵电路。

### 背景技术

10 近年来的录像机、数字静像摄影机(DSC)、DSC电话等的影像设备为了摄入影像而采用CCD(电荷耦合器件 Charge Coupled Devices)。用于驱动CCD的CCD驱动电路需要正、负的高电压(十几伏)且大电流(数mA)的电源电路。该高电压通过开关稳压器而生成。

15 开关稳压器可高性能、即高效率(输出功率/输入功率)地生成高电压。但是，该电路的缺点是在电流开关时产生高次谐波噪声，必须屏蔽使用电源电路。而且需要作为外部元件的线圈。

因此，近年来迪克逊电荷泵电路作为携带设备用电源电路受到注目。该电路例如在技术文献(John F. Dickson On-chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique IEEE 20 JOURNAL OF SOLID-STATE CIRCUITS, VOL.SC-11, NO.3 pp.374-378 JUNE 1976.)中有详细记载。

图11表示4级的迪克逊电荷泵装置的电路图。二极管D1～D5串联连接。C1～C4是与各二极管D1～D5的连接点连接的耦合电容器(Coupling Capacitor)，CL为输出电容器(Output Capacitor)，CLK和CLKB为相互反相的输入时钟脉冲。而且，51为输入CLK和CLKB的时钟驱动器，52为电流负载。电源电压Vdd被提供给时钟驱动器51。因此，时钟驱动器51输出的时钟脉冲Φ1、Φ2的输出振幅约为Vdd。将时钟脉冲Φ1提供给电容器C2、C4，将时钟脉冲Φ2提供给电容器C1、C3。

在稳定状态下，输出端流过定电流Iout时，电荷泵电路的输入电流为来自输入电压Vin的电流和由时钟驱动器提供的电流。如果无视对寄生电容的

充放电电流，则这些电流如下。在  $\Phi_1$  为高 (High)、 $\Phi_2$  为低 (Low) 期间，在图中的实线箭头方向分别流过  $2I_{out}$  的平均电流。

而且，在  $\Phi_1$  为低 (Low)、 $\Phi_2$  为高 (High) 期间，在图中的虚线箭头方向流过  $2I_{out}$  的平均电流。时钟周期中其各平均电流都为  $I_{out}$ 。稳定状态下的  
5 电荷泵装置的升压电压  $V_{out}$  以下式表示

$$V_{out} = V_{in} - V_d + n (V_{\Phi}' - V_1 - V_d)$$

这里， $V_{\Phi}'$  为各连接节点中随时钟脉冲的变化而由耦合电容产生的电压振幅。 $V_1$  为因输出电流  $I_{out}$  而产生的电压下降， $V_{in}$  为输入电压，通常正升压时为电源电压  $V_{dd}$ ，负升压时为 0 伏。 $V_d$  为正向偏置二极管电压 (Forward bias  
10 diode voltage)， $n$  为泵级数。而且， $V_1$  和  $V_{\Phi}'$  由下式表示。

$$V_1 = I_{out}/f (C + C_s) = (2I_{out}T/2) / (C + C_s)$$

$$V_{\Phi}' = V_{\Phi}C / (C + C_s)$$

这里， $C$  为耦合电容器  $C_1 \sim C_4$  具有的电容量， $C_s$  为各连接节点中寄生电容的电容值 (stray capacitance at each node)， $V_{\Phi}$  为时钟脉冲的振幅 (clock pulse amplitude)， $f$  为时钟脉冲的频率， $T$  为时钟周期 (clock period)。如果无视从时钟驱动器流向寄生电容的充放电电流，设  $V_{in}=V_{dd}$ ，则电荷泵装置的效率以下式表示。  
15

$$\eta = V_{out} I_{out} / ((n+1) V_{dd} I_{out}) = V_{out} / ((n+1) V_{dd})$$

这样，迪克逊电荷泵电路，以二极管作为电荷传递元件 (charge transfer device)、通过将电荷渐次向次级传递进行升压。迪克逊电荷泵具有不需要线圈和噪声低的长处，但具有效率低和不能输出大电流的缺点。  
20

因此，本发明人改良了迪克逊电荷泵电路，开发了具有高效率和大电流输出 (数 mA) 的电荷泵电路。该改良的电荷泵电路不采用二极管，而采用电荷传递用 MOS 晶体管，在该电荷传递用 MOS 晶体管的栅极中设置提供电位移到高电压的时钟的电位移电路，以降低电荷传递用 MOS 晶体管的导通电阻。  
25

[专利文献 1]

日本特开 2001-286125 号公报

### 30 发明内容

但是，在使该电荷泵电路实用化时，突入电流 (Inrush Current) 成为问

题。即，在电荷泵电路开始工作时，对各耦合电容器进行的充电并不是只充电到必要的量。给电荷泵电路的电荷传送元件提供输入电源，并使时钟驱动器工作，规定时间后，各耦合电容被充电必要的电荷。因此，从使电荷泵电路开始工作到电荷泵电路达到正常工作状态之间的期间，从输入电源以及时5 钟驱动器电源流入 100mA ~ 1A 的大突入电流。另一方面，电荷泵电路的电源、即输入电源以及时钟驱动器电源一般采用稳压电源，该稳压电源还向系统的其他电路提供电源。

因此，如果电荷泵电路流过这样的过大的突入电流，则稳压电源变得不稳定，使其他电路不能正常工作，该稳压电源的保护电路动作，导致电流供给停止，有其他电路不工作的问题。  
10

这里，本发明人对上述突入电流的原因认真研究后，判明耦合电容的充放电电流是支配性的。即判明电荷泵电路的电源被提供给下列 3 个电路部分：①作为电荷泵电路输入部的初级电荷传送用 MOS 晶体管；②给电容器提供时钟的时钟驱动器；③电位移电路，但其中流过时钟驱动器电源的电流是支15 配性的。

本发明的电荷泵电路，设置第 1 时钟驱动器和具有比第 1 时钟驱动器驱动能力强的第 2 时钟驱动器，还设置时钟驱动器控制电路：首先使第 1 时钟驱动器工作，经过规定时间后，使第 2 时钟驱动器工作。由此可抑制工作开始时流入时钟驱动器电源的突入电流，因此可降低电荷泵电路整体的突入电20 流，可防止对其他电路的不良影响。

根据本发明，可降低电荷泵电路工作开始时产生的突入电流，可防止对其他电路的不良影响。

#### 附图说明

25 图 1 是本发明的实施方式的电荷泵电路的电路图。

图 2 是表示图 1 的控制电路以及时钟驱动器 70 的具体例的电路图。

图 3 是本发明的实施方式的其他电荷泵电路的电路图。

图 4 是表示图 1 的反转电位移电路 S1、S2 的电路结构以及工作波形的图。

30 图 5 是表示图 1 的非反转电位移电路 S3、S4 的电路结构以及工作波形的图。

图 6 是表示图 1 的时钟脉冲 CLK、CLKB 和时钟脉冲 CLK'、CLKB' 的位相关系的图。

图 7 是表示图 1 的泵节点的电压波形 V1、V2、V3 的图。

图 8 是表示为了确认电荷泵电路的突入电流改善效果的仿真结果的图。

5 图 9 是本发明的其他实施方式的电荷泵电路的电路图。

图 10 是本发明的其他实施方式的电荷泵电路的动作时序图。

图 11 是现有的 4 级迪克逊电荷泵电路的电路图。

### 具体实施方式

10 下面，参照附图详细说明本发明的实施方式。图 1 是本发明的实施方式的电荷泵电路的电路图。

15 4 个电荷传送用 MOS 晶体管 M1 ~ M4 串联连接。前级的 M1、M2 为 N 沟道型，后级的 M3、M4 为 P 沟道型。而且，其连接使电荷传送用 MOS 晶体管 M1 ~ M4 的栅极-基板间电压 Vgb 与栅极-漏极间电压 Vgd 为相同值，使漏极和基板为同电位，抑制反向栅极偏置效应。

而且，向构成电荷泵电路的初级的电荷传送用 MOS 晶体管 M1 的漏极提供作为输入电压 Vin 的电源电压 Vdd。从最终级的电荷传送用 MOS 晶体管 M4 的漏极输出升压电压 Vout。图中的 Cout 为附加在电荷传送用 MOS 晶体管 M4 的漏极的寄生电容。

20 升压电压 Vout 在由稳压器 10 调整为所希望的电压后，被提供给负载元件 20。稳压器 10 用运算放大器构成，其输出通过电阻进行电阻分压的电压施加到一个输入端子 (-)。通过开关 SW1、SW2 得到的第 1 基准电压 Vref1 或接地电压 (0V) 切换后施加到另一个输入端子 (+)。

C1、C2、C3 是与电荷传送用 MOS 晶体管 M1 ~ M4 的连接点（泵节点）的一端连接的耦合电容器。通过控制电路 30 和时钟驱动器 70 在耦合电容器 C1 的另一端施加时钟脉冲 CLK。通过控制电路 40 和时钟驱动器 80 在耦合电容器 C2 的另一端施加与时钟脉冲 CLK 反相的时钟脉冲 CLKB。另外，通过控制电路 50 和时钟驱动器 90 在耦合电容器 C3 的另一端施加时钟脉冲 CLK。

30 时钟驱动器 70 如后所述，包括：具有低驱动能力的第 1 时钟驱动器 70A；具有高驱动能力的第 2 时钟驱动器 70B。在电荷泵电路工作开始时，控制使第 1 时钟驱动器 70A 工作，当电荷泵电路进入稳定工作状态时，则第 1 时钟

驱动器 70A 停止工作，同时使第 2 时钟驱动器 70B 工作。对于时钟驱动器 80、90 也完全一样。

对上述电荷泵电路从工作开始到进入稳定工作状态的规定时间进行设定，并进行第 1 时钟驱动器 70A 和第 2 时钟驱动器 70B 的切换动作的方法，  
5 检测出电荷泵电路的升压电压  $V_{out}$  达到规定电压，并在该定时进行该切换。

具体地说，设置比较器 60，将升压电压  $V_{out}$  通过电阻  $R_1 \sim R_5$  进行电阻分压得到的电压  $V_a$  与基准电压  $V_{ref2}$  进行比较，依据作为其输出的模式切换信号 MS，进行第 1 时钟驱动器 70A 和第 2 时钟驱动器 70B 的切换。

即，电荷泵电路工作一开始，则升压电压  $V_{out}$  徐徐上升，升压电压  $V_{out}$  由电阻分压的电压  $V_a$  也徐徐上升。此过程中，在  $V_a < V_{ref2}$  时，作为比较器 60 的输出的模式切换信号 MS 为高电平，据此，控制电路 30 使第 1 时钟驱动器 70A 工作。然后经过规定时间， $V_a > V_{ref2}$ ，则作为比较器 60 的输出的模式切换信号 MS 变为低电平，据此，控制电路 30 使第 1 时钟驱动器 70A 停止工作，并使第 2 时钟驱动器 70B 工作。  
10

15 这里，在输入到比较器 60 的第 2 基准电压  $V_{ref2}$  为一定电压的情况下，比较器 60 的输出依赖电源电压  $V_{dd}$  变化。为了抑制这种对电源电压的依赖性，最好使用电源电压  $V_{dd}$  作为第 2 基准电压  $V_{ref2}$ 。而且，为了防止由于电荷泵电路输出的升压电压  $V_{out}$  的纹波引起的误动作，比较器 60 最好是使用具有磁滞性的磁滞比较器。  
20

而且，向电荷传送用 MOS 晶体管 M1 和 M2 的各节点分别提供反转电位移电路 S1、S2 的输出。而且，向电荷传送用 MOS 晶体管 M3 和 M4 的各节点分别提供非反转电位移电路 S3、S4 的输出。反转电位移电路 S1、S2 和非反转电位移电路 S3、S4 的具体电路结构在以后叙述。  
25

图 2 是表示控制电路 30 以及时钟驱动器 70 的具体例的电路图。其他的控制电路 40 以及时钟驱动器 80、控制电路 50 以及时钟驱动器 90 也为同样的结构。该时钟驱动器 70 包括：具有低驱动能力的第 1 时钟驱动器 70A 和具有高驱动能力的第 2 时钟驱动器 70B。  
30

第 1 时钟驱动器 70A 由 P 沟道 MOS 晶体管 MP1 和 N 沟道 MOS 晶体管 MN1 在电源电压  $V_{dd}$  和接地电压(0V)之间串联连接而构成，在 P 沟道 MOS 晶体管 MP1 和 N 沟道 MOS 晶体管 MN1 的栅极施加控制电路 30 的输出 a、b。  
35 第 1 时钟驱动器 70A 的驱动能力由 P 沟道 MOS 晶体管 MP1 和 N 沟道 MOS

晶体管 MN1 的导通电阻决定。在电路设计上，如果使 P 沟道 MOS 晶体管 MP1 和 N 沟道 MOS 晶体管 MN1 的 GW/GL 变小，则可降低其驱动能力。其中 GW 是晶体管的栅极宽度，GL 是晶体管的栅极长度。

第 2 时钟驱动器 70B 由 P 沟道 MOS 晶体管 MP2 和 N 沟道 MOS 晶体管 5 MN2 在电源电压 Vdd 和接地电压(0V)之间串联连接而构成，在 P 沟道 MOS 晶体管 MP2 和 N 沟道 MOS 晶体管 MN2 的栅极施加控制电路 30 的输出 c、d。

第 1 时钟驱动器 70A 和第 2 时钟驱动器 70B 的输出共同连接输出端子 35，该输出端子 35 与耦合电容器 C1 的另一端连接。

下面说明该控制电路 30 以及第 1 时钟驱动器 70A 的工作。在此设经由 10 控制电路 30 的第 1 输入端子 33 输入时钟脉冲 CLK，由第 2 输入端子 34 输入来自比较器 60 的模式切换信号 MS。

模式切换信号 MS 为高电平 ( $V_a < V_{ref}$ ) 时，时钟脉冲 CLK 经过控制 15 电路 30，从输出端子 a、b 原样输出，被施加到构成第 1 时钟驱动器 70A 的 P 沟道 MOS 晶体管 MP1 和 N 沟道 MOS 晶体管 MN1 的栅极。由此，第 1 时钟 驱动器 70A 作为反相器工作。另一方面，由于控制电路 30 的输出端子 c 输出 高电平、输出端子 d 输出低电平，则构成第 2 时钟驱动器 70B 的 P 沟道 MOS 晶体管 MP2 和 N 沟道 MOS 晶体管 MN2 均为关断状态，第 2 时钟驱动器 70B 的工作停止。

因此，时钟脉冲 CLK 通过具有低驱动能力的第 1 时钟驱动器 70A 被提 20 供给耦合电容器 C1。

模式切换信号 MS 为低电平 ( $V_a > V_{ref}$ ) 时，时钟脉冲 CLK 经过控制 25 电路 30，从输出端子 c、d 原样输出，被施加到构成第 2 时钟驱动器 70B 的 P 沟道 MOS 晶体管 MP2 和 N 沟道 MOS 晶体管 MN2 的栅极。由此，第 2 时钟 驱动器 70B 工作。另一方面，由于控制电路 30 的输出端子 a 输出高电平、输 出端子 b 输出低电平，则构成第 1 时钟驱动器 70A 的 P 沟道 MOS 晶体管 MP1 和 N 沟道 MOS 晶体管 MN1 均为关断状态，第 1 时钟驱动器 70A 的工作停止。

因此，时钟脉冲 CLK 通过具有高驱动能力的第 2 时钟驱动器 70B 被提供给耦合电容器 C1。

30 在上述实施方式中，作为比较器 60 的输出的模式切换信号 MS 从工作开始经过规定时间后由高电平变为低电平，控制电路 30 据此使第 1 时钟驱动器

70A 停止工作，使第 2 时钟驱动器 70B 工作，但并不限于此。

即，所述模式切换信号 MS 从工作开始经过规定时间后由高电平变为低电平，对此，不使第 1 时钟驱动器 70A 停止工作，而使第 2 时钟驱动器 70B 工作也可以。此时，经过规定时间后，第 1 时钟驱动器 70A 和第 2 时钟驱动器 70B 都工作。为了进行这样的控制，变更控制电路 30 的逻辑电路就可以。

在上述实施方式中，用比较器 60 的输出检测出电荷泵电路进入稳定工作状态、即电荷泵电路的升压电压  $V_{out}$  达到规定电压，并进行第 1 以及第 2 时钟驱动器 70A、70B 的切换，所以没有时间浪费。但是，采用驱动能力低的第 1 时钟驱动器 70A 开始电荷泵电路的工作时，如果因某种原因电荷泵电路的升压电压  $V_{out}$  未达到规定电压的情况下，不能进行时钟驱动器的切换。只有第 1 时钟驱动器 70A 则驱动能力低，如果开始流过负载电流，则电荷泵电路的升压电压  $V_{out}$  降低。因此，导致电荷泵电路作为电源电路的功能无法实现。

以下说明采用计数器的输出进行第 1 以及第 2 时钟驱动器 70A、70B 的切换的电荷泵电路。图 3 是该电荷泵电路的电路图。该电荷泵电路由于采用计数器的输出，所以，如果经过由计数器设定的一定时间，则必定进行第 1 以及第 2 时钟驱动器 70A、70B 的切换。因此，无须担心电荷泵电路作为电源电路的功能无法实现。

如图 3 所示，计数器 100 是对输入的时钟脉冲 CLKA 的上升次数进行计数的计数器。而且，计数器 100 的结构为通过复位信号 R 被复位。计数器 100 的特定比特输出（检测用比特输出）保持在闭锁电路 101 中。即，如果计数器 100 的特定比特输出由数据「0」反转为数据「1」，则闭锁电路 101 保持该数据「1」。

该闭锁电路 101 的输出，作为模式切换信号 MS'，输入到控制电路 30 的输入端子 34。而且，闭锁电路 101 的输出同样输入到控制电路 40、50 中。即，作为闭锁电路 101 的输出的模式切换信号 MS'，在计数器 100 的计数值达到预定的规定值之前，为高电平，如果超过规定值，则变为低电平。

因此，在计数器 100 的计数值达到规定值之前，使具有低驱动能力的第 1 时钟驱动器 70A 工作，如果在规定值以上，则使第 1 时钟驱动器 70A 停止工作，而使第 2 时钟驱动器 70B 工作。

或者，通过变更控制电路 30 的逻辑电路，使得在计数器 100 的计数值达

到规定值之前，使具有低驱动能力的第 1 时钟驱动器 70A 工作，如果在规定值以上，则使第 1 时钟驱动器 70A 和第 2 时钟驱动器 70B 都工作。对于控制电路 40、50 也同样变更逻辑电路。

而且，上述规定次数设定为可使具有低驱动能力的第 1 时钟驱动器 70A  
5 中的耦合电容器 C1 完全充电的次数。耦合电容器 C2、C3 也可同样完全充电。

下面以图 4 表示反转电位移电路 S1、S2 的电路结构以及工作波形图。  
如图 4 (a) 所示，该反转电位移电路 S1、S2 具有输入反相器 INV，差分输入 MOS 晶体管 M11 和 M12，交叉连接的 MOS 晶体管 M13 和 M14。而且，  
除此之外还具有上拉 (pull up) 连接的 MOS 晶体管 M15 和 M16。在 MOS  
10 晶体管 M15 的栅极施加电压 V12，同时在源极施加电位 A。

而且，在 MOS 晶体管 M16 的栅极施加与电压 V12 反相的电压 V11，同时在源极施加电位 B。这里，电位 A > 电位 B。M11、M12 为 N 沟道型，M13 ~  
M16 为 P 沟道型，都是高耐压的 MOS 晶体管。

而且，如图 4(b) 所示的上述结构的电位移电路中，MOS 晶体管 M15、  
15 M16 变更为反相器结构也可以。

上述结构的反转电位移电路的工作波形如图 4 (c) 所示。该电位移  
电路轮流输出电位 A 和中间电位 B (A > B > 0V)。

下面以图 5 表示非反转电位移电路 S3、S4 的电路结构以及工作波形图。  
其与反转电位移电路 S1、S2 的不同之处在于：对上拉到电位 A 的 MOS 晶  
20 体管 M15 的栅极施加电压 V11，对上拉到电位 B 的 MOS 晶体管 M16 的栅极  
施加电压 V12 (图 5(a))。而且，如图 5(b) 所示，MOS 晶体管 M15、M16  
为反相器结构也可以。

如图 5(c) 所示，该非反转电位移电路 S3、S4 对输入电压 IN 进行非  
反转电位移动作。

25 反转电位移电路 S1、S2，非反转电位移电路 S3、S4 和电荷泵电路  
的连接关系如下。通过时钟驱动器 110 向反转电位移电路 S1 输入时钟脉冲  
CLK'，通过时钟驱动器 111 向反转电位移电路 S2 输入时钟脉冲 CLKB'。  
时钟脉冲 CLK' 和 CLKB' 分别由时钟脉冲 CLK 和 CLKB 生成，但为了防  
止电荷传送给 MOS 晶体管 M1 ~ M4 中电流逆流，低 (Low) 期间变短。

30 即，从电荷传送给 MOS 晶体管 M1 ~ M4 完全关断开始，通过时钟脉冲  
CLK 和 CLKB 的变化进行各泵节点的升压。上述时钟脉冲的位相关系由图 6

示出。

而且，如图 1 所示，作为反转电位移电路 S1 的高电位侧的电源（电位 A）返回升压的一级后的泵节点的电压 V2。

同样地，作为反转电位移电路 S2 的高电位侧的电源（电位 A）返回升压的一级后的泵节点的电压 V3。而且，作为反转电位移电路 S1、S2 的低电位侧的电源（电位 B）分别施加各级的电压 Vdd、V1。

另一方面，作为非反转电位移电路 S3 的低电位侧的电源（电位 B）采用一级前的泵节点的电压 V1，同样地，作为非反转电位移电路 S4 的低电位侧的电源（电位 B）采用一级前的泵节点电压 V2。而且，作为非反转电位移电路 S3、S4 的高电位侧的电源（电位 A）分别施加各级的电压 V3、Vout。

通过这样的结构，在电荷泵电路的通常状态中，可推导出电荷传信用晶体管 M1 ~ M4 的栅极-漏极间电压 Vgd（晶体管导通状态时）如下为 2Vdd。首先，以下的关系成立。

$$V_{gd}(M1) = V2(\text{High}) - Vdd$$

$$15 \quad V_{gd}(M2) = V3(\text{High}) - V1(\text{High})$$

$$V_{gd}(M3) = V1(\text{Low}) - V3(\text{Low})$$

$$V_{gd}(M4) = V2(\text{Low}) - Vout$$

接着，由通常状态的电荷泵的升压工作，可知还有以下的关系成立。

$$V1(\text{High}) = 2Vdd, \quad V1(\text{Low}) = Vdd$$

$$20 \quad V2(\text{High}) = 3Vdd, \quad V2(\text{Low}) = 2Vdd$$

$$V3(\text{High}) = 4Vdd, \quad V3(\text{Low}) = 3Vdd, \quad Vout = 4Vdd$$

由这些关系式，可推导出所有的电荷传信用 MOS 晶体管导通时的 Vgd 的绝对值如表 1 所示为相同的值 2Vdd。因此，通过高的 Vgd 降低电荷传信用 MOS 晶体管 M1 ~ M4 的导通电阻，可实现高效率和大输出电流的电荷泵电路。而且，可以设计电荷传信用 MOS 晶体管 M1 ~ M4 的栅极氧化膜厚度（thickness of gate oxide）一律为能耐受 2Vdd 的厚度，所以与电荷传信用 MOS 晶体管的 Vgd 不均匀的情况相比，可设计使导通电阻（ON-state resistance）变低，而效率良好。

【表 1】电荷传信用 MOS 晶体管的栅极-漏极间电压 Vgd

MOSFET	M1	M2	M3	M4
Vgd	2Vdd	2Vdd	-2Vdd	-2Vdd

图 6 是用于说明电荷泵电路的工作的时序图。电荷传送用 MOS 晶体管 M1 ~ M4 对应时钟脉冲轮流反复进行导通和关断。这里，施加在反转电位移电路 S1 和 S2、非反转电位移电路 S3 和 S4 的时钟脉冲 CLK'、CLKB' 的占空比不是 50%。即，如图所示设定低 (Low) 的期间变短。因此，电荷 5 传送用 MOS 晶体管 M1 ~ M4 的导通的期间变短。其理由如下。

电荷传送用 MOS 晶体管 M1 ~ M4 由于未连接二极管，所以如果流过逆向电流是危险的，而这使效率恶化。这里，为了防止逆向电流，电荷传送用 MOS 晶体管 M1 ~ M4 的导通期间变短，在关断期间，变化施加在耦合电容器 C1 ~ C3 上的时钟脉冲并进行泵送 (pumping)。而且，图 7 是表示各泵节点的 10 电压波形 V1、V2、V3 的图。图中， $V_\phi$  是时钟脉冲 CLK'、CLKB' 的振幅， $\Delta V_{ds}$  为 MOS 晶体管 M1 ~ M4 的漏极-源极间电压。

下面说明用于确认本实施方式的电荷泵电路的突入电流改善效果的仿真。图 8 是表示该 SPICE 仿真的结果的图，横轴表示时间，纵轴表示突入电流 (电荷泵电路的电源电流)。

15 在图中，时间①表示具有低驱动能力的第 1 时钟驱动器 70A 进行工作的期间，该例中为 1.5msec 左右。而且，时间②表示具有高驱动能力的第 2 时钟驱动器 70B 进行工作的期间。由该结果可明白，最大突入电流降低到 70mA 左右。

20 这里，想抑制峰值①时，可相应降低第 1 时钟驱动器 70A 的驱动能力。而且，想抑制峰值②时，可相应延长时间①的期间。

上述的电荷泵电路是降低 1 个电荷泵电路的突入电流的电路。下面，说明其他实施方式的电荷泵电路。图 9 是该电荷泵电路的电路图，图 10 是该电荷泵电路的动作时序图。该实施方式是降低具有 2 个电荷泵电路的系统的突入电流。

25 如图 9 所示，该电荷泵电路具有：输出第 1 升压电压 Vout1 的第 1 电荷泵电路 200 和输出第 2 升压电压 Vout2 的第 2 电荷泵电路 300。其结构为，第 1 电荷泵电路 200 如上述的电荷泵电路那样输出正的升压电压，而第 2 电荷泵电路 300 则输出负的升压电压。第 1 以及第 2 电荷泵电路 200 和 300，与图 1 和图 3 的电路同样，具有：时钟驱动器 70、80、90，控制电路 30、40、50。而且，计数器 100 也与图 3 的电路为同样的结构，其输出分别输入到第 1 闭锁电路 101a、第 2 闭锁电路 101b。

作为第 1 闭锁电路 101a 的输出的第 1 模式切换信号 MS1 输入到第 1 电荷泵电路 200 中，由此可切换第 1 电荷泵电路的时钟驱动器的驱动能力。另一方面，作为第 2 闭锁电路 101b 的输出的第 2 模式切换信号 MS2 输入到第 2 电荷泵电路 300 中，由此可切换第 2 电荷泵电路的时钟驱动器的驱动能力。

5 这里，计数器 100 的输出比特 C0～C3 中例如 C0、C2 的任一个变为数据「1」时，第 1 闭锁电路 101a 将第 1 模式切换信号 MS1 切换为低电平，并进行保持。而且，同样地，计数器 100 的输出比特 C0～C3 中例如 C0、C3 的任一个变为数据「1」时，第 2 闭锁电路 101b 将第 2 模式切换信号 MS2 切换为低电平，并进行保持。由此，可独立控制第 1 以及第 2 电荷泵电路的时钟驱动器的工作的切换时期。  
10

下面，参照图 10 说明该电荷泵电路的工作控制例。首先，在时刻 t1 第 1 电荷泵开始工作，具有低驱动能力的第 1 时钟驱动器 70A 工作。接着，在时刻 t2 如果计数器 100 的计数值达到第 1 规定值，则作为第 1 闭锁电路 101a 的输出的第 1 模式切换信号 MS1 变为低电平，由此，具有高驱动能力的第 2 时钟驱动器 70B 开始工作。接下来，在时刻 t3 第 2 电荷泵开始工作，具有低驱动能力的第 3 时钟驱动器（相当于第 1 时钟驱动器 70A）工作。接着，在时刻 t4，如果计数器 100 的计数值达到第 2 规定值，则作为第 2 闭锁电路 101b 的输出的第 2 模式切换信号 MS2 变为低电平，由此，具有高驱动能力的第 4 时钟驱动器（相当于第 2 时钟驱动器 70B）开始工作。  
15

20 根据本实施方式，采用一个计数器 100，可独立控制 2 个电荷泵电路的时钟驱动器的驱动能力。由此，可降低每个电荷泵电路的突入电流，同时错开 2 个电荷泵电路的突入电流的发生时期，可降低整个系统的突入电流的峰值。

而且，在本实施方式中以具有 2 个电荷泵电路的系统为例进行了说明，  
25 但具有 3 个以上电荷泵电路的系统其结构也可完全相同。而且，每个电荷泵电路为输出正的升压电压的类型也可以，为输出负的升压电压的类型也可以。

而且，在上述的所有实施方式中，除了具有低驱动能力的第 1 时钟驱动器 70A 和具有高驱动能力的第 2 时钟驱动器 70B 之外，还可设置一个以上的具有中间驱动能力的时钟驱动器，通过从驱动能力低的时钟驱动器到驱动能力高的时钟驱动器顺次进行切换，可顺次提高时钟驱动器的驱动能力。  
30

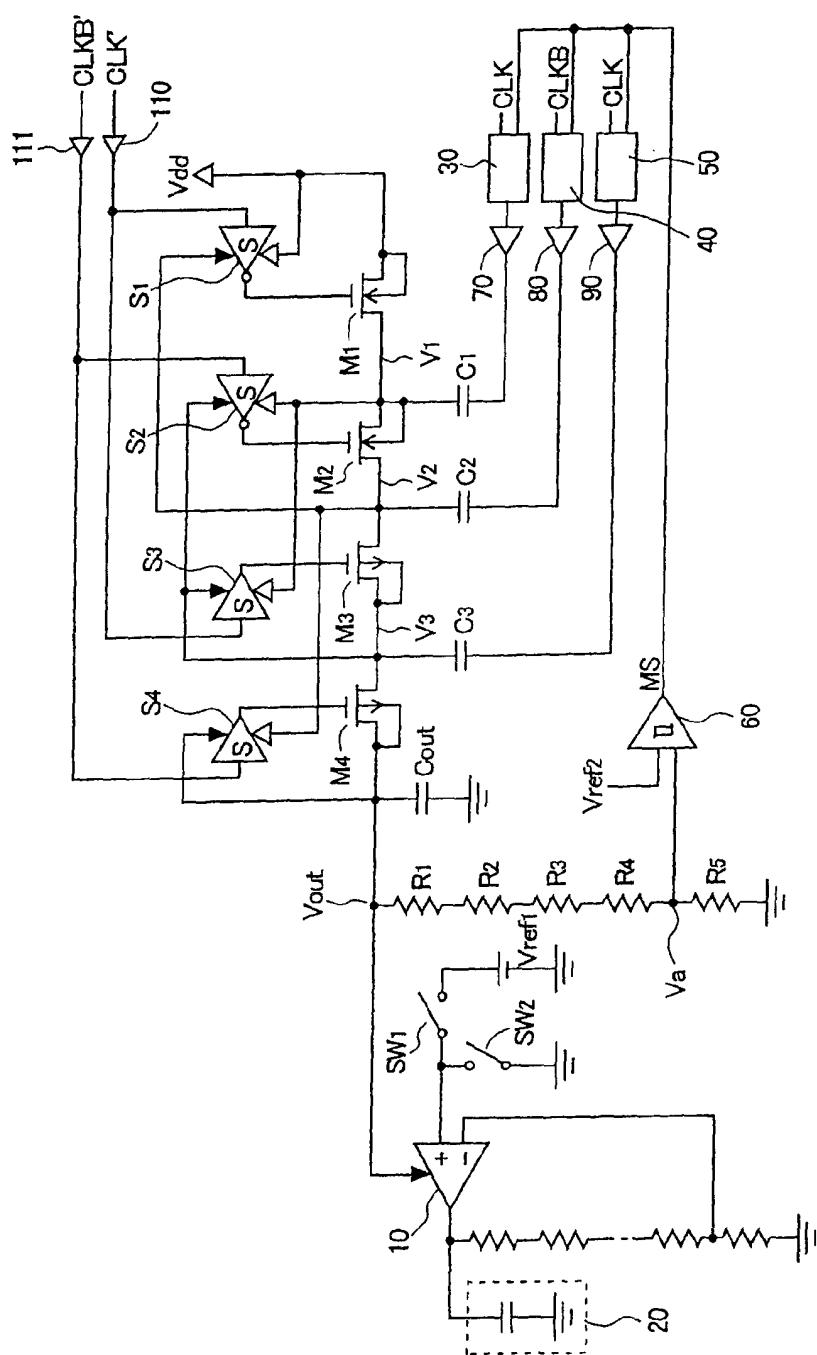


图 1

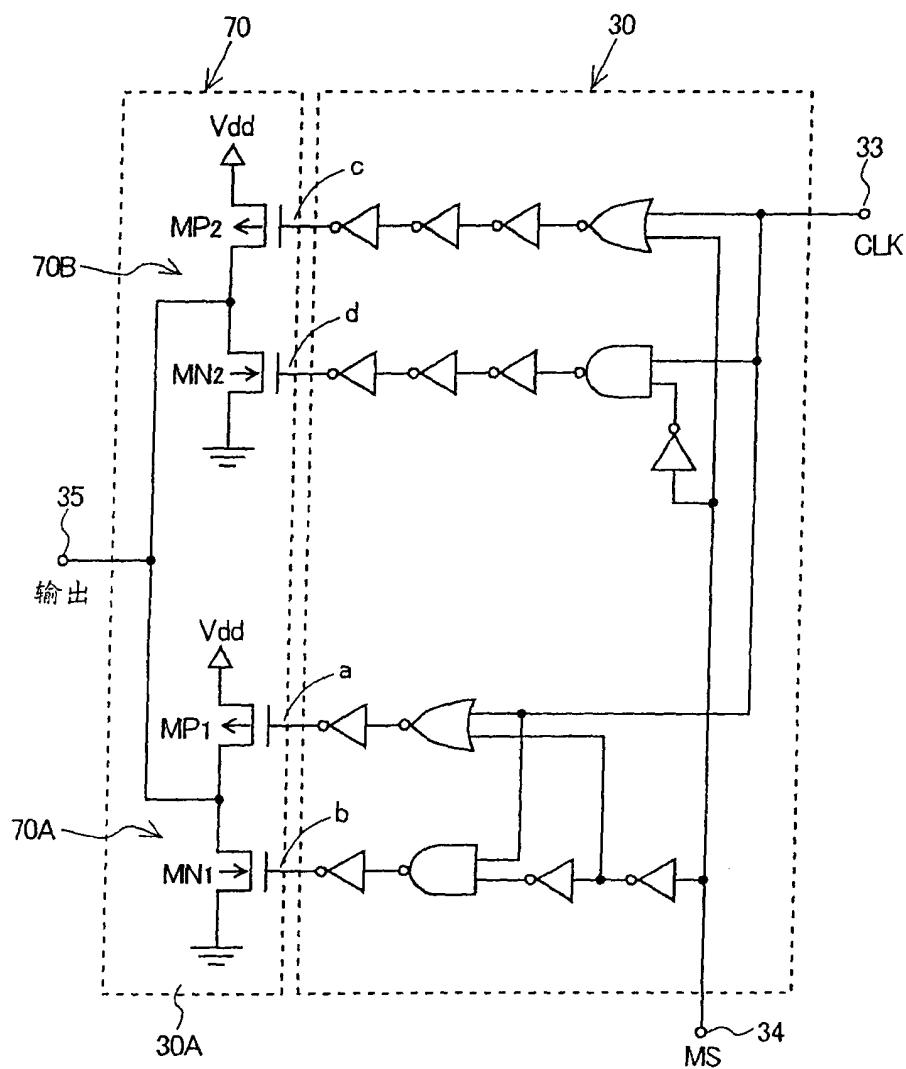
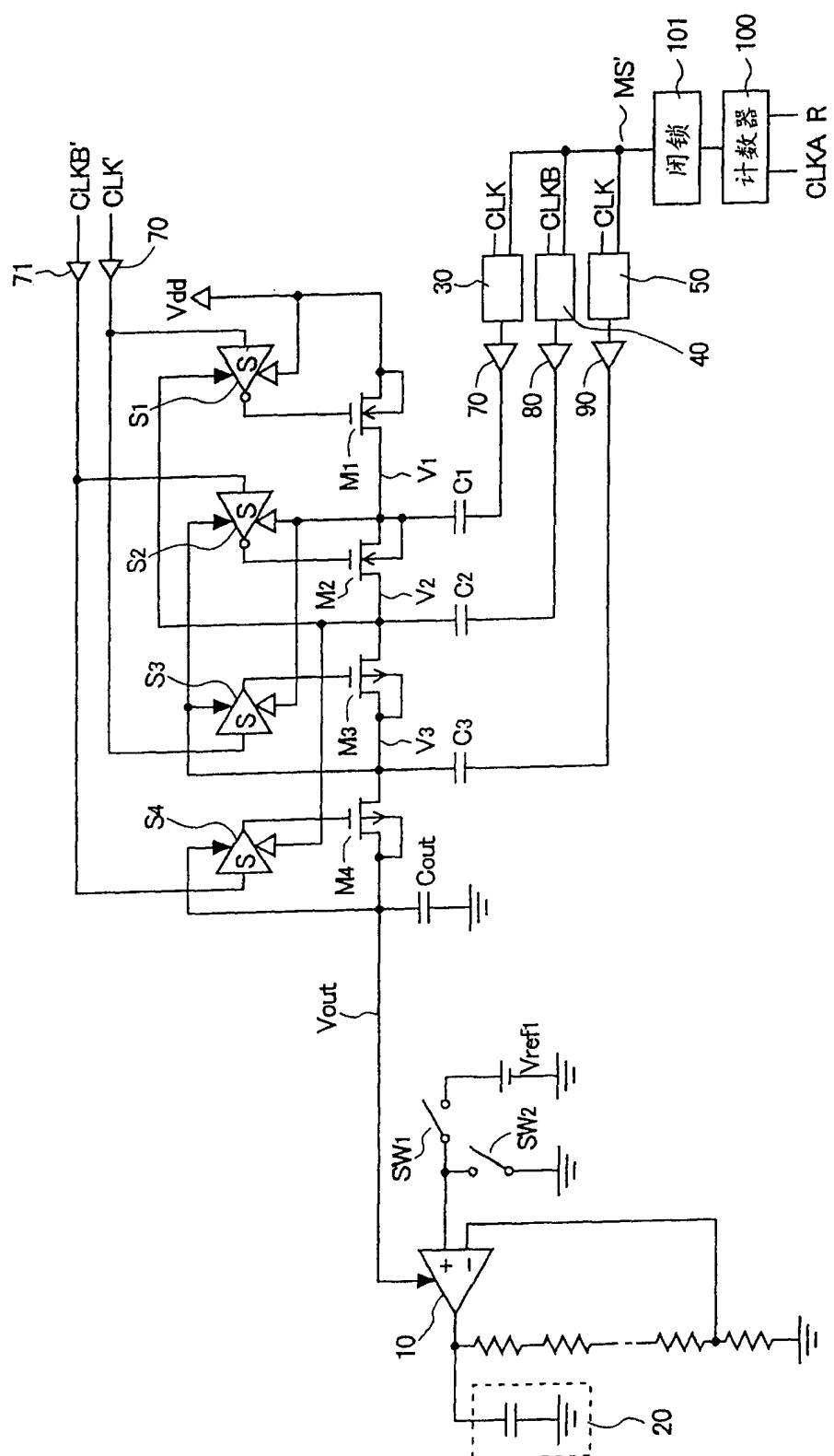


图 2



3

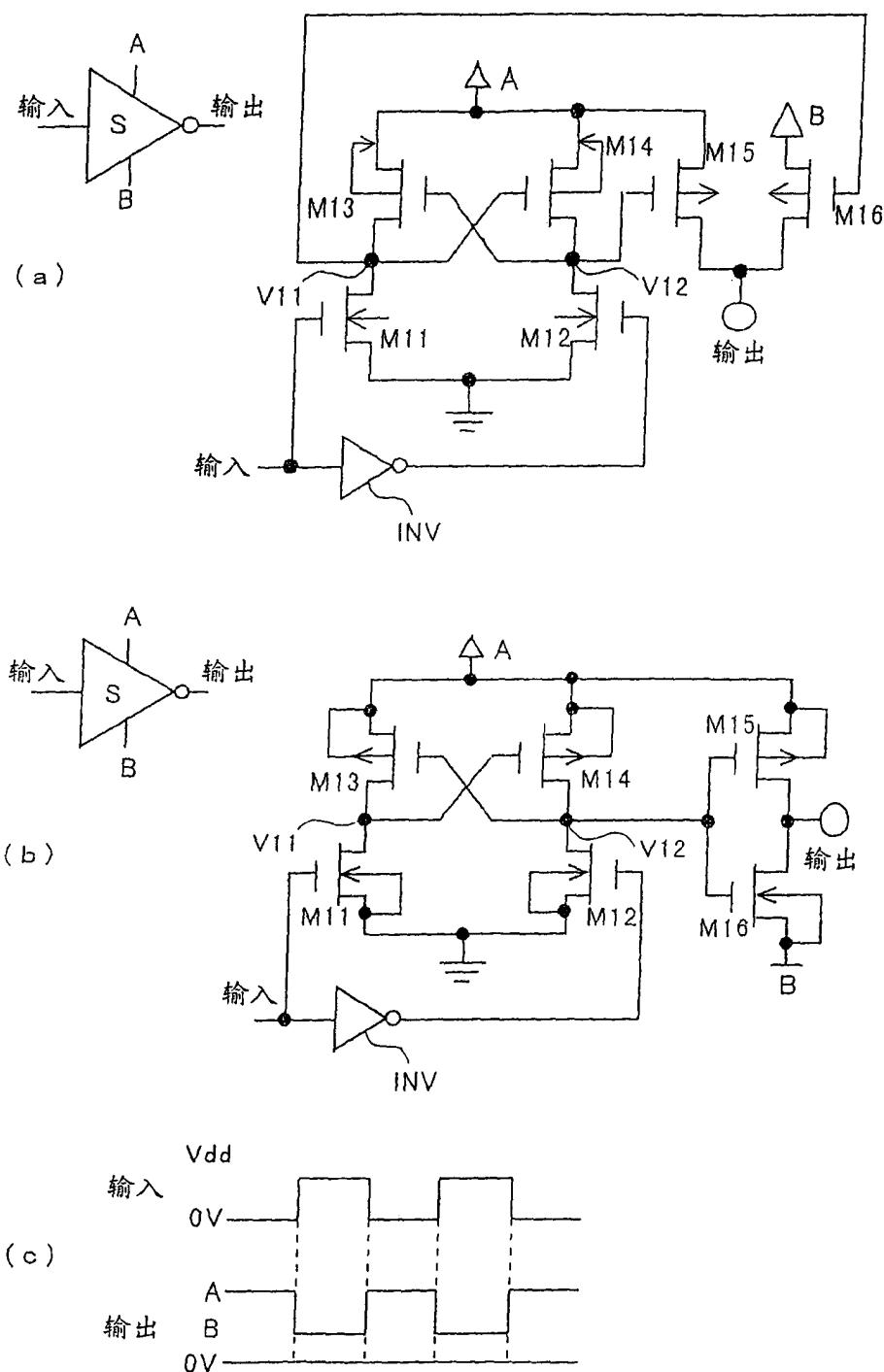


图 4

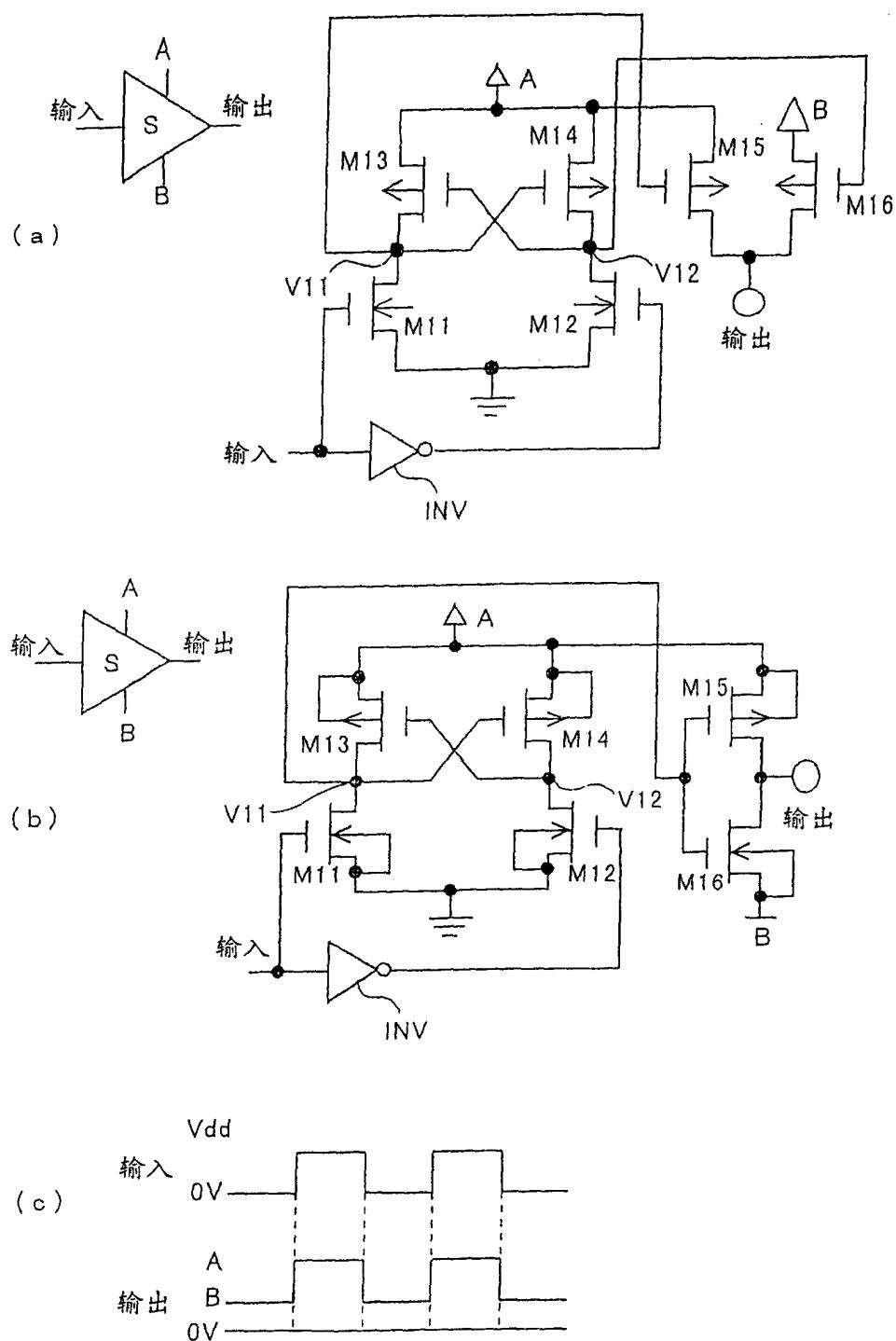


图 5

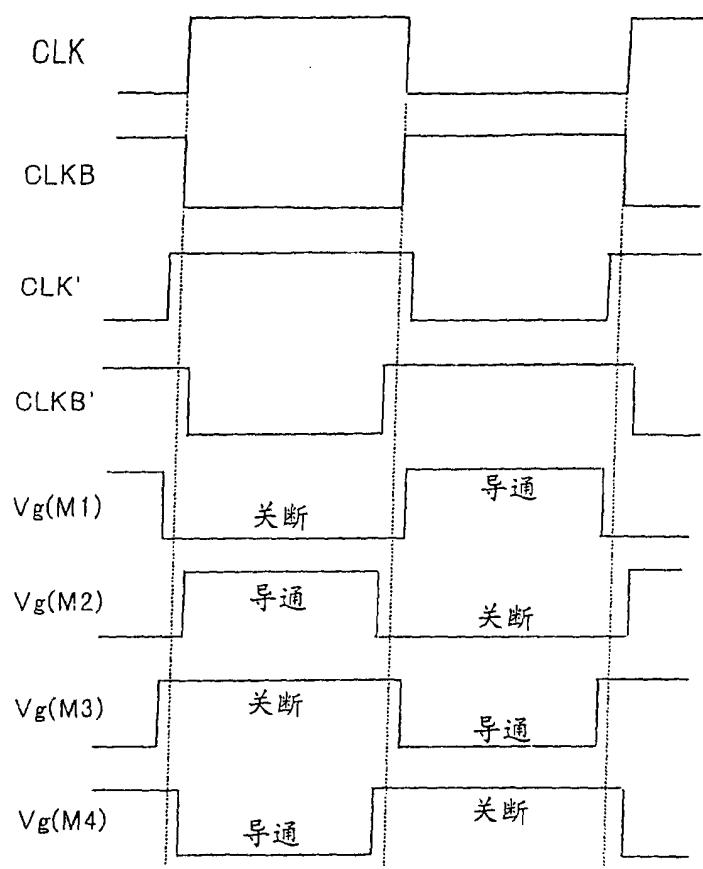


图 6

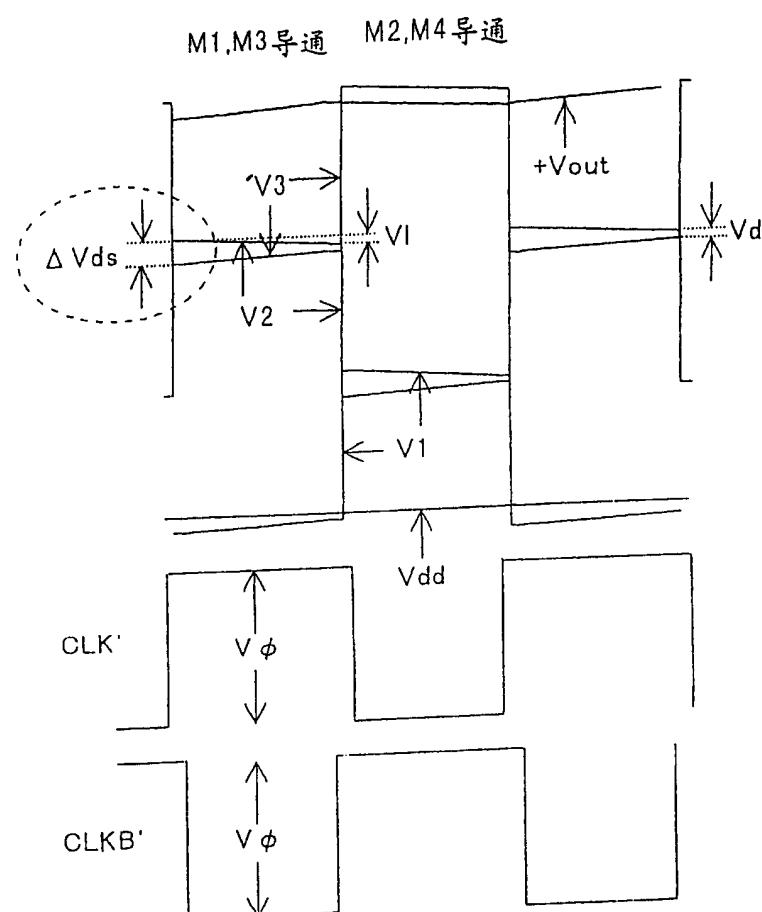


图 7

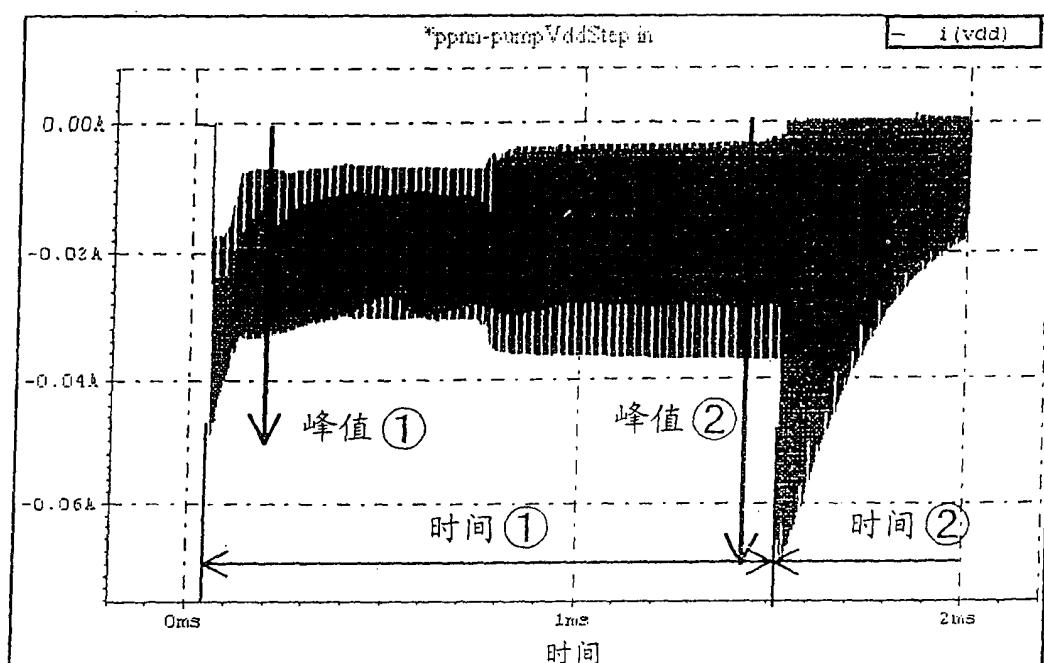


图 8

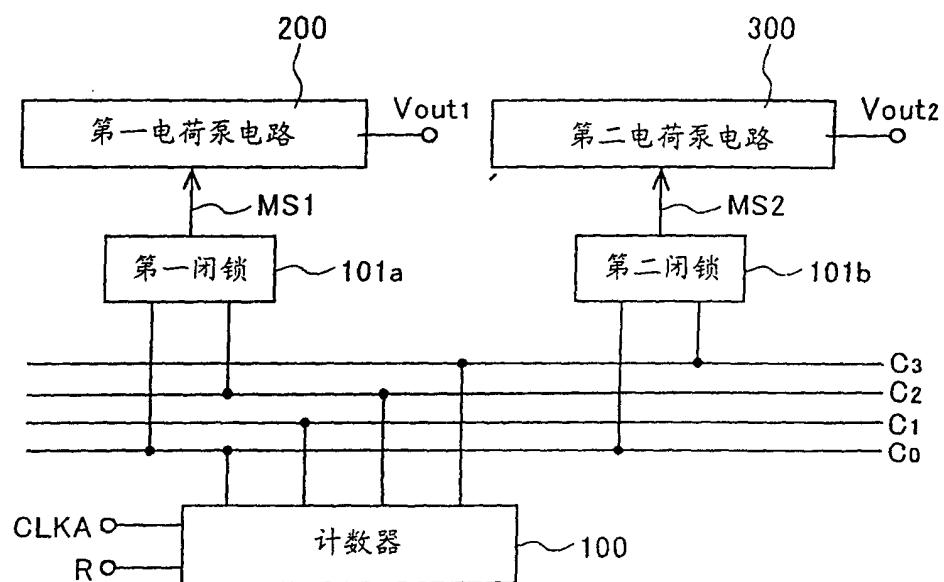


图 9

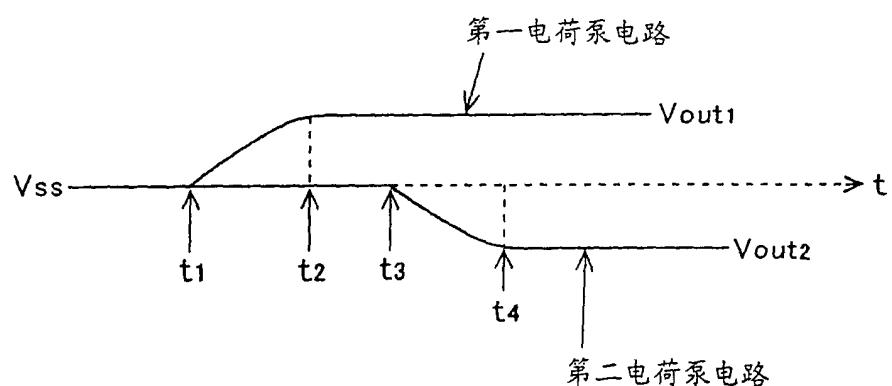


图 10

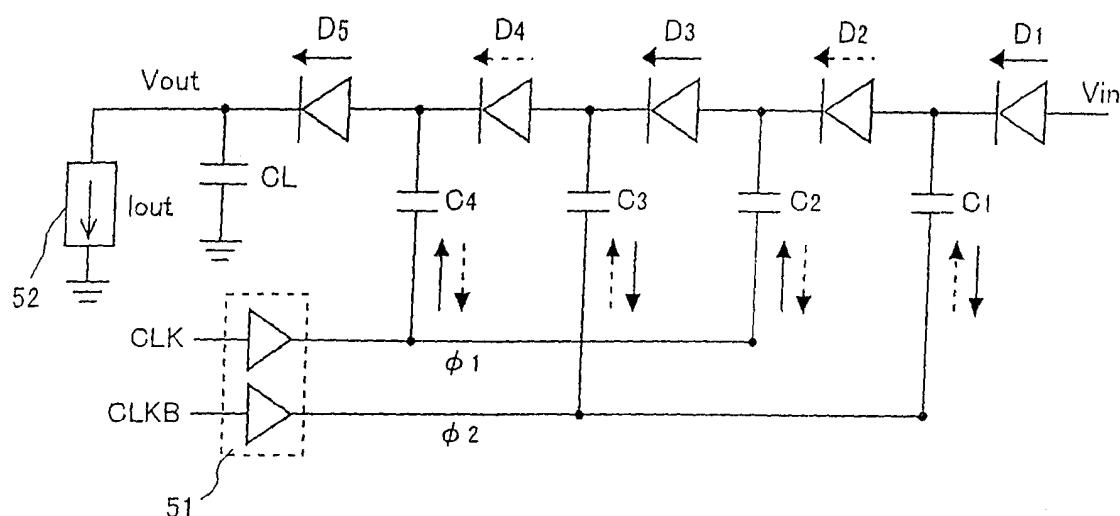


图 11