

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 7 月 30 日 (30.07.2015)



(10) 国际公布号
WO 2015/109624 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2014/072288
- (22) 国际申请日: 2014 年 2 月 20 日 (20.02.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410040824.1 2014 年 1 月 27 日 (27.01.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司 (YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街 6 号庄胜

广场第一座西翼 713 室吴大建/刘华联, Beijing 100052 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: GOA UNIT, DRIVING CIRCUIT AND ARRAY FOR JOINTLY DRIVING GATE AND COMMON ELECTRODE

(54) 发明名称: 用于共同驱动栅极和公共电极的 GOA 单元、驱动电路及阵列

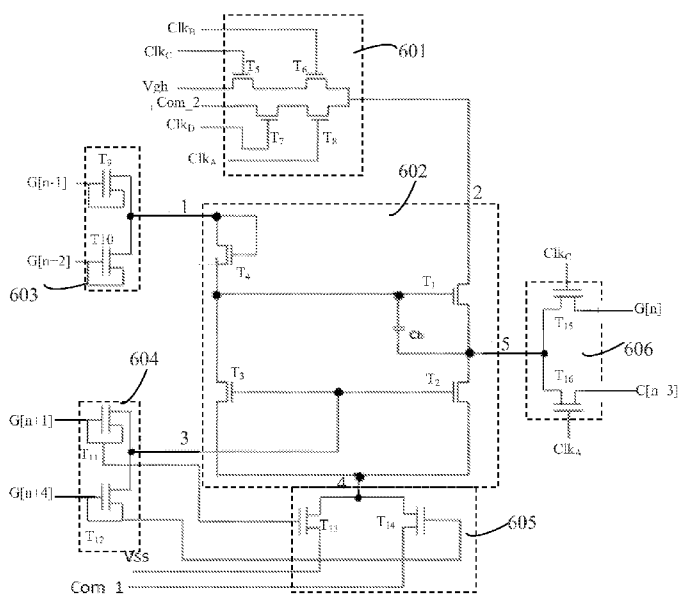


图 6 / Fig. 6

(57) Abstract: Disclosed are a driving circuit for a gate and a common electrode. The driving circuit comprises a trigger (602), a first selection input circuit (603), a second selection input circuit (601), a third selection input circuit (604), a fourth selection input circuit (605), and a selection output circuit (606). The first selection input circuit (603) is used for selecting an (n-1)th gate line signal (G[n-1]) and a (n+2)th gate line signal (G[n+2]) to an input end (1) of the trigger (602). The second selection input circuit (601) is used for separately connecting a common electrode high level input (Com_2) and a gate high level input (Vgh) to a clock end (2) of the trigger (602) under different time sequences to upwards pull a voltage at the trigger output end (5). The third selection input circuit (604) is used for selecting an (n+1)th gate line signal (G[n+1]) and an (n+4)th gate line signal (G[n+4]) to a reset end (3) of the trigger (602). The fourth selection input circuit (605) is used for separately connecting a gate low level input (Vss) or a common electrode low level input (Com_1) to a low level input end (4) of the trigger (602) under the control of the (n+1)th gate line signal (G[n+1]) and the (n+4)th gate line signal (G[n+4]) to pull a voltage at the input end (4) downwards. The selection output circuit (606) is used for selecting to output an nth gate line signal (G[n]) or an (n+3)th common electrode line signal

(C[n+3]) at different pulse time sequences f. By means of the driving circuit, the common electrode output is synchronized with the gate, and is opposite to the gate in the voltage changing direction, and a feed-through voltage is effectively counteracted. Also disclosed are a display panel driving circuit an array substrate.

(57) 摘要:

[见续页]

WO 2015/109624 A1

根据细则 4.17 的声明:

— 发明人资格(细则 4.17(iv))

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

公开了一种用于栅极和公共电极的驱动电路，包括：触发器（602）；第一选择输入电路（603），以选择第 $n-1$ 栅线信号（ $G[n-1]$ ）和第 $n+2$ 栅线信号（ $G[n+2]$ ）至触发器（602）的输入端（1）；第二选择输入电路（601），用以在不同的时序下将公共电极高电平输入（ Com_2 ）和栅极高电平输入（ V_{gh} ）分别选通至触发器（602）的时钟端（2）以将触发输出端（5）上的电压上拉；第三选择输入电路（604），以选择第 $n+1$ 栅线信号（ $G[n+1]$ ）和第 $n+4$ 栅线信号（ $G[n+4]$ ）至触发器（602）的复位端（3）；第四选择输入电路（605），用以在第 $n+1$ 栅线信号（ $G[n+1]$ ）和第 $n+4$ 栅线信号（ $G[n+4]$ ）的控制下将栅极低电平输入（ V_{ss} ）和公共电极低电平输入（ Com_1 ）分别选通至触发器（602）的低电平输入端（4）以将其上的电压下拉；选择输出电路（606），用以在不同脉冲时序 f 选择输出第 n 栅线信号（ $G[n]$ ）或第 $n+3$ 公共电极线信号（ $C[n+3]$ ）。该驱动电路实现了公共电极输出与栅极同步，并与栅极电压变化方向相反，有效的抵消了馈通电压。还公开了一种显示面板驱动电路及阵列基板。

用于共同驱动栅极和公共电极的 GOA 单元、驱动电路及阵列

5

技术领域

本发明涉及液晶显示技术领域，具体说，涉及一种用于共同驱动栅极和公共电极的 GOA 单元、驱动电路及阵列。

10 背景技术

GOA 技术即 Gate Driver on Array (阵列基板栅极驱动) 是直接将栅极驱动电路 (Gate Driver ICs) 制作在阵列基板 Array 上，来代替由外接硅晶片制作的一种技术。该技术的应用可直接将栅极驱动电路做在面板周围，从而减少了制作程序，并且降低了产品成本。此外，还提高了 TFT-LCD 面板的高集成度，使面板更薄型化。

但是在二阶驱动原理中，有各种不同的 feed through 电压。其中，影响最大的是经由 Cgd 所产生的 feed through 电压。因此，在二阶驱动时需要调整公共电极的电压，从而改进灰阶品质。

当公共电极 Com 采用直流驱动时，经过 Cgd 的 Feed through 电压为：

20
$$(Vg_high - Vg_low) * Cgd / (Cgd + Clc + Cs) ,$$

其中，Vg_high 与 Vg_low 分别为栅极驱动电路走线打开与关闭的电压，Cgd、Clc 和 Cs 分别为 TFT 寄生电容、液晶电容和存储电容。

由于 feed through 电压主要为 TFT 关闭时栅极电压的变化通过寄生电容 Cgd 对像素电压的拉低而造成的。无论像素电压的极性为正还是为负，feed through 电压都是对像素电压的负向拉动。

现有技术中，可以通过对公共电极的电压进行补偿的方法来减小 feed through 电压的影响。但由于 Clc 并非是一个固定的参数，因此无法通过调整公共电极的驱动电压来消除 feed through 的影响，从而导致改进影像品质的目的不易达成。

目前，需要提供一种简单可行的 GOA 电路设计来实现 feed through 电压的减小甚至消除从而提高显示器的灰阶质量。

发明内容

为了解决上述技术问题，本发明提供了一种用于共同驱动栅极和公共电极的GOA单元，其包括：

5 触发器，其包括输入端、时钟端、复位端、低电平输入端和触发输出端；

第一选择输入电路，包括并联的两个反相截止的二极管，所述二极管的阳极分别与第 $n-1$ 和第 $n+2$ 栅线输出连接，所述二极管的阴极作为输出与所述输入端连接，以选择第 $n-1$ 和第 $n+2$ 栅线中的电平信号或边沿信号作为所述触发器的激励输入；

10 第二选择输入电路，其输出与所述时钟端连接，并包括四个相同周期异步工作的时钟脉冲输入、以及公共电极高电平输入和栅极高电平输入，用以在不同的时序下将公共电极高电平输入和栅极高电平输入分别选通至所述触发器的时钟端以将触发输出端上的电压上拉；

15 第三选择输入电路，包括并联的两个反相截止的二极管，所述二极管的阳极分别与第 $n+1$ 和第 $n+4$ 栅线输出连接，所述二极管的阴极作为输出与所述复位端连接，以选择第 $n+1$ 和第 $n+4$ 栅线上的电平信号或者边沿信号作为所述触发器的复位信号；

20 第四选择输入电路，其输出与所述低电平输入端连接，用以在所述第 $n+1$ 和第 $n+4$ 栅线的控制下将栅极低电平输入或者公共电极低电平输入分别选通至所述触发器的低电平输入端以将其上的电压下拉；

选择输出电路，其输入连接在所述触发输出端上，用以在四个相同周期异步工作的时钟脉冲中的两个脉冲时序下选择输出栅极驱动信号或者输出公共电极驱动信号。这两个脉冲时序相差四分之三工作周期。

25 根据本发明的一个实施例，所述反相截止的二极管为由 MOS 管或 TFT 管构成的二极管等效电路，其中，MOS 管或 TFT 管栅极与源极连接作为所述阳极，漏极作为所述阴极。

根据本发明的一个实施例，第 $n-1$ 和第 $n+2$ 栅线中的电平信号或边沿信号为低电平信号或下降沿信号，第 $n+1$ 和第 $n+4$ 栅线上的电平信号或者边沿信号为高电平信号或上升沿信号。

30 根据本发明的一个实施例，四个相同周期异步工作的时钟脉冲输入在相位上

依次相差四分之一工作周期。

根据本发明的一个实施例，所述 GOA 单元电路输出的公共电极驱动信号与第 $n+3$ 栅线上的信号同步。

5 根据本发明的一个实施例，所述第二选择输入电路包括四个 TFT 晶体管，其中，两个 TFT 晶体管源漏极相连，两个栅极分别由第二时钟脉冲输入和第三时钟脉冲输入控制，用以接入栅极高电平输入；

另两个 TFT 晶体管源漏极相连，两个栅极分别由第一时钟脉冲输入和第四时钟脉冲输入控制，用以接入公共电极高电平输入。

10 根据本发明的一个实施例，所述第四选择输入电路包括两个 TFT 晶体管，其中栅极分别与第 $n+1$ 和第 $n+4$ 栅线的输出连接，源极分别对应与栅极低电平输入和公共电极低电平输入连接。

根据本发明的一个实施例，所述选择输出电路包括两个 TFT 晶体管，其中两个栅极分别由第三时钟脉冲输入和第一时钟脉冲输入控制，两个源极共同连接到触发输出端，以在不同时序下分别输出第 n 栅线输出和第 $n+3$ 公共电极线输出。

15 根据本发明的一个方面，还提供了一种显示面板驱动电路，其包括若干如上所述的任一种 GOA 单元，其中，所述 GOA 单元按照以下方式级联：

第 $n-1$ 栅线输出和第 $n+2$ 栅线输出分别作为本级 GOA 单元的触发信号，第 $n+1$ 栅线输出和第 $n+4$ 栅线输出分别作为本级 GOA 单元的复位信号，四条时钟线分别与本级 GOA 单元的第二选择输入电路上的时钟脉冲输入连接，以提供周
20 期相同但具有相位差的时钟信号，并在不同时钟脉冲下将栅极高电平输入和公共电极高电平输入分别选通以输出相应的上拉电压；

其中，本级 GOA 单元的输出为第 n 栅线输出和第 $n+3$ 公共电极线输出。

根据本发明的另一个方面，还提供了一种其上形成有如上所述的驱动电路的阵列，其包括：

25 横向并行的栅线和公共电极线；

纵向并行的时钟输入线、栅极高低电平输入线、公共电极高低电平输入线，其中，栅线与公共电极线的输出在级联位置上相差 3 个，或者说，时序上相差四分之三个工作周期。

30 根据本发明，由于 COM 电压的输出与 GATE 的输出同步，并且在方向上与栅极电压的变化方向相反，因此有效地抵消了 feed through 电压，从而改进了显

示器的灰阶品质。

本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

5

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图 1 显示了现有技术中公共电极驱动采用直流驱动电压波形的电压波形，其中，公共
10 电极上形成有存储电容 C_s (C_s on Com)；

图 2 显示了现有技术中采用的 GOA 单元的内部电路图；

图 3 显示了现有技术中将 GOA 单元级联的形成栅极二阶驱动的电路原理图；

图 4 为现有技术中栅极驱动电路的脉冲时序图；

图 5 显示了根据本发明原理的公共电极驱动电路与栅极驱动电路同步工作的
15 电压波形；

图 6 显示了根据本发明一个实施例在 GOA 单元中还集成了公共电极驱动输出的内部电路图；以及

图 7 显示了采用本发明的驱动电路产生的驱动脉冲序列图。

20 具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

25 图 1-图 4 显示的是现有技术中的 GOA 驱动电路以及其产生的脉冲时序图。从中可以看出，公共电极 COM 上的电压为直流电压。各条栅线 (Gate 1, Gate 2, Gate 3, ……) 上的电压脉冲在两个相反的时钟序列的作用下依次出现。扫描完所有的栅线的时间长度为一帧，该时间长度也是各个栅线上脉冲的周期。由于采用交错的两个时钟进行触发控制，栅线上正脉冲的宽度与时钟宽度相同。

30 进一步地，如图 1 所示为同一时刻上各个线上出现的电压波形情况。101 表

示栅极驱动电压脉冲，102 表示源极驱动电压脉冲，103 表示像素电极上的电压，104 指示源极电压与像素电压的差，该差值相当于 feed through 电压。为了消除该 feed through 电压，可以对原先的 COM 电压 106 进行修正，修正后的 COM 电压用 107 指示。修正量与 feed through 电压值相同。但是 COM 直流驱动，修正电压不容易。

在现有技术中，如图 3 所示，该驱动电路由单边布置了 GOA 单元构成。这些 GOA 单元级联以便能够在其各个输出上形成如图 4 所示的脉冲序列。图 2 进一步详细地显示了 GOA 单元内部的电路。

如图 2 所示，该 GOA 单元实质上为一触发器。其包括 4 个 TFT 开关管，和 1 个电容。其中 TFT1 为驱动开关晶体管，TFT2 和 TFT3 为复位开关晶体管，TFT4 为预充电开关晶体管。Cb 为 TFT1 的电位保持电容，主要由 TFT4 控制。传统的 GOA 驱动需要四个控制信号，即时钟信号 Clk、输入信号、复位信号 Reset 以及栅极输出低电位 Vss。时钟信号为栅线输出的上拉信号。

如图 3 所示为现有技术中将 GOA 单元级联的形成单边栅极二阶驱动的原理图。前一 GOA 单元的输出作为本 GOA 单元的触发信号，下一 GOA 单元的输出作为本 GOA 单元的复位信号。时钟信号采用两个 (Vclk_A, Vclk_B)，分别用于奇数行的 GOA 单元和偶数行的 GOA 单元。栅线输出电位 Vss 决定栅线上输出脉冲的高度或者说是幅度。

如上所述，这些均没有涉及到对 COM 电压的调整，从而消除 feed through 电压。

以下介绍本发明鉴于上述原理如何调整 COM 电压。如上所述，其所需的 COM 电压变化量已经得知，即相当于 feed through 电压。因此，获得如图 5 所示的时序。与图 1 类似，501 表示栅极驱动电压脉冲，502 表示源极驱动电压脉冲，503 表示像素电极上的电压，506 表示 COM 电压驱动信号。由图可知，在这种情况下，feed through 在理论上就完全被 COM 电压的变化量消除了。

按照这个思想设计 GOA 驱动电路。该驱动电路的核心 GOA 单元如图 6 所示。

GOA 单元的输出用于共同驱动栅极和公共电极。其主要由触发器 602 及一些外围电路构成。该触发器包括输入端 1、时钟端 2、复位端 3、低电平输入端 4 和触发输出端 5。

为了能够使公共电极驱动与栅极驱动共用该触发器，该 GOA 单元还包括第

一选择输入电路 603。其包括并联的两个反相截止的二极管。二极管的阳极分别与第 $n-1$ 和第 $n+2$ 栅线 $G[n-1]$ 和 $G[n+2]$ 输出连接，二极管的阴极作为输出与输入端 1 连接，以选择第 $n-1$ 和第 $n+2$ 栅线 $G[n-1]$ 和 $G[n+2]$ 中的电平信号或边沿信号作为触发器 602 的激励输入。

5 如图 6 所示，该 GOA 单元还包括第三选择输入电路 604。其同样也可由并联的两个反相截止的二极管构成。其中，与上类似，二极管的阳极分别与第 $n+1$ 和第 $n+4$ 栅线输出 $G[n+1]$ 和 $G[n+4]$ 连接，二极管的阴极作为输出与复位端 3 连接，以选择第 $n+1$ 和第 $n+4$ 栅线 $G[n+1]$ 和 $G[n+4]$ 上的电平信号或者边沿信号作为触发器 602 的复位信号。

10 在本发明中，并如图 6 所示，第 $n-1$ 和第 $n+2$ 栅线 $G[n-1]$ 和 $G[n+2]$ 中的电平信号或边沿信号为低电平信号或下降沿信号，第 $n+1$ 和第 $n+4$ 栅线 $G[n+1]$ 和 $G[n+4]$ 上的电平信号或者边沿信号为高电平信号或上升沿信号。

在图 6 中，该二极管均采用由 TFT 管如 T9-T12 构成的二极管等效电路，其中，TFT 管的栅极与源极连接作为阳极，漏极作为阴极。当然，本发明不限于此，还可以采用例如 MOS 管等来进行等效设计。

15 本发明的 GOA 单元包括第二选择输入电路 601。第二选择输入电路 601 的输出与触发器的时钟端 2 连接，并包括四个相同周期异步工作的时钟脉冲输入 ClkA, ClkB, ClkC, ClkD、以及公共电极高电平输入 Com_2 和栅极高电平输入 Vgh，用以在不同的时序下将公共电极高电平输入 Com_2 和栅极高电平输入 Vgh 20 分别选通至触发器 602 的时钟端 2，从而进一步将触发输出端 5 上的电压上拉，形成第 n 级栅极扫描脉冲输出的高电平或者第 $n+3$ 级公共电极脉冲的高电平。

具体地说，在一个实施例中，第二选择输入电路 601 可包括四个 TFT 晶体管，其中，两个 TFT 晶体管 T5, T6 的源漏极相连，两个栅极分别由第二时钟脉冲输入 ClkB 和第三时钟脉冲输入 ClkC 控制，用以接入栅极高电平输入。而另两个 25 TFT 晶体管 T7, T8 的源漏极相连，两个栅极分别由第一时钟脉冲输入 ClkA 和第四时钟脉冲输入 ClkD 控制，用以接入公共电极高电平输入。

优选地是，四个相同周期异步工作的时钟脉冲输入 ClkA, ClkB, ClkC, ClkD 在相位上依次相差四分之一工作周期。这样，输出的栅线脉冲宽度和公共电极线脉冲宽度均为时钟脉冲宽度的二分之一。

30 此外，GOA 单元还包括第四选择输入电路 605，其输出与低电平输入端 4 连

接,用以在第 $n+1$ 和第 $n+4$ 栅线 $G[n+1]$ 和 $G[n+4]$ 的控制下将栅极低电平输入或者公共电极低电平输入分别选通至触发器 602 的低电平输入端 4 以将其上的电压下拉,形成第 n 级栅极扫描脉冲输出的低电平或者第 $n+3$ 级公共电极脉冲的低电平。

- 5 在一个实施例中,第四选择输入电路 605 优选包括两个 TFT 晶体管 T13, T14, 其中栅极分别与第 $n+1$ 和第 $n+4$ 栅线的输出 $G[n+1]$ 和 $G[n+4]$ 连接,源极分别对应与栅极低电平输入 V_{ss} 和公共电极低电平输入 Com_1 连接。

- GOA 单元的选择输出电路 606,其输入连接在触发输出端 5 上,用以在四个相同周期异步工作的时钟脉冲中的两个脉冲时序下选择输出栅极驱动信号或者
10 输出公共电极驱动信号。这两个脉冲时序相差四分之三工作周期,因此栅极驱动信号比公共电极驱动信号早出现三个栅线脉冲宽度的时间。

如图 6 所示,第 n 级 GOA 单元电路输出的公共电极驱动信号 $C[n+3]$ 与第 $n+3$ 栅线 $G[n+3]$ 上的信号同步。

- 在一个实施例中,选择输出电路 606 优选包括两个 TFT 晶体管 T15, T16,
15 其中两个栅极分别由第三时钟脉冲输入 $ClkC$ 和第一时钟脉冲输入 $ClkA$ 控制,两个源极共同连接到触发输出端 5,以在不同时序下分别输出第 n 栅线输出 $G[n]$ 和第 $n+3$ 公共电极线输出 $C[n+3]$ 。

如图 7 所示,为根据本发明的原理构造的驱动电路级联后产生的脉冲时序图。

- 在图中可以看出,四个相同周期异步工作的时钟脉冲相位上相差四分之一工
20 作周期。在栅线 Gate1 上出现脉冲的时候,Com1 上也出现了脉冲,从而实现了栅极驱动和公共电极驱动的不同步工作。

根据本发明的一方面,还提供了一种显示面板驱动电路,其包括若干个如上所述的 GOA 单元,其中, GOA 单元按照以下方式级联:

- 第 $n-1$ 栅线输出 $G[n-1]$ 和第 $n+2$ 栅线输出 $G[n+2]$ 分别作为本级 GOA 单元的
25 触发信号,第 $n+1$ 栅线输出 $G[n+1]$ 和第 $n+4$ 栅线输出 $G[n+4]$ 分别作为本级 GOA 单元的复位信号,四条时钟线分别与本级 GOA 单元的第二选择输入电路上的时钟脉冲输入 $ClkA$, $ClkB$, $ClkC$, $ClkD$ 连接,以提供周期相同但具有相位差的时钟信号,并在不同时钟脉冲下将栅极高电平输入和公共电极高电平输入分别选通以输出相应的上拉电压;

- 30 其中,本级 GOA 单元的输出为第 n 栅线输出 $G[n]$ 和第 $n+3$ 公共电极线输出

C[n+3]。

本发明还提供了一种其上形成有如上所述的驱动电路的阵列基板，其包括：

横向并行的栅线和公共电极线；

纵向并行的时钟输入线、栅极高低电平输入线、公共电极高低电平输入线，

- 5 其中，栅线与公共电极线的输出在级联位置上相差 3 个，或者说，时序上相差四分之三个工作周期。

- 10 虽然本发明所揭露的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所揭露的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1、一种用于共同驱动栅极和公共电极的 GOA 单元，其中，包括：

触发器，其包括输入端、时钟端、复位端、低电平输入端和触发输出端；

5 第一选择输入电路，包括并联的两个反相截止的二极管，所述二极管的阳极分别与第 $n-1$ 和第 $n+2$ 栅线输出连接，所述二极管的阴极作为输出与所述输入端连接，以选择第 $n-1$ 和第 $n+2$ 栅线中的电平信号或边沿信号作为所述触发器的激励输入；

10 第二选择输入电路，其输出与所述时钟端连接，并包括四个相同周期异步工作的时钟脉冲输入、以及公共电极高电平输入和栅极高电平输入，用以在不同的时序下将公共电极高电平输入和栅极高电平输入分别选通至所述触发器的时钟端以将触发输出端上的电压上拉；

15 第三选择输入电路，包括并联的两个反相截止的二极管，所述二极管的阳极分别与第 $n+1$ 和第 $n+4$ 栅线输出连接，所述二极管的阴极作为输出与所述复位端连接，以选择第 $n+1$ 和第 $n+4$ 栅线上的电平信号或者边沿信号作为所述触发器的复位信号；

第四选择输入电路，其输出与所述低电平输入端连接，用以在所述第 $n+1$ 和第 $n+4$ 栅线的控制下将栅极低电平输入或者公共电极低电平输入分别选通至所述触发器的低电平输入端以将其上的电压下拉；

20 选择输出电路，其输入连接在所述触发输出端上，用以在四个相同周期异步工作的时钟脉冲中的两个脉冲时序下选择输出栅极驱动信号或者输出公共电极驱动信号。

25 2、如权利要求 1 所述的 GOA 单元，其中，所述反相截止的二极管为由 MOS 管或 TFT 管构成的二极管等效电路，其中，MOS 管或 TFT 管栅极与源极连接作为所述阳极，漏极作为所述阴极。

30 3、如权利要求 1 所述的 GOA 单元，其中，第 $n-1$ 和第 $n+2$ 栅线中的电平信号或边沿信号为低电平信号或下降沿信号，第 $n+1$ 和第 $n+4$ 栅线上的电平信号或者边沿信号为高电平信号或上升沿信号。

4、如权利要求 1 所述的 GOA 单元，其中，四个相同周期异步工作的时钟脉冲输入在相位上依次相差四分之一工作周期。

5、如权利要求 1 所述的 GOA 单元，其中，所述 GOA 单元电路输出的公共
5 电极驱动信号与第 $n+3$ 栅线上的信号同步。

6、如权利要求 5 所述的 GOA 单元，其中，所述第二选择输入电路包括四个 TFT 晶体管，其中，两个 TFT 晶体管源漏极相连，两个栅极分别由第二时钟脉冲输入和第三时钟脉冲输入控制，用以接入栅极高电平输入；

10 另两个 TFT 晶体管源漏极相连，两个栅极分别由第一时钟脉冲输入和第四时钟脉冲输入控制，用以接入公共电极高电平输入。

7、如权利要求 5 所述的 GOA 单元，其中，所述第四选择输入电路包括两个 TFT 晶体管，其中栅极分别与第 $n+1$ 和第 $n+4$ 栅线的输出连接，源极分别对应与
15 栅极低电平输入和公共电极低电平输入连接。

8、如权利要求 5 所述的 GOA 单元，其中，所述选择输出电路包括两个 TFT 晶体管，其中两个栅极分别由第三时钟脉冲输入和第一时钟脉冲输入控制，两个源极共同连接到触发输出端，以在不同时序下分别输出第 n 栅线输出和第 $n+3$ 公共电极线输出，其中，这两个脉冲时序相差四分之三工作周期。
20

9、一种驱动电路，其中，包括如权利要求 1 所述的 GOA 单元，其中，所述 GOA 单元按照以下方式级联：

第 $n-1$ 栅线输出和第 $n+2$ 栅线输出分别作为本级 GOA 单元的触发信号，第
25 $n+1$ 栅线输出和第 $n+4$ 栅线输出分别作为本级 GOA 单元的复位信号，四条时钟线分别与本级 GOA 单元的第二选择输入电路上的时钟脉冲输入连接，以提供周期相同但具有相位差的时钟信号，并在不同时钟脉冲下将栅极高电平输入和公共电极高电平输入分别选通以输出相应的上拉电压；

其中，本级 GOA 单元的输出为第 n 栅线输出和第 $n+3$ 公共电极线输出。

30

10、如权利要求 9 所述的驱动电路，其中，所述反相截止的二极管为由 MOS 管或 TFT 管构成的二极管等效电路，其中，MOS 管或 TFT 管栅极与源极连接作为所述阳极，漏极作为所述阴极。

5 11、如权利要求 9 所述的驱动电路，其中，第 $n-1$ 和第 $n+2$ 栅线中的电平信号或边沿信号为低电平信号或下降沿信号，第 $n+1$ 和第 $n+4$ 栅线上的电平信号或者边沿信号为高电平信号或上升沿信号。

12、如权利要求 9 所述的驱动电路，其中，四个相同周期异步工作的时钟脉冲输入在相位上依次相差四分之一工作周期。

13、如权利要求 1 所述的驱动电路，其中，所述 GOA 单元电路输出的公共电极驱动信号与第 $n+3$ 栅线上的信号同步。

15 14、如权利要求 13 所述的 GOA 单元，其中，所述第二选择输入电路包括四个 TFT 晶体管，其中，两个 TFT 晶体管源漏极相连，两个栅极分别由第二时钟脉冲输入和第三时钟脉冲输入控制，用以接入栅极高电平输入；

另两个 TFT 晶体管源漏极相连，两个栅极分别由第一时钟脉冲输入和第四时钟脉冲输入控制，用以接入公共电极高电平输入。

20

15、如权利要求 13 所述的 GOA 单元，其中，所述第四选择输入电路包括两个 TFT 晶体管，其中栅极分别与第 $n+1$ 和第 $n+4$ 栅线的输出连接，源极分别对应与栅极低电平输入和公共电极低电平输入连接。

25 16、如权利要求 13 所述的 GOA 单元，其中，所述选择输出电路包括两个 TFT 晶体管，其中两个栅极分别由第三时钟脉冲输入和第一时钟脉冲输入控制，两个源极共同连接到触发输出端，以在不同时序下分别输出第 n 栅线输出和第 $n+3$ 公共电极线输出，其中，这两个脉冲时序相差四分之三工作周期。

30 17、一种其上形成有如权利要求 9 所述的驱动电路的阵列，包括：

横向并行的栅线和公共电极线；

纵向并行的时钟输入线、栅极高低电平输入线、公共电极高低电平输入线，其中，栅线与公共电极线的输出在级联位置上相差 3 个级，或时序上相差四分之三个工作周期。

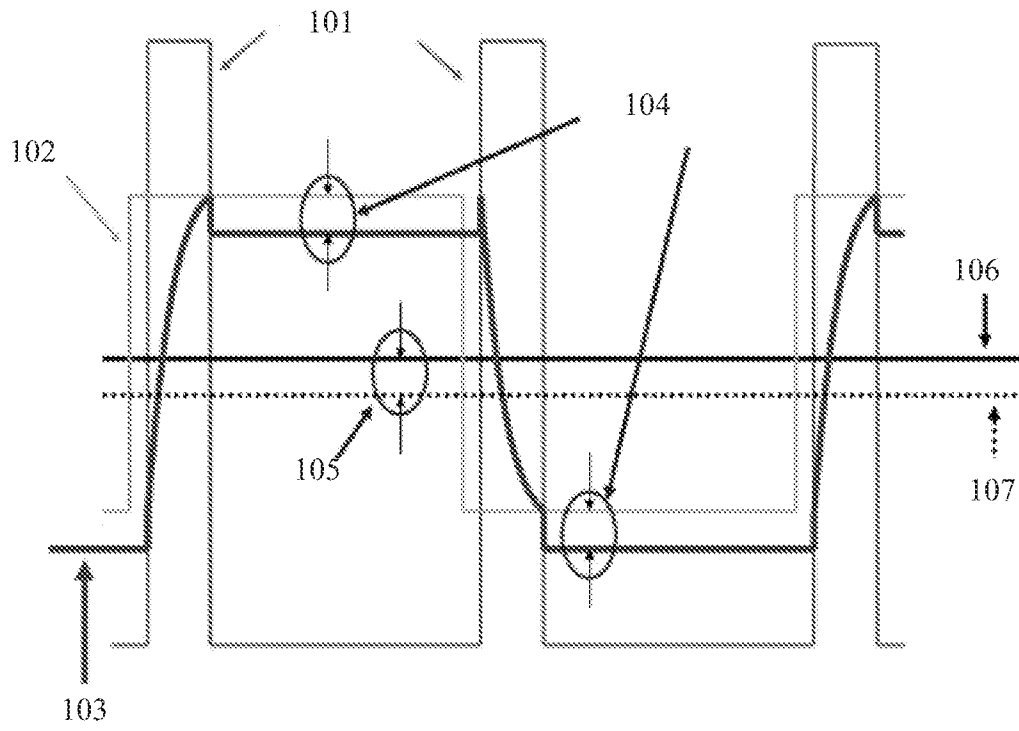


图 1

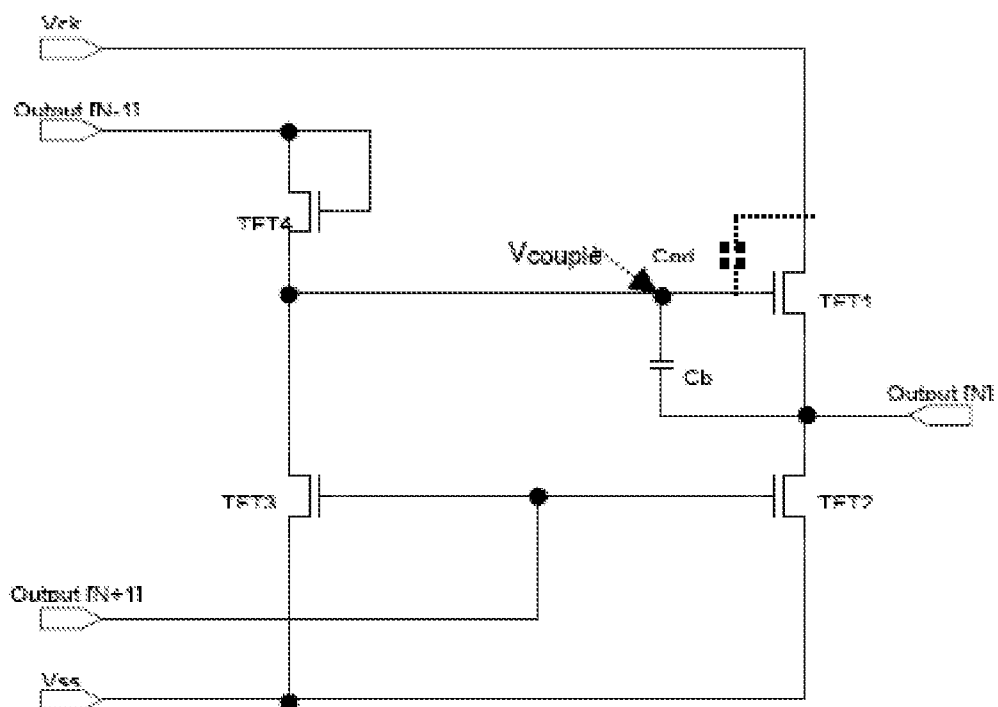
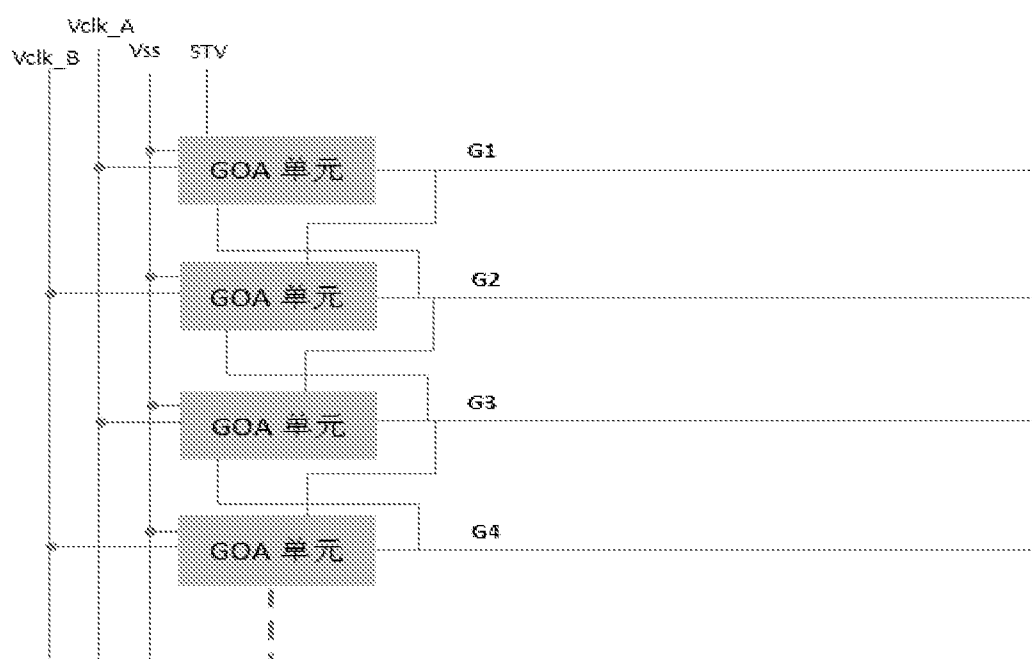


图 2



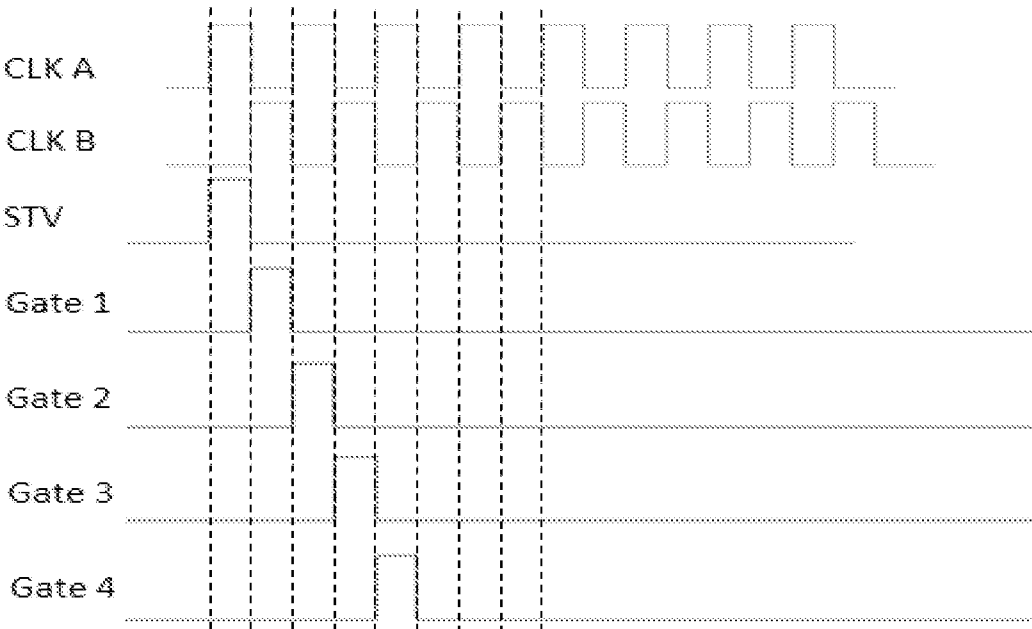


图 4

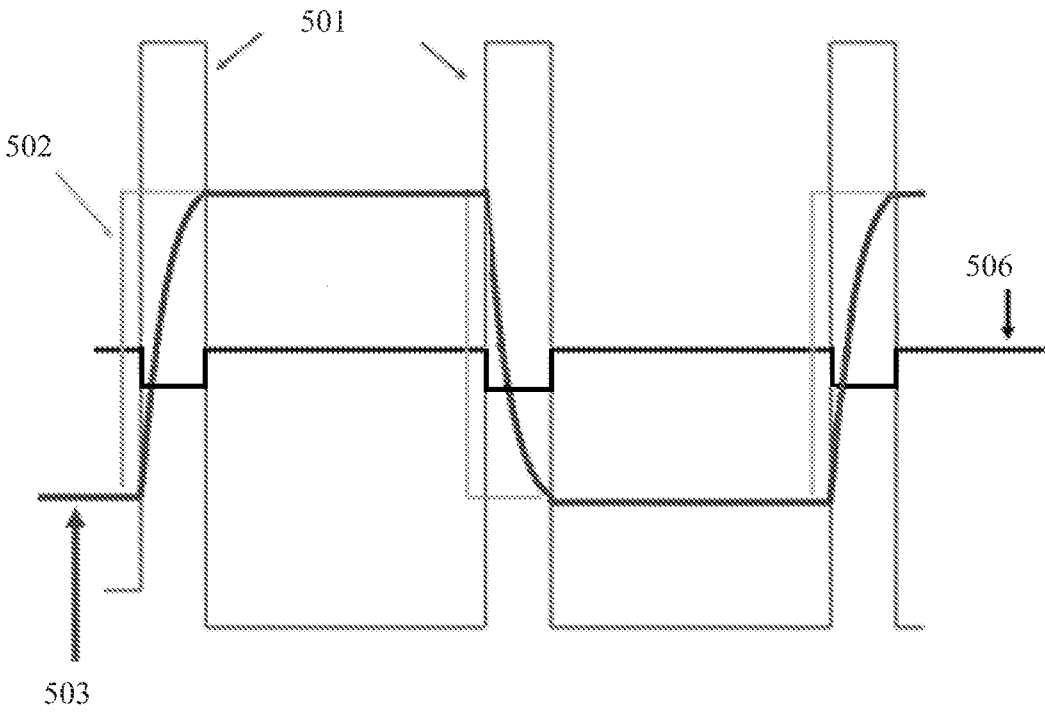


图 5

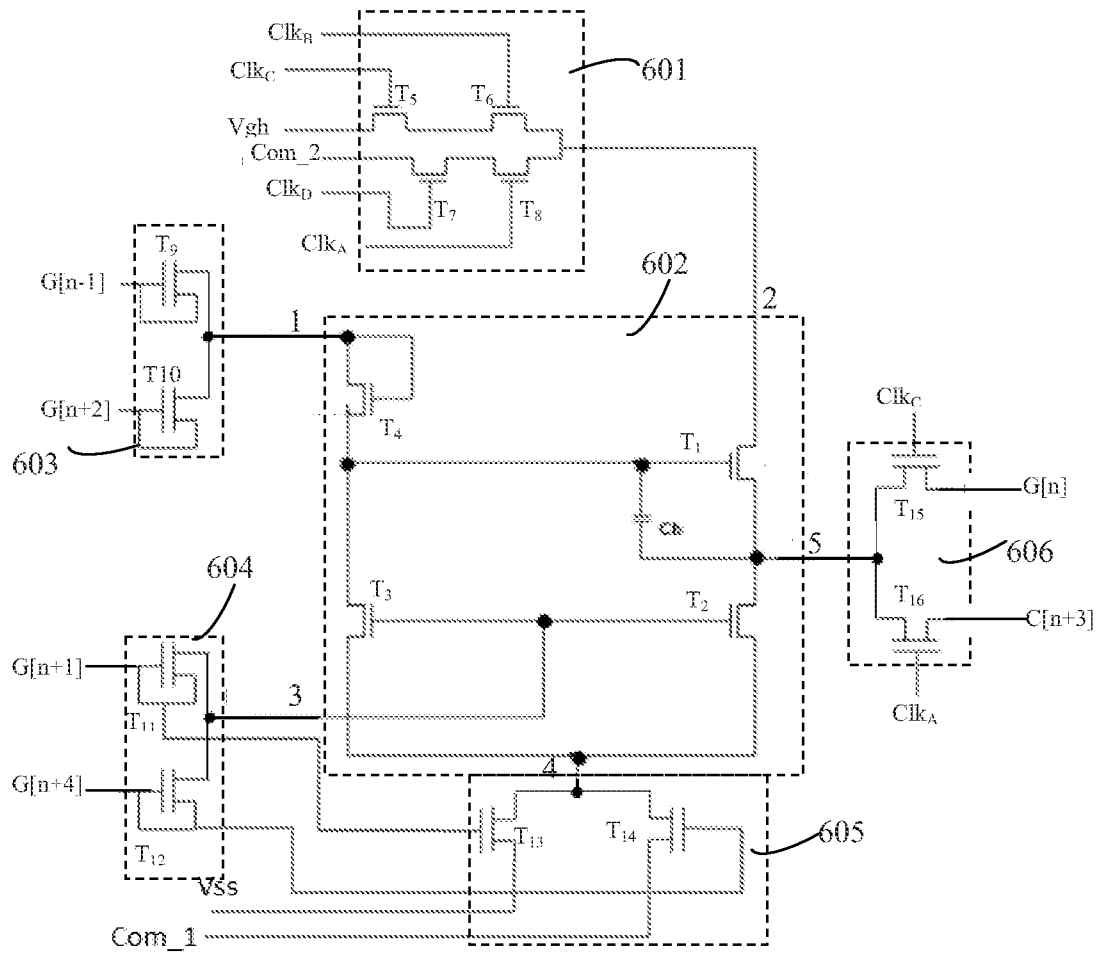


图 6

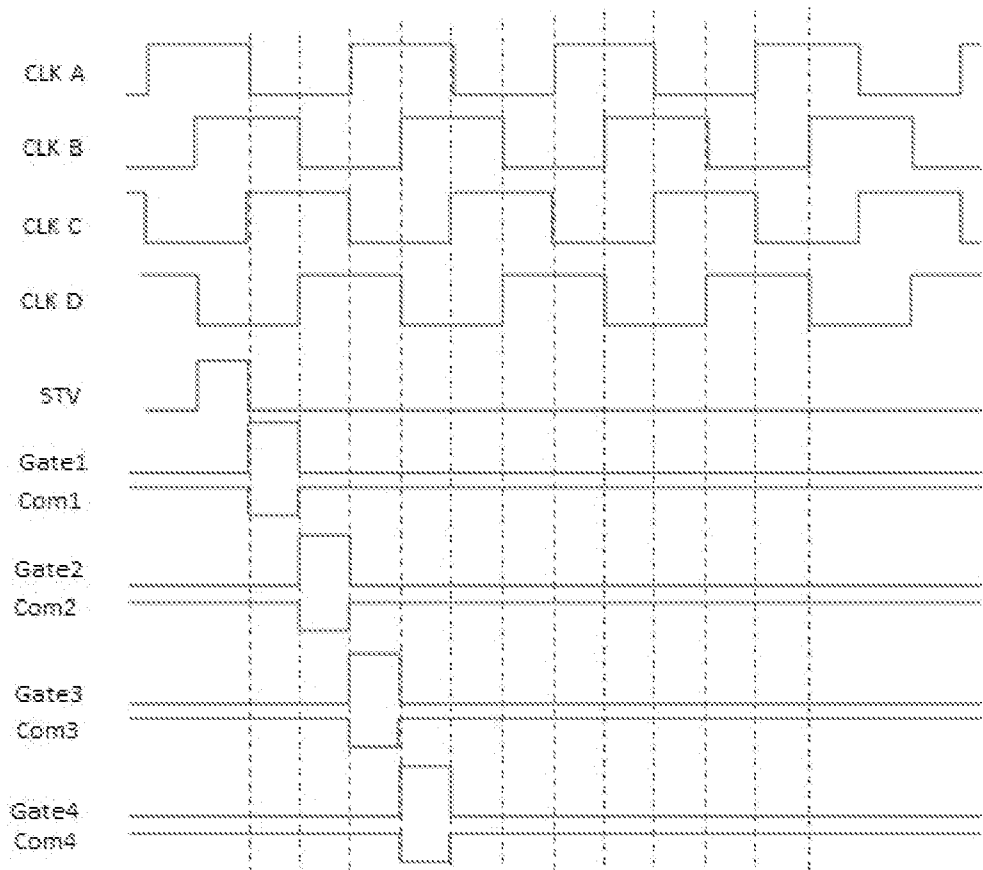


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/072288

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT: GOA, array substrate row, array substrate gate, public, common, commonly connected, electrode, voltage, gate, scan, select, pull up, pull down, clock, reset, feedthrough

DWPI, SIPOABS: GOA, gate, driver, common, counter, scan+, select+, row, pull+, up, down, reset+, feed, through

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103500551 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 08 January 2014 (08.01.2014), description, paragraphs 51-63 and 71-87, and figures 1-3 and 5	1-17
A	CN 102290040 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 21 December 2011 (21.12.2011), the whole document	1-17
A	CN 103208262 A (SAMSUNG ELECTRONICS CO., LTD.), 17 July 2013 (17.07.2013), the whole document	1-17
A	US 2008048712 A1 (SAMSUNG ELECTRONICS CO., LTD.), 28 August 2008 (28.08.2008), the whole document	1-17
A	US 2010260312 A1 (AU OPTRONICS CORP. et al.), 14 October 2010 (14.10.2010), the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

Date of mailing of the international search report

28 September 2014 (28.09.2014)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

ZHANG, Wei

Telephone No.: (86-10) **62085782**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/072288

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103500551 A	08 January 2014		
CN 102290040 A	21 December 2011	CN 102290040 B	04 September 2013
		US 2013063405 A1	14 March 2013
		WO 2013037156 A1	21 March 2013
		US 8773413 B2	08 July 2014
CN 103208262 A	17 July 2013	JP 2013142899 A	22 July 2013
		KR 20130083151 A	22 July 2013
		US 2013181747 A1	18 July 2013
		US 8587347 B2	19 November 2013
		US 2014043066 A1	13 February 2014
US 2008048712 A1	28 August 2008	US 7417458 B2	26 August 2008
		KR 20080019116 A	03 March 2008
		KR 1277152 B1	21 June 2013
US 2010260312 A1	14 October 2010	US 8229058 B2	24 July 2012
		TW 201037675 A	16 October 2010
		TW 400686 B1	01 July 2013
		TW I400686 B	01 July 2013
		US 2012250816 A1	04 October 2012
		US 8340240 B2	25 December 2012
		US 2013070891 A1	21 March 2013
		US 8483350 B2	09 July 2013

国际检索报告

国际申请号

PCT/CN2014/072288

A. 主题的分类

G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G 3/-; G11C 19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS、CNTXT: GOA, 阵列基板行, 阵列基板栅, 公共, 共同, 共通, 公用, 共用, 共接, 电极, 电压, 栅, 扫描, 选择, 上拉, 下拉, 时钟, 复位, 馈通 DWPI、SIPOABS: GOA, gate, driver, common, counter, scan+, select+, row, pull+, up, down, reset+, feed, through

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103500551 A (合肥京东方光电科技有限公司等) 2014年 1月 08日 (2014 - 01 - 08) 说明书第51-63, 71-87段、图1-3, 5	1-17
A	CN 102290040 A (深圳市华星光电技术有限公司) 2011年 12月 21日 (2011 - 12 - 21) 全文	1-17
A	CN 103208262 A (三星电子株式会社) 2013年 7月 17日 (2013 - 07 - 17) 全文	1-17
A	US 2008048712 A1 (SAMSUNG ELECTRONICS CO LTD) 2008年 8月 28日 (2008 - 08 - 28) 全文	1-17
A	US 2010260312 A1 (AU OPTRONICS CORP等) 2010年 10月 14日 (2010 - 10 - 14) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

国际检索报告邮寄日期

2014年 9月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

张伟

传真号 (86-10)62019451

电话号码 (86-10)62085782

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/072288

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	103500551	A	2014年 1月 08日						
CN	102290040	A	2011年 12月 21日	CN	102290040	B	2013年 9月 04日		
				US	2013063405	A1	2013年 3月 14日		
				WO	2013037156	A1	2013年 3月 21日		
				US	8773413	B2	2014年 7月 08日		
CN	103208262	A	2013年 7月 17日	JP	2013142899	A	2013年 7月 22日		
				KR	20130083151	A	2013年 7月 22日		
				US	2013181747	A1	2013年 7月 18日		
				US	8587347	B2	2013年 11月 19日		
				US	2014043066	A1	2014年 2月 13日		
US	2008048712	A1	2008年 8月 28日	US	7417458	B2	2008年 8月 26日		
				KR	20080019116	A	2008年 3月 03日		
				KR	1277152	B1	2013年 6月 21日		
US	2010260312	A1	2010年 10月 14日	US	8229058	B2	2012年 7月 24日		
				TW	201037675	A	2010年 10月 16日		
				TW	400686	B1	2013年 7月 01日		
				TWI	400686	B	2013年 7月 01日		
				US	2012250816	A1	2012年 10月 04日		
				US	8340240	B2	2012年 12月 25日		
				US	2013070891	A1	2013年 3月 21日		
				US	8483350	B2	2013年 7月 09日		

表 PCT/ISA/210 (同族专利附件) (2009年7月)