

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5236290号
(P5236290)

(45) 発行日 平成25年7月17日 (2013. 7. 17)

(24) 登録日 平成25年4月5日 (2013. 4. 5)

(51) Int. Cl.	F I
HO 1 L 21/02 (2006. 01)	HO 1 L 27/12 E
HO 1 L 27/12 (2006. 01)	HO 1 L 27/12 L
HO 1 L 21/762 (2006. 01)	HO 1 L 21/76 D
HO 1 L 21/76 (2006. 01)	HO 1 L 21/76 R

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2007-541957 (P2007-541957)	(73) 特許権者	390009531
(86) (22) 出願日	平成17年11月17日 (2005. 11. 17)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2008-521229 (P2008-521229A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成20年6月19日 (2008. 6. 19)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/EP2005/056042		
(87) 国際公開番号	W02006/053890		
(87) 国際公開日	平成18年5月26日 (2006. 5. 26)	(74) 代理人	100108501
審査請求日	平成20年8月13日 (2008. 8. 13)		弁理士 上野 剛史
(31) 優先権主張番号	10/992, 150	(74) 代理人	100112690
(32) 優先日	平成16年11月18日 (2004. 11. 18)		弁理士 太佐 種一
(33) 優先権主張国	米国 (US)		
前置審査			

最終頁に続く

(54) 【発明の名称】 SOI 基板材料

(57) 【特許請求の範囲】

【請求項 1】

第1の結晶配向の上部 Si 含有層を備える第1のウェハ及び第2の結晶配向の下部 Si 含有層を備える第2のウェハを含む積層体であって、前記第1の結晶配向は前記第2の結晶配向とは異なり、前記第1のウェハの前記上部 Si 含有層は、前記第2のウェハの前記下部 Si 含有層と接している、積層体と、

前記上部 Si 含有層又は前記下部 Si 含有層の少なくとも一方の中と、該上部 Si 含有層と該下部 Si 含有層との間に位置する界面を貫通して前記上部 Si 含有層および前記下部 Si 含有層の中とに配置された、不連続な複数の埋込み絶縁領域と、

前記上部 Si 含有層の表面上に配置された歪み半導体層と、を備えるハイブリッド SOI 基板材料。

【請求項 2】

前記下部 Si 含有層及び前記上部 Si 含有層は、Si、SiGe、SiC、SiGeC、予め形成された SOI、予め形成された SiGe オン・インシュレータ及び Si/SiGe の層状構造体から成る群から選択される、同じ又は異なるシリコン含有半導体材料を含む、請求項 1 に記載のハイブリッド SOI 基板材料。

【請求項 3】

前記第1及び第2の結晶配向は、(100)、(111)、(100)、(422)、(311)、または(521)の結晶配向を有する、請求項 1 に記載のハイブリッド SOI 基板材料。

10

20

【請求項 4】

前記埋込み絶縁領域は、埋込み熱酸化物を含む、請求項 1 に記載のハイブリッド S O I 基板材料。

【請求項 5】

前記歪み半導体層は、S i または S i G e からなる、請求項 1 に記載のハイブリッド S O I 基板材料。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコン・オン・インシュレータ (silicon-on-insulator、S O I) 基板材料、及び半導体材料を製造する方法に関し、より具体的には、S O I 材料の上部 S i 含有層が下部半導体基板層とは異なる結晶配向を有する、シリコン・オン・インシュレータ (S O I) 材料を製造する方法に関する。埋込み絶縁領域 (連続的な又は非連続的な) が、S i 含有層のいずれか一方の中に存在しても、又は 2 つの S i 含有層間に位置する界面を貫通して存在してもよい。

10

【背景技術】

【0002】

現在の半導体技術において、n F E T 又は p F E T のような C M O S デバイスは、一般に、単結晶配向を有する S i のような半導体ウェハ上に製造される。特に、今日の半導体デバイスの大部分は、(100) 結晶配向を有する S i の上に構築される。

20

【0003】

(100) S i 表面配向においては電子が高い移動度をもつことが知られているが、(110) S i 表面配向においては正孔が高い移動度をもつことが知られている。すなわち、(100) S i 上での正孔移動度の値は、この結晶配向のときの対応する電子移動度よりおよそ 2 倍乃至 4 倍低い。この差異を埋め合わせるために、n F E T が電流を引き下げるのに対抗して電流を釣り合うように引き上げて、一様な電流スイッチングを達成するべく、p F E T は、典型的に、より大きい幅をもつように設計される。より大きい幅をもつ p F E T は、多大なチップ面積をとるので望ましくない。

【0004】

前述のものとは対照的に、(110) S i 上での正孔移動度は、(100) S i 上より 2 倍高く、したがって、(110) S i 表面上に形成された p F E T は、(100) S i 表面上に形成された p F E T より著しく高い駆動電流を呈することになる。残念なことに、(110) S i 表面上での電子移動度は、(100) S i 表面に比べて著しく低下される。

30

【0005】

上記の説明から推測できるように、(110) S i 表面は、優れた正孔移動度のために p F E T デバイスに最適であるが、こうした結晶配向は n F E T デバイスには全く適さない。代わりに、(100) S i デバイス表面は、その結晶配向が電子移動度に有利に働くことから n F E T デバイスに最適である。

【0006】

40

ウェハ接合 (bonding) により、異なる表面配向を有するプレーナ型ハイブリッド基板を形成する方法が説明されてきた。こうした試みにおいて、高性能デバイスの製造のためにそれぞれの最適化された結晶配向を有する p F E T 及び n F E T を達成するべく、プレーナ型ハイブリッド基板が、主として半導体と絶縁体のウェハ接合又は絶縁体と絶縁体のウェハ接合によって得られる。しかしながら、少なくとも一方の型の M O S F E T (p F E T 又は n F E T のいずれか) は S O I 材料上にあり、他方の型の M O S F E T は、バルク半導体、又はより厚い S O I 膜を有する S O I のいずれかの上にある。

【0007】

近年、少なくとも第 1 の結晶配向の上部半導体層と、第 1 の結晶配向とは異なる第 2 の結晶配向の下部半導体層とを含む接合された基板を準備するステップと、接合された基板

50

の部分を保護して第1の領域を形成し、保護されていない接合された基板の別の部分を残して第2の領域を形成するステップと、接合された基板の保護されていない部分をエッチングし、下部半導体層を露出させるステップと、半導体材料が第2の結晶配向を有するように、下部半導体層上に半導体材料を再成長させるステップと、平坦化するステップとを含む方法を用いて、ハイブリッド結晶配向基板が準備された。こうした技術は、例えば、特許文献1に記載されている。特許文献1の出願は、半導体層の1つを、予め製造されたSOI基板からのものとするができることを開示する。こうした場合、予め製造されたSOIウェハは、予め製造されたSOIウェハも含み得る別のウェハに接合される。

【0008】

上記の技術は実現可能であるが、こうした例において埋込み絶縁層がどこに存在するかに関する自由がない。

10

【0009】

【特許文献1】米国特許出願番号第10／250, 241号

【特許文献2】米国特許出願公開第20020190318号

【特許文献3】米国特許出願公開第20020173114号

【特許文献4】米国特許第5, 930, 634号

【特許文献5】米国特許第6, 486, 037号

【特許文献6】米国特許第6, 541, 356号

【特許文献7】米国特許第6, 602, 757号

【発明の開示】

20

【発明が解決しようとする課題】

【0010】

上記の従来技術において埋込み絶縁層がどこに存在するかに関する自由がないことを考慮すると、従来技術の埋込み絶縁層がどこに存在するかに関する自由がないことを解決すること、言い換えれば、SOI基板材料において埋込み絶縁層の配置を自由に設定することができる製法や構造、より具体的には、SOI材料のSOI層が下にあるSi含有層とは異なる結晶配向を有し、接合後に選択的に埋込み絶縁領域を形成することができる、SOI基板材料およびこれを製造する方法を提供することが必要とされている。

【課題を解決するための手段】

【0011】

30

本発明によれば、第1の結晶配向の上部Si含有層を備える第1のウェハ及び第2の結晶配向の下部Si含有層を備える第2のウェハを含む積層体であって、第1の結晶配向は第2の結晶配向とは異なり、第1のウェハの上部Si含有層は、第2のウェハの下部Si含有層全体と接している、積層体と、上部Si含有層又は下部Si含有層の少なくとも一方の中に、或いは上部Si含有層と下部Si含有層との間に位置する界面を貫通して配置された、不連続な複数の埋込み絶縁領域と、を備えるハイブリッドSOI基板材料が提供される。ここで、「ハイブリッドSOI基板」という用語は、上部Si含有層と、異なる結晶配向を有する下部Si含有層とを含む基板材料を意味する。

【発明を実施するための最良の形態】

【0017】

40

ハイブリッドSOI基板材料を製造する方法及びハイブリッドSOI基板材料自体を提供する本発明の実施形態が、本出願に添付される図面を参照して、一例として下記により詳細に説明される。添付の図面において、同じ及び対応する要素は、同じ参照番号で示されることが留意される。さらに、図面は、説明目的のために与えられており、よって、縮尺に合わせて描かれていないことが分かる。

【0018】

埋込み絶縁領域が連続的なものであり、かつ、上部Si含有層内に存在する、ハイブリッドSOI基板を製造するための、本発明の一実施形態の種々の処理ステップを示す（断面図による）図形表示である、図1（A）乃至図1（C）が、ここで詳述される。

【0019】

50

最初に、第1の結晶配向が第2の結晶配向と異なる、第1の結晶配向を有する上部Si含有層12と、第2の結晶配向を有する下部Si含有層14とを含む積層体10を示す図1(A)を参照する。

【0020】

本発明において、「Si含有層」という用語は、シリコンを含む半導体材料を示す。そのようなシリコン含有半導体材料の説明に役立つ実例は、Si、SiGe、SiC、SiGeC、予め形成されたシリコン・オン・インシュレータ(silicon-on-insulator)、予め形成されたシリコン・ゲルマニウム・オン・インシュレータ(silicongermanium-on-insulator)、又はSi/SiGeのような層状構造体を含む。Si含有層12及び14は、同じシリコン含有半導体材料を含んでもよく、又は異なるシリコン含有半導体材料を含んでもよい。一般に、Si含有層12及び14は、両方ともSiから成る。幾つかの実施形態においては、少なくとも上部Si含有層12は、同位体的に純粋である、すなわち、Si²⁸またはSi²⁸Ge⁷⁴である。

10

【0021】

上部Si含有層12の厚さは、ハイブリッドSOI基板の所望の使用法によって変わり得る。しかしながら、典型的には、上部Si含有層12は、5nmから500nmまでの厚さを有し、5nmから100nmまでの厚さがより典型的である。上部Si含有層12についての厚さの範囲は、接合後、及び実行可能な何らかの随意的な薄層化ステップ後に決定されることに留意されたい。

【0022】

下部Si含有層14の厚さは重要ではない。しかしながら、一般に、上部Si含有層12に薄層化を施した後、下部Si含有層14の厚さは、通常、上部Si含有層12のものより厚くなる。

20

【0023】

Si含有層12の第1の結晶配向及びSi含有層14の第2の結晶配向は、任意の長軸又は短軸をもつSi含有層を含むことができる。例えば、Si含有層は、(100)、(111)、(110)、(422)、(311)、(521)等の結晶配向を有することができる。Si含有層12及び14は、(100)、(111)、又は(110)のような主要ミラー(Miller)指数を含むものから選択されることが好ましい。

【0024】

図1(A)に表される積層体10は、上部Si含有層12を含む第1のウェハ及び下部Si含有層14を含む第2のウェハを選択し、次に、2つのウェハを互いに接合することによって形成される。幾つかの実施形態においては、接合する前に、水素又は別の同様のイオンを上部Si含有層12内に導入することができる。上部Si含有層12内の水素又は別の同様のイオンの存在を用いて、上部Si含有層12の一部を分離させ、より薄い上部Si含有層を形成することができる。

30

【0025】

第1のウェハ及び第2のウェハを選択した後、次に、最初にウェハを互いに緊密に接触させ、随意的に外力をかけ、次に、2つの選択されたウェハを接合することができる条件下で、外力をかけて又はかけずに、2つの接触させられたウェハをアニールすることによって、2つの選択されたウェハを接合する。接合のために用いられるアニール・ステップは、典型的には、15℃から40℃までの基準室温で行われる。本発明の更に別の実施形態においては、2つのウェハを接合する際に、400℃までの温度を使用することができる。

40

【0026】

接合後、一般に、接合強度を高め、界面特性を改善するように、ウェハがさらにアニールされる。さらなるアニール・ステップは、典型的には、900℃から1400℃までの温度で行われ、1000℃から1100℃までのアニール温度がより典型的である。接合強化アニールは、1時間から24時間までの範囲にわたる様々な時間、前述の温度の範囲内で行われる。接合強化アニール雰囲気は、外部接着力の有無にかかわらず、O₂、N

50

2、Ar、又は低真空とすることができる。本明細書では、不活性ガスの有無にかかわらず、前述のアニール雰囲気との混合も考えられる。

【0027】

接合強化のために、多くの場合（上述のような）高温アニールが用いられるが、良好な機械的性質及び電氣的性質を達成することもできる低温アニール（900℃より低い）を用いることも可能である。

【0028】

直接的な半導体と半導体の接合ステップに続いて行われる接合強化アニール・ステップは、特定のランプアップ速度を用いて単一の温度で行うことができること、又は種々のランプアップ速度及びソーク(soak)・サイクルが用いられる、種々の温度を用いて行うことができることに留意すべきである。

【0029】

上部Si含有層12の特定の所定の厚さを得るために、本発明において、種々の薄層化技術を使用することができる。本発明に用い得る1つの直接的で簡単な手法は、ウェハの研削、研磨、又はエッチバック・プロセスを用いることである。薄層化は、水素ペークといった気体反応によって達成することもできる。

【0030】

上部Si含有層12を薄層化するための別の手段は、上部Si含有層を含む最初のウェハがイオン注入領域を含む実施形態にも適用され得る。この場合、接合プロセスの間に、イオン注入領域が多孔性(porous)領域を形成し、このため、イオン注入領域の上方のウェハの一部が取り除かれて、例えば、図1(A)に示されるような接合されたウェハが残る。上述のように、注入領域は、一般に、当業者には公知の注入条件を用いて、上部Si含有層12を含むウェハの表面内に注入される水素イオンから成る。接合後、別の加熱ステップが、一般に、接合エネルギーを増すために、不活性雰囲気中で、2時間から30時間にわたって、100℃から400℃までの温度で行われる。その他の加熱ステップは、2時間から20時間にわたって、200℃から300℃までの温度で行われることがより好ましい。「不活性雰囲気」という用語は、本発明においては、He、Ar、N₂、Xe、Kr、又はこれらの混合物といった不活性ガスが用いられる雰囲気を示すのに用いられる。接合プロセスの間に用いられる好ましい雰囲気は、N₂である。注入領域における層分離は、後の350℃－500℃のアニールの間に生じる。本発明の更に別の実施形態においては、接合されたウェハ内に水素のようなイオンを注入し、平坦化プロセスを停止させるためのマークとして使用することができる。

【0031】

次いで、イオンが積層体10内に注入され、十分なイオン濃度を有する積層体10内にイオン・リッチ(ion-rich)注入領域をもたらし、次の加熱ステップの間に、イオンが、積層体10内に埋込み絶縁領域を形成するのを促進する。一般に、積層体10内のイオン・リッチ注入領域に注入されるイオンは、 1×10^{22} 原子/cm³ 又はそれより大きいイオン濃度を有する。

【0032】

本発明のこのステップにおいて用いられるイオンは、次の加熱ステップが行われたとき、埋込み絶縁領域を形成することができる。そのようなイオンの説明に役立つ事例は、これらに限られるものではないが、酸素イオン、窒素イオン、NOイオン、不活性ガス、又はこれらの混合物を含む。本発明のこの時点において、酸素イオンが、積層体10内に注入されることが好ましい。

【0033】

当業者には公知の特許文献2、特許文献3、特許文献4、特許文献5、特許文献6及び特許文献7に述べられる種々のSIMOX(separation by implanted oxygen)プロセス及び条件を用いて、イオンが、積層体10内に注入される。注入は、この実施形態に示されるようなブランケット注入としてもよく、又は本発明の他の実施形態に示されるようなパターン化された注入を用いることもできる。例えば、図3(A)乃至図5(B)を参照

されたい。パターン化された注入は、上部Si含有層12の表面上に直接形成されたマスクを含むことができ、又は上部Si含有層の表面から幾らかの距離をおいて配置されたマスクを用いることもできる。

【0034】

本発明においては、様々な注入条件を用いることができるが、下記は、主として上部Si含有層12内に、注入されたイオン・リッチ領域を形成するための一般的な注入条件を提供する。

【0035】

I. 高ドーズ量イオン注入：

ここに用いられる「高ドーズ量」という用語は、 $4 \times 10^{17} \text{ cm}^{-2}$ 又はそれより大きいイオンドーズ量を意味し、 $4 \times 10^{17} \text{ cm}^{-2}$ から $2 \times 10^{18} \text{ cm}^{-2}$ までのイオンドーズ量がより好ましい。高イオンドーズ量を用いるに加えて、この注入は、一般に、 0.05 mA/cm^2 から 500 mA/cm^2 までのビーム電流密度及び40keVから240keVまでのエネルギーで作動するイオン注入装置において行われる。

10

【0036】

ベースイオン注入と呼ぶことができるこの注入は、 0.05 mA/cm^2 から 500 mA/cm^2 までのビーム電流密度において、 200°C から 800°C までの温度で行われる。より好ましくは、ベースイオン注入は、 5 mA/cm^2 から 10 mA/cm^2 までのビーム電流密度で、 200°C から 600°C までの温度で行うことができる。

20

【0037】

所望であれば、ベースイオン注入ステップに続いて、 $1 \times 10^{14} \text{ cm}^{-2}$ から $1 \times 10^{16} \text{ cm}^{-2}$ までのイオンドーズ量を用いて、第2の酸素注入を行うことができ、 $1 \times 10^{15} \text{ cm}^{-2}$ から $4 \times 10^{15} \text{ cm}^{-2}$ までのイオンドーズ量が最も好ましい。第2のイオン注入は、60keV又はそれより大きいエネルギーで行われる。

【0038】

この第2の注入は、 0.05 mA/cm^2 から 10 mA/cm^2 までのビーム電流密度を用いて、4Kから 200°C までの温度で行われる。第2のイオン注入は、 0.5 mA/cm^2 から 5.0 mA/cm^2 までのビーム電流密度を用いて、 25°C から 100°C までの温度で行うことがより好ましい。

【0039】

第2のイオン注入が、ベースイオン注入ステップによって生じた損傷領域より浅いアモルファス領域を形成することに留意されたい（例えば、図1（B）を参照されたい）。本発明の次の加熱ステップの間、アモルファス領域及び損傷領域は、埋込み絶縁領域の一部になる（例えば、図1（C）を参照されたい）。

30

【0040】

II. 低ドーズ量イオン注入：

本発明のこの実施形態においてここに用いられる「低ドーズ量」という用語は、 $4 \times 10^{17} \text{ cm}^{-2}$ 又はそれより小さいイオンドーズ量を意味し、 $1 \times 10^{16} \text{ cm}^{-2}$ から $3.9 \times 10^{17} \text{ cm}^{-2}$ までのイオンドーズ量がより好ましい。この低ドーズ量注入は、40keVから240keVまでのエネルギーで行われる。

40

【0041】

ベースイオン注入と呼ぶことができるこの注入は、 100°C から 800°C までの温度で行われる。より好ましくは、ベースイオン注入は、 0.05 mA/cm^2 から 500 mA/cm^2 までのビーム電流密度を用いて、 200°C から 650°C までの温度で行うことができる。

【0042】

この低ドーズ量ベース注入ステップの後に、上述の条件を用いて第2イオン注入を行うことが好ましい。

【0043】

上記のタイプの注入条件は例示的なものであり、決して本発明の範囲を制限するもので

50

はないことが、再び強調される。代わりに、本発明は、一般に、従来のS I M O Xプロセスにおいて用いられる従来のイオン注入の全てを企図し得る。

【0044】

上述のように、積層体10の上部Si含有層12内にイオン・リッチ注入領域が形成される、本発明の好ましい実施形態において、低ドーズ量酸素イオン注入ステップが、ベースイオン注入ステップ及び第2のイオン注入ステップを用いて行われる。

【0045】

ベースイオン注入に続いて第2のイオン注入ステップを用いることにより、最適なベース酸素注入ステップによって生成される損傷領域20より浅いアモルファス領域18を有するイオン・リッチ注入領域16を含む、図1(B)に示されるような構造体が形成される。

10

【0046】

低ドーズ量の方法は、例えば、熱酸化物などの高品質の熱絶縁領域をもたらすので、低ドーズ量の方法が、高ドーズ量注入の方法に比べて好ましいことを留意されたい。最適な条件が用いられる場合、拡散バリアは、6MV/cm又はそれより大きい、最小絶縁破壊(ブレイクダウン)電界をもつ埋込み酸化物である。

【0047】

イオンを積層体10に注入した後、次いで、イオン・リッチ注入領域を含む積層体10に、注入イオンの析出と、後に埋込み絶縁領域の形成とをもたらす加熱ステップが行われる。図1(C)は、加熱ステップを行った後に形成される、ハイブリッドSOI基板材料を示す。この図において、参照番号22は、埋込み絶縁領域を示す。加熱ステップの間、一般に、上部Si含有層12の上に表面酸化物層(図示せず)が形成されることに留意されたい。この表面酸化物層は、一般に、必ずしもとは限らないが、Si含有材料と比べて酸化物の除去のために高い選択性を有する、HFのような化学エッチャント(エッチング液)が用いられる従来の湿式エッチング・プロセスを用いて、加熱ステップの後に構造体から除去される。本発明の加熱ステップ後に形成される表面酸化物層は、10nmから1400nmまでの範囲に及ぶことができる可変の厚さを有し、100nmから900nmまでの厚さがより好ましい。

20

【0048】

形成された埋込み絶縁領域22は、イオン・リッチ注入領域内のイオン濃度、及び加熱ステップの間に用いられる条件によって決まる可変の厚さも有する。典型的には、埋込み絶縁領域22は、400nm又はそれより薄い範囲に及ぶ厚さを有し、50nmから200nmまでの厚さがより典型的である。

30

【0049】

具体的には、本発明の加熱ステップは、一般に、900℃から1350℃までの高温で行われるアニール・ステップであり、1200℃から1335℃までの温度がより典型的である。さらに、本発明の加熱ステップは、O₂、NO、N₂O、オゾン、空気、又は他の同様の酸素含有ガスのような、少なくとも1つの酸素含有ガスを含む、酸化雰囲気中で行われる。酸素含有ガスは、(O₂とNOの混合物のように)互いに混合することができ、又は、ガスを、He、Ar、N₂、Xe、Kr、又はNeのような不活性ガスを用いて希釈することができる。幾つかの実施形態においては、酸素含有雰囲気及び随意的な不活性ガスと併せて、トリクロロエタン(TCA)のような塩素含有雰囲気を用いることができる。TCAが使用されるとき、一般に、TCAは、0.0001%から0.05%までの量で存在する。加熱された積層体10の最終冷却において、不活性ガスを単独で用いることもできる。

40

【0050】

加熱ステップは、典型的には、10分から6000分までの範囲に及ぶ可変の時間にわたって行うことができ、60分から3000分までの時間がより典型的である。加熱ステップは、単一の目標温度で行うことができ、又は、様々なランプアップ速度及び様々なソーク回数を用いるソーク・サイクルを用いることができる。

50

【0051】

図6は、本発明において用いることができる1つの可能な熱アニール・サイクルを示す概略図である。示される熱アニール・サイクルは、A) 5%酸素(Ar希釈)中での5℃/分での600℃から1000℃までの最初の第1のランプアップに続く、5%酸素(Arと 1.45×10^{-4} %のTCA希釈)中での5℃/分での1000℃から1150℃までの最初の第2のランプアップ、B) 5%酸素(Arと 1.45×10^{-4} %TCA希釈)中での0.1℃/分での1150℃から1300℃までのランプアップ、C) 50%酸素(Ar希釈)中での5~10時間にわたっての1320℃でのソーク(soak)、D) 4%酸素(Arと 1.45×10^{-4} %TCA希釈)中での0~5時間にわたっての1320℃でのソーク、E) ステップ(D)と同じ雰囲気中での1320℃から1150℃への冷却、及びF) N₂中での1150℃から600℃への冷却、を含む。

10

【0052】

上記の説明は、埋込み絶縁領域22が連続的なものであり、かつ、積層体10の上部Si含有層12内に形成される、本発明の一実施形態を示す。図1(C)に示されるように、下部Si含有層14の一部は、埋込み絶縁領域22の表面の下方に配置される。

【0053】

図2(A)及び図2(B)は、積層体10の下部Si含有層14内に連続的な埋込み絶縁領域22が形成された、第2の実施形態を示す。本発明のこの実施形態は、最初に、図1(A)に示される積層体10を準備することで開始する。上述の実施形態とは異なり、イオン・リッチ注入領域16(随意的なアモルファス領域18及び損傷領域20を含む)の大部分が、下部Si含有層14内に形成されるように、注入条件が変えられる。例えば、図2(A)を参照されたい。

20

【0054】

当業者には公知のSIMOXプロセス及び条件、並びに参考文献に述べられた種々のSIMOXプロセス及び条件を用いて、イオンが積層体10内に注入される。本発明においては、種々の注入条件を用いることができるが、下記は、主として下部Si含有層14内に注入されたイオン・リッチ領域を形成するための一般的な注入条件を提供する。

【0055】

I. 高ドーズ量イオン注入:

ここに用いられる「高ドーズ量」という用語は、 $4 \times 10^{17} \text{ cm}^{-2}$ 又はそれより大きいイオンドーズ量を意味し、 $4 \times 10^{17} \text{ cm}^{-2}$ から $2 \times 10^{18} \text{ cm}^{-2}$ までのイオンドーズ量がより好ましい。高イオンドーズ量を用いるに加えて、この注入は、一般に、 0.05 mA/cm^2 から 500 mA/cm^2 までのビーム電流密度及び40keVから240keVまでのエネルギーで作動するイオン注入装置において行われる。

30

【0056】

ベースイオン注入と呼ぶことができるこの注入は、 0.05 mA/cm^2 から 500 mA/cm^2 までのビーム電流密度で、200℃から800℃までの温度で行われる。より好ましくは、ベースイオン注入は、 5 mA/cm^2 から 10 mA/cm^2 までのビーム電流密度で、200℃から600℃までの温度で行うことができる。

【0057】

所望であれば、ベースイオン注入ステップに続いて、 $1 \times 10^{14} \text{ cm}^{-2}$ から $1 \times 10^{16} \text{ cm}^{-2}$ までのイオンドーズ量を用いて、第2の酸素注入を行うことができ、 $1 \times 10^{15} \text{ cm}^{-2}$ から $4 \times 10^{15} \text{ cm}^{-2}$ までのイオンドーズ量が最も好ましい。第2のイオン注入は、60keV又はそれより大きいエネルギーで行われる。

40

【0058】

この第2の注入は、 0.05 mA/cm^2 から 10 mA/cm^2 までのビーム電流密度を用いて、4Kから200℃までの温度で行われる。第2のイオン注入は、 0.5 mA/cm^2 から 5.0 mA/cm^2 までのビーム電流密度を用いて、25℃から100℃までの温度で行うことがより好ましい。

【0059】

50

第2のイオン注入が、ベースイオン注入ステップによって生じた損傷領域より浅いアモルファス領域を形成することに留意されたい。本発明の次の加熱ステップの間、アモルファス領域及び損傷領域は、埋込み絶縁領域の一部になる。

【0060】

I 1. 低ドーズ量イオン注入：

本発明のこの実施形態においてここに用いられる「低ドーズ量」という用語は、 $4 \times 10^{17} \text{ cm}^{-2}$ 又はそれより小さいイオンドーズ量を意味し、 $1 \times 10^{16} \text{ cm}^{-2}$ から $3.9 \times 10^{17} \text{ cm}^{-2}$ までのイオンドーズ量がより好ましい。この低ドーズ量注入は、40 keVから240 keVまでのエネルギーで行われる。

【0061】

ベースイオン注入と呼ぶことができるこの注入は、100℃から800℃までの温度で行われる。より好ましくは、ベースイオン注入は、 0.05 mA/cm^2 から 500 mA/cm^2 までのビーム電流密度を用いて、200℃から650℃までの温度で行うことができる。

【0062】

この低ドーズ量ベース注入ステップの後に、上述の条件を用いて第2イオン注入を行うことが好ましい。

【0063】

上記のタイプの注入条件は例示的なものであり、決して本発明の範囲を制限するものではないことが、再び強調される。代わりに、本発明は、一般に、従来のSIMOXプロセスにおいて用いられる従来のイオン注入の全てを企図し得る。本発明の好ましい実施形態においては、ベースイオン注入ステップ及び第2のイオン注入ステップを含む、低ドーズ量酸素イオン注入ステップが用いられる。図2(B)は、上部Si含有層12、埋込み絶縁層22及び第2のSi含有層14を含む、ハイブリッドSOI基板材料を示す。示されるように、下部Si含有層14の一部は、埋込み絶縁領域22の表面の上方に配置される。

【0064】

図3(A)及び図3(B)は、非連続的な(すなわち、パターン形成された)埋込み絶縁領域22が形成された、別の実施形態を示す。図3(A)に示されるようなマスク50を用いて、図に示される構造体が形成される。マスク50は、上部Si含有層12の表面上に存在するが、最終的なハイブリッドSOI基板に影響を及ぼすことなく、このマスクを表面から幾らかの距離だけ移動させることができる。この場合、埋込み絶縁領域22は、非連続的なものであり、上部Si含有層12と下部Si含有層14との間に位置する界面13を貫通して存在する。非連続的な埋込み絶縁領域22が示されているが、ブラケット・イオン注入ステップを用いることによって、界面において、連続的な埋込み絶縁領域22を形成することもできる。

【0065】

図4(A)及び図4(B)は、非連続的な埋込み絶縁領域22が下部Si含有層14内に形成された実施形態を示し、図5(A)及び図5(B)は、非連続的な埋込み絶縁領域22が、上部Si含有層12内に形成された実施形態を示す。

【0066】

図示されていないが、上記の技術を用いて、積層体内に多数の埋込み絶縁領域(連続的なもの、非連続的なもの、又はこれらの混合)を形成することができる。例えば、下部Si含有層14内に連続的な埋込み絶縁領域を形成し、次に、上部Si含有層12内に非連続的な埋込み絶縁領域を形成することができる。同様に、上記の技術を用いて、積層体10とは異なる場所に、異なる深さ及び異なる幅で、非連続的な埋込み絶縁領域を形成することができる。

【0067】

上述した実施形態のいずれにおいても、上部Si含有層の上に、Si又はSiGeのような歪み半導体層を形成することが可能である。歪み半導体層は、化学気相成長又はエビ

10

20

30

40

50

キタシのような従来の堆積プロセスを用いて形成される。歪み半導体層は、例えば、 Si^{28} のような純粋な同位体から成ることができる。

【0068】

本発明は、本発明の好ましい実施形態に関して具体的に示され、説明されたが、当業者には、本発明の精神及び範囲から逸脱することなく、形態又は詳細に関して前述の及び他の変更を行うことができることが理解されるであろう。したがって、本発明は、説明され、図示された厳密な形態及び詳細に限定されるのではなく、特許請求の範囲内にいることが意図されている。

【図面の簡単な説明】

【0069】

10

【図1】埋込み絶縁領域が連続的なものであり、かつ、上部 Si 含有層内に存在する、ハイブリッド SOI 基板を製造するための、本発明の一実施形態の種々の処理ステップを示す（断面図による）図である。

【図2】埋込み絶縁領域が連続的なものであり、かつ、下部 Si 含有層内に存在する、ハイブリッド SOI 基板を製造するための、本発明の一実施形態の種々の処理ステップを示す（断面図による）図である。

【図3】埋込み絶縁領域が非連続的なものであり、かつ、上部 Si 含有層と下部 Si 含有層との間の界面を貫通して存在する、ハイブリッド SOI 基板を製造するための、本発明の一実施形態の種々の処理ステップを示す（断面図による）図である。

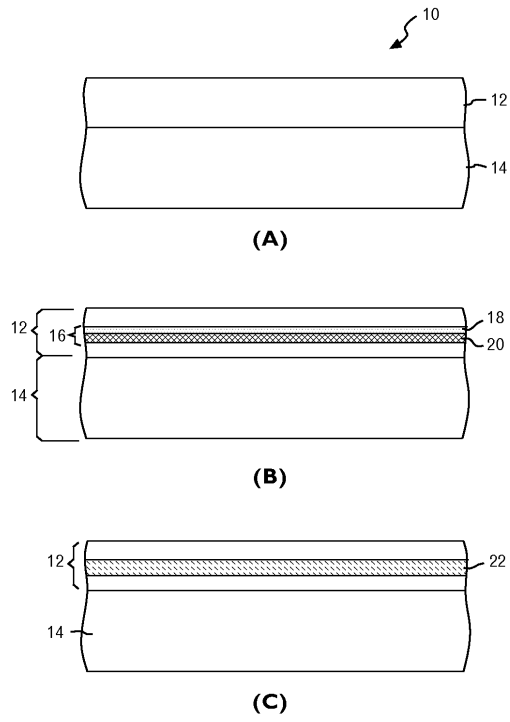
【図4】埋込み絶縁領域が非連続的なものであり、かつ、下部 Si 含有層内に存在する、ハイブリッド SOI 基板を製造するための、本発明の一実施形態の種々の処理ステップを示す（断面図による）図である。

20

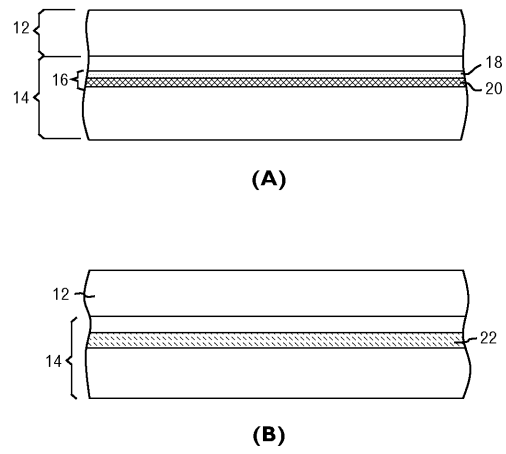
【図5】埋込み絶縁領域が非連続的なものであり、かつ、上部 Si 含有層内に存在する、ハイブリッド SOI 基板を製造するための、本発明の一実施形態の種々の処理ステップを示す（断面図による）図である。

【図6】本発明に用いることができる1つの可能な熱アニール・サイクルを示す概略図である。

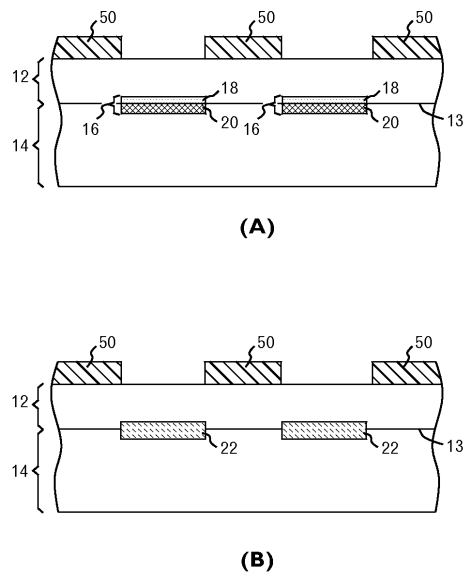
【図 1】



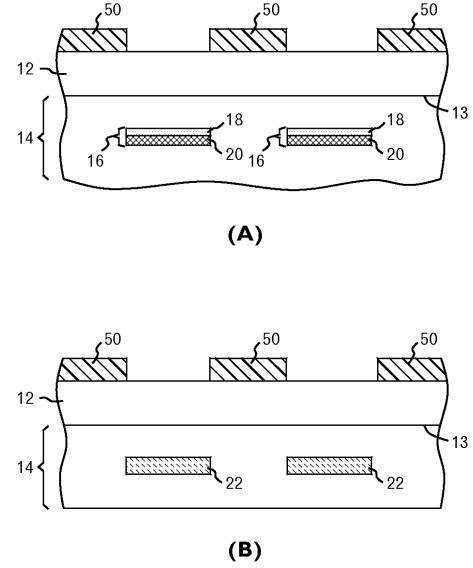
【図 2】



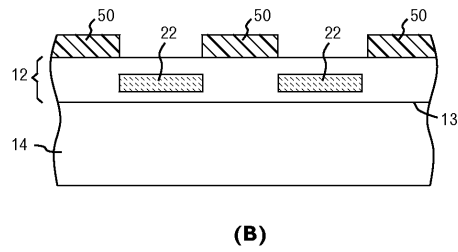
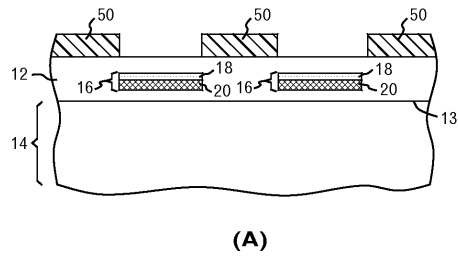
【図 3】



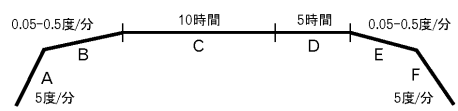
【図 4】



【図 5】



【図 6】



フロントページの続き

- (72)発明者 レオン、メイケイ
アメリカ合衆国 12590 ニューヨーク州 ワピンジャーズ・フォールズ サマーリン・コート 31
- (72)発明者 サダナ、デヴェンドラ
アメリカ合衆国 10570 ニューヨーク州 プレザントビル スカイ・トップ・ドライブ 90
- (72)発明者 シャヒーディ、ガーバム
アメリカ合衆国 10576 ニューヨーク州 パウンド・リッジ バーニガット・ロード 111

審査官 綿引 隆

- (56)参考文献 特開2004-119943 (JP, A)
特開平05-090117 (JP, A)
特開平06-302791 (JP, A)
特開2001-257351 (JP, A)
国際公開第03/041160 (WO, A1)
特開2003-309254 (JP, A)
特開2006-040911 (JP, A)
特開2002-299591 (JP, A)
特開平02-007467 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 21/02 |
| H01L | 21/20 |
| H01L | 21/336 |
| H01L | 21/76 |
| H01L | 21/762 |
| H01L | 27/12 |
| H01L | 29/786 |