

URZĄD
PATENTOWY
PRLPatent tymczasowy dodatkowy
do patentu nr ———Int. Cl.³ G06F 1/02
H03K 3/80

Zgłoszono: 25.03.81 (P. 230311)

Pierwszeństwo ———

Zgłoszenie ogłoszono: 15.02.82

Opis patentowy opublikowano: 05.02.1985

Twórca wynalazku: Bolesław Jarosiński

Uprawniony z patentu tymczasowego: Politechnika Gdańska,
Gdańsk (Polska)

Sposób i układ do cyfrowego wytwarzania przebiegów sinusoidalnych

Przedmiotem wynalazku jest sposób i układ do cyfrowego wytwarzania przebiegów sinusoidalnych jednofazowych. Wynalazek może mieć zastosowanie szczególnie w układach sterowania falowników z modulacją szerokości impulsów i cyklokonwerterów.

Stosowana dotychczas zasada cyfrowego formowania przebiegów sinusoidalnych polega na aproksymacji sinusoidy krzywą schodkową, przy czym dokładność aproksymacji uzależniona jest od liczby schodków odpowiadających przebiegowi sinusoidalnemu.

Znany sposób formowania przebiegów sinusoidalnych polega na tym, że informacja o wartości funkcji podana jest w postaci wielobitowej informacji binarnej. Stosując przetwornik cyfrowo-analogowy można zmienić informację binarną na napięcie o przebiegu schodkowym sinusoidalnym.

Znane rozwiązania układów do cyfrowego wytwarzania przebiegów sinusoidalnych jednofazowych są identycznie zbudowane jak w układach trójfazowych dla jednej fazy. Są one opisane w artykułach: Douglas J. Clarke, Paresh C. Sen „A versalite three phase escillator“ w „Transactions on Industrial Electronics and Control Instrumentation“ nr 1 z 1977 r. oraz w artykule Andrzej Smirnow, Maciej Dzieniakowski pt.: „Generator trójfazowy cyfrowy przebiegów sinusoidalnych z zastosowaniem pamięci ROM“ opublikowanym w „Przeglądzie elektrotechnicznym“ nr 2 z 1978 r. Podstawowym elementem tych układów jest pamięć stała ROM, w której funkcja sinus w przedziale od 0 do 2π została zapisana w formie tablicy złożonej z 256 słów 8-bitowych. Pamięć ta spełnia rolę generatora funkcji, w którym argumentom podanym w postaci numerycznej na wejście adresowe, odpowiadają przechowywane w pamięci i odczytywane na jej wyjściach wartości funkcji. Podstawowy ciąg liczb adresowych generowany jest w 8-bitowym liczniku impulsów, który taktowany jest prostokątnymi impulsami zegarowymi. Częstotliwość tych impulsów prostokątnych określa częstotliwość wyjściowego przebiegu sinusoidalnego.

Podstawową wadą tego rozwiązania jest konieczność posiadania pamięci ROM o znacznej pojemności, ponieważ w pamięci musi być zakodowana informacja dla wszystkich wartości argumentu z przedziału $0 \leq x \leq 2\pi$.

Wady tej nie posiada sposób cyfrowego wytwarzania przebiegów sinusoidalnych według wynalazku polegający na tym, że wartość funkcji dla przedziału $0 \leq x \leq \pi/3$ wprowadza się jednora-

zowo do bloku pamięciowego narastającego, a wartość funkcji dla przedziału $2/3\pi \leq x \leq \pi$ wprowadza się jednorazowo do bloku pamięciowego malejącego. Wartość funkcji dla przedziału $\pi/3 \leq x \leq 2/3\pi$ uzyskuje się drogą sumowania w cyfrowym sumatorze obydwu części przebiegu po otrzymaniu odpowiednich informacji z układu sterowania. Wartość funkcji w przedziale $\pi \leq x \leq 2\pi$ otrzymuje się przez zanegowanie tak otrzymanego przebiegu w zespole negującym.

Układ do cyfrowego wytwarzania przebiegów sinusoidalnych jednofazowych według wynalazku zawiera licznik binarny, bloki pamięciowe, bramki, cyfrowy sumator, zespół negujący, multiplexer i układ sterowania połączone w taki sposób, że wejście licznika binarnego jest połączone ze źródłem impulsów, natomiast wyjście jest połączone z wejściami bloku pamięciowego narastającego i bloku pamięciowego malejącego. Wyjście bloku pamięciowego narastającego jest poprzez bramkę pierwszą połączone z jednym wejściem cyfrowego sumatora, natomiast wyjście bloku pamięciowego malejącego jest poprzez bramkę drugą połączone z drugim wejściem cyfrowego sumatora. Wyjście cyfrowego sumatora jest połączone bezpośrednio z jednym wejściem multiplexera, a poprzez zespół negujący z drugim wejściem tego multiplexera, którego wyjście jest jednocześnie wyjściem układu. Wejście sterujące multiplexera jest połączone z wyjściem układu sterowania, którego dwa pozostałe wyjścia są połączone z wejściami sterującymi bramki pierwszej i drugiej, a wejście układu sterowania jest połączone z wyjściem sterującym licznika binarnego.

Zaletą wynalazku jest to, że do wytwarzania przebiegu sinusoidalnego, konieczna jest informacja tylko o wybranych dwóch fragmentach przebiegu. Pozostałe części przebiegu sinusoidalnego uzyskuje się drogą odpowiednich operacji na tych znanych częściach przebiegu. Dzięki temu możliwe jest wielokrotne zmniejszenie niezbędnej pojemności pamięci stałej ROM w cyfrowych generatorach przebiegów sinusoidalnych.

Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schematyczne powstawanie połówki sinusoidy, fig. 2 — schemat blokowy jednofazowego generatora przebiegów sinusoidalnych.

W układzie jednofazowego generatora przebiegów sinusoidalnych, według wynalazku, przedstawionym na fig. 2 wejście licznika binarnego 1 jest połączone ze źródłem impulsów, natomiast wyjście jest połączone z wejściami bloku pamięciowego narastającego 2 i bloku pamięciowego malejącego 3. Wyjście bloku pamięciowego narastającego 2, jest poprzez bramkę pierwszą 4, połączone z jednym wejściem cyfrowego sumatora 7, natomiast wyjście bloku pamięciowego malejącego 3 jest, poprzez bramkę drugą 5, połączone z drugim wejściem cyfrowego sumatora 7. Wyjście cyfrowego sumatora 7 jest połączone bezpośrednio z jednym wejściem multiplexera 9, a poprzez zespół negujący 8, z drugim wejściem multiplexera 9, którego wyjście jest jednocześnie wyjściem układu. Wejście sterujące multiplexera 9 jest połączone z wyjściem układu sterowania 6, dwa pozostałe wyjścia którego są połączone z wejściami sterującymi bramki pierwszej 4 i drugiej 5, a wejście układu sterowania 6 jest połączone z wyjściem sterującym licznika binarnego 1.

W celu uzyskania przebiegu sinusoidalnego sposobem według wynalazku wartość funkcji dla przedziału $0 \leq x \leq \pi/3$ wprowadza się jednorazowo do bloku pamięciowego narastającego 2, a wartość funkcji dla przedziału $2/3\pi \leq x \leq \pi$ wprowadza się jednorazowo do bloku pamięciowego malejącego 3. Wartość funkcji dla przedziału $\pi/3 \leq x \leq 2/3\pi$ uzyskuje się drogą sumowania w cyfrowym sumatorze 7 obydwu tych części przebiegów sinusoidalnych — narastającego i malejącego, po otrzymaniu odpowiednich informacji z układu sterowania 6. Wartość funkcji w przedziale $\pi \leq x \leq 2\pi$ otrzymuje się przez zanegowanie tak otrzymanego przebiegu w zespole negującym 8.

Działanie jednofazowego generatora przebiegów sinusoidalnych przedstawionego na fig. 2 jest następujące. Na wejście licznika binarnego 1 podawane są impulsy na przykład prostokątne, które z kolei są podawane na wejścia bloków pamięciowych narastającego 2 i malejącego 3. W bloku pamięciowym narastającym 2 jest formowana część narastająca przebiegu sinusoidalnego, zawarta w przedziale od 0 do $\pi/3$, natomiast w bloku pamięciowym malejącym 3 jest jednocześnie formowana malejąca część przebiegu sinusoidalnego, zawarta w przedziale od $2/3\pi$ do π . Tak, że na wyjściach tych bloków pamięciowych otrzymuje się informację o wartościach przebiegu sinusoidalnego w tych przedziałach. Poprzez bramki pierwszą 4 i drugą 5 informacja o wartościach przebiegu sinusoidalnego jest podawana na cyfrowy sumator 7. Sterowanie bramkami odbywa się z

układu sterowania 6. Sygnał sterowania bramkami zmienia się co $\pi/3$, gdyż w tym okresie wypełnia się licznik binarny 1. Po pierwszym wypełnieniu się licznika binarnego 1, w przedziale od 0 do $\pi/3$ zostanie wysłany sygnał do układu sterowania 6, który z kolei wysyła sygnał do bramki pierwszej 4. Następuje połączenie wejścia cyfrowego sumatora 7 z wyjściem bloku pamięciowego narastającego 2 i przekazanie do cyfrowego sumatora 7 narastającej części przebiegu sinusoidalnego. Po drugim wypełnieniu licznika binarnego 1 w przedziale od $\pi/3$ do $2/3\pi$, zostanie wysłany z układu sterowania 6 sygnał otwierający obie bramki pierwszą 4 oraz drugą 5 i przekazanie do cyfrowego sumatora 7 obydwu informacji o przebiegu sinusoidalnym, których suma daje właściwy przebieg sinusoidalny w przedziale od $\pi/3$ do $2/3\pi$. Po trzecim wypełnieniu się licznika binarnego 1 w przedziale od $2/3\pi$ do π zostanie wysłany sygnał do układu sterującego 6, który z kolei wysyła sygnał do bramki drugiej 5. Następuje połączenie wejścia cyfrowego sumatora 7 z wyjściem bloku pamięciowego malejącego 3 i przekazanie do cyfrowego sumatora 7 malejącej części przebiegu sinusoidalnego. W wyniku czego na wyjściu cyfrowego sumatora 7 uzyskuje się cyfrową postać wartości funkcji przebiegu sinusoidalnego dla całej dodatniej połówki w przedziale $0 \leq x \leq \pi$. W zależności od informacji pochodzącej z układu sterowania 6, uzyskanej przez odpowiednie zliczanie wypełnień licznika binarnego 1 multiplexer 9 wybiera albo informację pochodzącą z cyfrowego sumatora 7, przekazującego dodatnią połówkę sinusoidy, albo z zespołu negującego 8, przekazującego ujemną połówkę sinusoidy. Na wyjściu układu otrzymuje się kompletny przebieg sinusoidalny jednofazowy.

Zastrzeżenia patentowe

1. Sposób cyfrowego wytwarzania przebiegów sinusoidalnych, **znamienny tym**, że wartość funkcji dla przedziału $0 \leq x \leq \pi/3$ wprowadza się jednorazowo do bloku pamięciowego narastającego (2), a wartość funkcji dla przedziału $2/3\pi \leq x \leq \pi$ wprowadza się jednorazowo do bloku pamięciowego malejącego (3), z kolei wartość funkcji dla przedziału $\pi/3 \leq x \leq 2/3\pi$ uzyskuje się drogą sumowania w cyfrowym sumatorze (7) obydwu tych części przebiegów sinusoidalnych, po otrzymaniu odpowiednich informacji z układu sterowania (6), natomiast wartość funkcji w przedziale $\pi \leq x \leq 2\pi$ otrzymuje się przez zanegowanie tak otrzymanego przebiegu w zespole negującym (8).

2. Układ do cyfrowego wytwarzania przebiegów sinusoidalnych jednofazowych zawierający licznik binarny, bloki pamięciowe, bramki, cyfrowy sumator, zespół negujący, multiplexer i układ sterowania, **znamienny tym**, że wejście licznika binarnego (1) jest połączone ze źródłem impulsów, natomiast wyjście jest połączone z wejściem bloku pamięciowego narastającego (2) i bloku pamięciowego malejącego (3), wyjście bloku pamięciowego narastającego (2) jest, poprzez bramkę pierwszą (4), połączone z jednym wejściem cyfrowego sumatora (7), natomiast wyjście bloku pamięciowego malejącego (3) jest, poprzez bramkę drugą (5), połączone z drugim wejściem cyfrowego sumatora (7), z kolei wyjście cyfrowego sumatora (7) jest połączone bezpośrednio z jednym wejściem multipleksera (9), a poprzez zespół negujący (8) z drugim wejściem multipleksera (9), którego wyjście jest jednocześnie wyjściem układu, przy czym wyjście sterujące multipleksera (9) jest połączone z wyjściem układu sterowania (6), którego dwa pozostałe wyjścia są połączone z wejściami sterującymi bramki pierwszej (4) i drugiej (5), a wejście układu sterowania (6) jest połączone z wyjściem sterującym licznika binarnego (1).

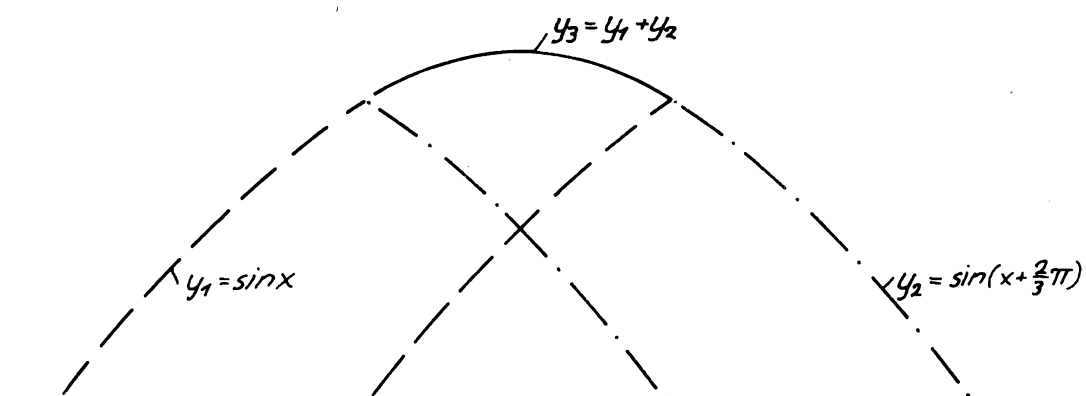


Fig. 1.

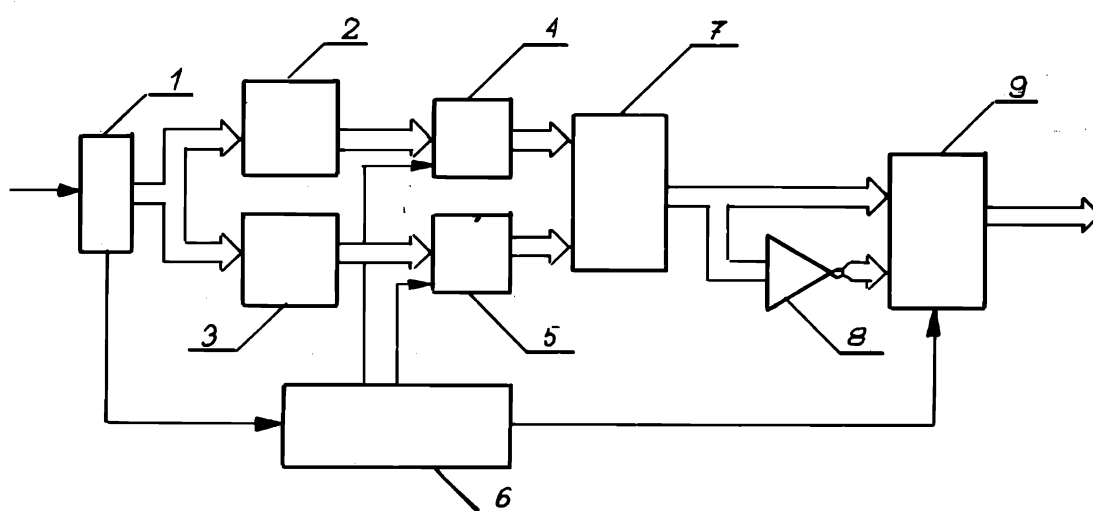


Fig 2