



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년09월15일

(11) 등록번호 10-2443836

(24) 등록일자 2022년09월13일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
- (52) CPC특허분류
H01L 27/14609 (2013.01)
H01L 27/1461 (2013.01)
- (21) 출원번호 10-2021-7008700(분할)
- (22) 출원일자(국제) 2010년09월17일
심사청구일자 2021년03월24일
- (85) 번역문제출일자 2021년03월24일
- (65) 공개번호 10-2021-0035920
- (43) 공개일자 2021년04월01일
- (62) 원출원 특허 10-2020-7008595
원출원일자(국제) 2010년09월17일
심사청구일자 2020년03월25일
- (86) 국제출원번호 PCT/US2010/049375
- (87) 국제공개번호 WO 2011/035188
국제공개일자 2011년03월24일
- (30) 우선권주장
61/243,434 2009년09월17일 미국(US)
(뒷면에 계속)
- (56) 선행기술조사문헌
US20070138590 A1*
US04663188 A*
KR1020090077274 A
US20070035849 A1
*는 심사관에 의하여 인용된 문헌
- (73) 특허권자
사이오닉스, 엘엘씨
미국, 매사추세츠 01915-6506, 베벌리, 스위트
243-에프, 커밍스 센터 100
- (72) 발명자
해대드, 호마윤
미국, 오레곤 97007, 비버튼, 샌달링 씨티. 16460
지양, 주타오
미국, 오레곤 97224, 티가드, 에스더블유 켄튼 드
라이브 15121
(뒷면에 계속)
- (74) 대리인
강명구, 박윤원

전체 청구항 수 : 총 28 항

심사관 : 심병로

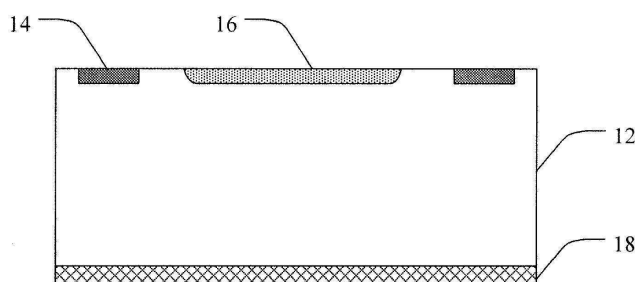
(54) 발명의 명칭 감광성 이미징 장치 및 이와 관련된 방법

(57) 요약

본 발명은 감광성 장치 및 이와 관련된 방법을 제공한다. 하나의 양태에서, 예를 들어, 감광성 이미징 장치는, 적어도 하나의 접합을 형성하는 복수의 도핑된 영역을 갖는 반도체 기판과, 상기 반도체 기판으로 연결되어 있으며 전자기 복사와 상호작용하도록 위치하는 텍스처링된 영역과, 반도체 기판으로 연결되며 상기 적어도 하나의

(뒷면에 계속)

대표도 - 도1



접합으로부터의 전기 신호를 전달하도록 기능하는 전기 전달 요소를 포함한다. 하나의 양태에서, 텍스처링된 영역은 적외선 전자기 복사의 검출로부터 전기 신호의 발생을 촉진시키도록 기능한다. 또 다른 양태에서, 전자기 복사와의 상호작용은, 텍스처링된 영역이 없는 반도체 기판에 비교할 때, 반도체 기판의 유효 흡수 길이를 증가시키는 것을 포함한다.

(52) CPC특허분류

H01L 27/14612 (2013.01)

H01L 27/14625 (2013.01)

H01L 27/14627 (2013.01)

H01L 27/14629 (2013.01)

H01L 27/14636 (2013.01)

H01L 27/1464 (2013.01)

(72) 발명자

맥키, 제프리

미국, 오레곤 97224, 투알라틴, 에스더블유 이노피엘. 22850

밀러, 드레이크

미국, 오레곤 97224, 티가드, 에스더블유 야콥 씨티., 13052

포베스, 레오나르드

미국, 오레곤 97330, 코발리스, 엔더블유 마운틴뷰 드라이브 7340

팔술, 친타마니

미국, 매사추세츠 01915-6506, 베벌리, 스위트 243-에프, 커밍스 센터 100

(30) 우선권주장

61/311,004 2010년03월05일 미국(US)

61/311,107 2010년03월05일 미국(US)

명세서

청구범위

청구항 1

삭제

청구항 2

후면 조명(backside illuminated) 감광성 픽셀 장치에 있어서,

평면 표면이며 하나 이상의 접합부를 형성하는 복수의 도핑 영역을 갖는 반도체 기판;

평면 표면에 대향하는 표면 상의 반도체 기판에 결합되고, 적외선 전자기 복사가 반도체 기판 내에서 다중 통과를 경험하여 양자 효율을 증가시키도록, 텍스처 영역에 입사하는 기판 내부로부터의 적외선 전자기 복사를 내부적으로 반사시키도록 위치된 텍스처링 영역(textured region) - 상기 적외선 전자기 복사가 텍스처링 영역의 방향으로부터 반도체 기판으로 들어가도록 구성됨-;

평면 표면에 형성된 집적 회로; 그리고

반도체 기판에 결합되고 적어도 하나의 접합부로부터 전기 신호를 전달하도록 작동 가능한 전기 전달 요소를 포함함을 특징으로 하는 후면 조명 감광성 픽셀 장치.

청구항 3

제2항에 있어서, 상기 전달 요소가 트랜지스터, 감지 노드(sensing node), 전달 게이트(transfer gate), 및 이들의 조합 중에서 선택되는 것을 특징으로 하는 후면 조명 감광성 픽셀 장치.

청구항 4

제2항에 있어서, 반도체 기판에 연결되어 있고, 상기 반도체 기판으로 전자기 복사를 향하게 하도록 위치하는 반사성 층을 더 포함하는 것을 특징으로 하는 후면 조명 감광성 픽셀 장치.

청구항 5

제2항에 있어서, 반도체 기판에 대한 텍스처링된 영역의 표면 형태는 경사, 피라미드, 역 피라미드, 구형, 포물선, 비대칭, 대칭, 및 이들의 조합으로 구성된 그룹으로부터 선택됨을 특징으로 하는 후면 조명 감광성 픽셀 장치.

청구항 6

제2항에 있어서, 복수의 도핑된 영역에 인접한 반도체 기판 표면 상에 위치한 추가의 텍스처링 영역을 더욱 포함함을 특징으로 하는 후면 조명 감광성 픽셀 장치.

청구항 7

제2항에 있어서, 상기 텍스처링 영역이 마이크론 크기, 나노 크기 및 이들의 조합으로 구성된 그룹 중에서 선택된 크기를 가짐을 특징으로 하는 후면 조명 감광성 픽셀 장치.

청구항 8

2개 이상의 제2항의 후면 조명 감광성 픽셀 장치를 포함함을 특징으로 하는 후면 조명 감광성 이미지 어레이.

청구항 9

제8항에 있어서, 2개 이상의 후면 조명 감광성 픽셀 장치들 사이에 위치한 하나 이상의 트렌치 고립부를 더욱 포함함을 특징으로 하는 후면 조명 감광성 이미지 어레이.

청구항 10

후면 조명 감광성 픽셀을 제작하기 위한 방법에 있어서, 상기 방법이:

반도체 기판 상에 텍스처링 영역을 형성하는 단계로서, 반도체 기판은 텍스처링된 영역 맞은 편 평면 표면 및 적어도 하나의 접합부를 형성하는 복수의 도핑된 영역을 가지며, 적외선 전자기 복사가 텍스처링 영역의 방향으로부터 상기 반도체 기판으로 진입하도록 구성되고, 그리고 상기 텍스처링 영역이 적외선 전자기 복사가 반도체 기판 내로 다중 패스를 경험하여 양자 효율을 증가시키도록, 상기 텍스처링 영역으로 입사되는 기판 내부로부터의 적외선 전자기 복사를 내부적으로 반사하는 위치에 형성되는, 상기 텍스처링 영역을 형성하는 단계; 그리고

전기 전달 요소가 적어도 하나의 접합부로부터 전기 신호를 전달하도록 작동 가능하도록 전기 전달 요소를 반도체 기판에 결합하는 단계를 포함함을 특징으로 하는, 후면 조명 감광성 픽셀을 제작하기 위한 방법.

청구항 11

후면 조명(backside illuminated) 감광성 픽셀에 있어서,

평면 표면이며 하나 이상의 접합부를 형성하는 복수의 도핑 영역을 갖는 반도체 기판;

평면 표면에 대향하는 표면 상의 반도체 기판에 결합되고, 적외선 전자기 복사가 반도체 기판 내에서 다중 통과를 경험하여 양자 효율을 증가시키도록, 텍스처 영역에 입사하는 기판 내부로부터의 적외선 전자기 복사를 내부적으로 반사시키도록 위치된 텍스처링 영역(textured region) - 상기 적외선 전자기 복사가 텍스처링 영역의 방향으로부터 반도체 기판으로 들어가도록 구성됨 -; 그리고

그리고 적어도 하나의 트랜지스터가 적어도 하나의 접합부에 전기적으로 결합된 평면 표면에 형성된 적어도 4개의 트랜지스터를 포함함을 특징으로 하는 후면 조명 감광성 픽셀.

청구항 12

입사 전자기 복사를 수신하기 위한 복사 수용 표면 및 적어도 하나의 접합부를 형성하는 복수의 도핑 영역을 갖는 반도체 기판;

반도체 기판의 복사 수신 표면과 연관된 복수의 나노 크기 표면 특징 - 상기 복수의 나노 크기 표면 특징은 그에 입사하는 전자기 복사의 적어도 일부를 선택적으로 필터링 하도록 구성됨 -; 복사 수신 표면 맞은편의 반도체 기판 내에 형성된 얇은 트렌치 고립부; 그리고

반도체 기판에 결합되고 복수의 나노 크기 표면 특징에 의해 필터링된 상기 전자기 복사의 적어도 일부 이외의 입사 전자기 복사의 일부의 상기 반도체 기판 내의 흡수에 응답하여 생성된 전기 신호를 전달하도록 작동 가능한 전기 전달 요소를 포함함을 특징으로 하는 감광성 이미지 픽셀.

청구항 13

제12항에 있어서, 복수의 상기 나노-크기 표면 특징에 의해 필터링된 상기 전자기 복사 부분이 상기 나노-크기 표면 특징의 크기에 따라 정해짐을 특징으로 하는 감광성 이미지 픽셀.

청구항 14

제12항에 있어서, 복수의 상기 나노-크기 표면 특징에 의해 필터링된 상기 전자기 복사 부분이 상기 나노-크기 표면 특징의 형상에 따라 정해짐을 특징으로 하는 감광성 이미지 픽셀.

청구항 15

제12항에 있어서, 복수의 상기 나노-크기 표면 특징에 의해 필터링된 상기 전자기 복사 부분이 상기 나노-크기 표면 특징의 재료에 따라 정해짐을 특징으로 하는 감광성 이미지 픽셀.

청구항 16

제12항에 있어서, 복수의 상기 나노-크기 표면 특징에 의해 필터링된 상기 전자기 복사 부분이 상기 나노-크기 표면 특징의 크기, 상기 나노-크기 표면 특징의 형상, 그리고 상기 나노-크기 표면 특징의 재료에 따라 정해짐을 특징으로 하는 감광성 이미지 픽셀.

청구항 17

제12항에 있어서, 복수의 상기 나노-크기 표면 특징이 나노 임프린팅, 재료 증착 및 에칭 중 하나 이상을 통하여 형성됨을 특징으로 하는 감광성 이미지 픽셀.

청구항 18

제12항에 있어서, 상기 반도체 기판과 연관된 금속 층을 더욱 포함하고, 상기 금속 층이 한 조리개를 한정함을 특징으로 하는 감광성 이미지 픽셀.

청구항 19

제18항에 있어서, 상기 조리개를 통하여 상기 반도체 기판 내로 입사 전자기 에너지를 집속(focus)하기 위한 렌즈를 더욱 포함함을 특징으로 하는 감광성 이미지 픽셀.

청구항 20

제12항에 있어서, 상기 반도체 기판이 실리콘을 포함함을 특징으로 하는 감광성 이미지 픽셀.

청구항 21

제12항에 있어서, 전기 전달 요소는 트랜지스터, 감지 노드(sensing node), 전달 게이트(transfer gate), 및 이들의 조합 중에서 선택되는 것을 특징으로 하는 감광성 이미지 픽셀.

청구항 22

적어도 두 개의 감광성 이미지 장치를 포함하는 감광성 이미지 어레이에 있어서, 상기 감광성 이미지 장치 각각이:

평면 표면이며 하나 이상의 접합부를 형성하는 복수의 도핑 영역을 갖는 반도체 기판 - 전자기 복사가 평면 표면 방향으로부터 이미지 장치로 입력되도록 구성되고, 반도체 기판이 1 내지 10 마이크로미터 범위 두께를 가짐;

평면 표면 맞은편 표면 상의 반도체 기판으로 결합되고, 상기 전자기 복사가 반도체 기판 내에서 다중 패스를 경험하고 전자기 복사를 흡수하도록, 입사하는 전자기 복사를 확산하고 방향을 바꾸는 것 중 적어도 하나를 하도록 위치되는 텍스처링 영역(textured region)

평면 표면에 형성된 집적 회로;

반도체 기판에 결합되고 적어도 하나의 접합부로부터 전기 신호를 전달하도록 작동 가능한 전기 전달 요소;

적어도 2개의 감광 이미지 장치의 반도체 기판에 결합된 지지 기판; 그리고

적어도 2개의 감광 이미지 장치들 사이에 위치한 적어도 하나의 트랜치 고립부를 포함함을 특징으로 하는 감광성 이미지 어레이.

청구항 23

제22항에 있어서, 전달 요소가 트랜지스터, 감지 노드(sensing node), 전달 게이트(transfer gate), 및 이들의 조합 중에서 선택되는 것을 특징으로 하는 감광성 이미지 어레이.

청구항 24

제22항에 있어서, 반도체 기판에 연결되어 있고, 상기 반도체 기판으로 전자기 복사를 향하게 하도록 위치하는 반사성 층을 더 포함하는 것을 특징으로 하는 감광성 이미지 어레이.

청구항 25

제22항에 있어서, 반도체 기판에 대한 텍스처링된 영역의 표면 형태는 경사, 피라미드, 역 피라미드, 구형, 포물선, 비대칭, 대칭, 및 이들의 조합으로 구성된 그룹으로부터 선택됨을 특징으로 하는 감광성 이미지 어레이.

청구항 26

제22항에 있어서, 복수의 도핑된 영역에 인접한 반도체 기판 표면 상에 위치한 추가의 텍스처링 영역을 더욱 포함함을 특징으로 하는 감광성 이미지 어레이.

청구항 27

제22항에 있어서, 상기 텍스처링 영역이 마이크론 크기, 나노 크기 및 이들의 조합으로 구성된 그룹 중에서 선택된 크기를 가짐을 특징으로 하는 감광성 이미지 어레이.

청구항 28

제22항에 있어서, 상기 반도체 기판과 연관된 금속 층을 더욱 포함하고, 상기 금속 층이 한 조리개를 한정함을 특징으로 하는 감광성 이미지 어레이.

청구항 29

제28항에 있어서, 상기 조리개를 통하여 상기 반도체 기판 내로 입사 전자기 에너지를 집속(focus)하기 위한 렌즈를 더욱 포함함을 특징으로 하는 감광성 이미지 어레이.

발명의 설명

기술 분야

[0001] 선행기술 정보

[0002] 이 출원은 2009년09월17일자로 출원된 미국 가특허출원 제61/243,434호, 2010년03월05일자로 출원된 미국 가특허출원 제61/311,004호, 및 2010년03월05일자로 출원된 미국 가특허출원 제61/311,107호를 기초로 우선권 주장하며, 상기 미국 가특허출원들은 본원에서 참조로서 인용된다.

배경 기술

[0003] 빛(광)과 반도체 물질의 상호작용은 상당한 혁신기술이었다. 실리콘 이미징 장치가 다양한 기술, 가령, 디지털 카메라, 광 마우스, 비디오 카메라, 휴대폰 등에서 사용된다. 디지털 이미징에서 전하 결합 장치(CCD: charge-coupled device)가 널리 사용되고 있고, 증가된 성능을 갖는 상보형 금속-옥사이드-반도체(CMOS) 이미저에 의해 차후 개선되었다. CMOS 센서는 실리콘으로부터 제조되며 가시 입사광을 광전류(photocurrent)로 변환하고, 결국 디지털 이미지로 변환할 수 있는 것이 통상적이다. 그러나 실리콘이 약 1.1eV의 밴드갭을 갖는 간접 밴드갭 반도체이기 때문에, 적외선 입사 전자기 복사를 검출하기 위한 실리콘 기반 기술은 문제점을 가진다. 따라서 실리콘에서 약 1100nm 이상의 파장을 갖는 전자기 복사의 흡수율이 매우 낮다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0004] 본 발명은 감광성 장치 및 이와 관련된 방법을 제공한다. 하나의 양태에서, 예를 들어, 감광성 이미지 장치는, 적어도 하나의 접합을 형성하는 복수의 도핑된 영역을 갖는 반도체 기판과, 상기 반도체 기판으로 연결되어 있으며 전자기 복사와 상호작용하도록 위치하는 텍스처링된 영역과, 반도체 기판으로 연결되며 상기 적어도 하나의 접합으로부터의 전기 신호를 전달하도록 기능하는 전기 전달 요소를 포함한다. 하나의 양태에서, 텍스처링된 영역은 적외선 전자기 복사의 검출로부터 전기 신호의 발생을 촉진시키도록 기능한다. 또 다른 양태에서, 전자기 복사와의 상호작용은, 텍스처링된 영역이 없는 반도체 기판에 비교할 때, 반도체 기판의 유효 흡수 길이를 증가시키는 것을 포함한다. 하나의 특정 양태에서, 전달 요소는 트랜지스터, 감지 노드, 전달 게이트, 및 이들의 조합으로부터 선택 된다.

[0005] 텍스처링된 영역은 도핑된 영역에 대해 다양한 곳에 위치할 수 있다. 하나의 양태에서, 예를 들어, 텍스처링된 영역은 복수의 도핑된 영역의 반대쪽 반도체 기판 표면에 위치한다. 하나의 구체적 양태에서, 텍스처링된 영역은, 전자기 복사를 반도체 기판 내로, 또는 반도체 기판에서 벗어나도록 지향시키기 위한 표면 형상을 가진다.

반도체 기관에 대한 텍스처링된 영역의 표면 형성은 다양한 구성을 포함할 수 있으며, 예를 들어, 경사진 형태, 피라미드 형태, 역-피라미드 형태, 구 형태, 포물선 형태, 비대칭 형태, 대칭 형태 등, 및 이들의 조합이 있다.

[0006] 또 다른 양태에서, 텍스처링된 영역은 복수의 도핑된 영역에 인접한 반도체 기관 표면에 위치할 수 있다. 더 구체적인 양태에서, 추가 텍스처링된 영역이 복수의 도핑된 영역의 반대쪽 반도체 기관 표면에 위치할 수 있다. 이러한 방식으로, 따라서 텍스처링된 영역은 복수의 도핑된 영역에 인접하여, 그리고 복수의 도핑된 영역의 반대쪽에 위치할 수 있다.

[0007] 텍스처링된 영역의 다양한 양태가 장치의 바람직한 구성에 따라 달라질 수 있다. 그러나 하나의 양태에서, 텍스처링된 영역은, 마이크로 크기, 나노 크기 및 이들의 조합 중에서 선택된 크기를 갖는 표면 특징부를 포함한다. 다양한 표면 특징부 형상이 고려되며, 제한받지 않는 예를 들자면, 원뿔, 기둥, 피라미드, 마이크로렌즈, 양자점, 뒤집힌 특징부, 및 이들의 조합이 있다. 덧붙이자면, 텍스처링된 영역은 다양한 공정에 의해 형성될 수 있다. 이러한 텍스처링 공정의 제한받지 않는 예를 들면, 레이저 처리, 화학적 에칭(가령, 이방성 에칭, 등방성 에칭), 나노각인, 물질 증착, 및 이들의 조합이 있다.

[0008] 본 발명의 양태에 따라 추가 층 및/또는 구조물이 다양한 장치에 포함될 수 있다. 하나의 양태에서, 예를 들어, 반사성 층은 반도체 기관에 연결되고 반도체 기관에 전자기 복사를 유지시키도록 위치할 수 있다. 또 다른 양태에서, 렌즈가 반도체 기관에 광결합될 수 있고, 입사 전자기 복사를 반도체 기관으로 집속(focus)하도록 위치할 수 있다.

[0009] 본 발명의 또 다른 양태에서, 감광성 이미저 장치를 제작하기 위한 방법이 제공된다. 이러한 방법은 반도체 기관 상에 텍스처링된 영역을 형성하는 단계(반도체 기관은 적어도 하나의 접합을 형성하는 복수의 도핑된 영역을 가지며, 텍스처링된 영역은 전자기 복사와 상호작용하기 위한 위치에서 형성됨)와, 전기 전달 요소가 상기 적어도 하나의 접합으로부터의 전기를 전달하도록 전기 전달 요소를 반도체 기관으로 연결하는 단계를 포함한다.

[0010] 하나의 양태에서, 감광성 이미저 장치는 특정 전자기 복사 파장이 걸러지도록 선택되도록 튜닝(tuning)될 수 있다. 하나의 특정 양태에서, 튜닝은 전자기 복사의 원하는 파장을 선택적으로 확산 또는 선택적으로 흡수하기 위한 치수를 갖도록 표면 특징부를 형성하는 단계를 포함한다. 또 다른 양태에서, 텍스처링된 영역의 배치, 텍스처링된 영역의 물질 유형 및/또는 두께, 텍스처링된 영역의 도펀트 유형, 텍스처링된 영역의 도핑 프로파일, 반도체 기관의 도펀트 프로파일, 반도체 기관의 물질 유형 및/또는 두께, 및 이들의 조합 중에서 선택된 인자에 따라 튜닝은 이뤄진다.

[0011] 본 발명의 또 다른 양태에서, 감광성 이미저 장치가 제공된다. 이러한 장치는 적어도 하나의 접합(junction)을 형성하는 복수의 도핑된 영역을 갖는 반도체 기관과, 상기 반도체 기관에 연결되어 있고, 전자기 복사와 상호작용하도록 위치하는 텍스처링된 영역과, 반도체 기관으로 연결된 적어도 4개의 트랜지스터를 포함하며, 상기 트랜지스터 중 적어도 하나는 상기 적어도 하나의 접합과 전기 결합되어 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 하나의 양태에 따르는 감광성 장치의 개략도이다.

도 2는 본 발명의 또 다른 양태에 따르는 감광성 장치의 개략도이다.

도 3은 본 발명의 또 다른 양태에 따르는 감광성 장치의 개략도이다.

도 4는 본 발명의 또 다른 양태에 따르는 감광성 장치의 개략도이다.

도 5는 본 발명의 또 다른 양태에 따르는 감광성 장치의 개략도이다.

도 6은 본 발명의 또 다른 양태에 따르는 감광성 장치의 개략도이다.

도 7은 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 8은 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 9는 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 10은 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 11은 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 12는 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 13은 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 14는 본 발명의 또 다른 양태에 따르는 감광성 이미지 장치의 개략도이다.

도 15는 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 16은 본 발명의 또 다른 양태에 따르는 감광성 픽셀 장치의 개략도이다.

도 17은 본 발명의 또 다른 양태에 따르는 감광성 이미지 장치를 제작하기 위한 방법을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명이 여기서 설명되기 전에, 본 발명은 본원에서 기재된 특정 구조물, 공정 단계, 또는 물질로 한정되지 않고, 해당업계 종사자라면 알 수 있는 동등물로 확장될 수 있음을 이해해야 한다. 본원에서 사용되는 용어는 구체적 실시예를 설명하기 위해 사용된 것에 불과하며, 한정을 위해 사용된 것이 아니다.
- [0015] **정의**
- [0016] 다음의 용어는 이하에서 제공되는 정의에 따라 사용될 것이다.
- [0017] 이 명세서에서 사용될 때, 명확하게 그렇지 않다고 언급하지 않는 한, 단수형태는 복수의 지시물까지 포함한다. 따라서 예를 들어 "도펀트"는 하나 이상의 이러한 도펀트들을 포함하는 것이고, "층"은 하나 이상의 이러한 층들을 포함하는 것이다.
- [0018] 본원에서 사용될 때, 용어 "저 산소 함유량"은 약 60ppma(ppm atomic) 이하의 간입 산소 함유량(interstitial oxygen content)을 갖는 임의의 물질을 일컫는다.
- [0019] 본원에서 사용될 때, 용어 "무질서 표면(disordered surface)"과 "텍스처링된 표면(textured surface)"는 서로 교환 가능하게 사용될 수 있으며, 레이저 펄스의 조사(irradiation)에 의해 형성되는 나노 크기 내지 마이크로 크기의 표면 변형을 갖는 토폴로지를 갖는 표면을 일컫는다. 이러한 표면의 특성은 사용된 물질과 기법에 따라 가변적일 수 있지만, 하나의 양태에서 이러한 표면은 수백 나노미터 두께일 수 있고, (가령, 약 10 내지 약 50 나노미터의) 나노결정들과 나노공극(nanopore)으로 구성될 수 있다. 또 다른 양태에서, 이러한 표면은 마이크로 크기(가령, 약 2 μ m 내지 약 60 μ m)의 구조물을 포함할 수 있다. 또 다른 양태에서, 표면은 약 5nm 내지 약 500 μ m의 나노 크기 및/또는 마이크로 크기의 구조물을 포함할 수 있다.
- [0020] 본원에서 사용될 때, 용어 "광량(fluence)"은 단위 면적을 통과하는 레이저 복사의 하나의 펄스로부터의 에너지량을 일컫는다. 다시 말하면, "광량"은 하나의 레이저 펄스의 에너지 밀도라고 설명될 수 있다.
- [0021] 본원에서 사용될 때 용어 "표면 개질하기(surface modifying)" 및 "표면 개질(surface modification)"은 레이저 복사를 이용한 반도체 물질의 표면의 변형을 일컫는다. 하나의 구체적 양태에서, 표면 개질은 주로 레이저 복사를 이용하거나, 레이저 복사에 의해 도펀트가 반도체 물질의 표면으로 혼입되는 것이 촉진되도록 도펀트와 함께 레이저 복사를 이용하는 공정을 포함할 수 있다. 따라서 하나의 양태에서, 표면 개질은 반도체 물질의 도핑을 포함한다.
- [0022] 본원에서 사용될 때, 용어 "표적 영역"은, 레이저 복사에 의해 도핑되거나 표면 개질될 반도체 물질의 영역을 일컫는다. 반도체 물질의 표적 영역은 표면 개질 공정이 진행함에 따라 달라질 수 있다. 예를 들어, 제 1 표적 영역이 도핑되거나 표면 개질된 후, 동일한 반도체 물질에서 제 2 표적 영역이 선택될 수 있다.
- [0023] 본원에서 사용될 때, 용어 "검출"은 전자기 복사의 감지, 흡수, 및/또는 수집을 지칭한다.
- [0024] 본원에서 사용될 때, 용어 "실질적으로(substantially)"는 동작, 특징, 속성, 상태, 구조, 항목, 또는 결과의 완전하거나 거의 완전한 범위나 정도를 지칭한다. 예를 들어, "실질적으로" 포함된 물체는, 상기 물체가 완전히 포함되거나, 거의 완전히 포함됨을 의미할 것이다. 일부 경우, 절대 완성 상태에서 벗어나는 정확한 허용 가능한 정도는 특정 맥락에 따라 달라질 수 있다. 그러나 일반적으로 말하자면, 근접한 완성 상태가 절대적이지 완전한 완성 상태가 얻어지는 것처럼 동일한 전체 결과를 가질 것이다. "실질적으로"의 사용은, 동작, 특성, 속성, 상태, 구조, 항목 또는 결과의 완전한 또는 거의 완전한 부재를 일컫기 위한 부정적인 의미에서 사용될 때에도 동일하게 적용 가능하다. 예를 들어, 입자가 "실질적으로" 없는 것은 입자의 완전한 부재, 또는 입자가 완전히 부재한 것과 동일한 영향을 미치는 입자의 거의 완전한 부재를 말할 것이다. 다시 말하면, 한 재료나 원소

가 "실질적으로" 없는 조성물은, 이러한 항목의 어떠한 효과도 측정 가능하지 않는 한 이러한 항목을 실제로 포함할 수도 있다.

[0025] 본원에서 사용될 때, 용어 "약"이 사용되어, 특정 값이 수치 범위의 중단점의 "약간 위" 또는 "약간 아래"일 수 있다고 가정함으로써, 수치 범위의 중단점에 유연성을 주도록 사용된다.

[0026] 본원에서 사용될 때, 복수의 항목, 구조적 요소, 조성물 요소, 및/또는 물질이 편의를 위해 공통 리스트에 제공될 수 있다.

[0027] 그러나 이들 리스트는, 리스트의 각각의 구성요소가 개별적으로 개개의 고유 구성요소로 식별된 것으로 파악된다. 따라서 그렇지 않다고 지적되지 않는 한, 공통 그룹으로 제시되는 것을 기초로 이러한 리스트의 어떠한 개별 구성요소도 동일한 리스트의 그 밖의 다른 구성요소의 사실상 동등물로 파악되어야 한다.

[0028] 본원에서 농도, 양, 및 그 밖의 다른 수치 데이터가 범위 형식으로 표현 또는 제공될 수 있다. 이러한 범위 형식은 편의성과 간결성을 위해서 사용될 뿐이며, 따라서 범위의 한계 값으로 명시적으로 기재된 수치 값뿐 아니라, 범위 내에 속하는 모든 개별 수치 값들, 또는 부분 범위도 명시적으로 기재된 것처럼 포함한다고 유연하게 해석되어야 한다. 예를 들면, "약 1 내지 약 5"의 수치 범위가 약 1 및 약 5의 명시적으로 기재된 값만 포함하는 것이 아니라, 적시된 범위 내 개별 값들과 부분 범위까지 포함한다. 따라서, 이 수치 범위에, 개별 값, 가령, 2, 3 및 4와, 부분 범위, 가령, 1-3, 2-4 및 3-5 등 및 개별 1, 2, 3, 4, 및 5까지 포함된다.

[0029] 이러한 동일한 원리가 단 하나의 수치 값을 최솟값 또는 최댓값으로 언급하는 범위에도 적용된다. 덧붙여, 이러한 해석은 기재되는 범위나 특징의 폭과 무관하게 적용되어야 한다.

[0031] 본원발명

[0032] 전자기 복사는 넓은 파장 범위, 가령, 가시 범위 파장(대략 350nm 내지 800nm) 및 비-가시 파장(약 800nm 이상, 또는 350nm 이하)에 걸쳐 제공될 수 있다. 종종 적외선 스펙트럼은 약 800 내지 1300nm의 파장을 포함하는 스펙트럼의 근적외선 부분, 약 1300nm 내지 3마이크로미터의 파장을 포함하는 스펙트럼의 단파 적외선 부분, 약 3마이크로미터 내지 약 30마이크로미터의 파장을 포함하는 스펙트럼의 중파 내지 장파 적외선(또는 열적외선) 부분을 포함하는 것으로 기재된다. 본원에서, 다르게 명시되지 않는 한, 이들을 총칭하여 전자기 스펙트럼의 "적외선" 부분이라고 지칭한다.

[0033] 종래의 실리콘 광검출 이미저는 제한된 광 흡수/검출 속성을 가진다. 예를 들어, 적외선 광은 이러한 실리콘계 검출기를 대부분 투과한다. 그 밖의 다른 물질(가령, InGaAs)이 사용되어 약 1000nm 이상의 파장을 갖는 적외선 전자기 복사를 검출할 수 있지만, 실리콘이 비교적 제조하기 저렴하고, 가시 스펙트럼(즉, 가시광 350nm-800nm)의 파장을 검출하도록 사용될 수 있기 때문에, 실리콘이 여전히 흔히 사용된다. 종래의 실리콘 물질은 약 700nm 이상의 파장을 갖는 광자(photon)를 검출하기에 충분한 흡수 깊이(absorption depth)를 요한다. 가시광은 실리콘에서 비교적 얇은 깊이에서 흡수될 수 있지만, 표준 웨이퍼 깊이(가령, 약 750 μ m)의 실리콘에서 더 긴 파장(가령, 900nm)의 흡수율은, 적어도, 형편없다. 본원의 장치가, 종래의 물질에 비교할 때 더 긴 파장까지 유효 흡수 깊이를 감소시킴으로써, 반도체 물질의 흡수율을 증가시킨다. 예를 들어, 이들 더 긴 파장이 약 850 μ m 이하의 깊이에서 흡수될 수 있도록, 실리콘의 흡수 깊이가 감소될 수 있다. 다시 말하면, 유효 흡수 깊이를 감소시킴으로써, 이들 장치는 얇은 반도체 물질에서 더 긴 파장(가령, 실리콘의 경우, >1000nm)을 흡수할 수 있다. 유효 흡수 깊이를 증가시키는 것에 더하여, 또한, 더 얇은 반도체 물질을 이용하여 반응을 또는 반응 속도가 증가될 수 있다.

[0034] 본 발명은 가시선 및 적외선 전자기 복사를 검출할 수 있는 광대역 감광성 다이오드, 픽셀, 이미저를 더 제공하며 이러한 장치를 제작하는 연계된 방법을 포함한다. 감광성 다이오드가 적어도 하나의 접합(junction)을 형성하는 복수의 도핑된 영역과, 반도체 기판에 연결되어 있고 전자기 복사와 상호작용하도록 위치하는 하나 이상의 텍스처링된 영역(textured region)을 갖는 반도체 기판을 포함할 수 있다. 하나의 양태에서, 복수의 도핑된 영역은 적어도 하나의 캐소드 영역과 적어도 하나의 애노드 영역을 포함할 수 있다. 일부 양태에서, 이하에서 설명되겠지만, 도핑된 영역은 n-형 도펀트 및/또는 p-형 도펀트를 포함할 수 있으며, 이로써, p-n 접합을 생성할 수 있다. 또 다른 양태에서, 감광성 장치는 i-형 영역을 포함하여 p-i-n 접합을 형성할 수 있다.

[0035] 감광성 픽셀은 적어도 하나의 접합을 형성하는 복수의 도핑된 영역과, 반도체 기판으로 연결되며 전자기 복사와 상호작용하도록 위치하는 적어도 하나의 텍스처링된 영역과, 반도체 기판으로 연결되고 적어도 하나의 접합으로부터 전기 신호를 전달하도록 기능하는 전기 전달 요소(electrical transfer element)를 갖는 반도체 기판을 포함할 수 있다. 감광성 이미저는 복수의 감광성 픽셀을 포함할 수 있다. 덧붙여, 전기 전달 요소는 다양한 장치,

가령, 트랜지스터, 감지 노드, 전달 게이트(transfer gate), 전달 전극 등(그러나 이에 제한되지 않음)을 포함할 수 있다.

[0036] 감광성 또는 광검출 이미저가, 특정 파장 범위 내 전자기 복사를 흡수할 수 있는 광다이오드 또는 픽셀을 포함한다. 이러한 이미저는 수동 픽셀 센서(PPS: passive pixel sensor), 능동 픽셀 센서(APS: active pixel sensor), 디지털 픽셀 센서 이미저(DPS) 등일 수 있으며, 이때, 한 가지 차이점은 이미지 센서 판독 구조이다. 예를 들어, 반도체 감광성 이미저는 3 또는 4 트랜지스터 능동 픽셀 센서(3T APS 또는 4T APS)일 수 있다. 또한 다양한 추가 구성요소가 고려되고, 구체적 구성과 의도하는 결과에 따라 달라질 것이다. 예를 들어, 4T 구성은, 전달 게이트, 리셋, 소스 폴로워(source follower), 및 행 선택 크랜지스터(row select transistor) 등을 더 포함할 수 있다. 덧붙이자면, 5개 이상의 트랜지스터를 갖는 장치도 역시 본 발명의 범위 내에 있다.

[0037] 감광성 이미저는 전면 조명(FSI: front side illumination) 또는 후면 조명(BSI: back side illumination) 장치일 수 있으며, 두 구조 유형 모두 장단점을 가진다. 통상의 FSI 이미저에서, 입사광이 먼저 트랜지스터와 금속 회로를 통과함으로써, 반도체 장치로 들어온다. 그러나 광은 이미저의 광 감지 부분으로 들어가기 전에 트랜지스터와 회로에서 산란될 수 있으며, 이는 광학 손실 및 노이즈를 초래한다. 입사광이 장치의 광 감지 활성 영역으로 지향(direct) 및 집속(focus)되고, 따라서 회로를 부분적으로 피하기 위해, FSI 픽셀의 상부면에 렌즈가 놓일 수 있다. 하나의 양태에서, 렌즈는 유렌즈(ulens)일 수 있다. 한편, BSI 이미저는 장치의 반대 측까지 뻗어 있는 집합의 공핍 영역을 갖도록 구성된다. 하나의 양태에서, 예를 들어, 입사광은 광 감지 부분을 통해 들어가고 회로에 도달하기 전에 대부분 흡수된다. BSI 설계에 의해, 더 작은 픽셀 구조와 이미저의 높은 필 팩터(fill factor)가 가능하다. 언급한 바와 같이, 본 발명은 어느 구성의 경우에도 적합할 수 있다. 또한, 본 발명의 양태들에 따르는 장치는 상보적 금속-옥사이드-반도체(CMOS) 이미저 구조 또는 전하 결합 장치(CCD) 이미저 구조에 포함될 수 있다.

[0038] 하나의 양태에서, 도 1에 도시된 바와 같이, 감광성 다이오드(10)가, 적어도 하나의 집합을 형성하는 복수의 도핑된 영역(14, 16)과, 반도체 기판으로 연결되며 전자기 복사와 상호작용하도록 위치하는 적어도 하나의 텍스처링된 영역(18)을 갖는 반도체 기판(12)을 포함할 수 있다. 서로 다른 도핑된 영역은, 장치에 따라, 동일한 도핑 프로파일이나, 서로 다른 도핑 프로파일을 가질 수 있다. 이러한 구조는 광이 복수의 도핑된 영역 쪽에서 반도체 기판으로 들어가는 FSI 설계이다. 도 1에 도시된 장치가 3개의 도핑된 영역을 포함하지만, 하나 이상의 도핑된 영역을 갖는 양태가 본 발명의 범위 내에 있다고 간주될 수 있다. 덧붙여, 일부 양태에서, 반도체 기판이 도핑될 수 있고, 따라서, 하나의 도핑된 영역이라고 간주될 수 있다. 감광성 다이오드가 BSI 구조를 갖도록 구성될 수 있으며, 전자기 복사가 텍스처링된 영역 쪽에서 반도체 기판으로 들어갈 것이다.

[0039] 본 발명의 양태에 따르는 다양한 장치가 전통적인 감광성 장치에 비해 증가된 양자 효율(quantum efficiency)을 보일 수 있다. 양자 효율의 증가가, 신호 대 노이즈 비의 상당한 차이를 만든다. 더 복잡한 구성은 증가된 양자 효율뿐 아니라, 픽셀들 간 바람직한 균일성까지 제공할 수 있다. 덧붙여, 본 발명의 장치는 종래의 감광성 장치에 비교할 때 증가된 반응도를 보인다. 예를 들어, 하나의 양태에서, 반응도가, $100\mu\text{m}$ 이하 두께의 반도체 기판의 경우 1000nm 이상의 파장에 대해 0.8A/W 이상일 수 있다.

[0040] 향상된 선형성(linearity) 및 균일성을 제공하기 위해 감광성 이미저는 일정한 상태(고정된 전압 또는 전류)로 유지될 수 있다. 내화 금속(가령, 텅스텐, 또는 탄탈럼)으로 제조된 비아를 통해, 이미지와 그 아래 위치하는 장치 층 간 연결이 이뤄질 수 있다. 이미지 아래에 저장 요소(storage element)를 위치시킴으로써, 다양한 광학적 이점이 제공될 수 있다. 예를 들어, 전체 픽셀 어레이가 신호 프로세싱에 전념할 수 있다. 이로 인해, 저 레벨 픽셀 신호로의 액세스가 가능해짐으로써, 더 높은 성능이 가능할 수 있다. 덧붙여, 픽셀 프로세서에 의해 대량 병렬 연산이 수행될 수 있다. 예를 들어, 아날로그에서 디지털로의 변환, 노이즈 감소(즉, 진정한 상관 이중 샘플링(correlated double sampling)), 전력 조절(power conditioning), 최근접 이웃 픽셀 프로세싱(nearest neighbor pixel processing), 압축, 융합, 및 컬러 다중화(color multiplexing) 연산이 수행될 수 있다.

[0041] 본 발명에 따르는 장치 및 방법과 함께 사용되기 위한 다양한 반도체 물질이 고려된다. 이러한 반도체 물질의 제한하지 않는 예를 들자면, IV족 물질, II족 및 VI족 물질을 포함하는 화합물 및 합금, III족 및 V족 물질을 포함하는 화합물 및 합금, 및 이들의 조합을 포함할 수 있다. 더 구체적으로, 예시적 IV족 물질로는 실리콘, 탄소(가령, 다이아몬드), 게르마늄, 및 이들의 조합을 포함할 수 있다. IV족 물질의 다양한 예시적 조합은 실리콘 카바이드(SiC) 및 실리콘 게르마늄(SiGe)을 포함할 수 있다. 하나의 구체적 양태에서, 반도체 물질은 실리콘이거나, 실리콘을 포함할 수 있다. 예시적 실리콘 물질은 비정질 실리콘(a-Si), 미소결정질 실리콘

(microcrystalline silicon), 다결정질 실리콘, 단결정질 실리콘, 및 그 밖의 다른 결정 유형을 포함할 수 있다. 또 다른 양태에서, 반도체 물질은 실리콘, 탄소, 게르마늄, 알루미늄 니트라이드, 갈륨 니트라이드, 인듐 갈륨 아르세나이드, 알루미늄 아르세나이드, 및 이들의 조합 중 적어도 한 가지를 포함할 수 있다.

[0042] II-VI족 물질의 예시적 조합은 카드뮴 셀레나이드(CdSe), 카드뮴 셀파이드(CdS), 카드뮴 텔루라이드(CdTe), 아연 옥사이드(ZnO), 아연 셀레나이드(ZnSe), 아연 셀파이드(ZnS), 아연 텔루라이드(ZnTe), 카드뮴 아연 텔루라이드(CdZnTe, CZT), 수은 카드뮴 텔루라이드(HgCdTe), 수은 아연 텔루라이드(HgZnTe), 수은 아연 셀레나이드(HgZnSe) 및 이들의 조합을 포함할 수 있다.

[0043] III-V족 물질의 예시적 조합은, 알루미늄 안티모나이드(AlSb), 알루미늄 아르세나이드(AlAs), 알루미늄 니트라이드(AlN), 알루미늄 포스파이드(AlP), 붕소 니트라이드(BN), 붕소 포스파이드(BP), 붕소 아르세나이드(BAs), 갈륨 안티모나이드(GaSb), 갈륨 아르세나이드(GaAs), 갈륨 니트라이드(GaN), 갈륨 포스파이드(GaP), 인듐 안티모나이드(InSb), 인듐 아르세나이드(InAs), 인듐 니트라이드(InN), 인듐 포스파이드(InP), 알루미늄 갈륨 아르세나이드(AlGaAs , $\text{Al}_x\text{Ga}_{1-x}\text{As}$), 인듐 갈륨 아르세나이드(InGaAs , $\text{In}_x\text{Ga}_{1-x}\text{As}$), 인듐 갈륨 포스파이드(InGaP), 알루미늄 인듐 아르세나이드(AlInAs), 알루미늄 인듐 안티모나이드(AlInSb), 갈륨 아르세나이드 니트라이드(GaAsN), 갈륨 아르세나이드 포스파이드(GaAsP), 알루미늄 갈륨 니트라이드(AlGaIn), 알루미늄 갈륨 포스파이드(AlGaP), 인듐 갈륨 니트라이드(InGaIn), 인듐 아르세나이드 안티모나이드(InAsSb), 인듐 갈륨 안티모나이드(InGaSb), 알루미늄 갈륨 인듐 포스파이드(AlGaInP), 알루미늄 갈륨 아르세나이드 포스파이드(AlGaAsP), 인듐 갈륨 아르세나이드 포스파이드(InGaAsP), 알루미늄 인듐 아르세나이드 포스파이드(AlInAsP), 알루미늄 갈륨 아르세나이드 니트라이드(AlGaAsN), 인듐 갈륨 아르세나이드 니트라이드(InGaAsN), 인듐 알루미늄 아르세나이드 니트라이드(InAlAsN), 갈륨 아르세나이드 안티모나이드 니트라이드(GaAsSbN), 갈륨 인듐 니트라이드 아르세나이드 안티모나이드(GaInAsSb), 갈륨 인듐 아르세나이드 안티모나이드 포스파이드(GaInAsSbP) 및 이들의 조합을 포함할 수 있다.

[0044] 반도체 물질은, 전자기 복사 검출 및 변환 기능을 가능하게 하는 임의의 두께를 가질 수 있으며, 따라서, 임의의 이러한 두께의 반도체 물질이 본 발명의 범위 내에 있는 것으로 여겨질 수 있다. 일부 양태에서, 반도체의 레이저 처리된 영역이 장치의 효율을 증가시켜, 반도체 물질이 이전에 가능했던 것보다 더 얇아질 수 있다. 반도체 두께의 감소가 이러한 장치를 만들기 위해 필요한 반도체 물질의 양을 감소시킨다. 하나의 양태에서, 예를 들면, 반도체 물질은 약 500nm 내지 약 50 μm 의 두께를 가진다. 또 다른 양태에서, 반도체 물질은 약 500 μm 이하의 두께를 가진다. 또 다른 양태에서, 반도체 물질은 약 1 μm 내지 10 μm 의 두께를 가진다. 또 다른 양태에서, 반도체 물질은 5 μm 내지 약 750 μm 의 두께를 가질 수 있다. 또 다른 양태에서, 반도체 물질은 약 5 μm 내지 약 100 μm 의 두께를 가질 수 있다.

[0045] 덧붙이자면, 다양한 유형의 반도체 물질이 고려되고, 전자기 복사 검출 장치에 포함될 수 있는 임의의 이러한 물질이 본 발명의 범위 내에 있는 것으로 여겨진다. 하나의 양태에서, 예를 들어, 반도체 물질은 단결정질이다. 또 다른 양태에서, 반도체 물질은 다결정질이다. 또 다른 양태에서, 반도체 물질은 미소결정질(microcrystalline)이다. 반도체 물질이 비정질일 수 있는 것도 고려된다. 구체적인, 그러나 제한하지 않은 예로는, 비정질 실리콘, 또는 비정질 셀레늄이 있다.

[0046] 다양한 제조 공정을 이용해 본 발명의 반도체 물질이 만들어질 수 있다. 일부 경우, 제조 절차가 장치의 효율에 영향을 미칠 수 있으며, 원하는 결과를 얻기 위해 고려될 수 있다. 예시적 제조 공정은 초크랄스키(Cz) 공정, 자기 초크랄스키(mCz) 공정, 플로트 존(Float Zone)(FZ) 공정, 에피택시 성장 또는 증착 공정 등을 포함할 수 있다. 장치에서 저 산소 함유량이 희망되는지의 여부가 반도체 물질의 제조 공정의 선택에 영향을 미칠 수 있다. 다양한 공정이 다양한 양의 산소를 함유하는 반도체 물질을 생산하고, 따라서 다른 적용예와 비교할 때 산소 레벨과 관련해 더 엄격한 허용오차를 갖는 일부 적용예는 특정 제조 절차가 더 이로울 수 있다. 예를 들어, CZ 결정 성장 동안 격납 용기(보통 석영 도가니)로부터의 산소가 끌려 들어가 듯이 결정으로 혼입될 수 있다. 덧붙여, 산소 오염의 또 다른 공급원은 CZ 공정에서 가능하다. 그러나 산소 비함유 도가니 물질의 사용을 통해, 그리고 도가니를 이용하지 않는 그 밖의 다른 결정 성장법의 개발을 통해, 이러한 오염은 감소될 수 있다. 한 가지 이러한 공정은 FZ 공정이다.

[0047] CZ법을 이용해 성장한 물질은, 결정 성장 공정의 개선(가령, 자기장의 존재 하에서 결정을 성장시키는 것(즉, mCz 공정))을 통해, 낮아진 산소 농도를 갖도록 만들어질 수 있다. 또한 완성 장치에 산소나 그 밖의 다른 불순물이 미치는 영향을 감소시키기 위해 게터링(gettering) 기법이 채용될 수 있다. 이들 게터링 기법은 불순물을 유리시키거나, 행생성시키기 위한 열 사이클, 또는 불순물에 대한 게터링 사이트로서 기능하기 위한 화학종의

선택적 이온 주입을 포함할 수 있다. 예를 들어, 디누디드 존(denuded zone)을 형성하기 위해 노 사이클(furnace cycle)을 수행함으로써, 반도체에 집중된 산소가 제거될 수 있다. 비활성 기체를 이용한 가열 동안, 반도체 표면 근방의 산소가 물질 밖으로 확산된다. 노 사이클 동안, 그러나 디누딩 단계 후에, 핵생성 및 성장 단계가 수행될 수 있다. 핵생성 단계 동안 침전물(precipitate)을 위한 핵생성 사이트가 형성되고, 성장 단계 동안, 상기 핵생성 사이트로부터 침전물이 성장한다. 침전물은 디누디드 존(denuded zone) 아래에서 반도체 물질의 벌크 내 간입 산소(interstitial oxygen)로부터 형성된다. 이러한 침전물이 게터링 사이크로서 동작할 수 있기 때문에 반도체 물질의 벌크 내 산소의 침전이 바람직할 수 있다. 이러한 침전물 형성은 간입 산소를 침전물에 "가두고", 이러한 산소가 반도체 물질의 벌크로부터 디누디드 존으로 이주할 가능성을 낮추기 위해 수행될 수 있다.

[0048] 저 산소 함유량의 장치가 바람직한 이러한 양태에서, 반도체 물질의 추가 공정이 수행되어, 산소의 도입을 최소화할 수 있다. 반도체가 받은 열 처리에 따라, 산소는 반도체(가령, 실리콘) 내에 서로 다른 상태로 존재하거나 서로 다른 사이트에 존재할 수 있다. 반도체가 예를 들어 약 1000℃ 이상의 온도 하에 있는 경우, 산소가 결정 격자에서 결함 사이트(defect site)로서 기능하는 군체 또는 클러스터를 형성할 수 있다. 이들 사이트는 트랩 상태(trap state)를 야기하고, 반도체 물질과 장치 내 캐리어 수명은 감소될 수 있다. 더 낮은 온도(가령, 약 400℃ 내지 700℃)에서, 산소는 전기적으로 활성인 열적 도너(thermal donor)로 행동할 수 있다. 따라서 산소는 캐리어 수명과 캐리어 이동도(mobility)에 부정적인 영향을 미칠 수 있다. 광전도성 이득(photoconductive gain)을 갖도록 제조된 장치에서, 캐리어 수명의 감소를 초래하는 산소의 존재가 광전도성 이득의 수준을 낮출 수 있다.

[0049] 따라서 낮은 산소 함유량이 얻어지거나 유지되도록 반도체 장치를 생산하는 것이 이로우 수 있다. 이는 다양한 방식으로 이뤄질 수 있으며, 예를 들어, 시작할 때 저 산소 레벨 함유 반도체 물질을 이용하는 것, 반도체 격자에 산소가 흡수되는 것을 최소화하는 방식으로 이들 물질을 처리하는 것, 그리고 반도체에 존재할 수 있는 산소를 제거하거나 감소하는 기법을 이용하는 것이 있다. 이러한 공정 및 기법은, 예를 들어, 반도체 물질 및 임의의 레이저 처리된 영역을, 이전 어닐링 절차에 비교할 때 더 낮은 온도까지로 어닐링하는 것을 포함할 수 있다. 어닐링 공정은 이하에서 더 상세히 설명된다.

[0050] 덧붙여, 반도체 물질의 텍스처링 공정(texture processing) 및/또는 어닐링 공정은, 산소가 반도체 내로 도입되는 것을 최소화하기 위해, 실질적으로 산소-공핍된 환경(oxygen-depleted environment)에서 수행될 수 있다. 산소-공핍된, 또는 실질적으로 산소-공핍된 환경은 다양한 환경을 포함할 수 있다. 예를 들어, 하나의 양태에서, 산소-공핍된 환경은, 공기 또는 그 밖의 다른 공급원으로부터의 산소가, 산소를 거의 또는 전혀 함유하지 않는 기체 또는 그 밖의 다른 유체로 대체된 환경일 수 있다. 또 다른 양태에서, 공정은 진공 환경에서 발생할 수 있고, 따라서 산소를 거의 또는 전혀 함유하지 않을 수 있다. 덧붙이자면, 산소-함유 물질, 또는 산소를 반도체 내로 도입시키는 물질, 가령, 석영 도가니가 생략될 수 있다. 실시 사안으로서, 용어 "산소-공핍된 환경"은, 상기 환경에서 바람직한 허용 오차 내에서 반도체 물질이 처리될 수 있다고 가정할 때 저 산소 레벨을 갖는 환경을 설명하기 위해 사용될 수 있다. 따라서 적은 산소를 갖는, 또는 산소를 거의 또는 전혀 갖지 않는 환경이, 산소 레벨을 본 발명의 허용 오차 내로 유지하면서 반도체가 저 산소 함유량 반도체로서 처리될 수 있는 환경이다. 하나의 양태에서, 산소-공핍된 환경은 무 산소 환경일 수 있다. 저 산소 함유량 반도체 물질에 대한 추가적인 세부사항은 2010년04월30일자로 출원된 미국 특허출원 제12/771848호에서 발견될 수 있으며, 상기 미국 특허출원은 본원에서 참조로서 포함된다.

[0051] 반도체 물질은 장치의 원하는 효율에 따라 달라지는 레벨의 간입 산소를 가질 수 있다. 일부 양태에서, 산소 함유량은 관계없을 수 있으며, 따라서 격자 내의 어떠한 산소 레벨도 허용가능하다. 또 다른 양태에서, 저 산소 함유량이 바람직하다. 하나의 양태에서, 반도체 물질은 약 50 ppma(ppm atomic) 이하인 산소 함유량을 가질 수 있다. 또 다른 양태에서, 반도체 물질은 약 30 ppma(ppm atomic) 이하의 산소 함유량을 가질 수 있다. 또 다른 양태에서, 반도체 물질은 약 10ppm(ppm atomic) 이하의 산소 함유량을 가질 수 있다. 또 다른 양태에서, 반도체는 약 5ppma(ppm atomic) 이하의 산소 함유량을 가질 수 있다. 또 다른 양태에서, 반도체는 약 1ppma(ppm atomic) 이하의 산소 함유량을 가질 수 있다.

[0052] 본원에 기재될 때, 텍스처링된 영역은 전자기 복사를 확산시켜, 상기 전자기 복사의 방향을 전환시키고, 전자기 복사를 흡수하도록 기능하여, 장치의 양자 효율을 증가시킨다. 텍스처링된 영역은 감광성 픽셀의 유효 흡수 길이를 증가시키기 위한 표면 특징부(surface feature)를 포함할 수 있다. 상기 표면 특징부는 원뿔, 피라미드, 기둥, 돌출부, 마이크로렌즈, 양자점(quantum dot), 반전된 특징부 등일 수 있다. 특징부 크기, 치수, 물질 유형, 도펀트 프로파일, 텍스처 위치 등을 조작하는 등의 인자에 의해, 확산 영역이 특정 파장에 대해 튜닝될 수

있다. 하나의 양태에서, 장치를 튜닝함으로써, 특정 파장, 또는 파장 범위가 흡수될 수 있다. 또 다른 양태에서, 장치를 튜닝함으로써, 필터링에 의해, 특정 파장, 또는 파장 범위가 감소되거나 제거될 수 있다.

[0053] 또한 장치 내 텍스처 영역의 위치, 장치 내 영역의 도펀트 프로파일을 수정, 도펀트 선택 등에 의해, 튜닝이 이뤄질 수 있다. 덧붙이자면, 텍스처링된 영역 근방의 물질 조성이 파장 특정적 감광성 픽셀 장치를 만들 수 있다. 파장 특정적 감광성 픽셀은 옆 픽셀과 상이할 수 있고, 이미징 어레이에 포함될 수 있다. 예를 들면, 4×4 어레이는 청색 픽셀, 녹색 픽셀, 적색 픽셀, 및 적외선 광 흡수 픽셀을 포함하거나, 청색 픽셀, 2개의 녹색 픽셀, 적색 픽셀을 포함할 수 있다.

[0054] 본 발명의 양태에 따르는 텍스처링된 영역에 의해, 감광성 장치는, 상기 장치 내로 입사하는 (특히, 긴 파장(즉, 적외선)의) 전자기 복사의 통과를 여러 번 겪을 수 있다. 이러한 내부 반사(internal reflection)가 유효 흡수 길이를 반도체 기관의 두께보다 더 길게 증가시킨다. 이러한 흡수 길이의 증가는 장치의 양자 효율을 증가시켜, 신호대노이즈 비를 개선시킬 수 있다.

[0055] 텍스처링된 영역은 다양한 기법, 가령, 화학적 에칭(가령, 이방성 에칭, 등방성 에칭), 나노각인(nanoimprinting), 추가 물질 증착, 등에 의해 형성될 수 있다. 예를 들어, 깊은 트렌치 고립부(deep trench isolation) 및 에칭 기법을 이용함으로써, FSI 반도체 기관의 후면에서 물질을 씌닝(thinning) 또는 제거함으로써, 기둥(pillar) 특징부가 픽셀로 포함될 수 있다. 하나의 양태에서, 물질은 약 $20\mu\text{m}$ 의 두께까지로 제거될 수 있다. 경사진 후면 피라미드 구조물, 구 구조물, 포물면 구조물, 반사기(reflector)를 갖는 렌즈 구조물 등을 생성하기 위해 이방성 에칭이 사용될 수 있다. 기둥의 후면 상의 이러한 특징부들이 전자기 복사를 확산 및 반사시키도록 기능할 것이다.

[0056] 하나의 양태에서, 텍스처링 공정은 감광성 장치의 제조 동안 수행될 수 있다. 또 다른 양태에서, 텍스처링 공정은 이미 만들어진 감광성 장치에서 수행될 수 있다. 예를 들어, CMOS, CCD, 또는 그 밖의 다른 감광성 요소가 제조 후에 텍스처링될 수 있다. 이 경우, 물질 층이 감광성 요소로부터 제거되어, 텍스처링된 영역이 만들어진 반도체 기관 또는 벌크 물질을 노출시킬 수 있다.

[0057] 텍스처링된 영역을 생성하는 하나의 효과적인 방법은 레이저 공정을 이용하는 것이다. 이러한 레이저 공정에 의해, 반도체 기관의 개별 위치들이 텍스처링될 수 있다. 텍스처링된 영역을 형성하기 위한 다양한 레이저 공정 기법이 고려되며, 이러한 영역을 형성할 수 있는 임의의 기법이 본 발명의 범위 내에 있는 것으로 간주되어야 한다. 레이저 처리 또는 공정에 의해, 흡수 속성이 개선되고, 따라서 전자기 복사 집속 및 검출이 향상된다. 레이저에 의해 처리되는 영역은 충돌하는 전자기 복사와 가장 가까운 표면과 연계되거나, 레이저에 의해 처리되는 표면은 충돌하는 전자기 복사와 관련해 반대 표면과 연계될 수 있어서, 복사가 레이저 처리된 영역에 충돌하기 전에 반도체 물질을 통과하게 할 수 있다.

[0058] 하나의 양태에서, 예를 들어, 반도체 물질의 표적 영역이 레이저 복사로 조사(irradiate)되어, 텍스처링된 영역을 형성할 수 있다. 이러한 공정의 예가 미국 특허 7,057,256, 7,354,792 및 7,442,629에 더 상세히 기재되어 있으며, 상기 미국 특허는 본원에서 참조로서 포함된다. 간략히 말하면, 반도체 물질의 표면이 레이저 복사로 조사되어, 텍스처링된 또는 표면 개질된 영역이 형성될 수 있다. 이러한 레이저 공정은 도펀트 물질과 함께, 또는 도펀트 물질 없이 이뤄질 수 있다. 도펀트가 사용되는 이들 양태에서, 레이저가 도펀트 캐리어를 통해 반도체 표면 상으로 지향될 수 있다. 이러한 방식으로, 도펀트 캐리어로부터의 도펀트는 반도체 물질의 표적 영역으로 도입된다. 반도체 물질에 포함되는 이러한 영역은 본 발명의 양태에 따라 다양한 이점을 가질 수 있다. 예를 들어, 표적 영역은, 레이저에 의해 처리되는 영역의 표면적을 증가시키고 본원에서 기재되는 수단을 통한 복사 흡수의 확률을 증가시키는 텍스처링된 표면을 가진다. 하나의 양태에서, 이러한 표적 영역은, 레이저 텍스처링에 의해 생성된 마이크론-크기 및/또는 나노-크기의 표면 특징부를 포함하는 실질적으로 텍스처링된 표면이다. 또 다른 양태에서, 반도체 물질의 표면을 조사하는 과정이, 레이저 복사가 도펀트를 반도체로 혼입시키기 위해 레이저 복사를 도펀트에 노출시키는 과정을 포함한다. 다양한 도펀트 물질이 종래 기술에서 알려져 있고, 본원에서 더 구체적으로 기재된다.

[0059] 따라서 반도체 물질의 표면이 레이저 처리에 의해 화학적 및/또는 구조적으로 변형되고, 일부 양태에서, 표면 상에 미소구조물 또는 패터닝된 영역으로서 나타나는 표면 특징부의 형성을 야기하고, 도펀트가 사용되는 경우, 이러한 도펀트의 반도체 물질로의 혼입을 야기한다. 일부 양태에서, 특징부 또는 미소구조물은 50nm 내지 $20\mu\text{m}$ 정도의 크기를 가질 수 있고, 전자기 복사의 흡수를 보조할 수 있다. 다시 말하면, 텍스처링된 표면이 입사 복사가 반도체 물질에 의해 흡수되는 확률을 증가시킬 수 있다.

- [0060] 반도체 물질을 표면 개질하기 위해 사용되는 레이저 복사의 유형은 물질에 따라, 그리고 의도하는 개질에 따라 달라질 수 있다. 해당 분야에 알려져 있는 임의의 레이저 복사가 본 발명의 장치 및 방법과 함께 사용될 수 있다. 표면 개질 프공정 및/또는 최종 산물에 영향을 미칠 수 있는 복사의 레이저 특성이 있으며, 제한받지 않는 예를 들자면, 레이저 복사의 파장, 펄스 폭, 펄스 광량(pulse fluence), 펄스 주파수, 편파(polarization), 반도체 물질에 대한 레이저 전파 방향 등이 있다. 하나의 양태에서, 레이저는 반도체 물질의 펄스형 레이저 처리(pulsatile lasing)를 제공하도록 구성될 수 있다. 단펄스형 레이저(short-pulsed laser)가 펨토초(femtosecond), 피코초(picosecond) 및/또는 나노초(nanosecond) 펄스 지속시간을 생성할 수 있는 것이다. 레이저 펄스는 약 10nm 내지 8 μ m의 중앙 파장을 가질 수 있고, 더 구체적으로, 약 200nm 내지 약 1200nm의 중앙 파장을 가질 수 있다. 레이저 복사의 펄스 폭은 약 수십 펨토초 내지 약 수백 나노초일 수 있다. 하나의 양태에서, 레이저 펄스 폭은 약 50펨토초 내지 약 50피코초일 수 있다. 또 다른 양태에서, 레이저 펄스 폭은 약 50피코초 내지 100나노초일 수 있다. 또 다른 양태에서, 레이저 펄스 폭은 약 50 내지 500펨토초이다.
- [0061] 표적 영역을 조사하는 레이저 펄스의 수는 약 1 내지 약 2000일 수 있다. 하나의 양태에서, 반도체 표적 영역을 조사하는 레이저 펄스의 수는 약 2 내지 약 1000일 수 있다. 덧붙이자면, 펄스의 반복률 즉 주파수가 약 10Hz 내지 약 10 μ Hz, 또는 약 1kHz 내지 약 1MHz, 또는 약 10Hz 내지 약 1kHz이도록 선택될 수 있다. 덧붙여, 레이저 펄스 각각의 광량이 약 1kJ/m² 내지 약 20kJ/m², 또는 약 3kJ/m² 내지 약 8kJ/m²일 수 있다.
- [0062] 다양한 도펀트 물질이 고려되며, 본 발명의 양태에 따라 반도체 물질을 표면 개질하기 위한 레이저 처리 공정에서 사용될 수 있는 임의의 이러한 물질이 본 발명의 범위 내에 있는 것으로 간주된다. 사용되는 구체적 도펀트는 레이저 처리되는 반도체 물질에 따라, 그리고 최종 반도체 물질의 의도하는 용도에 따라 달라질 수 있다. 예를 들어, 감광성 장치의 튜닝이 희망되는지의 여부에 따라, 가능한 도펀트의 선택이 다를 수 있다.
- [0063] 도펀트는 전자 주기(hole donating) 도펀트이거나 정공 주기(hole donating) 도펀트일 수 있다. 하나의 양태에서, 도펀트 물질의 제한받지 않는 예가, S, F, B, P, N, As, Se, Te, Ge, Ar, Ga, In, Sb 및 이들의 조합을 포함할 수 있다. 도펀트 물질의 범위는, 도펀트 물질 자체뿐 아니라, 이러한 도펀트를 운반하는 형태로 된 물질(즉, 도펀트 캐리어)까지 포함해야 한다. 예를 들면, S 도펀트 물질은 S뿐 아니라, S를 표적 영역으로 도핑하는데 사용될 수 있는 임의의 물질(가령, H₂S, SF₆, SO₂ 등, 이들의 조합까지 포함)까지 포함한다. 하나의 구체적 양태에서, 도펀트는 S일 수 있다. 황은 약 5×10^{14} 내지 약 1×10^{16} 이온수/cm²의 이온 투여 레벨(ion dosage level)로 제공될 수 있다. 불소 함유 화합물의 제한받지 않는 예로는, ClF₃, PF₅, F₂, SF₆, BF₃, GeF₄, WF₆, SiF₄, HF, CF₄, CHF₃, CH₂F₂, CH₃F, C₂F₆, C₂HF₅, C₃F₈, C₄F₈, NF₃ 등(이들의 조합까지 포함)이 있다. 붕소 함유 화합물의 제한받지 않는 예로는, B(CH₃)₃, BF₃, BC₁₃, BN, C₂B₁₀H₁₂, 보로실리카, B₂H₆ 등(이들의 조합까지 포함)이 있다. 인 함유 화합물의 제한받지 않는 예로는, PF₅, PH₃ 등(이들의 조합까지 포함)이 있다. 염소 함유 화합물의 제한받지 않는 예로는, Cl₂, SiH₂Cl₂, HCl, SiCl₄ 등(이들의 조합까지 포함)을 포함할 수 있다. 또한 도펀트는 비소 함유 화합물(예컨대, AsH₃ 등)뿐 아니라, 안티몬 함유 화합물까지 포함할 수 있다. 덧붙여, 도펀트 물질은 도펀트 그룹들 간 혼합물 또는 조합(즉, 황 함유 화합물과 염소 함유 화합물의 혼합)을 포함할 수 있다. 하나의 양태에서, 도펀트 물질은 공기보다 큰 밀도를 가질 수 있다. 하나의 구체적 양태에서, 도펀트 물질은 Se, H₂S, SF₆ 또는 이들의 혼합물을 포함할 수 있다. 또 다른 구체적 양태에서, 도펀트는 SF₆일 수 있고, 약 5.0×10^{-8} mol/cm² 내지 약 5.0×10^{-4} mol/cm²의 지정 농도 범위를 가질 수 있다. SF₆ 가스는, 반도체 물질에 유의미한 부작용을 미치지 않으면서 레이저 공정을 통해 황을 반도체 물질로 혼입시키기 위한 우수한 캐리어이다. 덧붙이자면, 도펀트는 용제(가령, 물, 알콜, 또는 산성 또는 염기성 용제)에 용해된 n-형 또는 p-형 도펀트 물질의 용액일 수 있다. 또한 도펀트는 파우더 또는 웨이퍼 상으로 건조된 현탁액으로 제공되는 고체 물질일 수 있다.
- [0064] 반도체 기판은 다양한 이유(가령, 도펀트 활성화, 반도체 물질 손상 복구 등)로 어닐링될 수 있다. 레이저 텍스처링된 영역을 포함하는 이러한 양태에서, 반도체 물질은 레이저 처리 전에, 또는 레이저 처리 후에, 또는 레이저 처리 중에, 또는 레이저 처리 전과 후에 모두, 어닐링될 수 있다. 어닐링은 장치의 반도체 속성, 가령, 반도체 물질의 광반응성(photoresponse property)을 강화시킬 수 있다. 덧붙이자면, 어닐링은 레이저 처리에 의한 손상을 감소시킬 수 있다. 임의의 알려진 어닐이 바람직할 수 있고, 본 발명의 범위 내에 있을지라도, 더 낮은 온도에서 이뤄지는 어닐링이 특히 유용할 수 있다. 이러한 "저온" 어닐링은 이러한 물질을 이용하는 장치의 광

전도성 이득(photoconductive gain) 및 외부 양자 효율을 크게 향상시킬 수 있다. 하나의 양태에서, 예를 들어, 반도체 물질은 약 300℃ 내지 약 1100℃의 온도까지 어닐링될 수 있다. 또 다른 양태에서, 반도체 물질은 약 500℃ 내지 약 900℃의 온도까지 어닐링될 수 있다. 또 다른 양태에서, 반도체 물질이 약 700℃ 내지 약 800℃의 온도까지 어닐링될 수 있다. 또 다른 양태에서, 반도체 물질은 약 850℃ 이하의 온도까지 어닐링될 수 있다.

[0065] 수행되는 어닐링의 특정 유형에 따라, 그리고 사용되는 물질에 따라, 어닐링 절차의 지속시간은 달라질 수 있다. 예를 들어, 고속 어닐링 공정이 사용될 수 있고, 따라서 어닐링의 지속시간은 그 밖의 다른 기법에 비해 짧을 수 있다. 다양한 고속 열 어닐링 기법이 알려져 있으며, 이들 모두 본 발명의 범위 내에 있는 것으로 간주된다. 하나의 양태에서, 반도체 물질이 약 1 μ s 이상의 지속시간 동안의 고속 어닐링에 의해 어닐링될 수 있다. 또 다른 양태에서, 고속 어닐링 공정의 지속시간은 약 1 μ s 내지 약 1ms일 수 있다. 또 다른 예를 들면, 고속 어닐링에 비해 더 길 수 있는 베이킹 또는 노 어닐링 공정이 사용될 수 있다. 하나의 양태에서, 예를 들어, 약 1 ms 내지 수 시간 이상의 지속시간 동안의 베이킹 어닐링 공정에 의해 반도체 물질이 어닐링될 수 있다. 기재된 바와 같이, 저 산소 함유량 반도체 물질이 사용되는 경우, 실질적으로 산소-공핍된 환경에서 이러한 물질을 어닐링하는 것이 바람직할 수 있다.

[0066] 기재된 바와 같이, 어닐링은 반도체 기판의 내재적 결함을 감소시키거나, 그 밖의 다른 방식으로, 전자/정공 재결합을 감소시키는 데 도움이 될 수 있다. 다시 말하면, 어닐링이, 바람직하지 않은 재결합 프로세스를 효과적으로 감소시키는 전자 상태(electron state)를 만드는 데 도움이 될 수 있다. 또한 반도체 물질을 어닐링하는 것이 장치의 반응성(responsivity) 또는 광전도성 이득을 향상시킬 수 있다. 광전도성 장치는, 캐리어를 포획(trapping)할 수 있는 에너지 준위를 제공할 수 있는 도펀트, 불순물, 또는 결함을 가질 수 있다. 캐리어를 포획하고, 광캐리어(photocarryer)의 재결합을 감소시킴으로써, 장치의 광전도성 이득이 증가할 수 있다. 광전도성 이득과 포획 시간(trapping time) 간의 관계는 수학적식(I)에 의해 표현될 수 있다:

[0067]
$$\text{이득} = \tau_L / \tau_t \quad (I)$$

[0068] 여기서, " τ_L "은 과잉 캐리어의 수명이고, " τ_t "는 장치를 횡단하는 캐리어의 이동 시간(transit time)이다. 과잉 캐리어의 수명은 캐리어 종을 포획하고, 재결합 속도를 감소시킴으로써 증가될 수 있다. 실온에서 밀리초의 포획 시간과, 씬닝(thinning)된 저농도 도핑된 웨이퍼에서 짧은 이동 시간을 갖는 반도체의 포획 중심에 의해 이득의 증가가 얻어질 수 있다. 더 많은 전자가 재결합되지 않고 여러 다른 영역을 횡단할 수 있게 함으로써, 이들 포획 위치는 캐리어의 재결합을 감소시키고, 따라서 장치의 광전도성 이득을 향상 또는 증가시킬 수 있다.

[0069] 도 2를 다시 참조하면, 반사성 층(reflecting layer, 20)이 반도체 기판(12)에 연결될 수 있다. 상기 반사성 층은 반도체 기판의 임의의 측 또는 부분에 연결되어, 전자기 복사를 다시 장치로 반사시킬 수 있다. 따라서, 하나의 양태에서 반사성 층은 들어오는 전자기 복사와 반대쪽에서 반도체 기판에 위치할 수 있다. 따라서 도 2에 도시된 바와 같이, 반도체 기판과 텍스처링된 영역(16)을 통과하는 전자기 복사가 반도체 기판으로 다시 반사될 수 있다. 덧붙이자면, 패시베이션 층(22)이 반도체 기판으로 연결될 수 있다. 상기 패시베이션 층은 반도체 기판의, 들어오는 전자기 복사를 대면하는 면에 연결되어 있는 것으로 보이지만, 패시베이션 층은 장치의 어디라도 위치할 수 있으며, 역시 본 발명의 범위 내에 있다.

[0070] 기재된 바와 같이, 텍스처링된 영역의 위치는 들어오는 전자기 복사의 강화 및/또는 여과를 제공하기 위해 사용될 수 있다. 예를 들어, 전자기 복사가 감광성 장치로 들어오는 지점에 위치하는 텍스처링된 영역은 전자기 복사(특히, 청색(blue) 파장)을 휘게 하는 경향이 있다. 따라서, 청색 파장의 여과를 고의로 발동시키기 위해 텍스처링된 영역을, 입사하는 전자기 복사에 인접한 표면에 위치시킴으로써, 하나의 튜닝(tuning) 레벨이 이뤄질 수 있다. 덧붙이자면, 전자기 복사의 특정 파장의 흡수가 반도체 층 및/또는 텍스처링된 영역의 여러 다른 깊이에서 발생한다. 녹색(green) 파장까지 흡수를 증가시킴으로써, 예를 들어, 녹색 파장의 결과로서의 전기 신호가 다이오드나 픽셀에서 증가될 수 있다. 특정한 전통적인 4 픽셀 이미저는 하나의 적색 픽셀, 하나의 청색 픽셀, 2개의 녹색 픽셀을 가지며, 이때, 더 많은 개수의 녹색 픽셀은 인간의 눈의 감도가 녹색에 대해 더 높기 때문이다. 따라서 하나의 양태에서, 4 픽셀 이미저가 하나의 청색 픽셀, 하나의 적색 픽셀, 및 증가된 녹색 파장 흡수를 갖는 하나의 녹색 픽셀을 가질 수 있다. 네 번째 픽셀은, IR, 또는 이미저의 희망하는 적용에 따른 그 밖의 다른 파장 선택적 픽셀을 위해 사용될 수 있다.

[0071] 도 3은 반도체 기판(12)의 면에 위치하는 텍스처링된 영역(30)을 갖는 감광성 장치를 도시한다. 이러한 구성에

의해, 장치의 면을 통해 정상적으로 빠져나가는 전자기 복사가 더 약화되고, 반도체 기판 내에 흡수될 수 있다. 향상된 흡수율을 촉진시키도록 텍스처링된 영역은 하나 이상의 면에 위치할 수 있다.

[0072] 도 4는 반도체 기판(12)과 평행이 아닌 표면(비-평행 표면)을 갖는 텍스처링된 영역(40)을 갖는 감광성 장치를 도시한다. 따라서 텍스처링된 영역의 전체 구성은, 흡수를 더 강화하고, 및/또는 장치를 선택적으로 튜닝(tuning)하도록 설계될 수 있다. 기재된 바와 같이, 비-평행 표면은 다양한 구성, 예를 들어, 비-평행 경사진 형태, 피라미드 형태, 역-피라미드 형태, 오목한 형태, 볼록한 형태 등을 가질 수 있다. 일부 경우, 텍스처링된 영역의 구성은 전자기 복사를 반도체 기판 내로 지향시키거나 집속하도록 기능할 수 있고, 또 다른 경우, 텍스처링된 영역의 구성은 전자기 복사를 반도체 기판에서 벗어나도록 지향시키거나 집속하도록 기능할 수 있다.

[0073] 도 5에 도시된 바와 같이, 렌즈(50)가, 들어오는 전자기 복사를 대면하는 반도체 기판(12)의 면에 연결될 수 있다. 따라서 렌즈는 전자기 복사를 반도체 기판내로 집속할 수 있다. 들어오는 전자기 복사 표면 상에 배치된 홀로나 그 밖의 다른 구조물을 갖는 양태에서, 렌즈가 광을 추가로 이러한 구조물 주변으로 집속할 수 있고, 따라서, 광 산란 및 노이즈를 감소시킬 수 있다.

[0074] 도 6에 도시된 바와 같이, 텍스처링된 영역(60)은 반도체 기판(12)에서, 복수의 도핑된 영역(14, 16)에 인접하게 위치한다. 도시된 바와 같이, 텍스처링된 영역은 도핑된 영역들 중 적어도 하나와 연계되거나, 텍스처링된 영역은 도핑된 영역과 분리될 수 있다(도면에 도시되지 않음). 전자기 복사는 도핑된 영역에 인접한 면에서 감광성 장치로 들어가거나, 또는, 도핑된 영역에 반대쪽 면에서 들어갈 수 있다.

[0075] 도 7-11은 본 발명의 양태에 따르는 감광성 픽셀을 제조할 때의 다양한 단계들을 도시한다. 도 7은 전면 조명(FSI: front side illumination) 감광성 픽셀 장치의 단면도를 도시한다. 감광성 픽셀 장치는 반도체 기판(72)을 포함할 수 있고, 벌크 반도체 물질이라고 일컬어질 수 있다. 반도체 기판은 하나 이상의 도핑된 영역(74)을 포함하며, 상기 영역(74)은 반도체 기판에 비해 영역(74)이 더 양극, 또는 더 음극이 되게 하는 전자 주기(electron donating) 또는 정공 주기(hole donating) 종으로 도핑될 수 있다. 하나의 양태에서, 예를 들어, 도핑 영역은 p 도핑될 수 있다. 또 다른 양태에서, 도핑 영역은 n 도핑될 수 있다. 고농도로 도핑된 영역(76)이 도핑 영역 상에, 또는 도핑 영역 근방에 형성되어, 핀드 다이오드(pinned diode)를 생성할 수 있다. 하나의 예를 들면, 반도체 구조물이 음극일 수 있고, 도핑 영역 및 고농도 도핑 영역이 p⁺ 및 n⁻ 도펀트로 각각 도핑될 수 있다. 일부 양태에서, 영역의 n(--), n(-), n(+), n(++), p(--), p(-), p(+), 또는 p(++)형 도핑의 변형이 사용될 수 있다. 하나의 양태에서, 고농도 도핑된 영역이 텍스처링된 영역일 수 있다. 즉, 텍스처링된 표면 특징부가 고농도 도핑된 영역 상에, 또는 그 내부에 형성될 수 있다.

[0076] 도 7의 장치는 다양한 금속 영역(87), 하나 이상의 비아(80), 패시베이션 층(82), 트렌치 고립부(84), 및 전기 전달 요소(86)를 더 포함할 수 있다. 트렌치 고립 요소는 광학적 및 전기적 혼선을 감소시킴으로써, 픽셀 간 균일성을 유지할 수 있다. 트렌치 고립부는 얇은 트렌치 고립부(shallow trench isolation)(도 7)이거나 깊은 트렌치 고립부(deep trench isolation)(도 12)일 수 있다. 트렌치 고립부는 다양한 물질을 포함할 수 있고, 제한 받지 않는 예를 들면, 유전체 물질, 반사성 물질, 전도성 물질, 광 확산 특징부 등이 있다. 이들 트렌치 고립 영역은 입사광을 흡수될 때까지 반사시키도록 구성될 수 있으며, 그로 인해 장치의 유효 흡수 길이를 증가시킨다.

[0077] 도 8에 도시된 바와 같이, 캐리어 구조물 또는 캐리어 웨이퍼(88)가 감광성 픽셀에 연결될 수 있다. 하나의 양태에서, 캐리어 기판이 패시베이션 층(82)에 배치될 수 있지만, 캐리어 기판은 장치의 어느 표면에도 배치될 수 있다. 하나의 양태에서, 예를 들면, 캐리어 기판은 반도체 기판에 배치될 수 있다(도면에 도시되지 않음). 상기 캐리어 기판은 다양한 기법에 의해 감광성 픽셀에 연결될 수 있고, 임의의 이러한 연결 수단은 본 발명의 범위 내에 있다. 하나의 양태에서, 예를 들면, 장치 상에, 가령, 패시베이션 층 상에 배치된 본딩 층 또는 접착 층을 이용해 연결이 이뤄질 수 있다. 지지대가 제거되는지 여부에 따라, 지지 기판이, 제조 동안, 또는 제조 후에, 반도체 장치를 지지할 수 있다. 캐리어 기판이 벌크 반도체 물질과 동일하거나 유사한 반도체 물질로 만들어지거나, 상이한 물질로 만들어질 수 있다.

[0078] 도 9에 도시된 바와 같이, 텍스처링된 영역(90)은 도핑 영역(74, 76)의 반대쪽에서, 반도체 기판(72)으로 연결된다. 따라서 도핑 영역 쪽에서 들어오는 광이 텍스처링된 영역에 접촉하기 전에 반도체 기판을 통과한다. 텍스처링된 영역은 반도체 기판의 전체 표면에 걸쳐 배치될 수 있거나(도 9에 도시), 하나 이상의 개별 영역에 배치될 수 있다(도면에 도시되지 않음).

[0079] 도 10에 도시된 바와 같이, 추가 캐리어 지지 기판(100)이, 캐리어 지지 기판(88)과 반대쪽 면에서, 장치에 연

결될 수 있다. 다양한 목적(가령, 장치를 추가로 지지하기 위한 목적, 첫 번째 캐리어 지지 기관의 제거를 촉진하기 위한 목적 등)으로, 추가적인 캐리어 지지 기관이 사용될 수 있다. 반사성 층(102)이 텍스처링된 영역(90)과 캐리어 지지 기관 사이에 배치될 수 있다. 따라서 반사성 층이 텍스처링된 영역을 통과하는 전자기 복사를, 다시 반도체 기관(72) 쪽으로 반사시킬 수 있으며, 따라서 광학적 손실 및 후방산란(backscattering)이 감소될 수 있다. 따라서 일부 양태에서, 반사성 층이 장치의 양자 효율을 증가시킬 수 있다. 반사성 층 물질은 이러한 장치로 포함될 수 있는 임의의 반사성 물질일 수 있다. 제한받지 않는 예로는 은, 알루미늄 등의 물질이 있을 수 있다.

[0080] 도 11에 도시된 바와 같이, 캐리어 지지 기관이 제거되어, 패시베이션 층(82), 또는 캐리어 지지 기관에 의해 덮여 있던 그 밖의 다른 임의의 물질 층을 노출시킬 수 있다. 장치의 의도하는 용도에 따라, 추가 캐리어 기관(100)은, 장치 내에 유지되거나, 장치로부터 제거되거나, 씌닝(thinning)되어 기관의 두께가 감소될 수 있다. 장치로부터 물질(가령, 캐리어 기관 및 추가 캐리어 기관)의 제거가 다양한 방법(제한받지 않은 예를 들자면, 에칭, 화학 기계적 연마, 이온 주입(즉, 스마트 컷(smart cut) 등))에 의해 이뤄질 수 있다.

[0081] 다양한 유형의 트렌치 고립부가 고려되고, 임의의 이러한 고립부는 본 발명의 범위 내에 있는 것으로 간주된다. 기재된 바와 같이, 트렌치 고립부는 얇은 트렌치 고립부(shallow trench isolation)(도 7의 84)이거나, 깊은 트렌치 고립부(deep trench isolation)(도 12의 120)일 수 있다. 또한 트렌치 고립부는 장치 설계에 따라 얇은 깊이와 깊은 깊이 사이의 깊이를 포함할 수 있다. 트렌치 고립부는 텍스처링된 영역 및 그 밖의 다른 광 확산 특징부를 포함해, 유전체 물질, 반사성 물질, 전도성 물질, 및 이들의 조합을 포함할 수 있다. 따라서 일부 경우, 트렌치 고립부 층은 입사 전자기 복사가 흡수될 때까지 이를 반사시키도록 구성될 수 있으며, 이로써, 장치의 유효 흡수 길이가 증가한다. 덧붙이자면, 일부 양태에서, 깊은 트렌치 고립부와 에칭 기법을 이용해 반도체 기관으로부터 물질을 씌닝하거나 제거함으로써, 기동 특징부가 픽셀에 포함될 수 있다. 도 13에 도시된 바와 같이, 앞서 기재되었지만, 텍스처링된 영역(130)은 반도체 기관(72)과 평행하지 않은 표면(비-평행 표면)을 가질 수 있다. 이러한 비-평행 형태는, 깊은 트렌치 고립부(120)에 포함될 때, 전자기 복사를 복수의 층에서 반도체 기관으로 효과적으로 집속시킬 수 있다.

[0082] 또한, 비-벌크 물질(non-bulk material)이 장치의 도핑 영역 근방에서 형성되거나 배치될 수 있다. 비-벌크 물질의 추가에 의해, 전자기 복사 확산 특징부가 상기 비-벌크 물질 상에, 또는 그 내부에 형성될 수 있다. 개구부(aperture)를 형성하는 금속 층이 본 발명의 하나의 양태에 포함될 수 있다. 금속 층은 도핑 영역 근방에 형성될 수 있고, 개구부를 형성하는, 광이 들어오는 영역(light entering region)을 가질 수 있다. 이러한 광이 들어오는 영역은 반사방지 물질도 포함할 수 있다.

[0083] 도 14는 2개의 감광성 픽셀(140)을 포함하는 감광성 이미지를 도시한다. 감광성 픽셀 각각은 금속 회로를 포함할 수 있는 경계 영역(boundary region)(142)과 텍스처링된 영역(144)을 포함한다. 각각의 감광성 픽셀은 하나 이상의 트랜지스터(146) 또는 또 다른 전기 전달 요소를 포함할 수 있다. 추가적인 관독 및 회로 요소(148)가 사용될 수 있고, 두 감광성 픽셀 모두에 의해 공유될 수 있다.

[0084] 도 15를 다시 참조하면, 본 발명의 하나의 양태에 따르는 후면 조명(BSI: backside illuminate)식 감광성 픽셀이 제공된다. 씌닝(thinning) 및 트렌치 고립부 처리에 뒤 이어, 렌즈(150) 및 반사방지 코팅(152)이 픽셀의 후면에 배치된다. 컬러 필터(154)가, 전자기 복사의 특정 파장 여과를 가능하게 하도록 렌즈와 광결합(optically couple)될 수 있다. 텍스처링된 영역(156)은, 렌즈 반대쪽에서, 반도체 기관(72)에 연결되어, 픽셀의 전면을 통과하는 입사 전자기 복사의 확산성 산란(diffusive scattering) 및 반사를 제공할 수 있다. 따라서 텍스처링된 영역과 트렌치 고립부(120)의 조합 동작으로 전자기 복사가 반도체 기관 내에 집속될 수 있다.

[0085] 도 16은 본 발명의 또 다른 양태에 따르는 전면 조명(FSI: front side illuminate)식 이미지를 도시한다. 62 상에서 렌즈(160) 및 반사방지 패시베이션 층이 픽셀의 전면(front side)으로 연결된다. 텍스처링된 영역(90) 및 반사성 층(102)이, 렌즈의 반대쪽에서, 반도체 기관(72)으로 연결되어, 반도체 기관을 통과하는 입사 전자기 복사의 확산성 산란(diffusive scattering) 및 반사를 제공할 수 있다. 금속 또는 그 밖의 다른 반사성 물질 층(166)에 형성된 개구부(164)가 광학 공진기(optical cavity)의 효율을 증가시킬 수 있다. 따라서 렌즈가 전자기 복사를 개구부를 통해 집속시킨다.

[0086] 본 발명의 또 다른 양태에서, 감광성 다이오드, 픽셀 및 이미지를 제작하기 위한 다양한 방법이 고려된다. 도 17에 도시된 바와 같이 하나의 양태에서, 감광성 이미지 장치를 제작하는 방법은, 적어도 하나의 접합부(junction)를 형성하는 복수의 도핑 영역을 갖는 반도체 기관 상에 텍스처링된 영역을 형성하는 단계를 포함하고, 여기서, 텍스처링된 영역이 전자기 복사(170)와 상호작용하기 위한 위치에 형성된다. 또한 상기 방법은, 전

기 전달 요소가 적어도 하나의 접합부(172)로부터 전기 신호를 전달하도록, 전기 전달 요소를 반도체 기판으로 연결하는 단계를 더 포함한다. 하나의 양태에서, 복수의 픽셀들이 다함께 연계되어, 하나의 이미지를 형성할 수 있다. 또한 패시베이션 층이 감광성 이미지 장치 상에 배치되어, 장치의 암전류(dark current)를 보호 및/또는 감소시킬 수 있다.

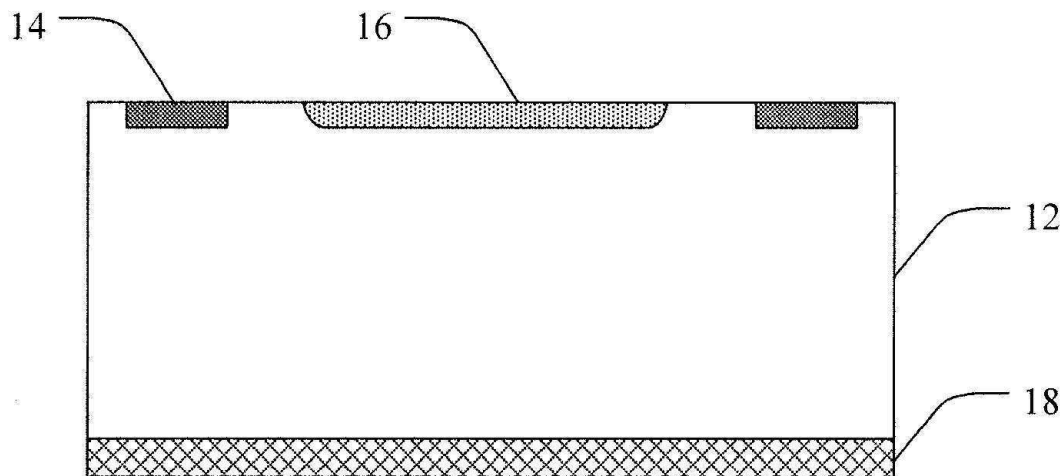
[0087] 본 발명의 또 하나의 양태에서, 감광성 다이오드를 제작하기 위한 방법이 제공된다. 이러한 방법은 반도체 기판의 표면 상에 적어도 하나의 캐소드와 적어도 하나의 애노드를 형성하는 단계와, 텍스처링된 영역을 반도체 기판으로 연결하는 단계와, 지지 기판을 반도체 기판으로 연결하는 단계를 포함할 수 있다. 텍스처링된 영역은, 애노드 및 캐소드에 인접한 곳에, 또는 애노드 및 캐소드 반대쪽에, 또는 애노드 및 캐소드에 인접한 곳과 반대쪽에 모두, 위치할 수 있다. 전기 전달 요소가 애노드 및 캐소드 중 적어도 하나와 전기적으로 연결되어, 감광성 픽셀을 형성할 수 있다. 또 다른 양태에서, 반도체 기판이 씨닝(thinning)되어 장치의 반응률 및/또는 반응 속도를 향상시킬 수 있다. 또한 패시베이션 층이 감광성 다이오드에 배치되어, 장치의 암전류를 보호 및/또는 감소시킬 수 있다. 추가 지지를 제공하기 위해 추가적인 지지 구조물이 장치에 부착될 수 있다. 하나의 양태에서, 추가 지지 기판이 지지 기판과 반대쪽에 있는 감광성 다이오드의 면에 위치할 수 있다. 그 후, 지지 기판이 추가 처리를 가능하게 하도록 제거될 수 있다.

[0088] 물론, 앞서 기재된 배열은 본 발명의 원리의 적용에 대한 예시에 불과함을 알아야 한다.

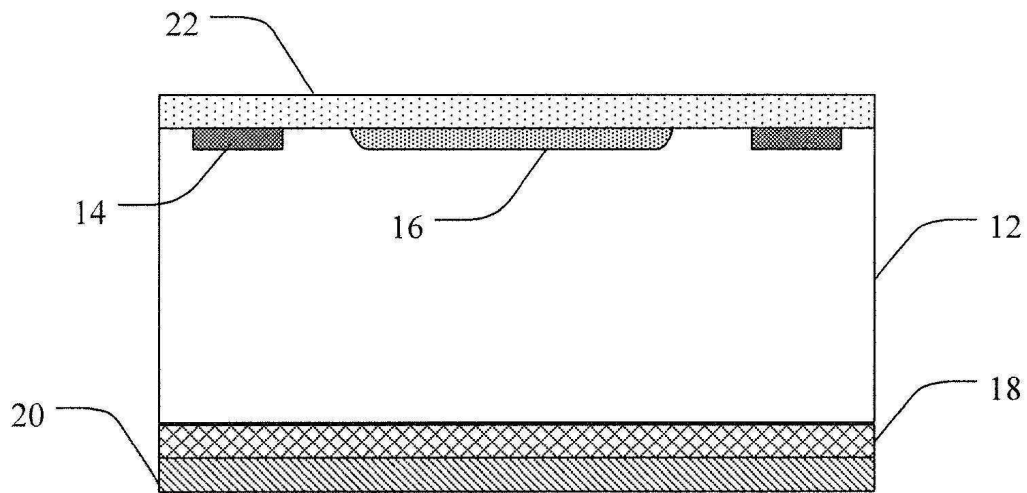
[0089] 본 발명의 사상과 범위 내에서, 복수의 변형 및 대안적 배열이 고안될 수 있고, 첨부된 특허청구범위는 이러한 변형 및 배열을 포함하는 것으로 의도된다. 따라서 앞서 본 발명이, 발명의 가장 실용적인 실시예라고 추정된 것과 관련된 세부사항을 갖고 기재되었지만, 해당업계 종사자라면, 다양한 변형예, 가령, 크기, 물질, 형태, 기능 및 동작 방식의 변형이 본 발명의 범위 내에 있다고 이해할 것이다.

도면

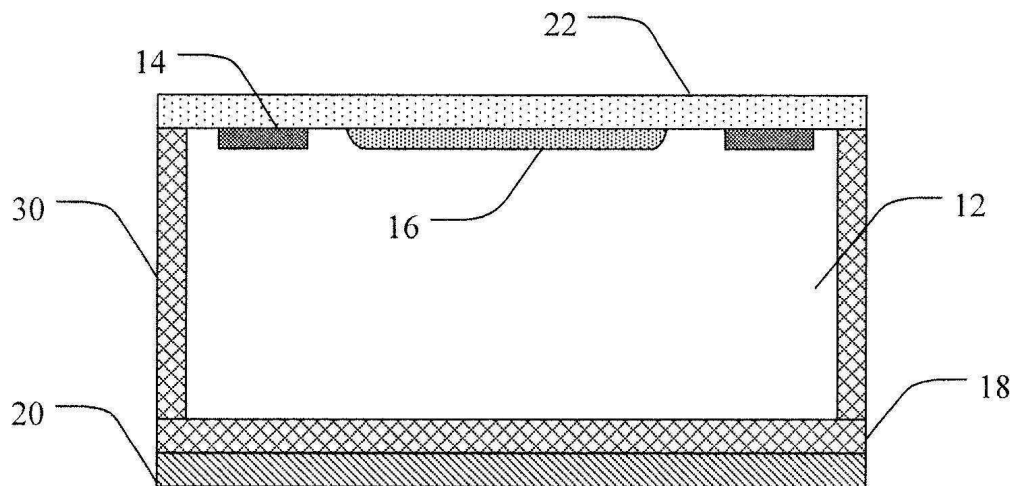
도면1



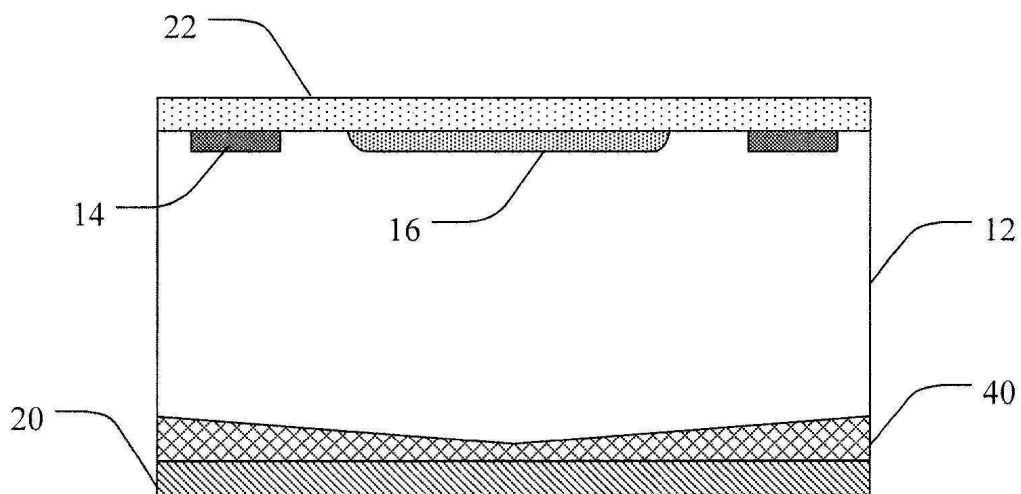
도면2



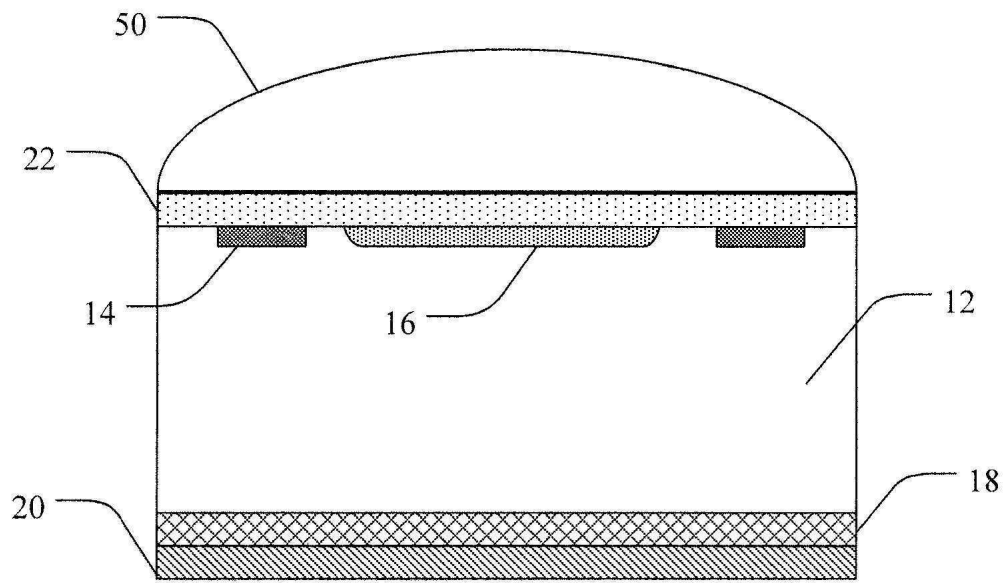
도면3



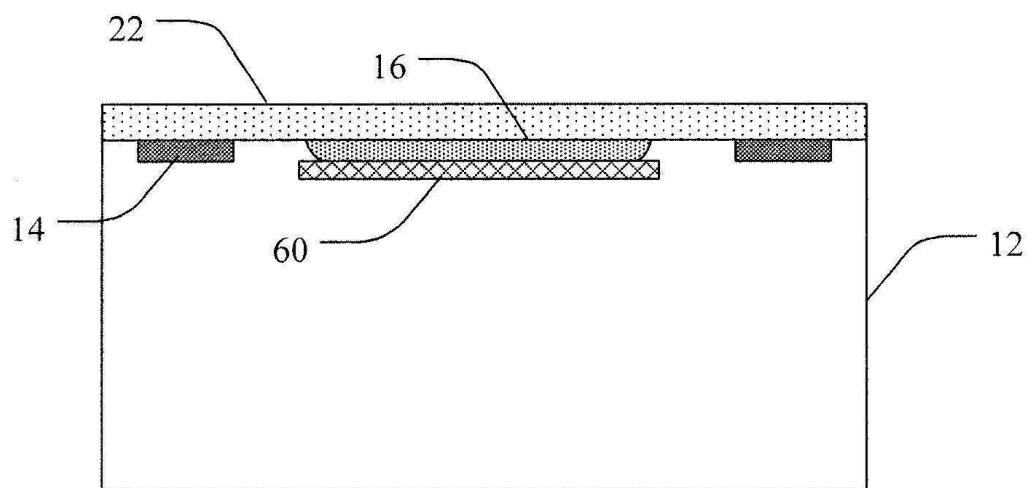
도면4



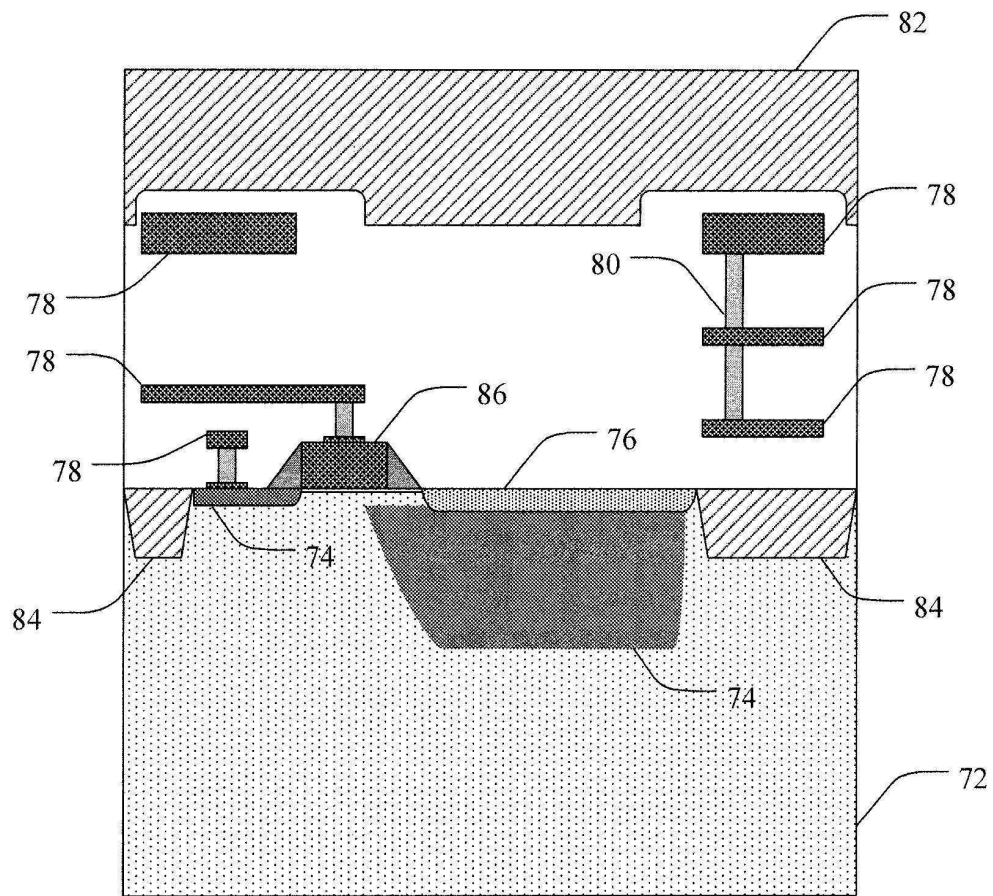
도면5



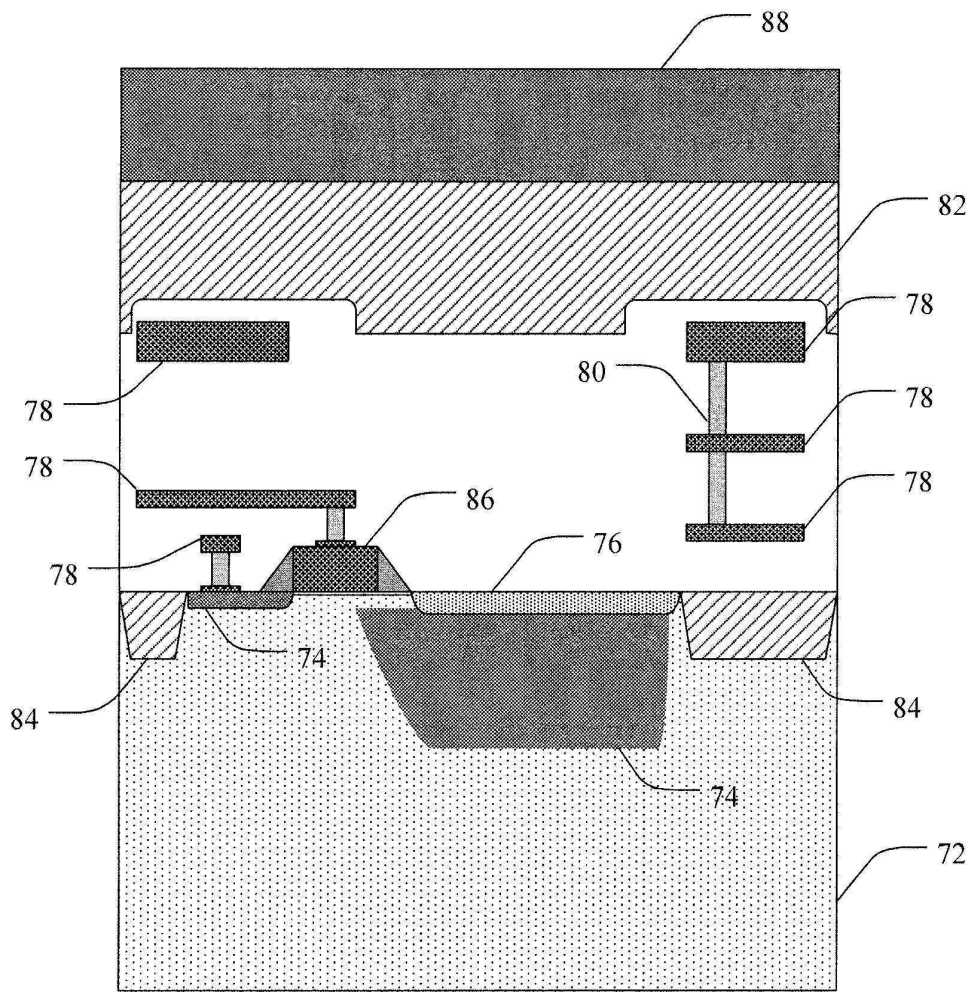
도면6



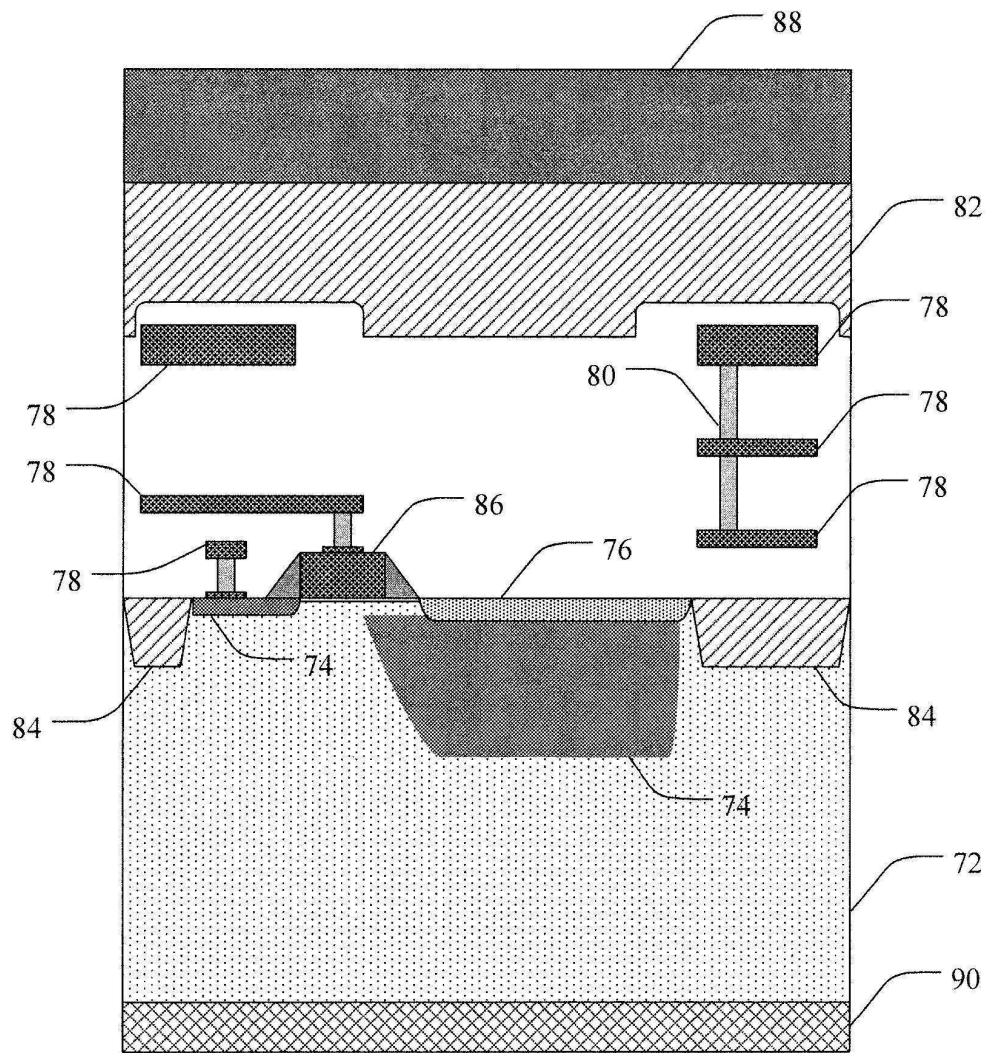
도면7



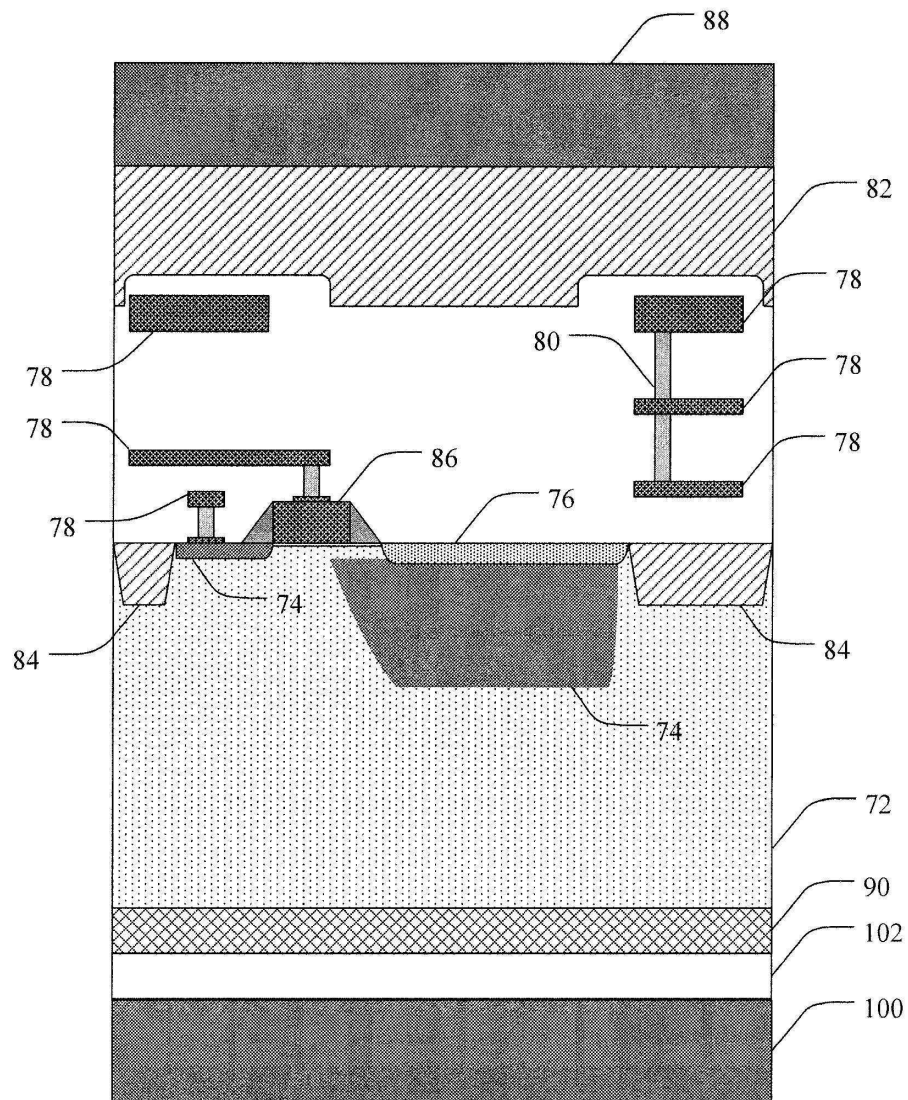
도면8



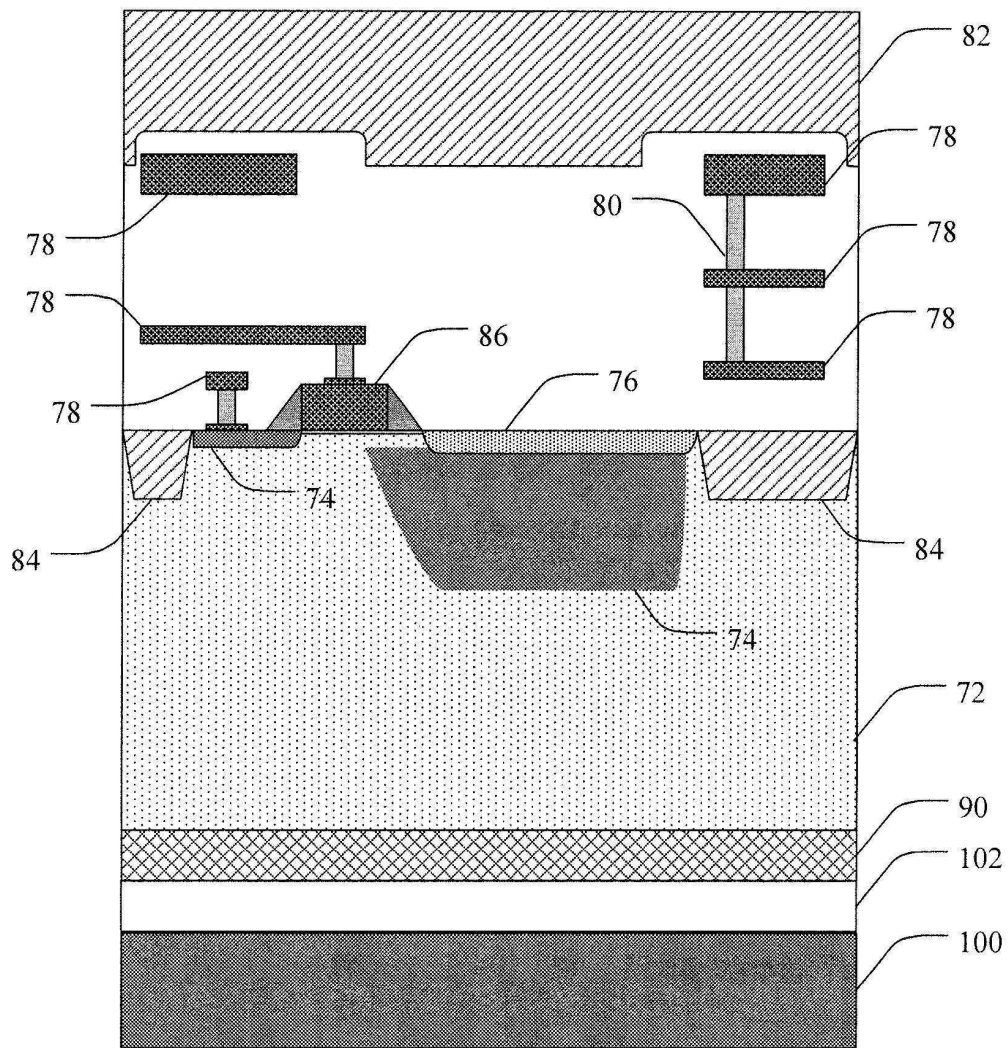
도면9



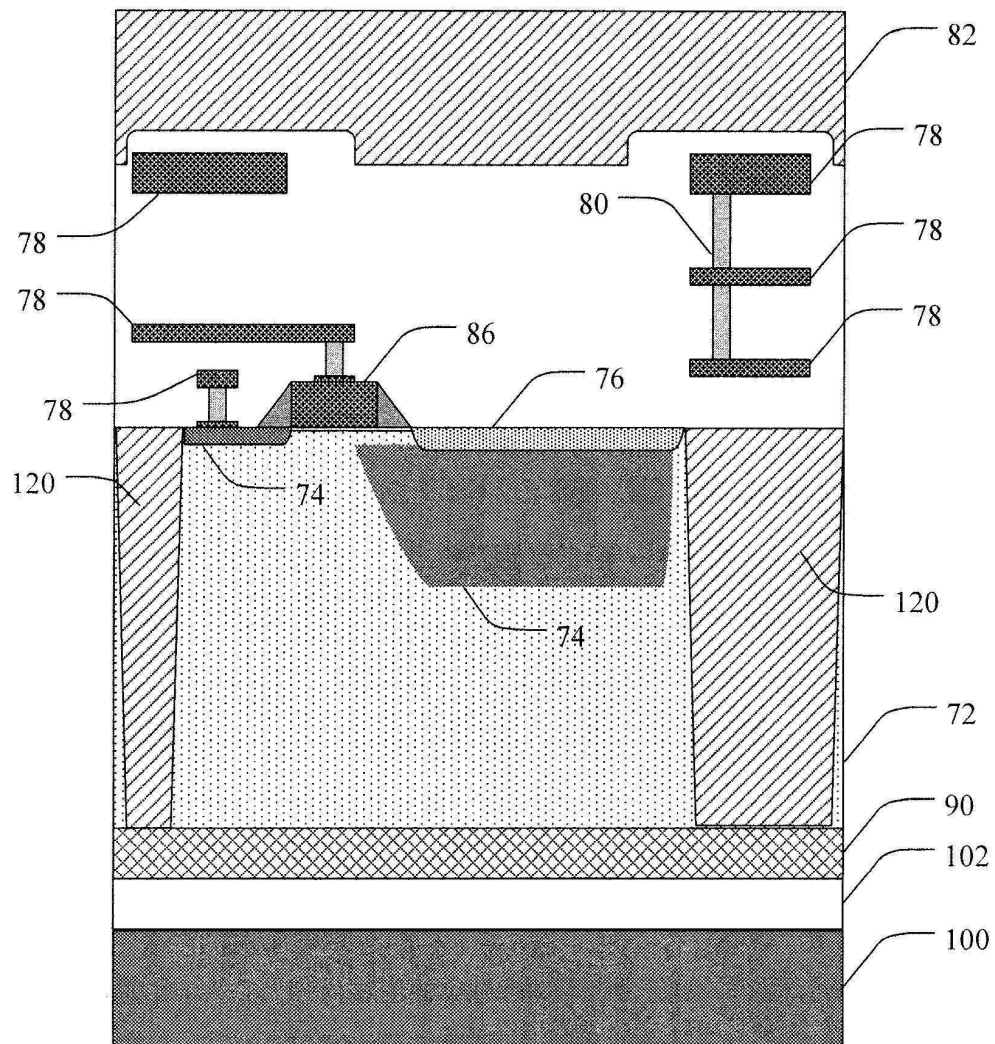
도면10



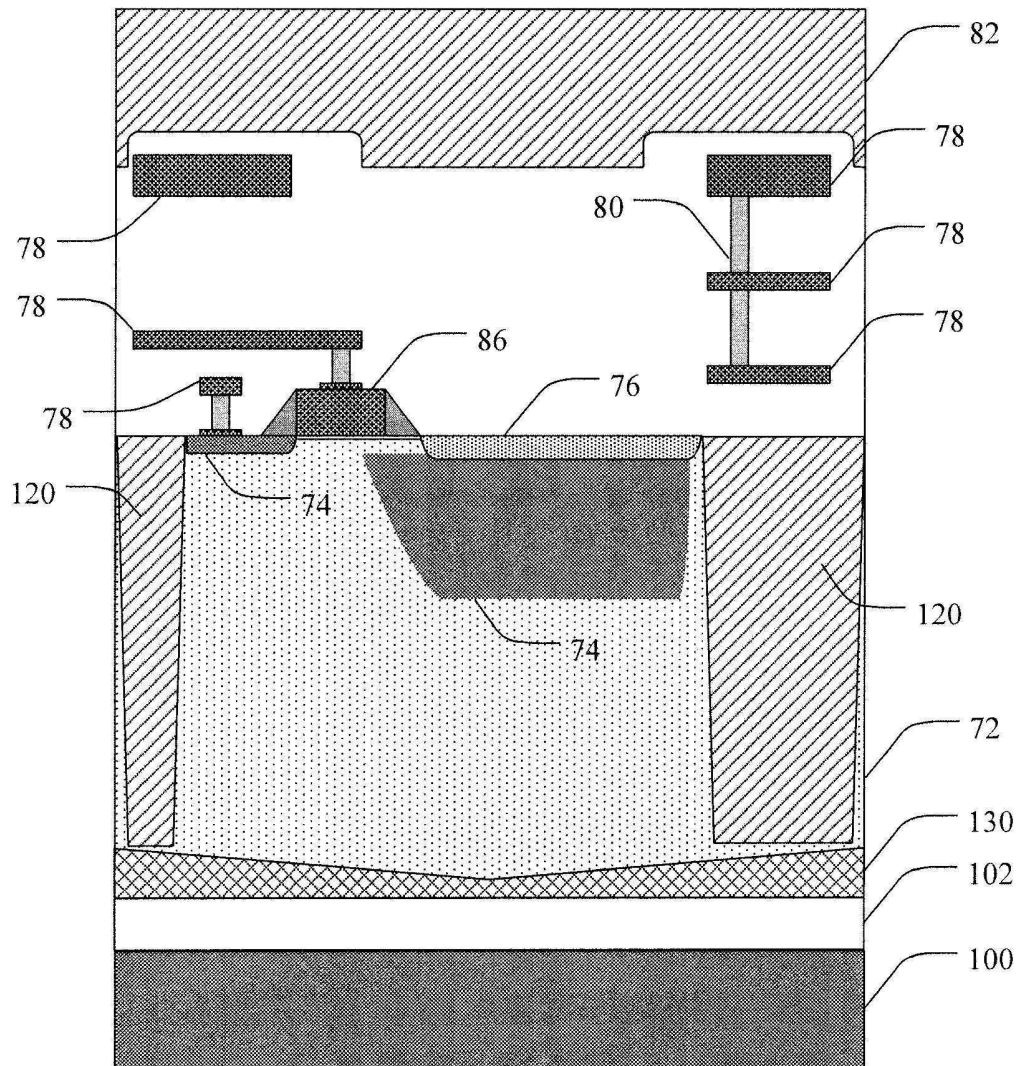
도면11



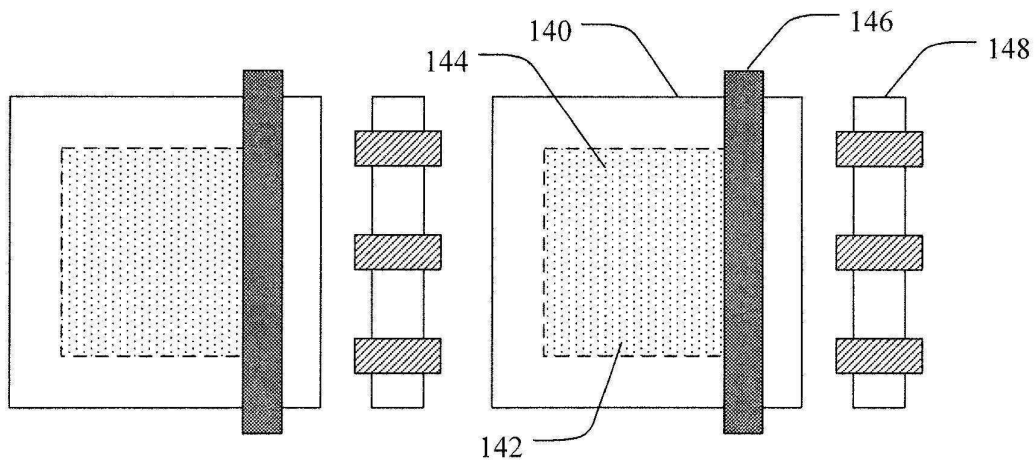
도면12



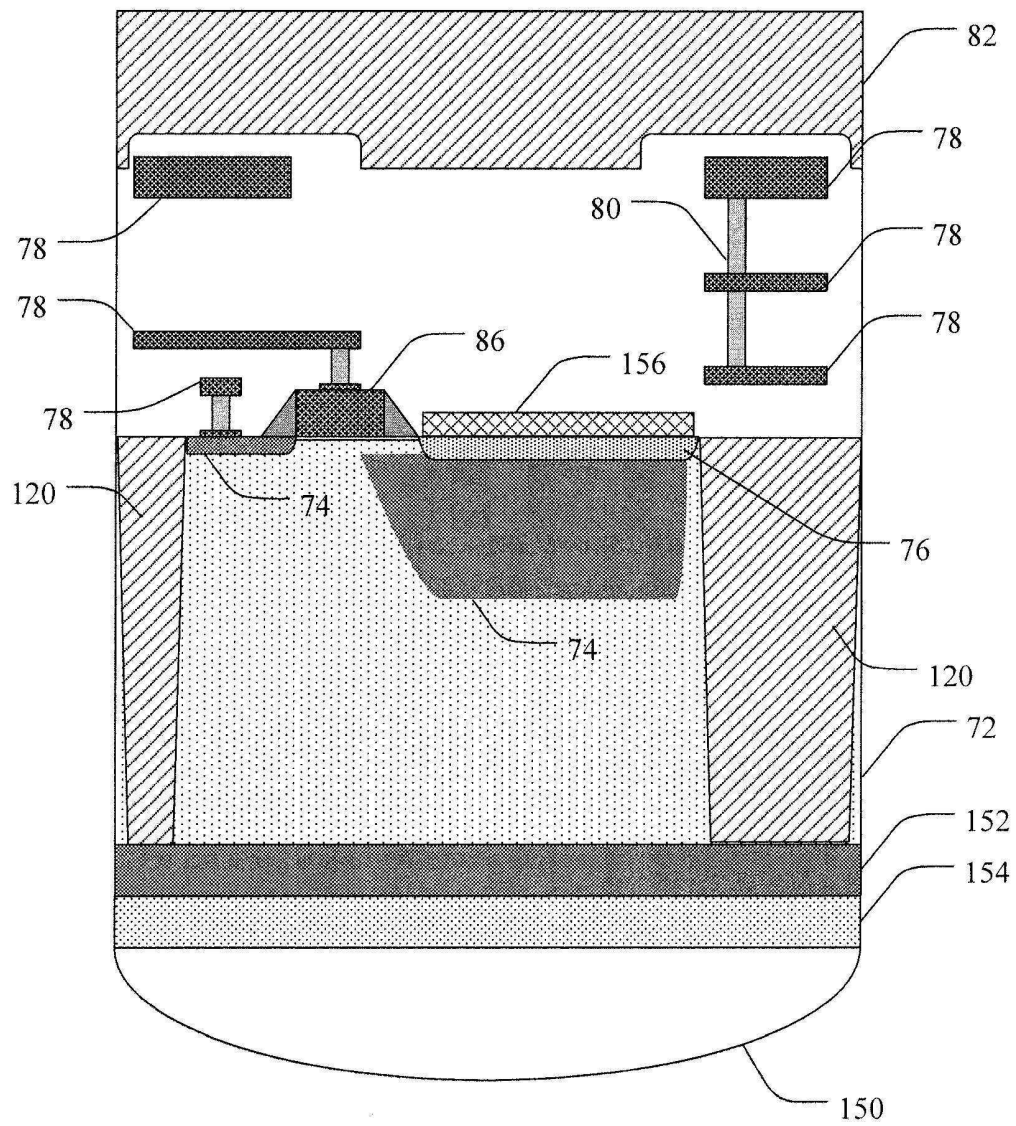
도면13



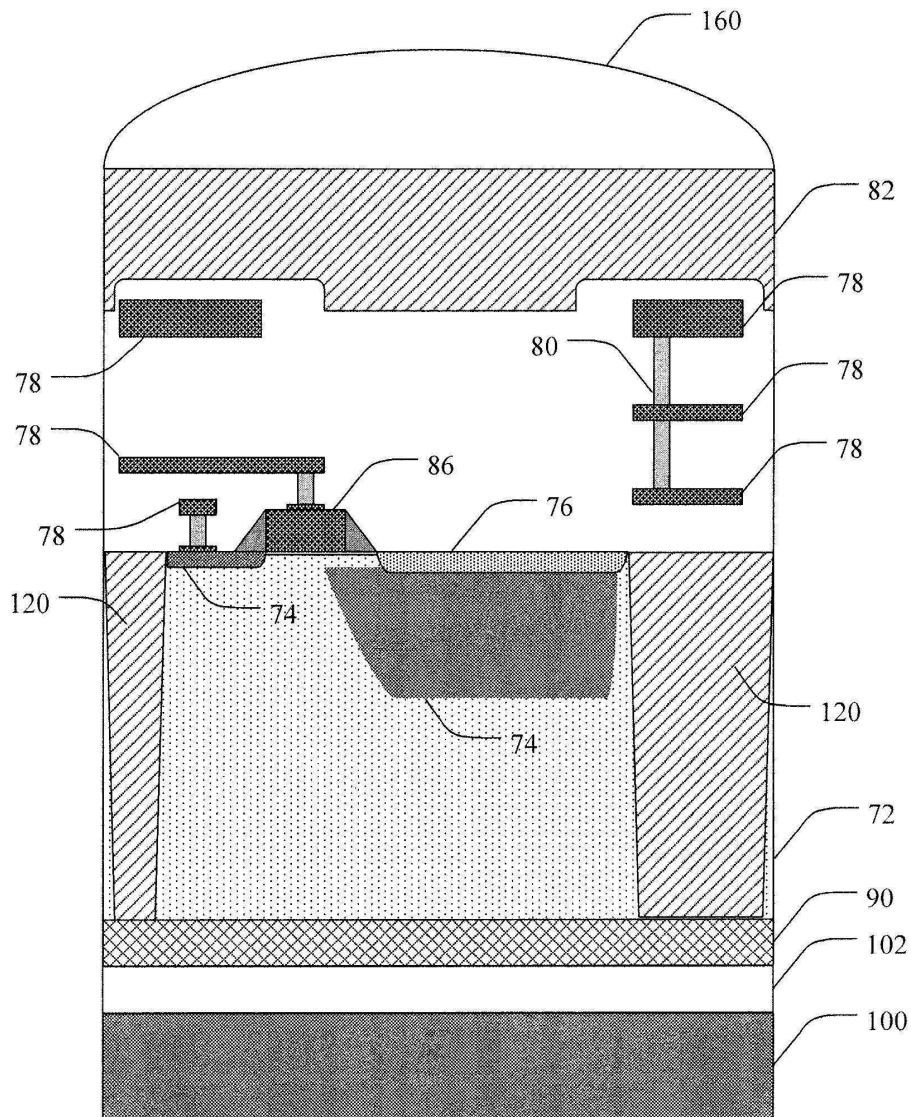
도면14



도면15



도면16



도면17

