(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3710845号
(P3710845)
(45)発行日　平成17年10月26日(2005.10.26)　(24)登録日　平成17年8月19日(2005.8.19)

(51)Int.Cl.[7]　F I
G11C 29/00　G11C 29/00　671F
G11C 11/401　G11C 11/34　371A

請求項の数 11　(全 42 頁)

(21)出願番号　特願平7-155015
(22)出願日　平成7年6月21日(1995.6.21)
(65)公開番号　特開平9-7396
(43)公開日　平成9年1月10日(1997.1.10)
審査請求日　平成14年5月10日(2002.5.10)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

行列状に配置される複数のメモリセルを含むメモリセルアレイと、

外部からの一のテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、所定の周期のクロック信号を発生するクロック発生手段と、

前記テストモード指定信号と前記クロック信号とに応答して、内部アドレス信号を前記クロック信号に同期して順次発生する内部アドレス発生手段と、

外部からのアドレス信号と前記内部アドレス信号を受けて、前記テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、

前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する行を選択する行選択手段と、

前記クロック信号を受けて前記テストモード指定信号が活性化している期間中、前記クロック信号を外部端子に出力する制御ゲート手段とを備える、半導体記憶装置。

【請求項２】

前記クロック発生手段は、

外部からのクロック周期制御信号に応じて、発生するクロック信号の周期を可変とするクロック周期可変手段をさらに備える、請求項１記載の半導体記憶装置。

【請求項３】

前記クロック信号の周期に応答する情報を不揮発的に記憶し、クロック周期制御信号を出力するクロック周期記憶手段をさらに備え、

前記クロック発生手段は、
前記クロック周期制御信号に応じて、発生するクロック信号の周期を可変とするクロック周期可変手段をさらに含む、請求項１記載の半導体記憶装置。
【請求項４】
外部からの複数の動作制御信号の組合せに応じて、所定のテストモードが指定されたことを検出し、前記テストモード指定信号を出力するテストモード検出手段をさらに備える、請求項１から３のいずれかに記載の半導体記憶装置。
【請求項５】
行列状に配置される複数のメモリセルを含むメモリセルアレイと、
外部からの一のテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、所定の周期のクロック信号を発生するクロック発生手段と、
前記テストモード指定信号と前記クロック信号とに応答して、内部アドレス信号を前記クロック信号に同期して順次発生する内部アドレス発生手段と、
外部からのアドレス信号と前記内部アドレス信号を受けて、前記テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、
前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する行を選択する行選択手段と、
前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する列を選択する列選択手段と、
前記行選択手段および前記列選択手段により選択されたメモリセルの記憶情報を読出して出力する書込／読出動作制御手段と、
前記記憶情報を受けて、外部データ端子に出力する出力バッファ手段と、
前記書込／読出動作制御手段と前記出力バッファ手段との間に接続され、前記記憶情報および前記クロック信号を受けて、前記テストモード指定信号が活性期間中は前記クロック信号を、前記テストモード指定信号が不活性期間中は前記記憶情報を出力する出力バッファ入力信号制御手段とを備える、半導体記憶装置。
【請求項６】
行列状に配置される複数のメモリセルを含むメモリセルアレイと、
外部からのテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号に同期した第１の内部クロック信号を発生する第１のクロック発生手段と、
前記テストモード指定信号と前記第１の内部クロック信号とに応答して、内部アドレス信号を、前記第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、
外部からのアドレス信号と前記内部アドレス信号を受けて、前記テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、
前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する行を選択する行選択手段と、
前記第１の内部クロック信号を受けて、前記テストモード指定信号が活性化している期間中、前記第１の内部クロック信号を外部端子に出力する制御ゲート手段とを備える、半導体記憶装置。
【請求項７】
行列状に配置される複数のメモリセルを含むメモリセルアレイと、
外部からのテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号に同期した第１の内部クロック信号を発生する第１のクロック発生手段と、
前記テストモード指定信号と前記第１の内部クロック信号とに応答して、内部アドレス信号を、前記第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、
外部からのアドレス信号と前記内部アドレス信号を受けて、前記テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、
前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、

前記メモリセルアレイの対応する行を選択する行選択手段と、
前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する列を選択する列選択手段と、
前記行選択手段および前記列選択手段により選択されたメモリセルの記憶情報を読出して出力する、書込／読出動作制御手段と、
前記記憶情報を受けて、外部データ端子に出力する出力バッファ手段と、
前記書込／読出動作制御手段と前記出力バッファ手段との間に接続され、前記記憶情報および前記第１の内部クロック信号を受けて、前記テストモード指定信号が活性期間中は前記第１の内部クロック信号を、前記テストモード指定信号が不活性期間中は前記記憶情報を出力する出力バッファ入力信号制御手段とを備える、半導体記憶装置。

【請求項８】
行列状に配置される複数のメモリセルを含むメモリセルアレイと、
外部からのテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号を逓倍した第１の内部クロック信号を発生する第１のクロック発生手段と、
前記動作モード指定信号と前記第１の内部クロック信号とに応答して、内部アドレス信号を、前記第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、
外部からのアドレス信号と前記内部アドレス信号を受けて、前記動作モード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、
前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する行を選択する行選択手段と、
前記第１の内部クロック信号を受けて、前記テストモード指定信号が活性化している期間中、前記第１の内部クロック信号を外部端子に出力する制御ゲート手段とを備える、半導体記憶装置。

【請求項９】
前記クロック発生手段は、
外部からのクロック周期制御信号に応じて、発生するクロック信号の周期を可変とするクロック周期可変手段をさらに備える、請求項８記載の半導体記憶装置。

【請求項１０】
行列状に配置される複数のメモリセルを含むメモリセルアレイと、
外部からのテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号を逓倍した第１の内部クロック信号を発生する第１のクロック発生手段と、
前記動作モード指定信号と前記第１の内部クロック信号とに応答して、内部アドレス信号を、前記第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、
外部からのアドレス信号と前記内部アドレス信号を受けて、前記動作モード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、
前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する行を選択する行選択手段と、
前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する列を選択する列選択手段と、
前記行選択手段および前記列選択手段により選択されたメモリセルの記憶情報を読出して出力する書込／読出動作制御手段と、
前記記憶情報を受けて、外部データ端子に出力する出力バッファ手段と、
前記書込／読出動作制御手段と、前記出力バッファ手段との間に接続され、前記記憶情報および前記第１の内部クロック信号を受けて、前記テストモード指定信号が活性期間中は前記第１の内部クロックを、前記テストモード指定信号が不活性期間中は前記記憶情報を出力する出力バッファ入力信号制御手段とを備える、半導体記憶装置。

【請求項１１】
行列状に配置される複数のメモリセルを含むメモリセルアレイと、

外部からのテストモード指定信号に応じて、前記テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号を逓倍した第１の内部クロック信号を発生する第１のクロック発生手段と、
前記動作モード指定信号と前記第１の内部クロック信号とに応答して、内部アドレス信号を、前記第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、
外部からのアドレス信号と前記内部アドレス信号を受けて、前記動作モード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、
前記クロック信号に同期して動作し、前記アドレス信号切換手段からの出力に応じて、前記メモリセルアレイの対応する行を選択する行選択手段と、
内部自動試験手段とを備え、
前記内部自動試験手段は、
前記第１の内部クロック信号に応じて、前記内部アドレス信号で指定されるメモリセルごとに書込まれる擬似入力データを発生する擬似入力データ発生手段と、
前記テストモード指定信号が活性期間中、前記擬似入力データの前記メモリセルへの書込および読出を制御する自動試験制御手段と、
前記擬似入力データとメモリセルからの読出データを比較しビット誤りを検出する判定手段とを含む、半導体記憶装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

この発明は半導体記憶装置に関し、特に、半導体記憶装置のテストを高速に行なうための半導体記憶装置の構成に関する。

【０００２】

【従来の技術】

半導体記憶装置、特に、ダイナミック型ＲＡＭ（以下、ＤＲＡＭ）のメモリ容量の大容量化に伴い、半導体記憶装置のテストに要する時間も飛躍的に増大している。

【０００３】

これは、半導体記憶装置の記憶容量が増大するにつれ、そこに含まれるワード線の数も増大するため、ワード線を順次選択状態としつつメモリセル情報の書込および読出動作を行なう時間が格段に長くなったことにより生じる問題である。

【０００４】

上記の問題はバーンインテストなどの加速試験においてより深刻である。このバーンインテストにおいては、半導体記憶装置を高温高電圧の条件下で動作させ、構成要素であるＭＯＳトランジスタのゲート絶縁膜不良、配線間の層間絶縁膜不良、配線不良および製造工程時に混入したバーティクルに起因する不良などの潜在的な初期不良を顕在化させて、出荷前の不良品を排除するものである。

【０００５】

上記のようなバーンインテストは、出荷製品の品質維持上必須の試験であり、このテストに要する時間の増大は半導体記憶装置の製造コストの上昇に直接結び付くことになる。

【０００６】

このようなテスト時間の増大の問題は、また、寿命テストなどの信頼性試験においても同様に生じる問題である。

【０００７】

図４５は、バーンインテストを行なうための従来の装置構成を概略的に示す図である。

【０００８】

図４５において、テストボードＴＢ上には、半導体記憶装置ＤＲ１１～ＤＲｍｎは、ｍ行ｎ列に配列されている。これら半導体記憶装置ＤＲ１１～ＤＲｍｎは、信号バスＳＧを介して各々接続される。

【０００９】

テスト期間中は、このテストボードＴＢに対して、試験信号発生回路ＴＡから制御信号お

よびクロック信号が出力される。これら制御信号およびクロック信号は信号バスＳＧにより、各半導体記憶装置に伝達される。

【００１０】

バーンインテストにおいては、たとえば、まず半導体記憶装置ＤＲ１１～ＤＲｍｎに対し、それらの各メモリセルに対してハイレベルデータの書込が行なわれる。続いて、試験信号発生回路ＴＡからロウアドレスストローブ信号／ＲＡＳおよびアドレス信号を信号バスＳＧへ与え、半導体記憶装置ＤＲ１１～ＤＲｍｎにおいてワード線の選択およびセンスアンプ回路の動作が行なわれる。センスアンプ回路により増幅されたメモリセル情報と、予め書込を行なったテストデータとの比較を行なうことにより各半導体記憶装置の動作不良を検出する。

【００１１】

以上のような動作を、所定の加速条件の下所定の時間連続して行なうことになる。

【００１２】

図４７は、従来のダイナミック型半導体記憶装置の全体の構成を概略的に示す図である。図４７において、ダイナミック型半導体記憶装置１は、外部制御信号入力端子２ないし５を介して与えられる外部制御信号／ＷＥ、／ＯＥ、／ＲＡＳおよび／ＣＡＳを受けて内制御信号を発生するコントロール回路１８と、メモリセルが行列状に配列されるメモリセルアレイ７と、アドレス信号入力端子８を介して与えられる外部アドレス信号Ａ０～Ａｉを受け、コントロール回路１８の制御の下に内部ロウアドレス信号および内部コラムアドレス信号を発生するアドレスバッファ９と、コントロール回路１８の制御の下に、リフレッシュ動作時にリフレッシュされるべき行を指定するリフレッシュロウアドレス信号を発生する内部アドレス発生回路１０と、コントロール回路１８の制御の下にアドレスバッファ９および内部アドレス発生回路１０からのアドレス信号のいずれかを選択的に通過させるマルチプレクサ１１と、コントロール回路１８の制御の下に活性化され、マルチプレクサ１１から与えられる内部行アドレス信号をデコードし、メモリセルアレイ７の行を選択するロウデコーダ１２を含む。

【００１３】

外部制御信号入力端子２へ与えられる信号／ＷＥは、データ書込を指定するライトイネーブル信号である。外部制御信号入力端子３へ与えられる／ＯＥは、データ出力を指定する出力イネーブル信号である。外部制御信号入力端子４へ与えられる信号／ＲＡＳは、半導体記憶装置の内部動作を開始させ、かつ内部動作の活性時間を決定するロウアドレスストローブ信号である。

【００１４】

この信号／ＲＡＳの活性化時、ロウデコーダ１２等のメモリセルアレイ７の行を選択する動作に関連する回路は活性状態とされる。外部制御信号入力端子５へ与えられる信号／ＣＡＳはコラムアドレスストローブ信号であり、メモリセルアレイ７における列を選択する回路を活性状態とする。

【００１５】

半導体記憶装置１は、さらに、コントロール回路１８の制御の下に活性化され、アドレスバッファ９からの内部列アドレス信号をデコードし、メモリセルアレイ７の列を選択する列選択信号を発生するコラムデコーダ１３と、メモリアレイ７の選択された行に接続するメモリセルのデータを検知し増幅するセンスアンプと、コラムデコーダ１３からの列選択信号に応答してメモリセルアレイ７の選択された列を内部データバスａ１に接続するＩＯゲートと、コントロール回路１８の制御の下に、データ書込時データ入力端子１７へ与えられた外部書込データＤＱ０～ＤＱｊから内部書込データを生成して内部データバスａ１へ伝達する入力バッファ１５と、コントロール回路６の制御の下にデータ読出時この内部データバスａ１に読出された内部読出データから外部読出データＤＱ０～ＤＱｊを生成してデータ入出力端子１７へ出力する出力バッファ１６を含む。

【００１６】

図４７においては、センスアンプとＩＯゲートは１つのブロック１４で示す。入力バッフ

ァ１５は、信号／ＷＥおよび／ＣＡＳがともに活性状態のローレベルとなったときに活性化されて内部書込データを生成する。出力バッファ１６は出力イネーブル信号／ＯＥの活性化に従って活性状態とされる。

【００１７】

以上ように、外部から与えられる前記信号／ＷＥ、／ＯＥ、／ＲＡＳ、／ＣＡＳおよびアドレス信号Ａ０～ＡｉによりＤＲＡＭの動作は制御される。

【００１８】

したがって、上記バーンインテスト中においても、試験信号発生回路ＴＡからは各半導体記憶装置ＤＲ１１～ＤＲｍｎに対してこれらの信号が与えられることになる。

【００１９】

【発明が解決しようとする課題】

上記のようなバーンインテストにおいて、各半導体記憶装置のメモリ容量が増大した場合でも、テスト時間の増大を抑制するためには、図４５に示す試験信号発生回路ＴＡから信号バスＳＧへ伝達される制御信号／ＲＡＳを高速で変化させることにより、ワード線が選択状態とされる時間を短くすることが考えられる。

【００２０】

しかしながら、信号バスＳＧには数多くの半導体記憶装置ＤＲ１１～ＤＲｍｎが接続されており、信号バスＳＧは図４５に示すように、大きな寄生容量Ｃｐが存在する。このため、信号バスＳＧの配線抵抗やこの大きな寄生容量のため、信号伝達遅延が生じ、前記信号を高速で変化させることには限界がある。

【００２１】

図４６は、信号バスＳＧ上の制御信号／ＲＡＳおよびアドレス信号の変化をしめす一例である。

【００２２】

図４６（Ａ）に信号バスＳＧ上の理想的な信号波形を示し、図４６（Ｂ）に従来のバーンインテスト時における信号バスＳＧ上の信号波形を示す。図４６（Ａ）に示すように、理想状態においては、信号／ＲＡＳは、信号伝搬遅延の影響を受けることなく、所定の立上がり時間および立下がり時間をもって変化する。アドレス信号は、この信号／ＲＡＳに対してセットアップ時間ＴｓおよびホールドＴｈが要求される。セットアップ時間Ｔｓは、信号／ＲＡＳが立下がる前に確定状態とされるために必要とされる時間である。ホールド時間Ｔｈは、信号／ＲＡＳが立下がってからアドレス信号が確定状態を維持するために必要とされる時間である。

【００２３】

一方、信号バスＳＧの寄生容量Ｃｐが大きい場合、図４６（Ｂ）に示すように、信号バスＳＧ上の信号伝搬遅延により制御信号／ＲＡＳの立上がり時間および立下がり時間が長くなり波形が歪むことになる。このため、制御信号／ＲＡＳを高速で変化させることができない。

【００２４】

また、このとき、アドレス信号の変化速度も同様に遅くなる。アドレスセットアップ時間Ｔｓを確保するためには、アドレス信号を理想波形（図４６（Ａ））のアドレス信号変化タイミングよりも早いタイミングで変化させる必要がある。アドレス信号を制御信号／ＲＡＳが非活性状態のハイレベルのときに変化させるため、制御信号／ＲＡＳの非活性状態の期間が理想波形のそれよりも長くなる。

【００２５】

この結果、バーンインテストの１つのサイクル（ワード線選択サイクル）のの時間が長くなり、高速でワード線を順次選択状態とすることができず、バーンインテスト時間を短くすることができないという問題があった。

【００２６】

また、バーンインテストにおいては、予め各メモリセルに所定の記憶情報を書込み、これをワード線を順次選択状態とすることで、順次読出、書込を行なった情報である期待値と

比較することにより、データビットの誤りを検出することにより、製品不良を発見する。このため、上記のように制御信号／ＲＡＳを高速で変化させることが困難である場合は、上記期待値である信号を予め書込むサイクルにおいてもそのテスト時間が増加してしまうという問題点があった。

【００２７】

したがって、この発明の目的はバーンインテストなどのテストモード動作を高速で実行することのできる半導体記憶装置を提供することである。

【００３０】

【課題を解決するための手段】

この発明は、要約すれば、テストモード時に活性化されて内部クロック信号を発生するクロック発生手段を半導体記憶装置内に設け、このクロック信号をワード線選択動作活性化信号として利用するものである。

【００３１】

すなわち、請求項１記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からの一のテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、所定の周期のクロック信号を発生するクロック発生手段と、テストモード指定信号とクロック信号とに応答して、内部アドレス信号をクロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、クロック信号を受けて、テストモード指定信号が活性化している期間中、クロック信号を外部端子に出力する制御ゲート手段とを備える。

【００３２】

請求項２記載の半導体記憶装置は、請求項１記載の半導体記憶装置の構成に加えて、クロック発生手段は、外部からのクロック周期制御信号に応じて、発生するクロック信号の周期を可変とするクロック周期可変手段をさらに備える。

【００３３】

請求項３記載の半導体記憶装置は、請求項１記載の半導体記憶装置の構成に加えて、クロック信号の周期に対応する情報を不揮発的に記憶し、クロック周期制御信号を出力するクロック周期記憶手段をさらに備え、クロック発生手段は、クロック周期制御信号に応じて、発生するクロック信号の周期を可変とするクロック周期可変手段をさらに含む。

【００３４】

請求項４記載の半導体記憶装置は、請求項１～３のいずれかに記載の半導体記憶装置の構成に加えて、外部からの複数の動作制御信号の組合せに応じて、所定のテストモードが指定されたことを検出し、テストモード指定信号を出力するテストモード検出手段をさらに備える。

【００３５】

請求項５記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からの一のテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、所定の周期のクロック信号を発生するクロック発生手段と、テストモード指定信号とクロック信号とに応答して、内部アドレス信号をクロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する列を選択する列選択手段と、行選択手段および列選択手段により選択されたメモリセルの記憶情報を読出して出力する書込／読出動作制御手段と、記憶情報を受けて外部データ端子に出力する出力バッファ手段と、書込／読出動作制御手段と出力バッファ手段との間に接続され、記憶情報およびクロック信号を受けて、

テストモード指定信号が活性期間中はクロック信号を、テストモード指定信号が不活性期間中は記憶情報を出力する出力バッファ入力信号制御手段とを備える。

【００３９】

この発明の他の局面に従うと、テストモード時に活性化されて外部から与えられるクロック信号に同期して内部クロック信号を発生するクロック発生手段を半導体記憶装置内に設け、この内部クロック信号をワード線選択動作活性化信号として利用するものである。

【００４０】

すなわち、請求項６記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からのテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号に同期した第１の内部クロック信号を発生する第１のクロック発生手段と、テストモード指定信号と第１の内部クロック信号とに応答して、内部アドレス信号を、第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、第１の内部クロック信号を受けて、テストモード指定信号が活性化している期間中、第１の内部クロック信号を外部端子に出力する制御ゲート手段とを備える。

【００４２】

請求項１１記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からのテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号に同期した第１の内部クロック信号を発生する第１のクロック発生手段と、テストモード指定信号と第１の内部クロック信号とに応答して、内部アドレス信号を、第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、テストモード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する列を選択する列選択手段と、行選択手段および列選択手段により選択されたメモリセルの記憶情報を読出して出力する書込／読出動作制御手段と、記憶情報を受けて、外部データ端子に出力する出力バッファ手段と、書込／読出動作制御手段と出力バッファ手段との間に接続され、記憶情報および第１の内部クロック信号を受けて、テストモード指定信号が活性期間中は第１の内部クロック信号を、テストモード指定信号が不活性期間中は記憶情報を出力する出力バッファ入力信号制御手段とを備える。

【００４７】

この発明のさらに他の局面に従うと、テストモード時に活性化されて外部からのクロック信号を受けて、外部クロック信号を逓倍した内部クロック信号発生手段を半導体記憶装置内に設け、この内部クロック信号をワード線選択動作活性化信号として利用するものである。

【００４８】

すなわち、請求項８記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からのテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号を逓倍した第１の内部クロック信号を発生する第１のクロック発生手段と、動作モード指定信号と第１の内部クロック信号とに応答して、内部アドレス信号を、第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、動作モード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、第１の内部クロック信号を

受けて、テストモード指定信号が活性化している期間中、第１の内部クロック信号を外部端子に出力する制御ゲート手段とを備える。

【００４９】

請求項９記載の半導体記憶装置は、請求項８記載の半導体記憶装置の構成に加えて、第１のクロック発生手段は、外部からのクロック周期制御信号に応じて、発生する第１の内部クロック信号の周期を可変とするクロック周期可変手段をさらに備える。

【００５０】

請求項１０記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からのテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号を逓倍した第１の内部クロック信号を発生する第１のクロック発生手段と、動作モード指定信号と第１の内部クロック信号とに応答して、内部アドレス信号を、第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、動作モード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する列を選択する列選択手段と、行選択手段および列選択手段により選択されたメモリセルの記憶情報を読出して出力する書込／読出動作制御手段と、記憶情報を受けて外部データ端子に出力する出力バッファ手段と、書込／読出動作制御手段と、出力バッファ手段との間に接続され、記憶情報および第１の内部クロック信号を受けて、テストモード指定信号が活性期間中は第１の内部クロックを、テストモード指定信号が不活性期間中は記憶情報を出力する出力バッファ入力信号制御手段とを備える。

【００５４】

請求項１１記載の半導体記憶装置は、行列状に配置される複数のメモリセルを含むメモリセルアレイと、外部からのテストモード指定信号に応じて、テストモード指定信号が活性化している期間中、外部からのクロック信号を受けて前記外部クロック信号を逓倍した第１の内部クロック信号を発生する第１のクロック発生手段と、動作モード指定信号と第１の内部クロック信号とに応答して、内部アドレス信号を、第１の内部クロック信号に同期して順次発生する内部アドレス発生手段と、外部からのアドレス信号と内部アドレス信号を受けて、動作モード指定信号に応じて、いずれか一方を出力するアドレス信号切換手段と、クロック信号に同期して動作し、アドレス信号切換手段からの出力に応じて、メモリセルアレイの対応する行を選択する行選択手段と、内部自動試験手段とを備え、内部自動試験手段は、第１の内部クロック信号に応じて、内部アドレス信号で指定されるメモリセルごとに書込まれる擬似入力データを発生する擬似入力データ発生手段と、テストモード指定信号が活性期間中、擬似入力データのメモリセルへの書込および読出を制御する自動試験制御手段と、擬似入力データとメモリセルからの読出データを比較し、ビット誤りを検出する判定手段とを含む。

【００６４】

【作用】

請求項１記載の半導体記憶装置は、外部から与えられるテストモード指定信号に応じて発生するクロック信号によりテストモード期間中の動作が制御される。テストモード期間中のクロック信号が制御ゲート手段を介して外部端子に出力される。

【００６５】

請求項２記載の半導体記憶装置は、請求項１記載の半導体記憶装置の作用に加えて、外部からのクロック周期制御信号に応じて、クロック信号の周期が変化される。

【００６６】

請求項３記載の半導体記憶装置は、請求１記載の半導体記憶装置の作用に加えて、クロック周期記憶手段に記憶された情報に基づいて、クロック発生手段が発生するクロック周期の信号が変化される。

【００６７】
請求項４記載の半導体記憶装置は、外部からの複数の動作制御信号の組合せによって、テストモードの開始が指定される。
【００６８】
請求項５記載の半導体記憶装置は、テストモード期間中は、出力バッファ入力信号制御手段を介して、出力バッファ手段にクロック信号が入力される。
【００７１】
請求項６記載の半導体記憶装置は、テストモード期間中は、外部から与えられた外部クロック信号に同期して発生する第１の内部クロック信号により動作が制御される。テストモード期間中は、制御ゲート手段を介して第１の内部クロック信号が外部端子に出力される。
【００７３】
請求項７記載の半導体記憶装置は、テストモード期間中は、出力バッファ手段に第１の内部クロック信号が入力される。
【００７８】
請求項８記載の半導体記憶装置は、テストモード期間中は、外部から与えられる外部クロック信号を逓倍した第１の内部クロック信号により動作が制御される。テストモード期間中は、制御ゲート手段を介して、外部端子に第１の内部クロック信号が出力される。
【００８０】
請求項９記載の半導体記憶装置は、請求項８記載の半導体記憶装置の作用に加えて、外部からのクロック周期制御信号に応じて、第１の内部クロック信号の周期が変化される。
【００８１】
請求項１０記載の半導体記憶装置は、テストモード期間中は、出力バッファ入力信号制御手段を介して、出力バッファ手段に第１の内部クロック信号が入力される。
【００８５】
請求項１１記載の半導体記憶装置は、内部自動試験手段を備え、テストモード期間中は、この内部自動試験手段により、メモリセルの記憶情報のビット誤りの検出が行なわれる。
【００９３】
【実施例】
［第１の実施例］
図１は、この発明の第１の実施例である半導体記憶装置の全体の構成を概略的に示す図である。図１において、半導体記憶装置１は、外部制御信号ＥＸＴ．／ＷＥ、ＥＸＴ．／ＯＥ、ＥＸＴ．／ＲＡＳ、ＥＸＴ．／ＣＡＳを受けて各種内部制御信号を発生するコントロール回路１８と、外部からのテストモード指定信号ＥＸＴ．ＢＩを受けて、内部クロック信号ＣＬＫの出力を開始し、外部からの内部クロック周期制御信号ＦＳに応じて、出力する内部クロック信号ＣＬＫの周期を変化させる内部周期設定回路２０と、内部クロック信号ＣＬＫを受けて、外部制御信号ＥＸＴ．ＢＩに応じて、内部クロック信号ＣＬＫを／ＣＡＳ信号が入力される外部端子５およびコントロール回路６に出力する制御ゲート回路２２と、センスアンプ回路および入出力制御回路１４からの出力と内部クロック信号ＣＬＫを受け、外部制御信号ＥＸＴ．ＢＩが活性期間中は出力バッファ１６にクロック信号ＣＬＫを出力し、信号ＥＸＴ．ＢＩが不活性期間中は、センスアンプおよび入出力制御回路１４からの出力信号を出力バッファ１６に出力するバッファ入力信号制御回路２４とを含む。
【００９４】
内部周期設定回路２０が発生する内部クロック信号ＣＬＫが行選択動作活性化信号（内部ＲＡＳ）としてコントロール回路１８に与えられる。コントロール回路１８は、外部信号ＥＸＴ．ＢＩにより、テストモードが指定されたときにこの内部周期設定回路２０からのクロック信号ＣＬＫに同期して行選択動作活性化信号を活性状態とする。他の構成は、図４７に示す従来の半導体記憶装置の構成と同様であり、対応する部分には同一の参照番号

を付して説明は省略する。

【００９５】

図２は、図１に示す内部周期設定回路２０の構成の一例を示す図である。図２において、内部周期設定回路２０は、縦続接続される複数段（図２においては４段）のインバータ２１ａ～２１ｄと、インバータ２１ｄの出力信号とテストモード指定信号ＥＸＴ．ＢＩをインバータ２１ｆを介して受けるＮＯＲゲート２１ｅを含む。インバータ２１ａ～２１ｄの段数は、発生されるべきクロック信号ＣＬＫの周期に応じて適当に設定される。

【００９６】

したがって、内部周期設定回路２０として、図２に示される回路を用いた場合は、その出力であるクロック信号ＣＬＫの周期は予め設定された所定の周期に固定される。

【００９７】

図３は、図１に示す内部周期設定回路２０の構成の他の例を示す図である。図３を参照して、この内部周期設定回路２０ｂは、バイアス発生回路１００と直列接続されたＫ－１個（Ｋは奇数である。）の遅延時間可変素子１１０．１～１１０．Ｋ－１を含む。さらにこの内部周期設定回路２０ｂは、上記直列接続された遅延時間可変素子の最終段と接続し、テストモード指定信号ＥＸＴ．ＢＩにより動作の開始が制御される遅延時間可変素子１１０．Ｋを含む。

【００９８】

バイアス場合回路１００は、ＰチャネルＭＯＳトランジスタ１００、１０２とＮチャネルＭＯＳトランジスタ１０３、１０４を含む。ＰチャネルＭＯＳトランジスタ１０１およびＮチャネルＭＯＳトランジスタ１０３は、電源ライン１２１と接地電位ライン１２２の間に直列接続される。ＰチャネルＭＯＳトランジスタ１０２とＮチャネルＭＯＳトランジスタ１０４は、電源電位ライン１２１と接地電位ライン１２２の間に直列接続される。ＰチャネルＭＯＳトランジスタ１０１、１０２のゲートは共通接続されるとともにＰチャネルＭＯＳトランジスタ１０１のドレインに接続される。すなわち、ＰチャネルＭＯＳトランジスタ１０１と１０２はカレントミラー回路を構成する。ＮチャネルＭＯＳトランジスタ１０３のゲートは内部クロック周期制御信号ＦＳを受ける。ＮチャネルＭＯＳトランジスタ１０４のゲートはそのドレインに接続される。

【００９９】

ＮチャネルＭＯＳトランジスタ１０３には内部クロック周期制御信号ＦＳに応じて増減する電流Ｉａが流れる。ＭＯＳトランジスタ１０３と１０１は直列接続され、ＭＯＳトランジスタ１０１と１０２はカレントミラー回路を構成し、ＭＯＳトランジスタ１０２と１０４は直列接続されているので、４つのＭＯＳトランジスタ１０１～１０４には同じ電流Ｉａが流れる。ただし、ＭＯＳトランジスタ１０１と１０２のトランジスタサイズは同一であるものとする。

【０１００】

遅延時間可変素子１１０．１は、電源電位ライン１２１と接地電位ライン１２２の間に直列接続されたＰチャネルＭＯＳトランジスタ１１１．１、１１２．１およびＮチャネルＭＯＳトランジスタ１１３．１、１１４．１を含む。ＰチャネルＭＯＳトランジスタ１１１．１のゲートは、バイアス発生回路１００のＰチャネルＭＯＳトランジスタ１０２のゲートに接続される。ＭＯＳトランジスタ１１２．１、１１３．１のゲートは共通接続され、ＭＯＳトランジスタ１１２．１、１１３．１はインバータ１１５．１を構成する。

【０１０１】

ＮチャネルＭＯＳトランジスタ１１４．１のゲートは、バイアス発生回路１００のＮチャネルＭＯＳトランジスタ１０４のゲートに接続される。他の遅延時間可変素子１１０．２～１１０．Ｋ－１も同様である。インバータ１１５．１～１１５．Ｋ－１は直列接続される。インバータ１１５．１の入力には、ＮＡＮＤ回路１１５．Ｋの出力が接続する。

【０１０２】

次に、図３に示した内部周期発生回路２０ｂの動作について説明する。

ＰチャネルＭＯＳトランジスタ１１１．１～１１１．Ｋのゲートはともに Ｐチャネル ＭＯ

Ｓトランジスタ１０２のゲートに接続され、ＮチャネルＭＯＳトランジスタ１１４．～１１４．Ｋのゲートはともに ＮチャネルＭＯＳトランジスタ１０４のゲートに接続されているので、各遅延時間可変素子１１０．１～１１０．Ｋにも内部クロック周期制御信号ＦＳに応じた電流Ｉａが流れる。

【０１０３】

内部クロック周期制御信号ＦＳが増大して電流Ｉａが増大すると、各インバータ１１５．１～１１５．Ｋ－１およびＮＡＮＤ回路１１５．Ｋの反転時間が短くなり、内部周期設定回路２０ｂの発振周期が短くなる。

【０１０４】

また、内部クロック周期制御信号ＦＳが減少して電流Ｉａが減少すると、各インバータ１１５．１～１１５．Ｋ－１およびＮＡＮＤ回路１１５．Ｋの反転時間が長くなり、内部周期設定回路２０ｂの発振周期が長くなる。

【０１０５】

テストモード指定信号ＥＸＴ．ＢＩが“Ｌ”レベルである期間中は、ＮＡＮＤ回路１１５．Ｋは不活性状態となるので、この内部周期設定回路２０ｂの出力は停止する。

【０１０６】

以上の構成により、テストモード指定信号ＥＸＴ．ＢＩにより動作の開始および停止が制御され、内部クロック周期制御信号ＦＳにより発振周期が制御される内部周期設定回路２０ｂの動作が実現されることになる。

【０１０７】

図４は、図１に示したバッファ入力信号制御回路２４の構成の一例を示す回路図である。

【０１０８】

バッファ入力信号制御回路２４は、センスアンプおよび入出力制御回路１４からの出力信号Ｄｏｕｔとテストモード指定信号ＥＸＴ．ＢＩの反転信号を入力とするＮＡＮＤ回路２４０と、内部周期設定回路２０の出力である内部クロック信号ＣＬＫおよびテストモード指定信号ＥＸＴ．ＢＩを入力とするＮＡＮＤ回路２４２を含む。テストモード指定信号ＥＸＴ．ＢＩが“Ｌ”レベルである期間中は、ＮＡＮＤゲート２４０は開状態となり、信号Ｄｏｕｔが出力される。

【０１０９】

一方、テストモード指定信号ＥＸＴ．ＢＩが“Ｈ”レベルである期間中は、ＮＡＮＤゲート２４２が開状態となり、内部クロック信号ＣＬＫが出力される。

【０１１０】

以上の構成により、テストモード期間中においても出力バッファ回路を継続的に動作させることが可能で、バーンインテストなどの加速試験において出力バッファ回路の加速試験を同時に行なうことが可能となる。

【０１１１】

本実施例においては、出力バッファ回路１６のみをテスト期間中動作状態とする構成としたが、入力バッファ回路１５および出力バッファ回路１６をともにテストモード期間中動作状態とする構成とすることももちろん可能である。

【０１１２】

図５は本発明の動作を説明するための信号波形図である。

テストモード指定信号ＥＸＴ．ＢＩが“Ｌ”レベルから“Ｈ”レベルに立上がった後は、内部周期設定回路２０からの出力である内部クロック信号ＣＬＫにより半導体記憶装置１は動作を行ない、ワード線が駆動され、メモリセル情報に対応してビット線ペア（ＢＬ，／ＢＬ）の電位差が増幅される。したがって、図４５に示したように多数の半導体記憶装置を１つのボード上に配列して同時に動作試験を行なう場合でも、外部からの試験信号の波形の歪とかかわりなく、各々の半導体記憶装置中の内部クロック信号は所定の周期および所定の波形を維持することが可能である。

【０１１３】

したがって、外部からのトリガとしてテストモード指定信号ＥＸＴ．ＢＩを与えてやるこ

とにより、各半導体記憶装置１は、ボード上に存在する寄生容量等の影響を受けることなく、高速で動作することが可能である。

【０１１４】

［第２の実施例］

図６は、本発明の第２の実施例の半導体記憶装置１の構成を示す概略ブロック図である。

【０１１５】

第１の実施例と異なる点は、内部周期設定回路２０の出力である内部クロック信号ＣＬＫの周期を制御するための内部クロック周期制御信号ＦＳを、外部からではなく、信号ＦＳの値を不揮発的に記憶することが可能な周期設定回路２６から与える構成とした点である。

【０１１６】

図７は、周期設定回路２６および図３に示した内部周期設定回路２０ｂとの接続関係を示す概略ブロック図である。

【０１１７】

バイアス発生回路１００中のＮチャネルＭＯＳトランジスタ１０３のゲートには、周期設定回路２６の出力が入力される。

【０１１８】

図８は、周期設定回路２６の構成をより詳細に示す回路図である。

定電流源２４２と接地電位との間に抵抗体２３４、２３６、２３８および２４０が直列に接続されている。抵抗体２３４にはヒューズ素子２２８が、抵抗体２３６にはヒューズ素子２３０が、抵抗体２３８にはヒューズ素子２３２がそれぞれ並列に接続されている。定電流源２４２と抵抗体２３４の接続点の電位が内部クロック周期制御信号ＦＳとして出力される。

【０１１９】

ヒューズ素子２２８、２３０および２３２をレーザトリミング等で切断することにより、定電流源２４２側から見た抵抗体の抵抗値の合成値が変化するので、内部クロック周期制御信号ＦＳの値を変化させることが可能である。

【０１２０】

半導体記憶装置は種類により動作条件などの仕様値が異なる。また、設計が異なれば、テスト条件等を変更する必要があるが、本実施例によれば、半導体記憶装置の種類に応じてテストモード期間中の内部クロックＣＬＫの周期を柔軟かつ容易に変更することが可能である。

【０１２１】

以上の実施例においては、テストモード期間中のテスト条件として内部クロック信号ＣＬＫの周期を高速化することにより、バーンイン試験等の加速試験のテスト時間を短縮する方法について述べた。加速試験の加速条件を変更するためには、内部クロック信号ＣＬＫの周期の高速化のみならず、通常外部電源電圧Ｖｃｅに対して降圧して内部回路に供給されている内部電源電圧Ｖｃｉを外部電源電圧にまで上昇するという方法もある。

【０１２２】

図９は、上記のような加速条件の設定を可能とする内部電源電圧供給回路の構成を示すブロック図である。

【０１２３】

外部電源電圧Ｖｃｅと接地電位との間にＰチャネルＭＯＳトランジスタ２４６および負荷２５０が直流に接続される。ＰチャネルＭＯＳトランジスタ２４６のゲートには、基準電圧発生回路（図示せず）からの出力Ｖｒｅｆおよびナイフ電源電圧Ｖｃｉを入力とする差動増幅器２４４の出力が入力される。内部電源電圧Ｖｃｉは、ＰチャネルＭＯＳトランジスタ２４６および負荷２５０の接続点の電位として取出される。したがって、本回路は、内部電源電圧Ｖｃｉの出力値による負帰還ループを形成し、電圧Ｖｃｉを基準電圧Ｖｒｅｆに保持する機能を有する。差動増幅器２４４の出力と接地電位との間にはＮチャネルＭＯＳトランジスタ２４８が接続され、そのゲート電位はテストモード指定信号ＥＸＴ．Ｂ

Ｉにより制御される。つまり、テストモード期間中は、テストモード指定信号ＥＸＴ．ＢＩが“Ｈ”レベルとなって、ＮチャネルＭＯＳトランジスタ２４８が導通状態となることにより、ＰチャネルＭＯＳトランジスタ２４６のゲート電位が接地電位まで引下げられる。したがって、ＰチャネルＭＯＳトランジスタ２４６が完全に導通状態となって、内部電源電圧Ｖｃｉは外部電源電圧Ｖｃｅまで引上げられる。

【０１２４】

図１０は、横軸に外部電源電圧を、縦軸に内部電源電圧をとり、上述した通常使用領域および加速試験領域の違いを示す図である。

【０１２５】

通常使用領域においては外部電源電圧の変動に対しても内部電源電圧は一定値を保持しているが、加速試験領域においては、内部電源電圧は外部電源電圧と一致する。

【０１２６】

したがって半導体記憶装置１の内部回路は、通常動作時よりも高い電圧である外部電源電圧において動作することになり、より加速された条件でバーンインテスト等を行なうことが可能になる。

【０１２７】

［第３の実施例］

図１１は、本発明の第３の実施例の半導体記憶装置１の構成を示す概略ブロック図である。

【０１２８】

第１の実施例と異なる点は、テストモード指定信号ＥＸＴ．ＢＩを外部からち直接与える構成ではなく、外部制御信号である／ＲＡＳ、／ＣＡＳ、／ＷＥおよびアドレス信号Ａ０～Ａｉを入力として受けて、これらの信号の組合せによりテストモードが指定されたことを検出するテストモードコントロール回路１９を備える構成とした点である。

【０１２９】

オンウェハテスト等においては、テスト用の外部端子からテスト信号等を入力することが可能であるが、半導体記憶装置１が製品段階においてモールドパッケージ等に収められた後は、外部からの制御信号の入力は、外部ピンから与えてやる必要がある。

【０１３０】

図１２は、図１１に示すコントロール回路１８およびテストモードコントロール回路１９の具体的構成の一例を示す図である。図１２において、コントロール回路１８は、外部制御信号入力端子４に与えられる外部制御信号／ＲＡＳ（ＥＸＴ．／ＲＡＳ）を受けて内部ロウアドレスストローブ信号／ＲＡＳを出力する。ＲＡＳバッファ３０と、外部制御信号入力端子４および５へそれぞれ与えられる外部制御信号ＥＸＴ．／ＲＡＳおよびＥＸＴ．／ＣＡＳを受けて、ＣＢＲ条件（外部制御信号ＥＸＴ．／ＲＡＳの立下がりよりも先に外部制御信号ＥＸＴ．／ＣＡＳを先にローレベルに立下げる条件）が設定されたことを検出するＣＢＲ検出器３１と、ＣＢＲ検出器３１からのＣＢＲ検出信号に応答してワンショットのパルス信号を発生するワンショットパルス発生回路３２と、ＣＢＲ検出器３１からのＣＢＲ検出信号に応答して活性化され、ＣＢＲ検出信号が活性状態とされている間所定時間ごとに活性化信号をワンショットパルス発生回路３２に与えるタイマ３３と、外部制御信号入力端子２～５へ与えられる外部制御信号ＥＸＴ．／ＷＥ、ＥＸＴ．／ＯＥ、ＥＸＴ．／ＲＡＳおよびＥＸＴ．／ＣＡＳを受け、これらの外部制御信号がＷＣＢＲ条件（Write Cas Before Ras条件：ＥＸＴ．／ＷＥがハイレベルで、かつＣＢＲ条件が満たされる。）および所定のアドレス信号がスーパーＶｃｃ条件（通常のハイレベルであるＶｃｃ電位よりも高い電位）の条件を満足するときテストモードが設定されたことを示すテストモード指定信号ＢＩを出力するテストモード設定回路８０と、ＥＸＴ．／ＲＡＳ、ＥＸＴ．／ＣＡＳおよびＥＸＴ．／ＷＥを受け、これらの制御信号が所定の条件を満たす場合にセルフリフレッシュモードが設定されたことを示すセルフリフレッシュモード指定信号φｓｓを出力するセルフリフレッシュモード設定検出回路３４と、を含む。

【０１３１】

ワンショットパルス発生回路３２は、ＣＢＲ検出器３１からのＣＢＲ検出信号の活性化時およびタイマ３３からの信号（リフレッシュ指示信号）の活性化にそれぞれ応答して、所定野時間期間活性状態とされるワンショットのパルス信号を発生する。

【０１３２】

コントロール回路１８は、さらに、ＲＡＳバッファ３０の出力する内部ロウアドレスストローブ信号／ＲＡＳとＣＢＲ検出器３１の出力するＣＢＲ検出信号を受ける２入力ＮＯＲゲート３５と、ＣＢＲ検出器３１の出力するＣＢＲ検出信号とセルフリフレッシュモード設定回路からのセルフリフレッシュ指定信号φｓｓを受ける２入力ＡＮＤ回路５０と、このＡＮＤ回路５０の出力とテストモード設定回路８０からのテストモード指定信号ＢＩを受ける２入力ＯＲゲート５２と、内部周期設定回路２０からのクロック信号ＣＬＫに応答して、選択的にＯＲゲート５２の出力信号を通過させるトランスファーゲート３８と、内部周期設定回路２０からのクロック信号ＣＬＫとトランスファーゲート３８の出力信号を受ける２入力ＡＮＤゲート３９と、ＯＲゲート５２の出力信号の反転信号とワンショットパルス発生回路３２の出力信号とを受ける２入力ＡＮＤゲート４４と、ＮＯＲゲート３５の出力信号とＡＮＤゲート３９および４４の各出力信号とを受ける３入力ＯＲゲート４０と、ＡＮＤゲート４４の出力信号とＡＮＤゲート３９の出力信号を受ける２入力ＯＲゲート４１と、ＯＲゲート４０からの出力信号φＲＡＳに応答して行選択動作に関連する回路を所定のタイミングで活性化するＲＡＳ系制御回路４２を含む。図１２において、ＲＡＳ系制御回路４２はロウデコーダ１２の活性／非活性を制御する。

【０１３３】

ＮＯＲゲート３５は、ＲＡＳパワーアップ３０からの信号／ＲＡＳがローレベルにあり、かつＣＢＲ検出器３１の出力信号がローレベルのときにハイレベルの信号を出力する。すなわち、通常動作時（ＣＢＲ条件が設定されないとき）、ＮＯＲゲートは、ＲＡＳバッファ３０からの信号を反転して出力する。ＣＢＲ条件が設定されたとき、ＮＯＲゲート３５は、ＲＡＳバッファ３０の出力信号の論理レベルにかかわらず、非活性状態のローレベルとされる。これにより、ＣＢＲ条件が設定されたとき、外部制御信号ＥＸＴ．／ＲＡＳの制御による行選択動作は禁止される。

【０１３４】

ＡＮＤゲート５０は、ＣＢＲ検出器３１からのＣＢＲ検出信号が活性状態のハイレベルにあり、かつセルフリフレッシュモード設定回路３４からのセルフリフレッシュモード指定信号φｓｓが活性状態のハイレベルのときにハイレベルの活性状態の信号を出力する。また、ＯＲゲート５２は、ＡＮＤゲート５２の出力がハイレベルのとき、あるいはテストモード設定回路８０からのテストモード指定信号ＢＩが活性状態を示すハイレベルのときにハイレベルの活性状態の信号を出力する。すなわち、ＯＲゲート５２は、セルフリフレッシュモードあるいはテスト動作モードが指定され、ワード線が順次選択される動作が行なわれるときのみハイレベルの活性状態の信号を出力する。

【０１３５】

トランスファーゲート３８は、たとえばＰチャネルＭＯＳトランジスタで構成され、内部周期設定回路２０からのクロック信号ＣＬＫがローレベルのとき導通状態とされる。これにより、テストモード終了が指定されたときにクロック信号ＣＬＫがハイレベルであっても、このクロック信号ＣＬＫがすぐにローレベルに立下がるのを防止する。クロック信号ＣＬＫがローレベルに立下がってから、テストモード動作が終了される。不完全なワード線選択により、メモリセルデータが破壊されるのを防止する。したがって、このトランスファーゲート３８は、クロック信号ＣＬＫの立上がりごとにＡＮＤゲート３７の出力信号をラッチするラッチ回路の機能を備える。

【０１３６】

ＯＲゲート４０は、ＡＮＤゲート３９の出力信号、ＡＮＤゲート４４の出力信号、およびＮＲＯゲート３５の出力信号のいずれかがハイレベルとされたときに、ハイレベルの活性状態となるワード線選択動作活性化信号（内部ＲＡＳ信号）φＲＡＳを出力する。この信号φＲＡＳは、ＲＡＳ系制御回路４２へ与えられる。このＲＡＳ系制御回路４２は、図１

２においてはロウデコーダ１２のみを制御するように表示されているが、他のセンスアンプ回路やビット線イコライズ／プリチャージ回路（図示せず）などの動作も制御する。

【０１３７】

ＯＲゲート４１の出力信号は、内部アドレス発生回路１０へ与えられる。内部アドレス発生回路１０は、このＯＲ回路４１の出力信号が立下がるごとにその出力するアドレス信号が示すアドレス値を増分または減分する。

【０１３８】

したがって、上記のような構成のコントロール回路１８により制御される半導体記憶装置１は、外部制御信号およびアドレス信号Ａ０～Ａｉにより、セルフリフレッシュモードあるいはテストモードが指定された場合には、内部周期設定回路２０からの出力信号である内部クロック信号ＣＬＫによりワード線が順次選択され、内部アドレス発生回路１０により指定される行に属するメモリセルに対するリフレッシュ動作が実行されることになる。

【０１３９】

なお、図１２においては、内部周期設定回路２０の出力信号である内部クロック信号ＣＬＫの周期を外部から制御するために、特定の制御ピンから内部クロック周期前記信号ＦＳを与える構成としているが、内部クロック周期制御信号の値を所定のアドレス信号Ａ０～Ａｉの組合せによりテストモード設定回路８０が設定し、内部周期設定回路２０に出力する構成としてもよい。

【０１４０】

［第４の実施例］

図１３は、本発明の第４の実施例の半導体記憶装置１の構成を示す概略ブロック図である。

【０１４１】

第１の実施例と異なる点は、テストモード指定信号ＥＸＴ．ＢＩによってテストモードが指定されると、外部から与えられる外部クロック信号、たとえば、外部ロウストローブ信号ＥＸＴ．／ＲＡＳに対応して発生する内部ロウストローブ信号φＲＡＳを受けて、それに同期した内部クロック信号ＣＬＫを発生する内部同期回路７０を備える構成とした点である。

【０１４２】

従来の技術において述べたように、複数の半導体記憶装置を並列してテストする場合は、外部から与えられる外部クロック信号は、テストボード上においては、信号伝達遅延のために波形が歪んだものとなる。本実施例においては、この外部クロック信号に同期した内部クロック信号を内部同期回路７０によって発生することにより、半導体記憶装置１内の内部回路の動作を制御する内部クロック信号の形状を整形することを目的とする。

【０１４３】

内部行ストローブ信号φＲＡＳは、図１２に示したコントロール回路１８と同様に、外部ロウストローブ信号ＥＸＴ．／ＲＡＳが、ＲＡＳバッファ回路３０を通過した後の内部信号であるものとする。

【０１４４】

内部同期回路７０の構成としては、位相ロックトループ回路（ＰＬＬ回路）やディレーロックトループ回路（ＤＬＬ回路）等の構成が考えられる。

【０１４５】

図１４は、内部同期回路７０として、ＤＬＬ回路を用いた場合の構成を示す概略ブロック図である。

【０１４６】

図１４を参照して、このＤＬＬ回路は、クロックバッファ９１、９６、位相比較器９２、チャージポンプ回路９３、ループフィルタ９４および電圧制御ディレー回路９５を含む。クロックバッファ９１は、図１５に示すように、直列接続されたＭ個（Ｍは正の整数である。）のインバータ９１．１～９１．Ｍを含み、外部クロック信号φＲＡＳを増幅してクロック信号ＥＣＬＫを出力する。クロック信号ＥＣＬＫは位相比較器９２および電圧制御

ディレー回路９５に与えられる。インバータ９１．１～９１．Ｍのシンボルの大きさは、各インバータ９１．１～９１．Ｍの負荷駆動能力の大きさを表わしており、インバータ９１．１～９１．Ｍの負荷駆動能力は出力端に向かって徐々に増大している。後段のインバータ９１．２～９１．Ｍの負荷駆動能力は前段のインバータ９１．１～９１．Ｍ－１の負荷駆動能力の３から４倍程度に設定される。

【０１４７】

インバータ９１．１～９１．Ｍの数Ｍは位相比較器９２および電圧制御ディレー回路９５の容量に応じて設定される。

【０１４８】

クロックバッファ９６は、図１６に示すように、直列接続されたＮ個（Ｎは正の整数である。）のインバータ９６．１～９６．Ｎを含み、電圧制御ディレー回路９５の出力ＥＣＬＫ′を増幅して内部クロック信号ＣＬＫおよびクロック信号ＲＣＬＫを出力する。内部クロック信号ＣＬＫは、第１の実施例と同様制御ゲート回路２２に供給される。クロック信号ＲＣＬＫは位相比較器９２に与えられる。クロックバッファ９６を構成するインバータ９６．１～９６．Ｎの負荷駆動能力も、クロックバッファ９０と同様に、出力端に向かって徐々に増大している。また９６．１～９６Ｎの数Ｎは負荷容量の大きさに応じて設定される。クロック信号ＲＣＬＫを出力するインバータ（図においては、９６．４）は、外部クロック信号φＲＡＳと内部クロック信号ＣＬＫの位相差が所定の値になるように選択される。

【０１４９】

次に、図１４で示した位相比較器９２について説明する。図１７は、位相比較器９２の構成を示す回路図である。図において、この位相比較器９２は、インバータ３００～３０４、２入力ＮＡＮＤゲート３０５～３１０、３入力ＮＡＮＤゲート３１１、３１２および４入力ＮＡＮＤゲート３１３を含む。

【０１５０】

インバータ３００は、クロックバッファ９１からのクロック信号ＥＣＬＫを受ける。インバータ３０１は、クロックバッファ９６からのクロック信号ＲＣＬＫを受ける。ＮＡＮＤゲート３０５は、インバータ３００の出力とＮＡＮＤゲート３１１の出力を受け、信号φ３０５を出力する。ＮＡＮＤ３０６は、ＮＡＮＤゲート３０５、３０７の出力を受け、信号φ３０６を出力する。ＮＡＮＤゲート３０７はＮＡＮＤゲート３０６、３１３の出力を受け、ＮＡＮＤゲート３０８はＮＡＮＤゲート３０９、３１３の出力を受ける。ＮＡＮＤゲート３０９はＮＡＮＤゲート３０８、３１０の出力を受け、信号φ３０９を出力する。ＮＡＮＤゲート３１０は、インバータ３０１の出力とＮＡＮＤゲート３１２の出力を受け、信号φ３１０を出力する。

【０１５１】

ＮＡＮＤゲート３１３は、ＮＡＮＤゲート３０５、３０６、３０９、３１０からの信号φ３０５、φ３０６、φ３０９、φ３１０を受け、リセット信号ＲＥＳを出力する。ＮＡＮＤゲート３１１は、ＮＡＮＤゲート３０５、３０６、３１３から信号φ３０５、φ３０６、ＲＥＳを受け、インバータ３０２、３０３を介してアップ信号／ＵＰを出力する。ＮＡＮＤゲート３１２は、ＮＡＮＤゲート３０９、３１０、３１３から信号φ３０９、φ３１０、ＲＥＳを受け、インバータ３０４を介してダウン信号ＤＯＷＮを出力する。

【０１５２】

図１８は、クロック信号ＥＣＬＫ、クロック信号ＲＣＬＫ、２入力ＮＡＮＤゲート３０５の出力（すなわち信号φ３０５）、２入力ＮＡＮＤゲート３１０の出力（すなわち信号φ３１０）、４入力ＮＡＮＤゲート３１３の出力（すなわちリセット信号ＲＥＳ）、アップ信号／ＵＰおよびダウン信号ＤＯＷＮの相互の関係を示すタイミングチャートである。

【０１５３】

図１７および図１８の説明に先立ち、まずクロック信号ＥＣＬＫ、ＲＣＬＫのいずれもが“Ｈ”レベルにある場合を考える。この場合には、ゲート３０５、３１０はいずれも必ず“Ｈ”レベルを出力する。仮にゲート３０６、３０９の出力が“Ｈ”レベルであった場合

には、ゲート３１３の出力は“Ｌ”レベルとなり、ゲート３０７、３０８の出力は“Ｈ”レベルになって、結局ゲート３０６、３０９の出力は“Ｌ”レベルとなる。このため、ゲート３１１、３１２は、クロック信号ＥＣＬＫ、ＲＣＬＫのいずれもが“Ｈ”レベルにある限り、常に“Ｈ”レベルを出力することがわかる。このような状態の後、クロック信号ＥＣＬＫ、ＲＣＬＫが“Ｌ”レベルに転じれば、ゲート３０５、３１０の出力は“Ｌ”レベルになり、ゲート３０６、３０９は“Ｈ”レベルを出力することとなる。

【０１５４】

この後、図１８に示すように、まずクロック信号ＥＣＬＫが立上がり、次いでクロック信号ＲＣＬＫが位相Ｔ１だけ遅れて立上がる場合を説明する。クロック信号ＥＣＬＫの立上がりを受けてゲート３０５の出力φ３０５が“Ｈ”レベルに転じる。しかし、クロック信号ＲＣＬＫは“Ｌ”レベルのままなので、ゲート３１０の出力φ３１０は“Ｌ”レベルを継続し、ゲート３１３の出力ＲＥＳは“Ｈ”レベルから変わらない。このため、ゲート３１１の出力が“Ｌ”レベルへと変化する。一方、ゲート３１２の出力は“Ｈ”レベルのまま変化しない。

【０１５５】

次いでクロック信号ＲＣＬＫが立上がると、ゲート３１０の出力φ３１０が“Ｈ”レベルに転じ、ゲート３１３の４つの入力はすべて“Ｈ”レベルとなってゲート３１３の出力ＲＥＳが“Ｌ”レベルへと遷移する。その結果、ゲート３１１の出力は“Ｌ”レベルから再び“Ｈ”レベルへと変化し、ゲート３１１はクロック信号ＥＣＬＫとクロック信号ＲＣＬＫの位相差を反映したパルス信号を出力する。

【０１５６】

一方、ゲート３１２の出力は、ゲート３１０の出力が“Ｈ”レベルに変わるのを受けて“Ｌ”レベルに転じるものの、直後にゲート３１３の出力が“Ｌ”レベルへと変化するため、直ちに“Ｈ”レベルに戻る。このためゲート３１２は、クロック信号ＥＣＬＫとクロック信号ＲＣＬＫの位相差とは無関係の一定の幅のパルス信号を出力する。

【０１５７】

クロック信号ＲＣＬＫがまず立下がり、次いでクロック信号ＥＣＬＫが立上がる場合は、アップ信号／ＵＰとダウン信号ＤＯＷＮの関係が逆になるだけで同様であるので説明は省略する。

【０１５８】

つまり、位相比較器９２は、図１９に示すように、クロック信号ＥＣＬＫの位相がクロック信号ＣＬＫよりも遅れている場合は、一定のパルス幅のアップ信号／ＵＰと位相差に応じたパルス幅のダウン信号ＤＯＷＮを出力し、クロック信号ＥＣＬＫとＲＣＬＫの位相が一致している場合は、同じパルス幅の信号／ＵＰとＤＯＷＮを出力し、クロック信号ＥＣＬＫの位相がクロック信号ＲＣＬＫよりも進んでいる場合は、一定のパルス幅のダウン信号ＤＯＷＮと位相差に応じたパルス幅のアップ信号／ＵＰを出力する。

【０１５９】

図２０は図１４に示したチャージポンプ９３およびループフィルタ９４の構成を示す回路図である。図２０を参照して、チャージポンプ９３は電源電位ライン１２１と接地電位ライン１２２の間に直流接続された定電流源１２３、ＰチャネルＭＯＳトランジスタ１２４、ＮチャネルＭＯＳトランジスタ１２５および定電流源１２６を含む。

【０１６０】

ＰチャネルＭＯＳトランジスタ１２４のゲートはアップ信号／ＵＰを受け、ＮチャネルＭＯＳトランジスタ１２５のゲートはダウン信号ＤＯＷＮを受ける。ＰチャネルＭＯＳトランジスタ１２４とＮチャネルＭＯＳトランジスタ１２５の接続ノードＮ１２４がチャージポンプ９３の出力ノードとなる。ループフィルタ９４は、チャージポンプ９３の出力ノードＮ１２４と接地電位ライン１２２の間に直列接続された抵抗１２７およびキャパシタ１２を含む。

【０１６１】

次に、図２０に示したチャージポンプ９３およびループフィルタ９４の動作について説明

する。アップ信号／ＵＰおよびダウン信号ＤＯＷＮがともに“Ｌ”レベルになると、ＰチャネルＭＯＳトランジスタ１２４が導通状態になり、ＮチャネルＭＯＳトランジスタ１２５が非導通状態になって、電源ライン１２２→定電流源１２３→ＰチャネルＭＯＳトランジスタ１２４→ノードＮ１２４→抵抗１２７を介してキャパシタ１２７に電荷が供給される。これによりノードＮ１２４の電圧すなわち制御電圧ＶＣＯｉｎが徐々に上昇する。

【０１６２】

逆に、アップ信号／ＵＰおよびダウン信号ＤＯＷＮがともに“Ｈ”レベルになると、ＰチャネルＭＯＳトランジスタ１２４は非導通状態になりＮチャネルＭＯＳトランジスタ１２５は導通状態になって、キャパシタ１２８→抵抗１２７→ノードＮ１２４→ＮチャネルＭＯＳトランジスタ１２５→定電流源１２６→接地電位ライン１２２の経路でキャパシタ１２８の電荷が流出する。したがって、制御電圧ＶＣＯｉｎが徐々に下降する。

【０１６３】

また、アップ信号／ＵＰが“Ｌ”レベルとなり、ダウン信号ＤＯＷＮが“Ｈ”レベルになるとＭＯＳトランジスタ１２４、１２５はともに導通状態となり、ノード１２４に流入する電荷量とノードＮ１２４から流出する電荷量が等しくなり、制御電圧ＶＣＯｉｎは変化しない。

【０１６４】

逆に、アップ信号／ＵＰが“Ｈ”レベルとなり、ダウン信号ＤＯＷＮが“Ｌ”レベルになるとＭＯＳトランジスタ１２４、１２５がともに非導通状態となり、ノードＮ１２４がフローティング状態となり制御電圧ＶＣＯｉｎは変化しない。

【０１６５】

つまり、チャージポンプ９３およびループフィルタ９４の出力である制御電圧ＶＣＯｉｎは、クロック信号ＥＣＬＫの位相がクロック信号ＲＣＬＫよりも遅れている場合は徐々に下降し、クロック信号ＥＣＬＫとＲＣＬＫの位相が一致している場合は変化せず、クロック信号ＥＣＬＫの位相がクロック信号ＲＣＬＫよりも進んでいる場合は徐々に上昇する。

【０１６６】

図２１は、図１４に示した電圧制御ディレー回路９５の構成を一部省略した回路図である。

【０１６７】

本回路の構成は、図３において説明した、内部周期設定回路２０ｂと基本的に同様であるので、構成および動作の説明の詳細は省略し、その相違点についてのみ、以下述べることにする。

【０１６８】

すなわち、図３において、内部周期設定回路２０ｂの発振周波数を制御するために外部から与えられていた内部クロック周期制御信号ＦＳに対応してチャージポンプ回路９３およびループフィルタ９４からの出力電圧ＶＣＯｉｎが、ＮチャネルＭＯＳトランジスタ１０１のゲートに入力する。

【０１６９】

一方、内部周期設定回路２０ｂにおいては、発振動作を行なわせるために、ＮＡＮＤ回路１４１．Ｋの出力がインバータ１４５．１の入力と接続する構成となっていたが、電圧制御ディレー回路９５においては、インバータ１４５．１の入力にはクロック信号ＥＣＬＫが入力し、ＮＡＮＤ回路１４１．Ｋの出力がクロック信号ＥＣＬＫ′として取出される構成となっている。

【０１７０】

したがって、電圧制御ディレー回路９５の動作は以下に述べるようなものになる。

【０１７１】

すなわち、ＰチャネルＭＯＳトランジスタ１４１．１～１４１．ＫのゲートはともにＰチャネルＭＯＳトランジスタ１０２のゲートに接続され、ＮチャネルＭＯＳトランジスタ１４４．１～１４４．ＫのゲートはともにＮチャネルＭＯＳトランジスタ１０４のゲートに接続されているので、各遅延時間可変素子１４０．１～１４０．Ｋにも制御電圧ＶＣＯｉ

ｎに応じてＮチャネルＭＯＳトランジスタ１０１および１０４に流れている電流Ｉａが流れる。

【０１７２】

制御電圧ＶＣＯｉｎが増大して電流Ｉａが増大すると、各インバータ１４５、１～１４５、Ｋ－１およびＮＡＮＤ回路１４５、Ｋの反転時間が短くなり、電圧制御ディレー回路９５の遅延時間が短くなる。

【０１７３】

また、制御電圧ＶＣＯｉｎが減少して電流Ｉａが減少すると、各インバータ１４５．１～１４５．Ｋ－１およびＮＡＮＤ回路１４５．Ｋの反転時間が長くなり、電圧制御ディレー回路９５の遅延時間が長くなる。

【０１７４】

以上説明した各構成ブロックの動作をもとに、次に、図１４に示したＤＬＬ回路の動作について説明する。クロック信号ＲＣＬＫの位相がクロック信号ＥＣＬＫよりも遅れている場合は、位相比較器９２はクロック信号ＥＣＬＫとＲＣＬＫの位相差に応じたパルス幅のアップ信号／ＵＰと、所定のパルス幅のダウン信号ＤＯＷＮを出力する。これに応じてチャージポンプ９３がループフィルタ９４に電荷を供給し、これにより制御電圧ＶＣＯｉｎが上昇し、電圧制御ディレー回路９５の遅延時間が短くなる。したがって、クロック信号ＲＣＬＫの位相が進み、クロック信号ＥＣＬＫとＲＣＬＫの位相差は小さくなる。

【０１７５】

逆に、クロック信号ＲＣＬＫの位相がクロック信号ＥＣＬＫよりも進んでいる場合は、位相比較器９２はクロック信号ＲＣＬＫとＥＣＬＫの位相差に応じたパルス幅のダウン信号ＤＯＷＮと所定のパルス幅のアップ信号／ＵＰを出力する。これに応じてループフィルタ９４からチャージポンプ９３に電荷が流出し、これにより制御電圧ＶＣＯｉｎが下降し電圧制御ディレー回路９５の遅延時間が長くなる。したがって、クロック信号ＲＣＬＫの位相が遅れ、クロック信号ＲＣＬＫとＥＣＬＫの位相差が小さくなる。このような過程を繰り返し、ついにはクロック信号ＲＣＬＫとＥＣＬＫの位相差が一致する。

【０１７６】

図２３は、上記のような動作を行なう内部同期回路７０を有する半導体記憶装置１の動作を説明するタイミングチャートである。

【０１７７】

すなわち、半導体記憶装置１が、テストボード上に複数配列されている場合外部から与えられるクロック信号ＥＸＴ．ＣＬＫは、ボード上においては、信号伝達遅延のために、その波形は、図２３に示すように、歪んだ波形となる。

【０１７８】

しかしながら、テストモード指定信号ＥＸＴ．ＢＩが“Ｈ”レベルとなって、内部同期回路７０が動作を始めると、この回路から出力される内部クロック信号ＣＬＫは、外部クロック信号に同期した、矩形波となる。

【０１７９】

したがって、ボード上外部クロック信号波形が、歪んでいる状態においても、半導体記憶装置内部での回路動作には影響を与えない。

【０１８０】

［第５の実施例］

図２４は、本発明の第５の実施例の半導体記憶装置１中の内部同期回路７０の構成を示すブロック図である。テストモード指定信号ＥＸＴ．ＢＩが“Ｈ”レベルとなった後、外部クロック信号ＥＸＴ．ＣＬＫの最初の立上がりに応じて、内部クロック信号ＣＬＫの出力が開始される必要がある。これは、不完全なワード線選択動作により、メモリセルデータが破壊されるのを防止することが必要であるためと、内部タイマが無作為に発振を開始するために、外部クロックとの位相のずれが大きい場合、外部クロックとの位相を整合するまでの時間が各半導体記憶装置１ごとに異なってしまうことになるためである。

【０１８１】

図１２に示した、第３の実施例においては、トランスファーゲート３８およびＡＮＤ回路３９のラッチ動作により、テストモード指定信号によりテストモードが指定された後、最初の発振波形の立上がり後内部クロック信号ＣＬＫが出力される構成としていた。本実施例においても、同様の構成をとることで、上記の問題点を克服することが可能である。

【０１８２】

また、図２４に示すように、テストモード指定信号により、論理回路７２により、テストモード指定信号が“Ｈ”レベルとなった後に、最初の外部クロック信号の立上がりのエッジを検出して、電圧制御ディレー回路９５の動作を開始させる構成とすることも可能である。

【０１８３】

図２５（ａ）は、このような論理回路７２の構成の一例を示す回路図である。

図２１に示した電圧制御ディレー回路と異なる点は、最終段の可変遅延素子ＮＡＮＤ回路１４５．ＫをＮＯＲ回路１４５．Ｋに変更し、その一方の入力には、テストモード指定信号ＥＸＴ．ＢＩおよび外部クロック信号ＥＸＴ．ＣＬＫが入力するＳ－Ｒフリップフロップ回路１６０の出力が入力し、他方の入力にはインバータ１４５．Ｋ－１の出力が入力する構成としている点である。

【０１８４】

図２５（ｂ）に示したように、Ｓ－Ｒフリップフロップ回路１６０の出力は、テストモード指定信号ＥＸＴ．ＢＩが“Ｈ”レベルとなった後、外部クロック信号ＥＸＴ．ＣＬＫが最初に“Ｈ”レベルとなったときに、“Ｈ”レベルから、“Ｌ”レベルへと変化する。したがって、電圧制御ディレー回路９５は、テストモードに入った後の最初の外部クロック信号ＥＸＴ．ＣＬＫの立上がりに応じて動作を開始することになる。

【０１８５】

以上の回路構成により、不完全なワード線選択動作が発生することを防止することが可能である。

【０１８６】

［第６の実施例］

図２６は、本発明の第６の実施例の半導体記憶装置１の構成を示す概略ブロック図である。

【０１８７】

図２７は、図２６で示した半導体記憶装置１の構成をより詳細に示す要部ブロック図である。

【０１８８】

第４の実施例と異なる点は、第１には、テストモードコントロール回路８２中のテストモード設定回路８６が、外部制御信号ＥＸＴ．／ＲＡＳ、ＥＸＴ．／ＣＡＳ、ＥＸＴ．／ＷＥおよびアドレス信号Ａ０～Ａｉを受けて、テストモードが指定されたことを検出すると、テストモード指定信号ＢＩを出力し、これに応じて内部同期回路７０が動作を開始する構成とした点である。

【０１８９】

第２には、切換回路８４は、内部周期設定回路２０の出力および内部同期回路７０の出力を受けて、テストモード指定信号ＢＩが活性である期間中は、内部同期回路７０からの出力を出力し、テストモード指定信号ＢＩが不活性期間中であり、セルフリフレッシュモード指定信号φｓｓが活性期間中は、内部周期設定回路２０の出力を内部クロックとして出力する構成とした点である。

【０１９０】

その他の本回路の構成は図１２と同一であり、同一部分には同一参照符号を付して説明を省略する。

【０１９１】

上記のような構成とすることにより、外部制御信号ＥＸＴ．／ＲＡＳ、ＥＸＴ．ＣＡＳおよびＥＸＴ．／ＷＥの組合せにより、セルフリフレッシュモードが指定されると、半導体

記憶装置１は、外部周期設定回路２０の出力である内部クロック信号ＣＬＫに応じてセルフリフレッシュ動作を行ない、外部制御信号ＥＸＴ．ＲＡＳ、ＥＸＴ．／ＣＡＳ、ＥＸＴ．／ＷＥおよびアドレス信号Ａ０～Ａｉにより、テストモードが指定されると、外部からのクロック信号ＥＸＴ．ＣＬＫ、たとえば、外部端子４に外部行ストローブ信号ＥＸＴ．ＲＡＳとして与えられるクロック信号に同期した内部同期回路７０からの出力を内部クロック信号ＣＬＫとしてテストモード動作を行なうことになる。

【０１９２】

図２８は、図２７に示した内部同期回路７０の動作を示すタイミングチャートである。

【０１９３】

外部ライトイネーブル信号ＥＸＴ．／ＷＥが“Ｈ”レベルであり、かつ、外部制御信号ＥＸＴ．／ＲＡＳおよびＥＸＴ．／ＣＡＳがＣＢＲ条件を満たし外部アドレス信号ＥＸＴ．ＡｄｄがスーパーＶｃｃ条件を満たすと、テストモード設定回路８６が、テストモードが指定されたことを検出し、“Ｈ”レベルのテストモード指定信号ＢＩを出力する。ＮＯＲ回路５２にテストモード指定信号ＢＩが入力することにより、トランスファーゲート３８に“Ｈ”レベルの信号が入力する。したがって、切替回路８４から内部周期設定回路７０の出力である内部クロック信号ＣＬＫがＡＮＤ回路３９に入力されると、この内部クロック信号ＣＬＫに応じた内部行ストローブ信号φＲＡＳがＲＡＳ系制御回路４２に入力し、ワード線が順次選択されていくことになる。

【０１９４】

以上の回路の構成により、テストモード期間中は、外部クロック信号に同期して、内部同期回路から出力される整形された内部クロック信号により、半導体記憶装置１が動作することになる。

【０１９５】

したがって、外部クロック信号ＥＸＴ．ＣＬＫの波形の歪が、半導体記憶装置１の内部回路の動作に直接影響を与えることがなくなる。

【０１９６】

［第７の実施例］

第６の実施例においては、内部クロック信号ＣＬＫは、外部クロック信号ＥＸＴ．ＣＬＫに同期した信号として内部回路に供給される構成であったが、テスト動作を行なうための他の外部制御信号は、テストボード上のデータバス線ＳＧを介して各半導体記憶装置１に供給される構成となっていた。図２９は、本発明の第７の実施例の半導体記憶装置１の構成を示す概略ブロック図である。第６の実施例と異なる点は、半導体記憶装置１内部に、セルフテスト回路４００を内蔵する構成とした点である。

【０１９７】

セルフテスト回路４００は、テストベクトル生成部４０２、セルフテスト制御部４０４および判定部４０６を含む。

【０１９８】

テストベクトル生成部４０２は、カウンタやＲＯＭ、あるいは擬似乱数を発生させるためのＬＦＳＲ（Linear Feedback Shift Register）などで構成される。たとえば、ｎビットのＬＦＳＲは、2^n-1種類の擬似乱数テストベクトルを発生できる。セルフテスト制御部は、テストモード指定信号により動作を開始し、テストベクトル生成部４０２でのテストベクトルの生成およびメモリセルへの書込動作を制御する。一方、メモリセルに書込まれたテストベクトルは、セルフテスト制御部４０４の制御に基づいて、判定部４０６に読出され、期待値と比較することによりビット誤りの検出が行なわれる。

【０１９９】

上記書込と読出は交互に行なうことも可能であるが、テスト能率を向上させるために、複数回の出力を圧縮して最後に１回だけ比較を行なうという構成にすることも可能である。

【０２００】

以上のような回路構成により、一度外部からテストモードが指定されると、半導体記憶装置１は、外部クロック信号ＥＸＴ．ＣＬＫに同期した内部クロック信号ＣＬＫに応じて動

作しつつ、ビット誤りが検出されるまでセルフテスト動作を続けることになり、バーンインテスト等の加速試験の効率を大幅に向上させることが可能である。

【０２０１】

［第８の実施例］

図３０は、本発明の第８の実施例の半導体記憶装置１の構成を示す概略ブロック図である。

【０２０２】

図３１は、図３０で示した半導体記憶装置１の構成をより詳細に示す要部ブロック図である。

【０２０３】

第６の実施例と異なる点は、テストモードコントロール回路８２中の内部同期回路７０が、外部クロック信号、たとえば、ＥＸＴ．／ＲＡＳを受けて、その周期を逓倍した内部クロック信号ＣＬＫを出力する内部逓倍回路７２となっている点である。

【０２０４】

その他の本回路の構成は図２７と同一であり、同一部分には同一参照符号を付して説明を省略する。

【０２０５】

図３２は、図３１中の内部逓倍回路７２の構成を示す概略ブロック図である。

この内部逓倍回路７２の構成が、図１４に示した内部同期回路７０の構成と異なる点は、クロックバッファ９６の出力信号ＲＣＬＫを受けて、所定の分周比に分周する分周回路９８を有する構成となっている点である。

【０２０６】

位相比較器９２には、クロックバッファ９１の出力信号ＥＣＬＫおよび分周回路９８の出力信号ｎＲＣＬＫが入力する。たとえば、分周回路９８の分周比が１６である場合は、電圧制御ディレー回路９５の出力信号ＥＣＬＫ′の１６倍の周期の信号が、位相比較器９２に入力され、外部クロック信号ＥＸＴ．／ＲＡＳに応じた信号であるＥＣＬＫとの位相が一致するようにチャージポンプ回路９３が制御される。

【０２０７】

したがって、クロックバッファ９６から出力される内部クロック信号ＣＬＫは、外部クロック信号ＥＸＴ．／ＲＡＳの１６分の１の周期を有する信号となる。

【０２０８】

すなわち、外部クロック信号ＥＸＴ．／ＲＡＳを逓倍した信号が内部クロック信号ＣＬＫとして出力されることになる。

【０２０９】

このため、外部クロック信号は、十分ゆっくりとした周期で動作している場合でも内部クロック信号ＣＬＫは高速で動作することが可能である。外部クロック信号ＥＸＴ．／ＲＡＳのテストボード上での波形歪の影響は、外部クロック信号ＥＸＴ．／ＲＡＳの周期が短いほど顕著となるので、上記のような構成によりテストボード上での波形歪の影響を軽減することが可能である。

【０２１０】

本実施例においても、内部クロック信号を、ＥＸＴ．／ＣＡＳ端子５などの外部端子に出力する構成とすることや、内部クロック周期制御信号ＦＳにより、分周回路９８の分周比を変更することで、内部クロック信号ＣＬＫの周期を可変とすることはもちろん可能である。

【０２１１】

また、上記逓倍された内部クロック信号ＣＬＫを出力バッファ回路に入力することにより出力バッファ回路を同時に加速試験することが可能な構成とすることも同様に可能である。

【０２１２】

図３３は、第８の実施例の動作を示すタイミングチャートである。第６の実施例と同様に

して、外部制御信号ＥＸＴ．／ＲＡＳ、ＥＸＴ．／ＣＡＳおよびＥＸＴ．／ＷＥによりＷＣＢＲ条件を指定し、アドレス信号ＥＸＴ．ＡｄｄをスーパーV_{cc}条件とすることで、テストモードに入り、以後は、ＥＸＴ．／ＲＡＳ信号の周期を逓倍した内部クロック信号ＣＬＫが出力される。

【０２１３】

［第９の実施例］

図３４は、本発明の第９の実施例である並列試験装置の構成を示す概略ブロック図である。

【０２１４】

第７の実施例までにおいては、テストボード上の外部クロック信号の波形の歪を整形するために、各半導体記憶装置１がその内部に発振回路あるいは同期回路を有する構成としていた。

【０２１５】

テストボード上の外部クロック信号ＥＸＴ．ＣＬＫの波形歪を修正する方法としては、以上のような方法ではなく、各ボード上に複数の同期回路を有し外部クロック信号をテストボード上で整形するという構成にすることも可能である。

【０２１６】

また、同様の効果を得るために、テストボードを複数に分割し、各テストボード上に外部クロック信号ＥＸＴ．ＣＬＫに同期してテストボード上の試験クロック信号ＲＣＬＫを発生させる構成とすることも可能である。

【０２１７】

図３４においては、複数の半導体記憶装置１は、複数のテストボード上に分割して配置され、各テストボードTB_1～TB_nは、それぞれ対応するテストボード同期回路TSC_1～TSC_nを有する。外部から与えられる外部クロック信号ＥＸＴ．ＣＬＫは、各テストボード同期回路TSC_iによりこれに同期し、かつ整形されたテストボード試験信号として各半導体記憶装置に出力される。

【０２１８】

したがって、以上のような並列試験装置の構成とすることにより、外部クロック信号ＥＸＴ．ＣＬＫがテストボード上の寄生容量Ｃｐによる信号遅延によってその波形が歪み各半導体記憶装置の動作が不均一となることで、それぞれの半導体記憶装置ごとにバーンインテスト等の加速条件が異なってしまうという問題を防止することが可能である。

【０２１９】

［第１０の実施例］

第９の実施例までにおいては、外部から与えられるクロック信号やテスト信号に応じて、バーンインテスト等の加速試験を行なう場合、外部クロック信号の周期を早くした場合においても動作可能な半導体記憶装置の構成および並列試験装置の構成について述べた。

【０２２０】

並列加速試験等を高速で行なうためには、その動作するクロック信号を高速にするだけでなく、特に、半導体記憶装置の加速試験においては、そのデータの書込および読出後期待値との比較を行なうための時間を短縮することが重要である。

【０２２１】

第１０の実施例は、半導体記憶装置１中のメモリセルに高速にテスト用の記憶情報を書込むことが可能な半導体記憶装置の構成を示すものである。

【０２２２】

図３５は、典型的なＤＲＡＭにおけるメモリセル部分の構造を示す断面図である。図３５において、ＤＲＡＭメモリセル６１４は、ビット線６１１が接続するＮ型高濃度層６０６と、ワード線６０５とストレージノード６０９が接続するＮ型高濃度層６０６が形成するメモリセルトランジスタおよび電荷を蓄積するステージノード６０９、誘電体膜６１５およびキャパシタの対向電極であるセルプレート６１０が形成するメモリセルキャパシタとからなる。

【０２２３】
また、各素子間は分離酸化膜６０４で分離されており、基板側はＰ型のウェル６０３およびＮ型のウェル６０２が基板１上に形成されている。Ｐ型ウェル６０３は、その電位を固定するために配線６１３からＰ型高濃度層を介して電位の供給を受けている。
【０２２４】
図３６は、図３５のメモリセル部の等価回路図である。図３６において、メモリセルの電荷蓄積キャパシタ電極であるストレージノード６０９は、ダイオード構成によりＰウェル６０３と接続されている。これにより、Ｐウェル６０３を通してストレージノード６０９に電荷を転送することが可能である。
【０２２５】
すなわち、図３５において、Ｐウェル６０３に対してＰ型高濃度層６０７を介して接続する配線６１３およびセルプレート６１０の電位を独立に制御することにより、Ｐウェル６０３側からストレージノード６０９に対して電荷の注入を行なうことが可能となる。以下その電荷の注入方法について詳しく述べる。
【０２２６】
図３７は、各メモリセルへ一括して、“Ｈ”レベルのデータを書込む方法について説明した図である。
【０２２７】
以下、一例として電源電圧４ボルト、セルプレート電圧２ボルトの場合における“Ｈ”データのメモリセルへの書込方法について説明することにする。
【０２２８】
図３７（ａ）において、配線６１３からＰウェル６０３に正の電圧を印加する。これにより、ストレージノード６０９に正の電荷を注入することができる。このときの注入電荷量は、Ｐウェル６０３とＮ型高濃度層６０６のＰＮ接合の順方向電圧降下分を考慮した値となる。また、このとき、セルプレート６１０の電位は－１Ｖに、Ｐウェル側の正電位は、以下の値に設定しておく。
【０２２９】
（Ｐウェル側の正電位）＝＋１＋（Ｐウェル３とＮ型高濃度層６のＰＮ接合の順方向電圧降下分）（Ｖ）
上記の設定により、ストレージノード６０９の電位は＋１Ｖとなる。
【０２３０】
図３７（ｂ）において、配線６１３を通してＰウェル３に対し負電位を供給する。このとき、供給する負電位はＤＲＡＭにおけるストレージノード６０９に接続するＮ型高濃度層６０６とＰウェル６０３が逆方向にバイアスされた場合のリーク電流がメモリセルの電荷保持特性を妨げない程度に低く、かつ、近接メモリセルのＮ型高濃度層６０６同士の間でのリーク電流が各々のメモリセルの電荷保持特性を妨げない程度に低く保たれるレベルでなければならない。さらに、上記負電位は、メモリセルのスイッチングトランジスタのサブスレショルド電流がメモリセルの電荷保持特性を妨げない程度である必要もある。
【０２３１】
図３７（ｂ）において、ストレージノード６０９中に保持されている電荷は、セルプレート６１０の負電位により保持される。
【０２３２】
図３７（ｃ）において、セルプレート６１０の電位を＋２Ｖに上昇させると、誘電体膜６１２を介するストレージノード６０９は、誘電カプリングにより電位上昇を起こす。したがって、メモリセルには、“Ｈ”データ（＋４Ｖに相当）が書込まれた状態となる。
【０２３３】
図３８は、半導体記憶装置１のメモリセルへ一括して“Ｌ”レベルのデータを書込む方法について示した図である。
【０２３４】
以下では、一例として電源電圧４Ｖ、セルプレート電圧２Ｖの場合における“Ｌ”レベル

データのメモリセルへの書込方法について説明する。

【０２３５】

図３８（ａ）において、まず、配線６１３からＰウェル６０３に正の電圧を印加することにより、ストレージノード６０９に電荷を注入することができる。このときの注入添加量は、Ｐウェル６０３とＮ型高濃度層６０６のＰＮ接合の順方向電圧降下分を考慮した値となる。また、このとき、セルプレート６１０の電位は＋３Ｖに、Ｐウェル側の正電位は以下の値に設定しておく。

【０２３６】

（Ｐウェル側の正電位）＝＋１＋（Ｐウェル３とＮ型高濃度層６のＰＮ接合の順方向電圧降下分）（Ｖ）

上記の設定により、ストレージノード６０９の電位は＋１Ｖとなる。

【０２３７】

図３８（ｂ）において、配線６１３を通して、Ｐウェル６０３に対し負電位を供給する。このとき、供給する負電位はＤＲＡＭにおけるストレージノード６０９に接続するＮ型高濃度層６０６とＰウェル６０３が逆方向にバイアスされた場合のリクエスト電流が、メモリセルの電荷保持特性を妨げない程度に低く、かつ隣接するメモリセルのＮ型高濃度層６０６同士間のリーク電流が各々のメモリセルの電荷保持特性を妨げない程度に低くなければならない。さらに、上記負電位は、メモリセルのスイッチングトランジスタのサブスレショルド電流がメモリセルの電荷保持特性を妨げない程度に低く保たれる必要もある。

【０２３８】

図３８（ｂ）で、ストレージノード６０９中に保持されている電荷は、セルプレート６１０の負電位により保持される。

【０２３９】

図３８（ｃ）において、セルプレート６１０の電位を＋２Ｖに下降させると、誘電体膜６１２を介してストレージノード６０９はカプリングにより電位降下を起こす。したがって、メモリセルには“Ｌ”レベルデータが書込まれた状態となる。

【０２４０】

図３９は、上記のようなメモリセルへのデータの一括書込方式を可能とする半導体記憶装置１の回路構成の一例を示す概略ブロック図である。

【０２４１】

ビット線ペア６２８ａ～６２８ｈおよびワード線６２４ａ～６２４ｆの交点にそれぞれメモリセル６２２が配置されている。たとえばワード線６２４ａおよびビット線ペア６２８ａの交点に配置されているメモリセル６２２中の記憶情報を読出す場合、ワード線６２４ａの電位が“Ｈ”レベルにされる。これにより、メモリセルトランジスタが導通状態となり、メモリセルキャパシタ中に保持されていた電荷がビット線ペア６２８ａの電位に電位差を発生させる。この微小電位差をセンスアンプ６２３が増幅し、セレクタ６２５によってＩ／Ｏ線と接続されることにより、外部へこのデータが読出される。

【０２４２】

図３９の半導体記憶装置１においては、通常動作においてはセルプレート６１０の電位V_Cはセルプレート電位発生回路５２０により発生された電位V_{CP}に保持されている。セルプレート電位発生回路の出力V_{CP}は、切換回路５３０により、各メモリセルのセルプレートと接続する配線５６０と接続している。一方、各メモリセル中のＰウェル６０３の電位V_Wは、通常動作においては、基板電位発生回路５２２により一定の値V_{BB}に保持されている。基板電位発生回路の出力は、切換回路５３２を介して、各メモリセルのＰウェル３と接続する配線５７０と接続している。

【０２４３】

図３７および図３８で説明したメモリセルへのデータの一括書込動作を行なう場合には、セルプレート電位／Ｐウェル電位設定回路５２４の出力V_{CQ}およびV_{WC}が切換回路５３０および５３２を介してセルプレートおよびＰウェル６０３にそれぞれ供給される。セルプレート／Ｐウェル電位設定回路５２４は、外部からの制御信号ＣＣＰに応じて、セルプレー

ト電位およびＰウェル電位を制御することにより、メモリセルへ一括して“Ｈ”レベルのデータあるいは“Ｌ”レベルのデータの書込を行なう。

【０２４４】

図４０は、以上のようなデータ書込方式を有するＤＲＡＭのテスト方式を可能とする回路構成を示す概略ブロック図である。セルプレート電位／Ｐウェル電位設定回路５２４において、４つに分割された各メモリセルアレイ６２０のメモリセル書込データを決定し、書込動作を行なった後、各メモリセルアレイからデータを読出し期待値と比較することにより不良を検出する。このとき、同時に読出されるデータの個数は回路の工夫やアレイ多分割のアーキテクチャの採用により任意に設定できる。また、同時に読出してきた複数のデータのデータ比較は半導体記憶装置１内部に一致検出回路５２６を有する構成とすることで、各メモリセルアレイより読出されてきた複数のデータについて一致不一致を判断する構成としている。

【０２４５】

［第１１の実施例］

図４１は、本発明の第１１の実施例の半導体記憶装置の構成を示す概略ブロック図である。

【０２４６】

第１０の実施例と異なる点は、セルプレート電位およびＰウェル電位をテストモード期間中は、切換回路５３０および５３２を介して、外部端子５８０および５８２から制御できる構成とした点である。

【０２４７】

上記のような構成の半導体記憶装置１において、テスト動作を行なう場合には、まずテストモードを外部からの制御信号により指定することで、テストモード指定信号ＢＩにより、切換回路５３０および５３２が、外部端子５８０および５８２とそれぞれセルプレートおよびＰウェルとを接続させる。

【０２４８】

外部テスタにおいて、セルプレート電位およびＰウェル電位を制御することにより、各メモリセルアレイ６２０へ所定のメモリセルデータを書込む。この場合、メモリセルアレイ全体に対し“Ｈ”データを書込んだとしても、図４１に示すように読出されるデータはメモリセルの配列により“Ｈ”レベルおよび“Ｌ”レベルの両方が出力されることになる。たとえば、ワード線６２４ａを活性化させた場合、メモリセル６２２からは“Ｈ”レベルのデータが出力されるが、ワード線６２４ｂを活性化させた場合、メモリセル６２２が接続するビット線は“Ｌ”レベルとなる。

【０２４９】

したがって、期待値と比較する場合は、これらデータの反転状態を外部テスタ側において予め認識しておく必要がある。図４１においては、ビット線ペア４個分、たとえば、ビット線ペア６２８ａ、６２８ｂ、６２８ｃ、６２８ｄおよびビット線ペア６２８ｅ、６２８ｆ、６２８ｇ、６２８ｈがセレクタ回路６２５を介してコンパレータ６２７に接続する。したがって、ワード線６２４ａを活性化させる場合、ビット線ペア６２８ａおよびビット線ペア６２８ｂのメモリセル６２２からは、“Ｈ”データが出力される。しかし、ワード線６２４ｂを活性化させた場合、ビット線ペア６２８ａおよびビット線ペア６２８ｂのメモリセル６２２からは“Ｌ”データが出力される。

【０２５０】

そこで、外部テスタにおいて予め読出されるべきデータの期待値を記憶しておき、その値を予めコンパレータ６２７に入力しておく。その後読出動作を行ないトランジスタ６２６を活性化させることにより、セレクタ回路６２５からの出力をコンパレータ６２７に入力することにより、各ビットデータと期待値との比較を一括して並列に行なうことが可能となる。

【０２５１】

各コンパレータは、期待値との比較結果を信号線ＤＶを介して外部に出力する。以上のよ

うにこのテスト方式を用いることにより、各メモリセルのビット誤りの検出を並列してかつ一括に行なうことが可能となるので、半導体記憶装置１のテスト時間を大幅に短縮することが可能となる。

【０２５２】

［第１２の実施例］

第１０の実施例および第１１の実施例においては、メモリセルにテスト用データを一括して書込むことを可能としたことにより、半導体記憶装置１のテスト時間を短縮することが可能となった。しかしながら、上記テスト方法の短所としては、メモリセルからのデータパターンの変化による干渉の影響、つまり、メモリセルパターン依存性が検出できないことにある。これは、同一セルプレートに接続するメモリセルに対しては同一データしか書込めないためであり、通常、任意のビット線ペアに接続するメモリセルは同一のセルプレートに接続するために起こるものである。

【０２５３】

図４２は、以上のような問題点を解決するための半導体記憶装置１の構成を示す概略ブロック図である。第１０の実施例と異なる点は、各セルプレートを共通に接続している配線が以下に述べるように２組に分かれる構成となっている点である。

【０２５４】

すなわち、各メモリセルに接続するビット線ペアおよびワード線の対角線方向に対し、第１セルプレート配線５９０は、各配列の１配列おきにその配列に属するメモリセルのセルプレートと接続している。

これに対し、第２セルプレート配線５９２は、第１セルプレート配線７３１が接続していない、残りのメモリセルに対して共通に接続している。セルプレート電位／Ｐウェル電位設定回路５２４は、第１セルプレート配線５９０およびＰウェル配線５７０間の電位（V_{CQ1} およびV_{WC}）ならびに第２セルプレート配線５９２およびＰウェル配線５７０間の電位（V_{CQ2} およびV_{WC}）をそれぞれ独立に制御することが可能な構成となっている。

【０２５５】

図４３は、このような構成を有する半導体記憶装置１において、一括してメモリセルにテストデータを書込んだ場合の状態を示す図である。

【０２５６】

図４３においては、図３７および図３８において説明した方法により、第１セルプレート配線７３１を“Ｌ”レベル書込用に使用し、第２セルプレート配線７３２を“Ｈ”レベル書込用に使用した場合に各メモリセルに書込まれたデータの状態を示す図である。図４３によれば、セルプレートが斜めに分離されているため、斜めストライプ状にメモリセルの“Ｈ”レベルの状態と“Ｌ”レベルの状態が連続している。したがって、同一ワード線に接続するメモリセルに関しては、“Ｈ”レベルおよび“Ｌ”レベルのデータが交互に配列されることになり、隣接するメモリセルのデータが反転状態となるため、メモリセル間の干渉によるデータへの影響が検出できるパターンとなる。

【０２５７】

［第１３の実施例］

図４４は本発明の第１３の実施例の半導体記憶装置１の構成を示す概略ブロック図である。

【０２５８】

第１３の実施例は、第１２の実施例において、セルプレート電位／Ｐウェル電位設定回路５２４が制御していた第１セルプレート配線５９０およびＰウェル配線５７０間の電位ならびに第２セルプレート配線５９２およびＰウェル配線５７０間の電位を、第１１の実施例と同様に外部端子５８０、５８１および５８２から制御できる構成としたものである。

【０２５９】

第１セルプレート５９０と接続するメモリセルと第２セルプレート５９２に接続するメモリセルに対してそれぞれ独立に一括して異なるテストデータを書込むことが可能である点を除いては、第１１の実施例とその動作は同様であるのでその説明の詳細は省略する。

【０２６０】
図４４のような構成とすることにより、外部テスタにより、同一ワード線に接続するメモリセルに関して、“Ｈ”レベルおよび“Ｌ”レベルのデータが交互に配列されるようにメモリセルへのデータを書込むことが可能となり、メモリセル間の干渉によるデータへ影響が検出できるパターンを形成することが可能となる。
【０２６１】
【発明の効果】
請求項１記載の半導体記憶装置においては、外部からの一のテストモード指定信号に応じて、クロック発生手段が所定の周期の内部クロック信号を発生し、それに応じて半導体記憶装置が動作するので、外部クロック信号の波形歪等に影響を受けることなく、加速試験を行なうことが可能である。内部クロック信号が、テストモード期間中は外部端子に出力されるので、テスト期間中の半導体記憶装置の加速条件を外部から確認することが可能である。
【０２６２】
請求項２記載の半導体記憶装置においては、請求項１記載の半導体記憶装置の効果に加えて、外部からのクロック周期制御信号に応じて、発生する内部クロック信号の周期を可変とすることが可能であるので、外部から、内部クロック周期をモニタしつつ、内部クロック周期を変化させて加速試験を行なうことが可能である。
【０２６３】
請求項３記載の半導体記憶装置においては、クロック周期記憶手段に記憶されたクロック周期情報に応じて、内部クロック発生手段が対応する周期の内部クロックを発生するので、半導体記憶装置の種類や加速条件に応じた内部クロック信号の設定を行なうことが可能である。
【０２６４】
請求項４記載の半導体記憶装置においては、外部からの複数の動作制御信号の組合せに応じて、テストモードを指定することが可能なので、パッケージに組込まれた後、外部からの制御信号を与えるピン数に制限がある場合でも、テスト条件の設定が可能である。
【０２６５】
請求項５記載の半導体記憶装置は、テストモード期間中は、出力バッファ手段にも内部クロック信号が入力されるので、テストモード期間中に出力バッファ手段に対しても加速試験を行なうことが可能である。
【０２６９】
請求項６記載の半導体記憶装置においては、外部からのテストモード指定信号に応じて、外部クロック信号に同期した第１の内部クロック信号を発生し、半導体記憶装置が動作するので、外部クロック信号の波形歪等に影響を受けることなく、加速試験を行なうことが可能である。内部クロック信号が、テストモード期間中は外部端子に出力されるので、テスト期間中の半導体記憶装置の加速条件を外部から確認することが可能である。
【０２７１】
請求項７記載の半導体記憶装置においては、テストモード期間中は、出力バッファ手段にも内部クロック信号が入力されるので、テストモード期間中に出力バッファ手段に対しても加速試験を行なうことが可能である。
【０２７６】
請求項８記載の半導体記憶装置は、外部からのテストモード指定信号に応じて、外部からのクロック信号を逓倍した内部クロック信号を発生し、それに応じて半導体記憶装置が動作するので、外部クロック信号の波形歪等に影響を受けることなく、加速試験を行なうことが可能である。内部クロック信号が、テストモード期間中は外部端子に出力されるので、テスト期間中の半導体記憶装置の加速条件を外部から確認することが可能である。
【０２７８】
請求項９記載の半導体記憶装置は、外部からのクロック周期制御信号に応じて、発生する内部クロック信号の周期を可変とすることが可能であるので、外部から、内部クロック

周期をモニタしつつ、外部クロック周期を変化させて加速試験を行なうことが可能である。

【０２７９】

請求項１０記載の半導体記憶装置は、テストモード期間中は、出力バッファ手段にも内部クロック信号が入力されるので、テストモード期間中に出力バッファ手段に対しても加速試験を行なうことが可能である。

【０２８３】

請求項１１記載の半導体記憶装置は、テストモード期間中は、内部クロックで動作する内部自動試験手段によってセルフテストを行なうので、外部からのクロック信号等の波形歪に影響されることなく加速試験を行なうことが可能である。

【図面の簡単な説明】

【図１】　この発明の第１の実施例による半導体記憶装置の構成を示す概略ブロック図である。

【図２】　本発明の第１の実施例における内部周期設定回路の第１の例を示す回路図である。

【図３】　本発明の第１の実施例における内部周期設定回路の第２の例を示す回路図である。

【図４】　本発明の第１の実施例における制御ゲート回路を示す回路図である。

【図５】　本発明の第１の実施例の動作を示す波形図である。

【図６】　本発明の第２の実施例の半導体記憶装置の構成を示す概略ブロック図である。

【図７】　本発明の第２の実施例の周期記憶回路および内部周期設定回路の構成を示す概略ブロック図である。

【図８】　本発明の第２の実施例における周期記憶回路の構成を示す回路図である。

【図９】　内部降圧回路の構成を示す概略ブロック図である。

【図１０】　加速試験中の外部電源電圧と内部電源電圧の対応図である。

【図１１】　本発明の第３の実施例の半導体記憶装置の構成を示す概略ブロック図である。

【図１２】　本発明の第３の実施例におけるコントロール回路およびテストモードコントロール回路の詳細を示すブロック図である。

【図１３】　本発明の第４の実施例の半導体記憶装置の構成を示す概略ブロック図である。

【図１４】　本発明の第４の実施例における内部同期回路の構成を示す概略ブロック図である。

【図１５】　図１４に示したクロックバッファ９１の構成を示す一部省略した回路図である。

【図１６】　図１４に示したクロックバッファ９６の構成を示す一部省略した回路図である。

【図１７】　図１４に示した位相比較器９２の構成を示す回路図である。

【図１８】　図１４に示した位相比較器９２の動作を示すタイミングチャートである。

【図１９】　図１４に示した位相比較器９２の動作を示す他のタイミングチャートである。

【図２０】　図１４に示したチャージポンプ９３およびループフィルタ９４の構成を示す回路図である。

【図２１】　図１４に示した電圧制御ディレー回路の構成を示す一部省略した回路図である。

【図２２】　図１４に示したＤＬＬ回路の動作を示すタイミングチャートである。

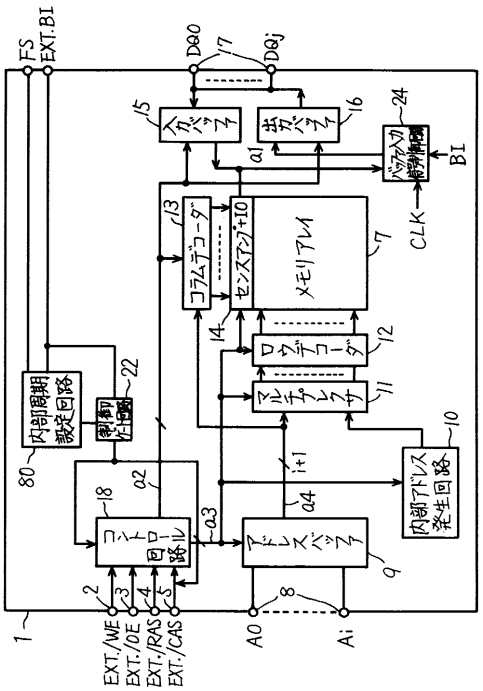
【図２３】　本発明の第４の実施例の動作を示すタイミングチャートである。

【図２４】　本発明の第５の実施例の内部同期回路７０の構成を示す概略ブロック図である。

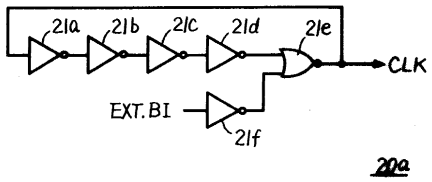
【図２５】　（ａ）は本発明の第５の実施例の構成を示す概略ブロック図を示し、（ｂ）

は第５の実施例の動作を示すタイミングチャートである。
【図２６】　本発明の第６の実施例の半導体記憶装置の構成を示す概略ブロック図である。
【図２７】　本発明の第６の実施例の半導体記憶装置の構成を示す要部概略ブロック図である。
【図２８】　本発明の第６の実施例の動作を示すタイミングチャートである。
【図２９】　本発明の第７の実施例の半導体記憶装置の構成を示す概略ブロック図である。
【図３０】　本発明の第８の実施例の半導体記憶装置の構成を示す概略ブロック図である。
【図３１】　本発明の第８の実施例の半導体記憶装置の構成を示す要部概略ブロック図である。
【図３２】　本発明の第８の実施例の半導体記憶装置中の内部逓倍回路の構成を示す概略ブロック図である。
【図３３】　本発明の第８の実施例の動作を示すタイミングチャートである。
【図３４】　本発明の第９の実施例の並列試験装置の構成を示す概略ブロック図である。
【図３５】　本発明の第１０の実施例の半導体記憶装置中のメモリセルの断面構造図である。
【図３６】　図３５で示したメモリセルの等価回路を示す回路図である。
【図３７】　本発明の第１０の実施例の動作の流れを示す断面図である。
【図３８】　本発明の第１０の実施例の動作流れを示す他の断面図である。
【図３９】　本発明の第１０の実施例の半導体記憶装置の構成を示す要部概略ブロック図である。
【図４０】　本発明の第１０の実施例の構成を示す概略ブロック図である。
【図４１】　本発明の第１１の実施例の半導体記憶装置の構成を示す要部概略ブロック図である。
【図４２】　本発明の第１２の実施例の半導体記憶装置の構成を示す要部概略ブロック図である。
【図４３】　本発明の第１２の実施例の実施例後のメモリセル記憶パターンを示すパターン図である。
【図４４】　本発明の第１３の実施例の半導体記憶装置の構成を示す要部概略ブロック図である。
【図４５】　従来の並列試験装置の構成を示す概略ブロック図である。
【図４６】　従来の並列試験装置中のクロック信号を示す波形図である。
【図４７】　従来の半導体記憶装置の構成を示す概略ブロック図である。
【符号の説明】
１　半導体記憶装置、７　メモリアレイ、９　アドレスバッファ、１０　内部アドレス発生回路、１１　マルチプレクサ、１２　ロウデコーダ、１３　コラムデコーダ、１４　センスアンプ＋ＩＯブロック、１５　入力バッファ、１６　出力バッファ、１８　コントロール回路、１９　テストモードコントロール回路、２０　内部周期設定回路、２６　周期設定回路、３０　ＲＡＳバッファ、３１ＣＢＲ検出器、３４　テストモード設定回路、２２　制御ゲート回路、２４　バッファ入力信号制御回路、７０　内部同期回路、７２　内部逓倍回路、８０　テストモード設定回路、８２　テストモードコントロール回路、８４　切換回路、９１　クロックバッファ、９２　位相比較器、９３　チャージポンプ、９４　ループフィルタ、９５　電圧制御デイレイ回路、９６　クロックバッファ、９８分周回路、４００　セルフテスト回路、５２０　セルプレート電位発生回路、５２２　基板電位発生回路、５２４　セルプレート／Ｐウェル電位設定回路、５３０、５３２　切換回路、５６０、５７０　配線、５８０、５８２　外部端子、５９０　第１セルプレート配線、５９２　第２セルプレート配線。

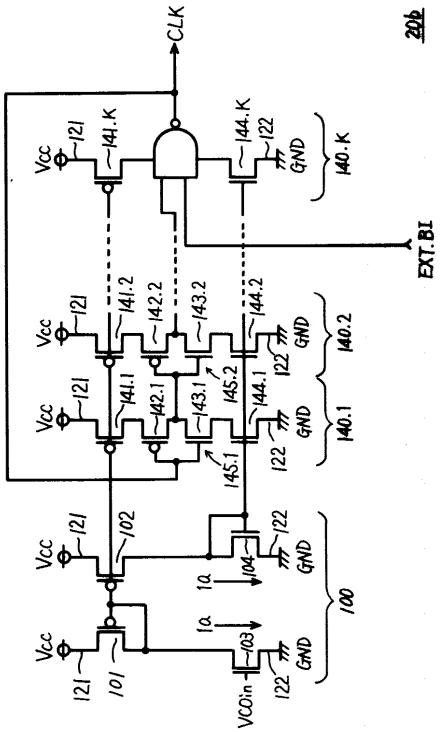
【図１】


FS
EXT.BI
DQ0
DQj
入力バッファ
出力バッファ
バッファ入力制御回路
BI
CLK
コラムデコーダ
センスアンプ+IO
メモリアレイ
ロウデコーダ
マルチプレクサ
内部アドレス発生回路
アドレスバッファ
コマンド回路
内部同期設定回路
制御入力回路
EXT./WE
EXT./OE
EXT./RAS
EXT./CAS
A0
Ai

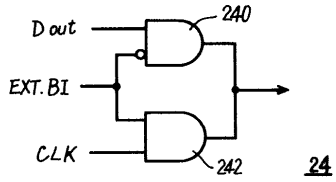
【図２】


21a
21b
21c
21d
21e
21f
CLK
EXT.BI
20a

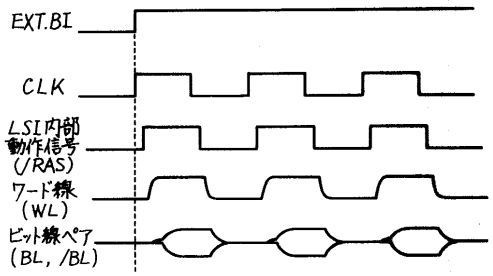
【図３】


CLK
20b
Vcc
GND
EXT.BI
140.K
140.2
140.1
100

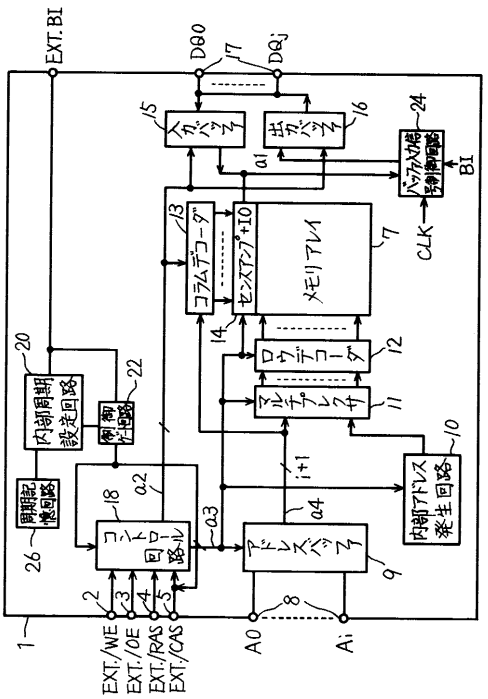
【図４】


Dout
EXT.BI
CLK
240
242
24

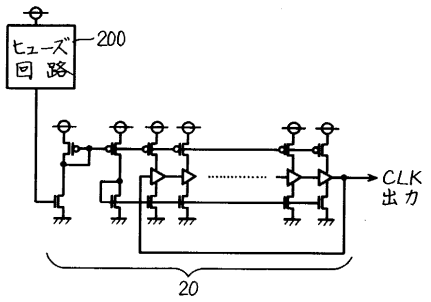
【図５】


EXT.BI
CLK
LSI内部動作信号 (/RAS)
ワード線 (WL)
ビット線ペア (BL, /BL)

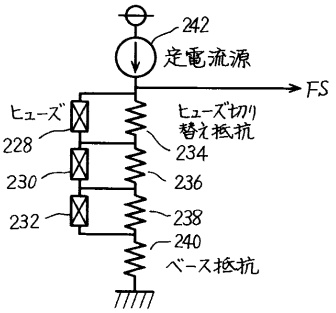
【図６】



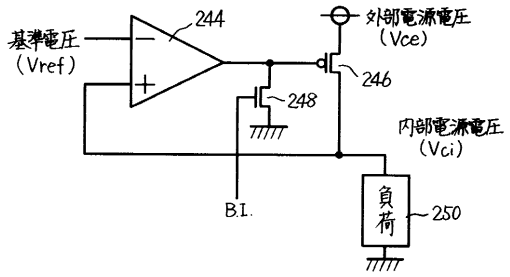
【図７】



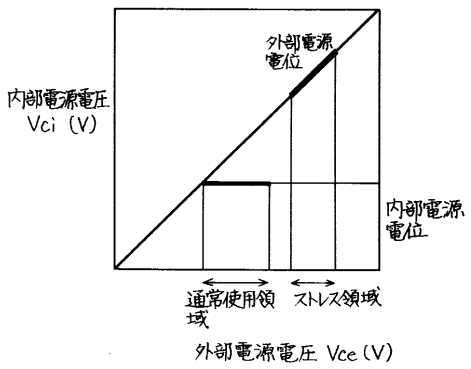
【図８】



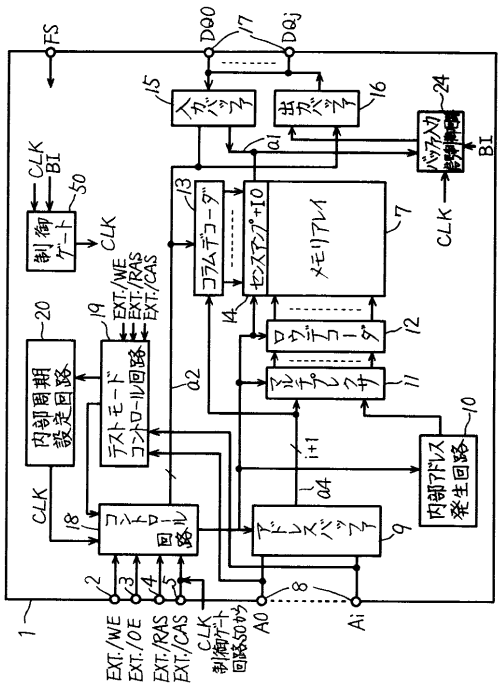
【図９】



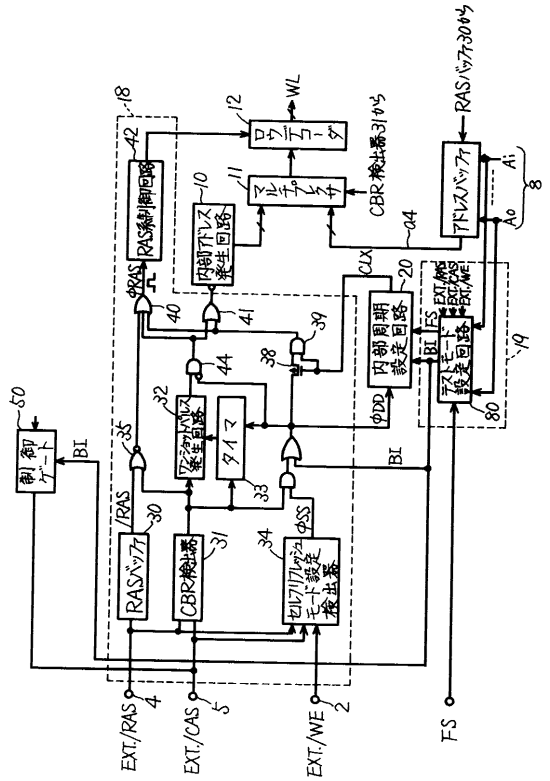
【図１０】



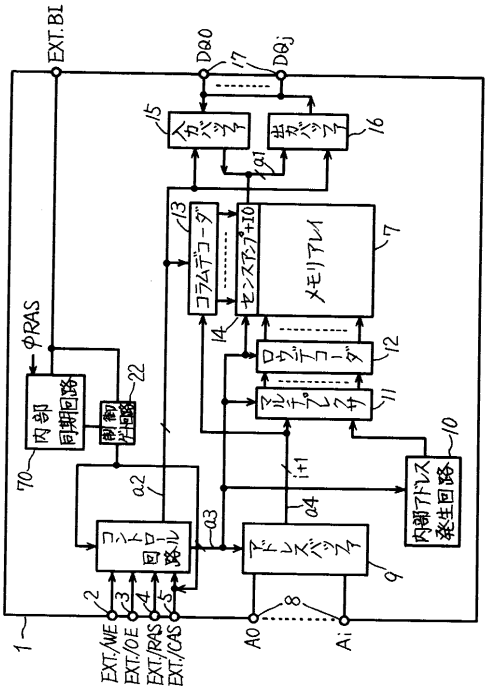
【図１１】



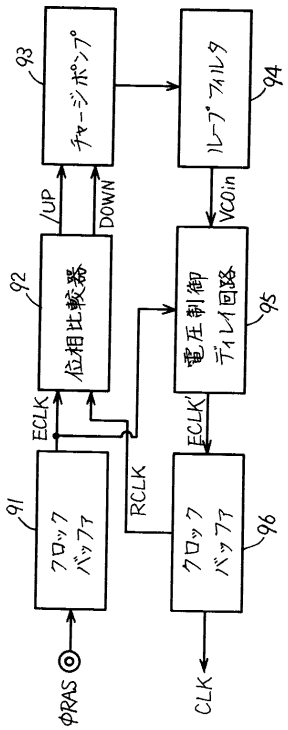
【図１２】



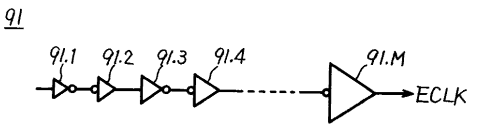
【図１３】



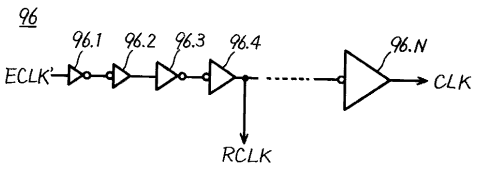
【図１４】



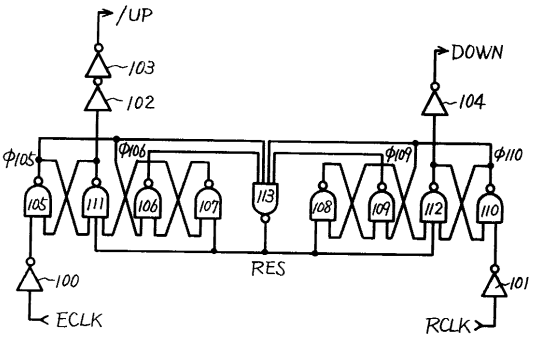
【図１５】



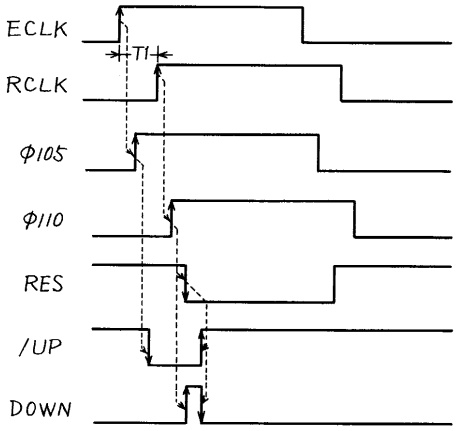
【図１６】



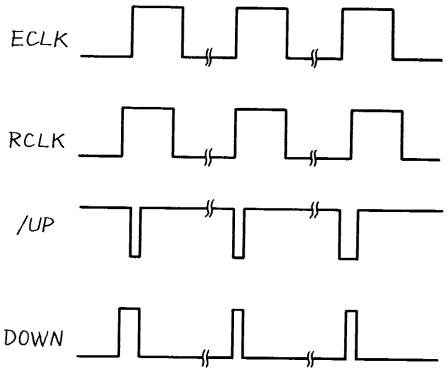
【図１７】



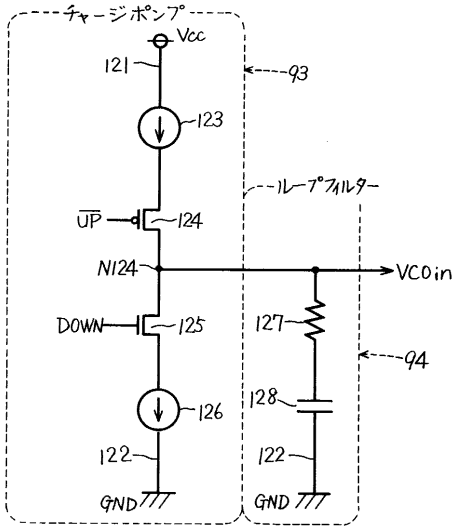
【図１８】



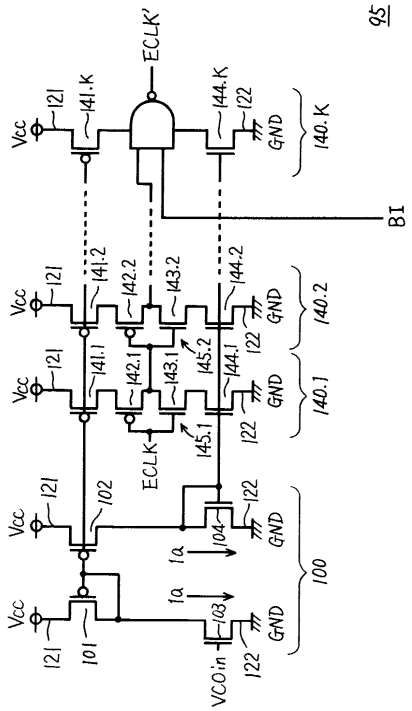
【図１９】



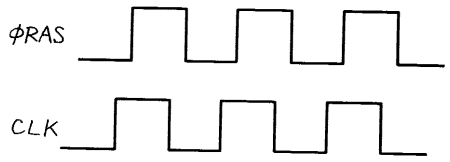
【図２０】



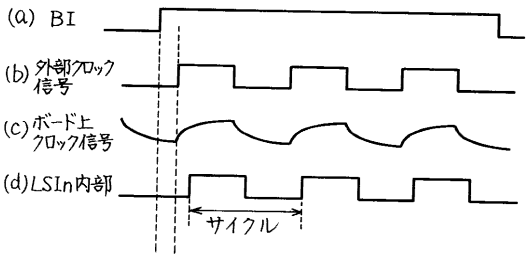
【図２１】



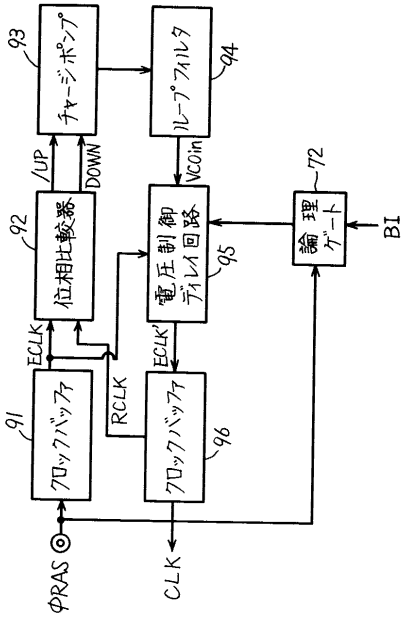
【図２２】



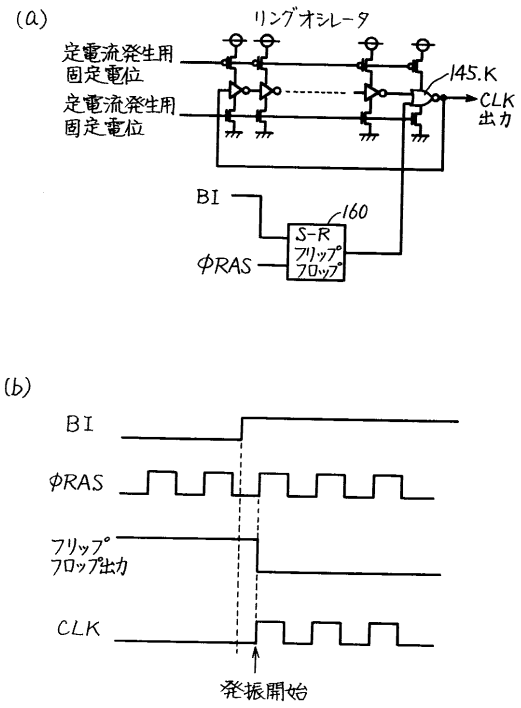
【図２３】



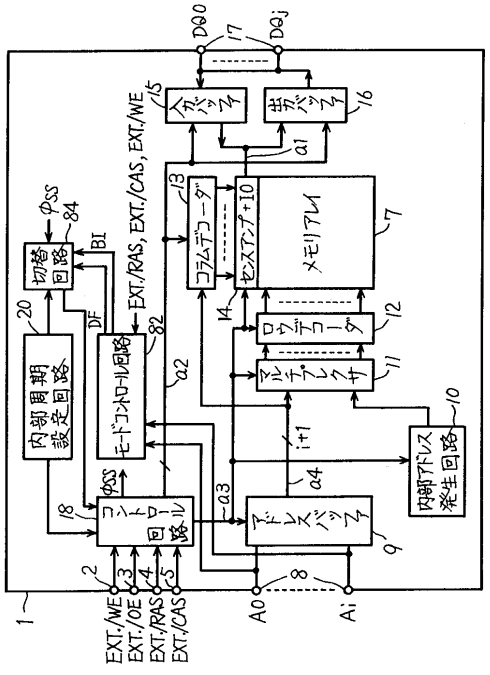
【図２４】



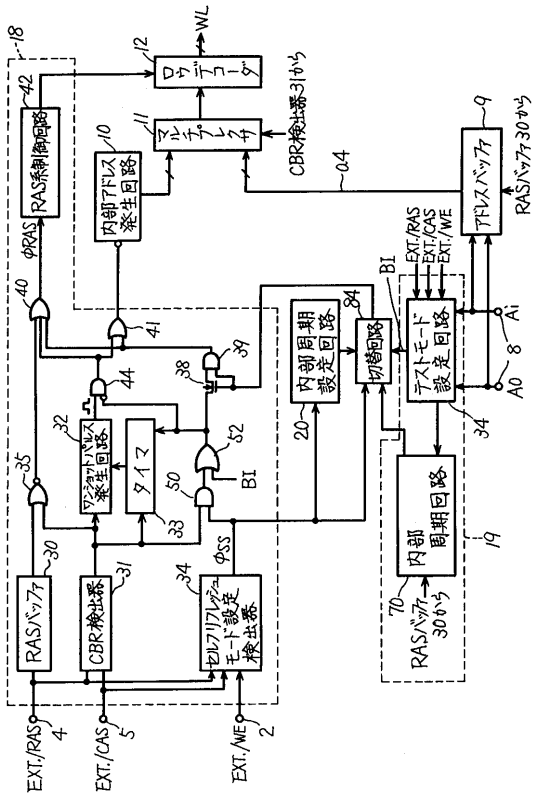
【図２５】



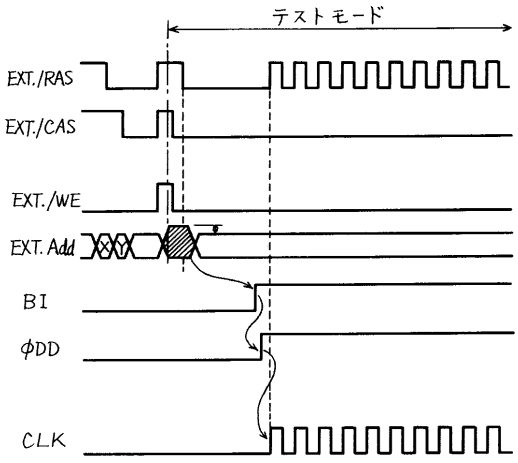
【図２６】



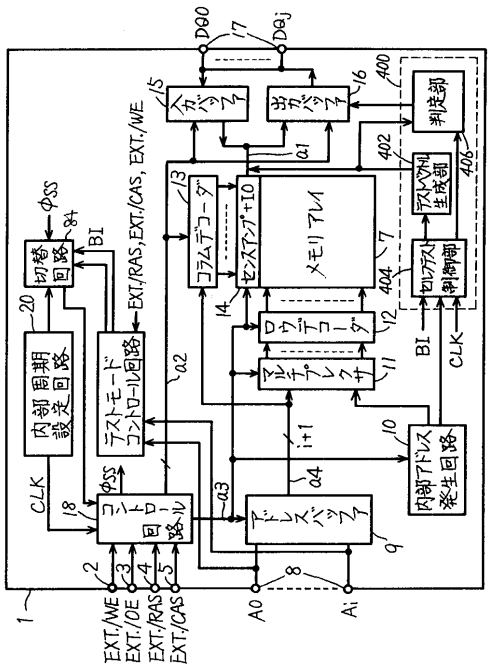
【図２７】



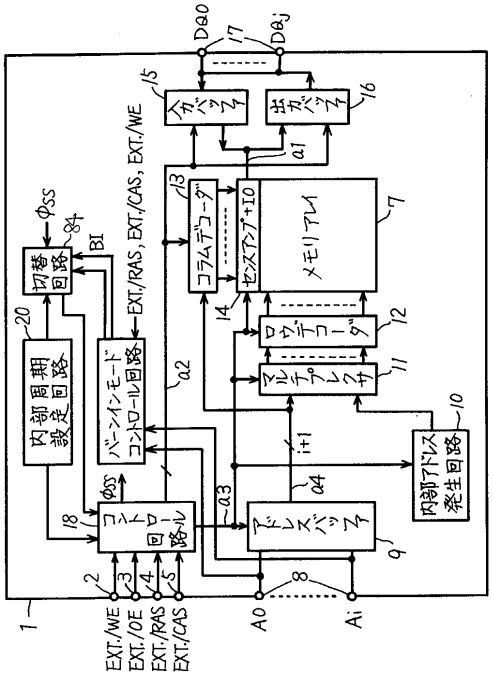
【図２８】



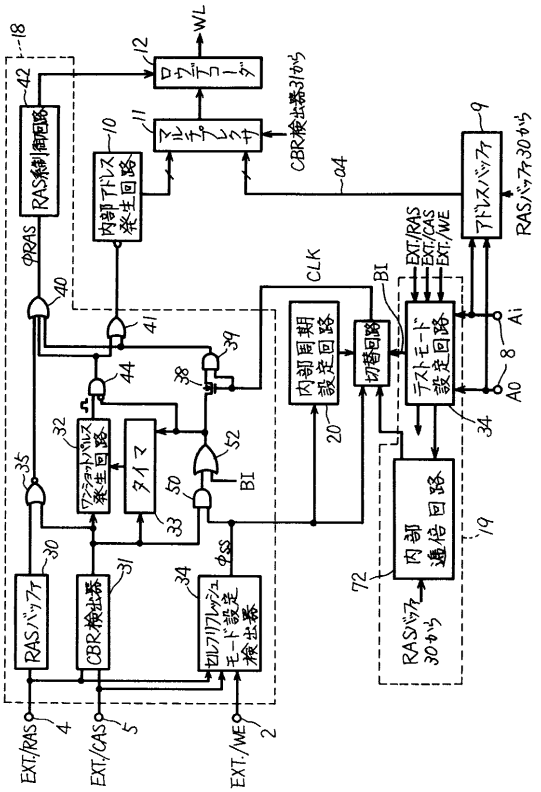
【図２９】



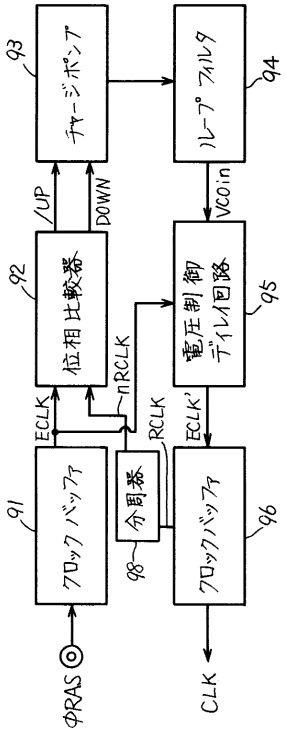
【図３０】



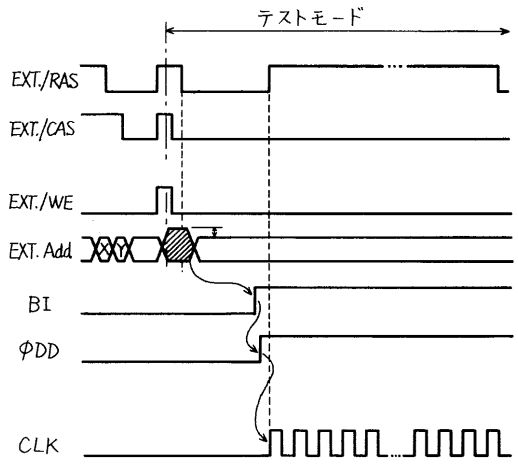
【図３１】



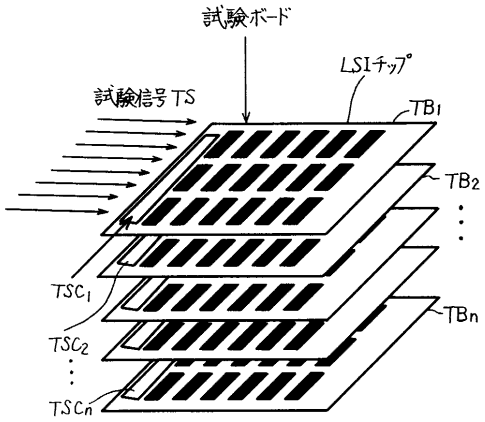
【図３２】



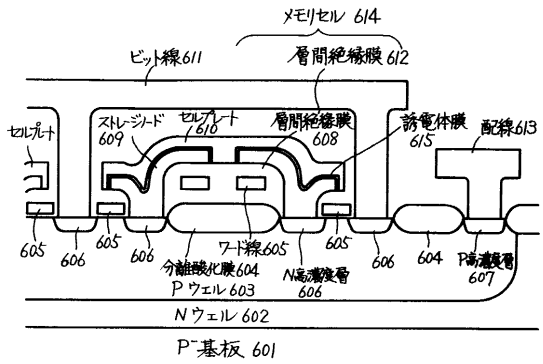
【図３３】



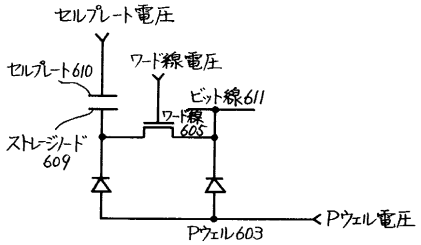
【図３４】



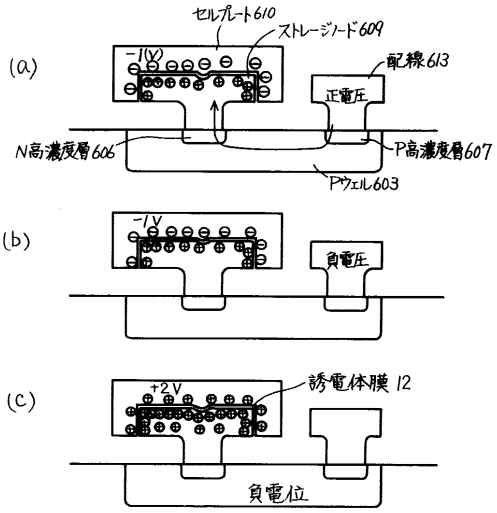
【図３５】



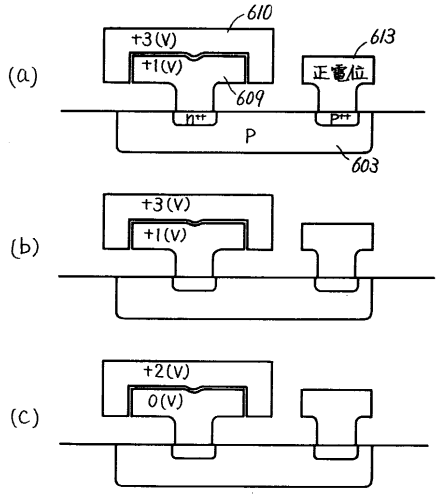
【図３６】



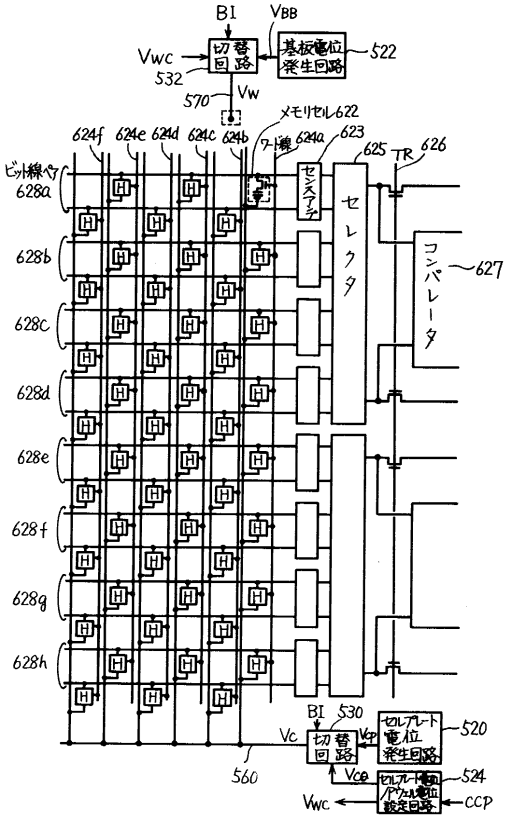
【図３７】



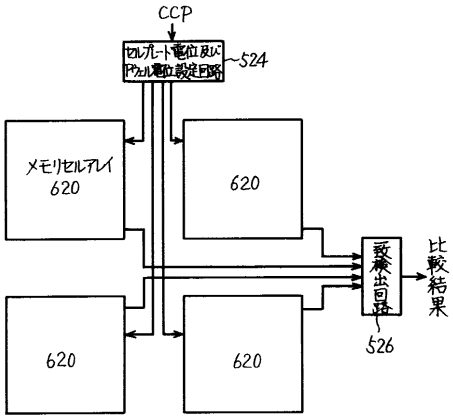
【図３８】



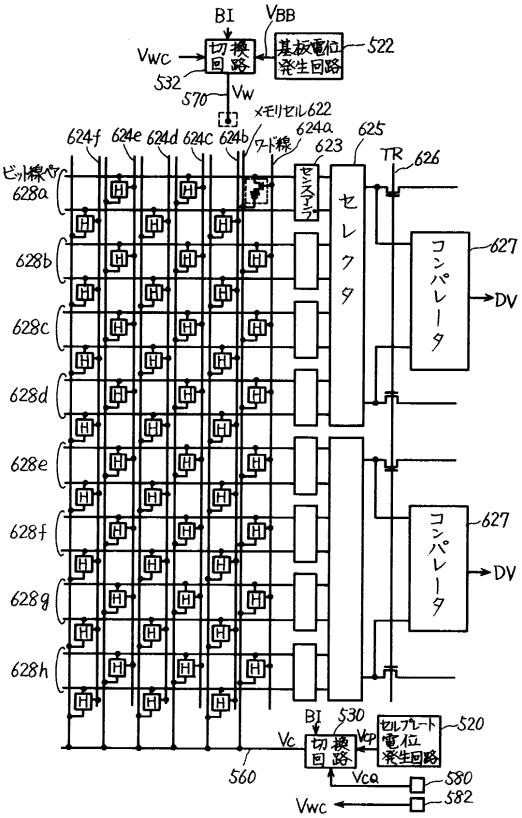
【図３９】



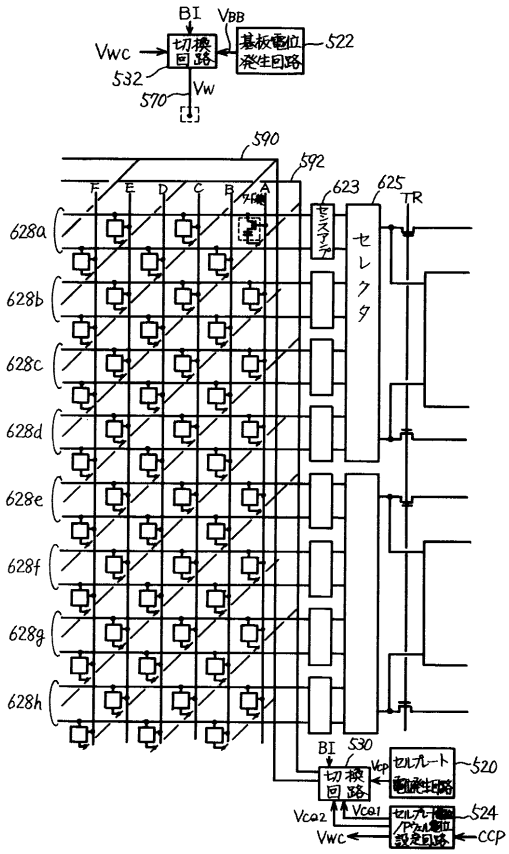
【図４０】



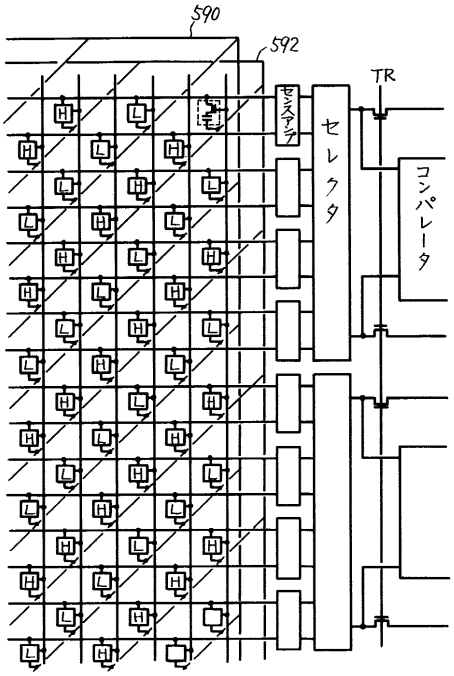
【図４１】



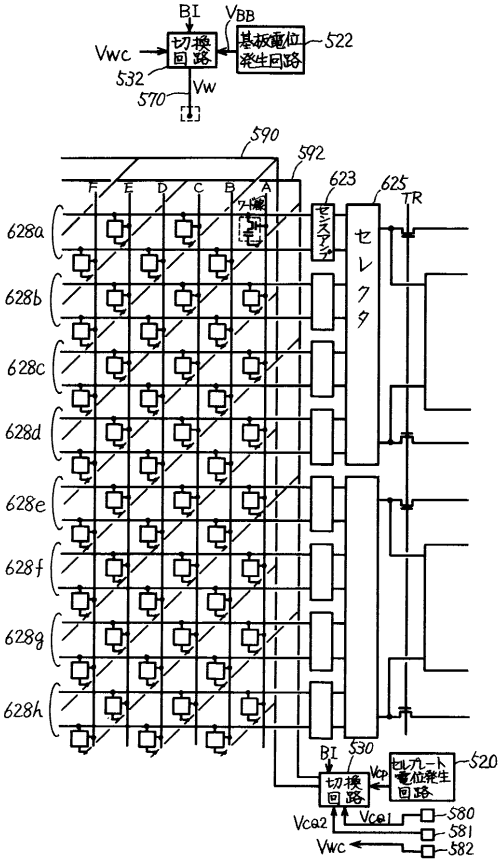
【図４２】



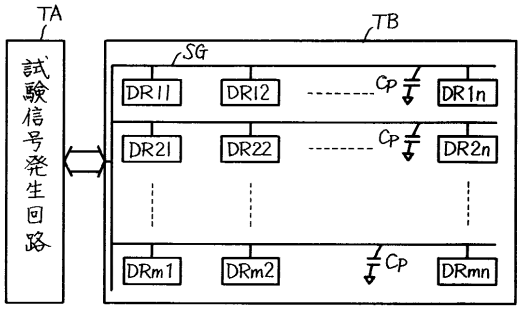
【図４３】



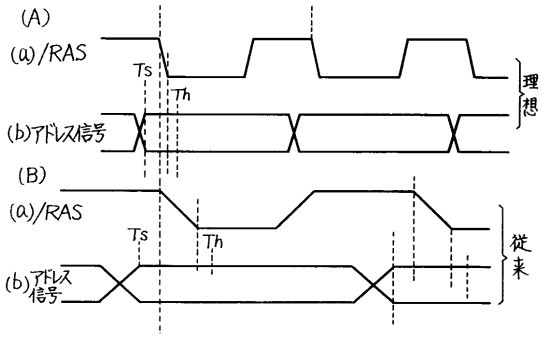
【図４４】



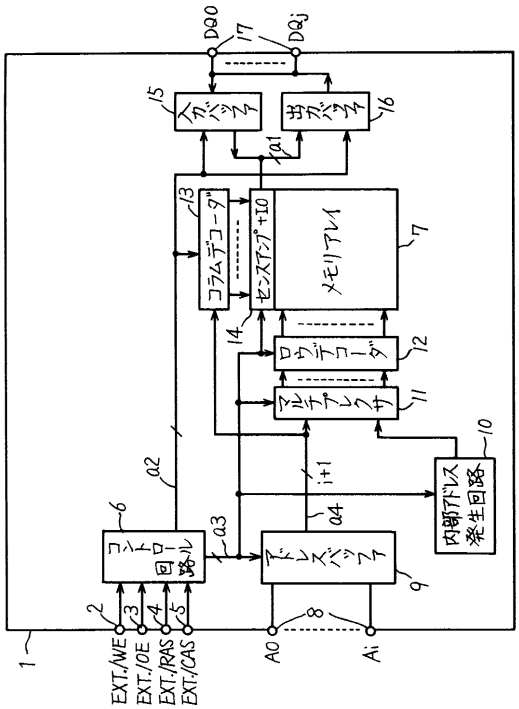
【図４５】



【図４６】



【図４７】



フロントページの続き

(72)発明者　大石　司
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　ユー・エル・エス・アイ開発研究所内

審査官　小松　正

(56)参考文献　特開平０６－０３６５９５（ＪＰ，Ａ）
特開平０６－０７６５６９（ＪＰ，Ａ）
特開平０５－２５０８６８（ＪＰ，Ａ）
特開平０３－２０４９５１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099
G01R 31/28-31/3193