



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년12월11일
(11) 등록번호 10-1807850
(24) 등록일자 2017년12월05일

(51) 국제특허분류(Int. Cl.)
G06F 1/10 (2006.01) G06F 1/08 (2006.01)
(52) CPC특허분류
G06F 1/10 (2013.01)
G06F 1/08 (2013.01)
(21) 출원번호 10-2016-0169965
(22) 출원일자 2016년12월13일
심사청구일자 2016년12월13일
(56) 선행기술조사문헌
KR101754224 B1
KR1020010107417 A
KR1020160053348 A
KR100824467 B1

(73) 특허권자
한림대학교 산학협력단
강원도 춘천시 한림대학길 1, 한림대학교(옥천동)
(72) 발명자
문규
강원도 춘천시 소양로 171번길 10, 4층
(74) 대리인
김남혁

전체 청구항 수 : 총 12 항

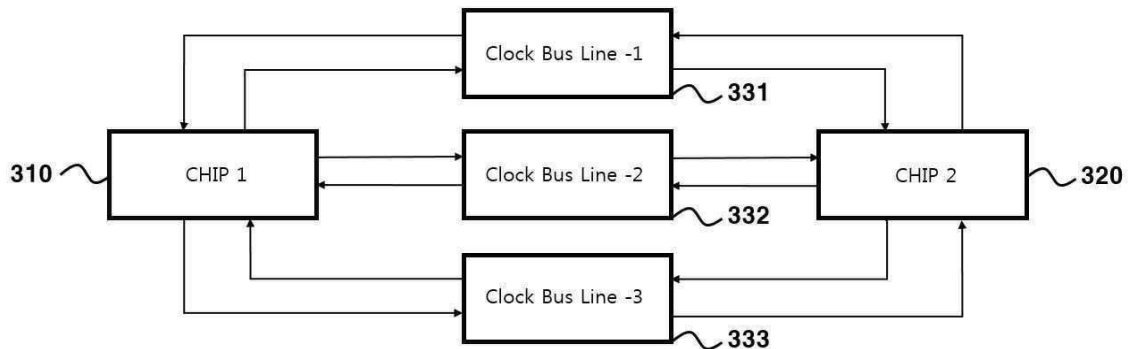
심사관 : 김근희

(54) 발명의 명칭 동위상 클럭라인을 이용한 멀티칩 시스템 클럭 신호 분배 및 동기화 기법

(57) 요약

본 발명에서는 클럭 신호 동기화 방법을 개시한다. 클럭 신호 동기화 방법은, 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계; 상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계; 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 서로 동일한 주파수 및 동일한 위상을 가지는 클럭 신호로 출력되는 단계를 포함하고, 상기 클럭 라인은, 동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝단을 서로 연결시켜주는 클럭 라인인 것을 특징으로 한다.

대표도 - 도3



명세서

청구범위

청구항 1

제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계;

상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계;

상기 제1 클럭 신호 및 상기 제2 클럭 신호가 서로 동일한 주파수 및 동일한 위상을 가지는 클럭 신호로 출력되는 단계를 포함하고,

상기 클럭 라인은,

동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝단을 서로 연결시켜주는 클럭 라인인 것을 특징으로 하는, 클럭 신호 동기화 방법.

청구항 2

제1 항에 있어서,

상기 프랙탈 구조는,

홀수 개의 인버터가 직렬로 연결된 인버터 체인(inverter chain)이 하나의 프랙탈 삼각형을 구성하는 프랙탈 구조인 것을 특징으로 하는 클럭 신호 동기화 방법.

청구항 3

제1 항에 있어서,

상기 제1 칩에 인가되는 제1 전압 및 상기 제2 칩에 인가되는 제2 전압은 서로 다른 전압인 것을 특징으로 하는 클럭 신호 동기화 방법.

청구항 4

제1 항에 있어서,

상기 제1 칩 및 상기 제2 칩은,

각각 30개의 인버터들로 구성된 링 오실레이터인 것을 특징으로 하는, 클럭 신호 동기화 방법.

청구항 5

제1 항에 있어서,

상기 제1 칩 및 제2 칩은 GHz급 주파수에서 동작되는 것을 특징으로 하는, 클럭 신호 동기화 방법.

청구항 6

제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계;

상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진

하는 단계;

상기 제1 클럭 신호 및 상기 제2 클럭 신호의 주파수 및 위상을 조정하는 단계를 포함하고,

상기 클럭 라인은,

동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인인 것을 특징으로 하는, 클럭 스큐 보상 방법.

청구항 7

제6 항에 있어서,

상기 프랙탈 구조는,

홀수 개의 인버터가 직렬로 연결된 인버터 체인(inverter chain)이 하나의 프랙탈 삼각형을 구성하는 프랙탈 구조인 것을 특징으로 하는 클럭 스큐 보상 방법.

청구항 8

제6 항에 있어서,

상기 제1 칩에 인가되는 제1 전압 및 상기 제2 칩에 인가되는 제2 전압은 서로 다른 전압인 것을 특징으로 하는 클럭 스큐 보상 방법.

청구항 9

제6 항에 있어서,

상기 제1 칩 및 상기 제2 칩은,

각각 30개의 인버터들로 구성된 링 오실레이터인 것을 특징으로 하는, 클럭 스큐 보상 방법.

청구항 10

제6 항에 있어서,

상기 제1 칩 및 제2 칩은 GHz급 주파수에서 동작되는 것을 특징으로 하는, 클럭 스큐 보상 방법.

청구항 11

멀티 칩 위상 보정 방법에 있어서,

제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계;

상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계;

상기 제1 클럭 신호 및 상기 제2 클럭 신호의 주파수 및 위상을 제3 클럭 신호로 조정하는 단계를 포함하고,

상기 클럭 라인은,

동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인인 것을 특징으로 하는, 멀티 칩 위상 보정 방법.

청구항 12

제11 항에 있어서,

상기 제3 클럭 신호는 상기 제1 클럭 신호 및 상기 제2 클럭 신호 중 어느 하나와 동일한 신호인 것을 특징으로 하는, 멀티 칩 위상 보정 방법.

발명의 설명

기술 분야

[0001] 본 발명은 멀티칩 시스템의 동기화 방법에 관한 것이다. 더욱 상세하게는 동위상 클럭라인을 이용하여 멀티칩 시스템의 클럭 신호를 분배하고 동기화 하는 방법에 관한 것이다.

배경 기술

[0002] 데이터 및 상기 데이터를 인식하는데 사용되는 클럭은 시스템을 초기화할 때 일정한 트레이닝(training) 과정을 통해 최적의 상태로 설정하는 것이 일반적이다. 그러나 시스템이 동작하는 동안 발생하는 열, 데이터 패턴의 변형 등 초기화를 진행시켰던 환경과 다른 환경이 시스템의 동작에 영향을 주게 되므로, 시스템이 동작하고 있는 동안에도 클럭의 위상을 최적으로 조절할 수 있는 방법 및 이를 구현하는 회로가 요구된다.

[0003] 오실레이터(oscillator) 회로는 안정적인 발진 주파수를 발생하는데 일부 문제점을 가지고 있다. 종래의 오실레이터 회로는 그 사이즈가 커짐에 따라 주파수가 순간적으로 흔들리는 지터(jitter) 현상, 위상이 지연되는 클럭 스큐(clock skew) 현상 등이 발생하였다.

[0004] 링 타입의 오실레이터는 효율이 좋고 넓은 주파수 범위를 가지며 작은 면적을 차지하는 장점이 있어 클럭 생성 회로로서 널리 사용되고 있다. 링 오실레이터의 발진 주파수는 보통 하기의 수학적 식 1에 따라 계산이 가능하다.

수학적 식 1

$$f_{osc} = \frac{1}{2Ntd}$$

[0005]

[0006] 여기서 N은 지연 셀의 개수를 나타내며, td는 하나의 지연 셀이 가지는 지연 시간을 의미한다. 링 오실레이터의 발진 주파수는 N에 반비례하기 때문에 많은 지연 스테이지를 쓰는 경우, 동작 신뢰도와 면적 등에 있어서 한계가 존재한다.

[0008] *또한 종래의 GHz 급의 고속 클럭 주파수를 발생하고 분배하는 회로에서 안정성은 성능에 상당히 주요한 요인이 되지만, 인버터만을 이용한 오실레이터는 없고, 또한 프랙탈 구조로 설계되어 고속의 클럭 주파수를 발생시키는 오실레이터의 개발이 요구되고 있다.

[0009] 오늘날 SoC(System on Chip) 설계 기술의 발달로 시스템을 구성하는 집적회로의 클럭 신호는 대다수 GHz급이며, 동작속도는 계속 증가되고 있다. 이러한 초고속 클럭 신호의 생성과 분배(Ultra High-Speed Clock Generation and Distribution)는 집적회로 설계에 있어 매우 중요한 기술사항이다. 만약 클럭 스큐가 발생되면 클럭 신호를 필요로 하는 시스템의 동작에 오류가 발생할 수 있다. 현재에는 발생된 클럭 신호의 위상차를 검출하고 회로의 동기화 문제를 해결하기 위한 방안으로 PLL(Phase Locked Loop) 회로 사용을 선호하고 있다. 하지만 PLL회로는 구조가 복잡하여 배선면적에 의한 칩 사이즈가 커지는 부담을 가지고 있다.

[0010] 본 개시에서는 동위상 클럭 라인을 이용한 멀티칩 시스템 클럭 신호분배 및 동기화 기법을 제안한다. 제안된 기법은 링 오실레이터 회로를 이용하여 동위상을 클럭 라인으로 단순 연결을 해줌으로써, 시스템 안에 다수개의 칩에서 발생하는 클럭 신호들이 칩간 전원전압의 차이에 따라 갖게 되는 클럭 스큐와 비동기 동작에 의한 오류를 최대한 줄이게 된다. CMOS 링오실레이터는 발진시 모든 노드가 동일한 주파수로 동작된다. 이 구조는 부분적인 전압과 온도 차이에도 네트워크 전체의 클럭 신호 동기화를 실현시키고, 별도로 설계된 회로의 추가없이 인버터 개수를 증가시킴으로써, 주파수 변조(Frequency-shift keying)에도 매우 효과적이다. 또한, 같은 구조로

설계된 서로 다른 다수개의 링 오실레이터의 동위상을 연결한다면 전체 칩 내의 링 오실레이터도 동일한 주파수를 필연적으로 갖게 된다.

발명의 내용

해결하려는 과제

- [0011] 본 발명의 목적은, 상기한 문제점을 해결하기 위하여 안출된 것으로, 안정적인 프랙탈 구조의 링 오실레이터를 설계하는 것을 목적으로 한다.
- [0012] 또한, 본 발명에 따른 경우, 순간적으로 불안정한 주파수가 발생하는 지터 현상 및 위상 지연이 발생하는 클럭 스큐 현상을 줄일 수 있다.
- [0013] 본 발명이 이루고자 하는 기술적 과제(목적)들은 이상에서 언급한 기술적 과제(목적)들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제(목적)들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 본 발명의 일 실시예에 따른 클럭 신호 동기화 방법에 있어서, 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계; 상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계; 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 서로 동일한 주파수 및 동일한 위상을 가지는 클럭 신호로 출력되는 단계를 포함하고, 상기 클럭 라인은, 동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인인 것을 특징으로 한다.
- [0015] 바람직하게는, 상기 프랙탈 구조는, 홀수 개의 인버터가 직렬로 연결된 인버터 체인(inverter chain)이 하나의 프랙탈 삼각형을 구성하는 프랙탈 구조이다.
- [0016] 바람직하게는, 상기 제1 칩에 인가되는 제1 전압 및 상기 제2 칩에 인가되는 제2 전압은 서로 다른 전압이다.
- [0017] 바람직하게는, 상기 제1 칩 및 상기 제2 칩은, 각각 30개의 인버터들로 구성된 링 오실레이터이다.
- [0018] 바람직하게는, 상기 제1 칩 및 제2 칩은 GHz급 주파수에서 동작된다.
- [0019] 본 발명의 또 다른 일 실시예에 따른 클럭 스큐 보상 방법에 있어서, 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계; 상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계; 상기 제1 클럭 신호 및 상기 제2 클럭 신호의 주파수 및 위상을 조정하는 단계를 포함하고, 상기 클럭 라인은, 동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인이다.
- [0020] 본 발명의 또 다른 일 실시예에 따른 멀티 칩 위상 보정 방법에 있어서, 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계; 상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계; 상기 제1 클럭 신호 및 상기 제2 클럭 신호의 주파수 및 위상을 제3 클럭 신호로 조정하는 단계를 포함하고, 상기 클럭 라인은, 동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인이다.
- [0021] 바람직하게는, 상기 제3 클럭 신호는 상기 제1 클럭 신호 및 상기 제2 클럭 신호 중 어느 하나와 동일한 신호이다.

발명의 효과

- [0022] 본 발명의 일 실시예에 의한 클럭 신호 동기화 방법은 다수 개의 칩에서 추가되는 회로 없이 매우 간단한 방법으로 전체적인 동기화를 이룰 수 있다.
- [0023] 또한, 본 발명의 일 실시예에 의한 클럭 신호 동기화 방법은 초고속으로 작동되는 복수 개의 칩에서 클럭 신호 비동기화 문제를 개선하면서 회로의 복잡도 또한 증가되지 않는 유리한 효과가 있다.
- [0024] 또한, 본 발명의 일 실시예에 의한 클럭 신호 동기화 방법에 의하여 클럭 스큐와 비동기 동작에 의한 오류를 최

대한 줄일 수 있다.

도면의 간단한 설명

[0025]

- 도 1은 본 발명의 일 실시예에 따른 CMOS 링 오실레이터 개념도이다.
- 도 2는 본 발명의 일 실시예에 따른 CMOS 링 오실레이터의 모형도이다.
- 도 3은 본 발명의 일 실시예에 따른 회로의 블록도이다.
- 도 4은 본 발명의 일 실시예에 따른 다층 구조의 개념도이다.
- 도 5는 본 발명의 일 실시예에 따른 두 칩 간의 TTL 링 오실레이터 네트워크를 나타낸 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 클럭 신호의 동기화 과정을 나타낸 순서도이다.
- 도 7은 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 시뮬레이션을 나타낸 그래프이다.
- 도 8는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 측정값을 나타낸 그래프이다.
- 도 9는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 시뮬레이션을 나타낸 그래프이다.
- 도 10은 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 측정값을 나타낸 그래프이다.
- 도 11은 본 발명의 일 실시예에 따른 스큐 현상 시뮬레이션을 나타낸 그래프이다.
- 도 12는 본 발명의 일 실시예에 따른 스큐 현상 측정값을 나타낸 그래프이다.
- 도 13은 본 발명의 일 실시예에 따라 전압 변동에 따라 측정된 클럭 스큐 값을 나타낸 그래프이다.
- 도 14는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 시뮬레이션을 나타낸 그래프이다.
- 도 15는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 측정값을 나타낸 그래프이다.
- 도 16은 본 발명의 일 실시예에 따라 전압 변동에 따라 측정된 클럭 스큐 값을 나타낸 그래프이다.
- 도 17은 본 발명의 일 실시예에 따른 CMOS 링 오실레이터의 레이아웃을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0026]

본 발명은 다양한 변형을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다.

[0027]

그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조 부호를 유사한 구성요소에 대해 사용하였다.

[0028]

어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어"있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어"있다거나 "직접 접속되어"있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0029]

본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0030]

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하, 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0032]

도 1은 본 발명의 일 실시예에 따른 CMOS 링 오실레이터 개념도이다.

[0033]

도 1에 도시된 바와 같이, 링 오실레이터의 구조는 홀수 개의 인버터(inverter)가 직렬로 연결된 형태이다. 가

장 단순하게 3개의 인버터로 구성되는 링 오실레이터는 120° 의 위상 차를 가지지만 3개의 인버터를 통과하게 되면 어떠한 지점이든 동일한 주파수 및 위상을 가질 수 있다. 이 구조에서 하나의 셀(Cell)은 3개의 인버터로 구성되며, n (n 은 자연수)개의 피드백 루프를 가질 수 있다. 따라서 2차원이나 3차원으로 확장이 가능한 프랙탈(fractal) 구조이다.

- [0034] 예를 들어, 프랙탈 구조에서 홀수 개의 인버터가 직렬로 연결된 인버터 체인(inverter chain)이 하나의 프랙탈 삼각형을 구성할 수 있다. 도 1을 예로 들면, 노드 1 및 노드 6 사이에는 1개의 인버터가 존재할 수 있으며, 경우에 따라서는 3개, 5개, 그 이상의 홀수 인버터들이 존재할 수 있다. 인버터가 홀수 개 존재함으로써 인버터의 입 출력 끝 단에는 서로 다른 값을 가질 수 있다.
- [0035] 도 1에 도시된 바와 같이, 큰 삼각형(1-2-3) 내에는 이보다 작은 크기의 삼각형(4-5-6), 더 작은 크기의 삼각형(7-8-9)과 같이 동일 구조로 계속하여 확장이 가능한 프랙탈(fractal) 구조를 확인할 수 있다.
- [0036] 상대적으로 작은 삼각형(10-11-12)을 인버터(inverter)로 구성하여 기본 셀(cell) 단위로 할 수 있으며, 이를 계속 확장한 형태로서 CMOS를 이용한 오실레이터를 구성할 수 있다.
- [0037] 예를 들어, 삼각형(1-6-5)로 구성된 구조에서 노드(node) 1 및 노드 6 사이의 인버터(inverter)에 대해서 노드 1은 입력 신호일 수 있으며, 노드 6은 출력 신호일 수 있다.
- [0038] 본 발명에서의 프랙탈 구조의 링 오실레이터는 GHz 급의 높은 클럭 주파수(clock frequency)를 발생시킬 수 있으며, 이를 분배시킬 수 있다. 프랙탈 링 오실레이터는 고속의 GHz 급의 클럭 주파수를 요구하는 회로에 안정적으로 일정 주파수를 발생시킬 수 있는 회로이다. 제안하는 회로에 의해서 기존의 복잡한 PLL(Phase Locked Loop) 회로의 클럭 스큐 및 지터 현상에 의해서 발생할 수 있는 오류 동작들을 감소시키는 유리한 효과가 있다.
- [0039] 프랙탈 구조로 인해서 프랙탈 구조의 링 오실레이터의 크기를 확장할 수 있다. 적게는 15개부터 45개 이상의 노드를 가지는 프랙탈 구조의 링 오실레이터를 구성할 수 있다. 이러한 경우, 하나의 인버터가 $\frac{1}{3}\pi$ 의 위상(phase) 차이를 가지고, 3개의 인버터가 하나의 셀을 구성하므로, 하나의 셀은 $\frac{2}{3}\pi$ 의 위상 차를 가지게 된다. 따라서, 3개의 서로 다른 인버터에 의해서 하나의 2π 사이클(cycle)의 위상을 가질 수 있다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 CMOS 링 오실레이터의 모형도이다.
- [0042] 도 2에 도시된 바와 같이, 2개의 칩에 사용될 발진기 2개의 오실레이터 모형도에서, 각 링 오실레이터는 30개의 인버터로 구성되며 서로 다른 두 개의 칩(210, 220)에 발진기로 사용될 수 있다. 3개의 클럭 라인(Clock Line; CL, CL-1, CL-2 및 CL-3)에 의하여 2 개의 오실레이터 동위상 노드가 연결되어 있다. 예를 들어, 제1 칩(210)의 1번 노드와 제2 칩(220)의 1번 노드가 CL-1를 통해서 연결되어 있고, 제1 칩(210)의 5번 노드가 CL-2를 통해서 연결되어 있다.
- [0043] 만일 2개의 칩(210, 220)에 공급되는 전압의 차이가 근소하게 발생한다 하더라도 3개의 클럭 라인의 연결에 의해서 전체 오실레이터 네트워크(200)는 동일한 주파수 및 동일한 위상으로 발진할 수 있다.
- [0044] 바람직하게는, 다수 개의 칩은 동일한 구조를 가지는 칩일 수 있다. 예를 들어, 제1 칩(210)은 30개의 인버터들로 구성된 링 오실레이터일 수 있으며, 제2 칩(220) 또한 30개의 인버터들로 구성된 링 오실레이터일 수 있다.
- [0045] 바람직하게는, 제1 칩(210) 및 제2 칩(220)은 서로 동일한 구조를 가지면 충분하고, 인버터의 개수는 회로 내부의 물리적인 공간이 보장되는 범위 내에서 증가 또는 감소가 가능하다.
- [0047] 도 3은 본 발명의 일 실시예에 따른 회로의 블록도이다.
- [0048] 도 3에 도시된 바와 같이, 본 개시에서는 서로 다른 2 개의 칩(310, 320)에서 발생된 클럭 신호 동기화를 위해서 PLL을 사용하지 않고, 제안되는 방법으로 위상 동기화 회로를 구현하는 방법을 설명하기로 한다. 링 오실레이터 네트워크는 간단한 형태로 회로가 구성되기 때문에 레이아웃 설계시 PLL 회로보다 배선 면적이 감소되는 유리한 효과가 있다.
- [0050] 도 4은 본 발명의 일 실시예에 따른 다층 구조의 개념도이다.
- [0051] 도 4에 도시된 바와 같이, 최신의 다층 CMOS 처리 기술에 의해서 입체적인 구조를 설계할 수 있다. 제1 칩(410) 및 제2 칩(420) 간에는 클럭 버스 라인(Clock Bus Line)이 위치하여 두 칩 간을 연결하고 있으며, 이러한 단순화된 구조를 통해서 배선 과부하(wiring overload) 현상을 줄일 수 있다.
- [0053] 도 5는 본 발명의 일 실시예에 따른 두 칩 간의 TTL 링 오실레이터 네트워크를 나타낸 도면이다.

- [0054] 시뮬레이션뿐만 아니라, 저속 TTL 칩을 이용한 하드웨어 실험을 통해서도 클럭 신호 동기화 방법을 설명할 수 있다. 실험 조건에서 각각의 칩(510, 520)은 5개의 TTL 칩(7404)로 구성되었으며, 3개의 클럭 버스 라인은 서로 다른 3개의 동위상을 연결하는 역할을 수행한다.
- [0056] 도 6은 본 발명의 일 실시예에 따른 클럭 신호의 동기화 과정을 나타낸 순서도이다.
- [0057] 단계 S610에서, 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는다.
- [0058] 단계 S620에서, 제1 칩 및 제2 칩 사이에 위치하는 클럭 라인에서 제1 클럭 신호 및 제2 클럭 신호가 발진한다.
- [0059] 단계 S630에서, 제1 클럭 신호 및 제2 클럭 신호가 서로 동일한 주파수 및 동일한 위상을 가지는 클럭 신호로 출력된다.
- [0060] 상기의 과정에서의 클럭 라인은, 동일한 프랙탈 구조를 가지는 제1 칩 및 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인인 것을 특징으로 한다.
- [0061] 동일한 맥락에서, 하기와 같은 과정으로 클럭 스큐를 보상할 수 있다.
- [0062] 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계;
- [0063] 상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계;
- [0064] 상기 제1 클럭 신호 및 상기 제2 클럭 신호의 주파수 및 위상을 조정하는 단계를 포함하고,
- [0065] 상기 클럭 라인은, 동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인이다.
- [0066] 또한, 동일한 맥락에서, 하기와 같은 과정으로 멀티 칩 위상을 보정할 수 있다.
- [0067] 제1 클럭 신호를 발생시키는 제1 칩 및 제2 클럭 신호를 발생시키는 제2칩에서 전압원을 입력받는 단계;
- [0068] 상기 제1 칩 및 상기 제2 칩 사이에 위치하는 클럭 라인에서 상기 제1 클럭 신호 및 상기 제2 클럭 신호가 발진하는 단계;
- [0069] 상기 제1 클럭 신호 및 상기 제2 클럭 신호의 주파수 및 위상을 제3 클럭 신호로 조정하는 단계를 포함하고,
- [0070] 상기 클럭 라인은, 동일한 프랙탈 구조를 가지는 상기 제1 칩 및 상기 제2 칩의 세 끝 단을 서로 연결시켜주는 클럭 라인이다.
- [0071] 이하에서는, 상기의 클럭 신호 동기화 방법을 적용시킨 시뮬레이션 및 측정 결과에 기초하여, 본 개시에서의 효과를 중점적으로 설명하기로 한다.
- [0073] 도 7은 본 발명의 일 실시예에 따라, 동일한 전압을 전제로 하여 링 오실레이터의 출력 파형 시뮬레이션을 나타낸 그래프이고, 도 8은 출력 파형 측정값을 나타낸 그래프이다.
- [0074] 도 7에 도시된 바와 같이, 2개의 칩에 동일한 전압원이 제공된다면 동일 위상 동일 주파수가 발생되며, 2개의 칩이 클럭 라인으로 연결되어 있지 않더라도 중앙 노드 2개(도 2에서 노드 13)는 정확하게 동위상 상태가 될 수 있다.
- [0075] 도 8에 도시된 바와 같이, 동일한 전압원에 따른 측정값은 동일 위상 동일 주파수의 형태를 나타내고 있다.
- [0077] 도 9는 본 발명의 일 실시예에 따라, 서로 다른 전압원을 전제로 하여 링 오실레이터의 출력 파형 시뮬레이션을 나타낸 그래프이고, 도 10은 출력 파형 측정값을 나타낸 그래프이다.
- [0078] 이 실험에서는 제1 칩의 인가 전압을 3V로 고정한 상태에서 제2 칩에 1% 증가한 전압(3.03V)을 인가하였을 경우를 설명할 수 있다. 서로 다른 2 개의 칩에서 전압 변동 범위가 클수록 클럭 스큐의 범위 또한 증가함을 알 수 있다. 8ns 에서 10ns 구간에서 두 클럭 신호 간에 위상 차가 발생한 것을 확인할 수 있다.
- [0080] 도 11은 본 발명의 일 실시예에 따른 스큐 현상 시뮬레이션을 나타낸 그래프이고, 도 12는 스큐 현상 측정값을 나타낸 그래프이다.
- [0081] 도 11에 도시된 바와 같이, 서로 다른 전압원을 전제로 할 경우에 발생하는 클럭 스큐가 시뮬레이션 되었으며,

도 12에 도시된 바와 같이, 약 4.8ns의 클럭 스큐가 측정되었다.

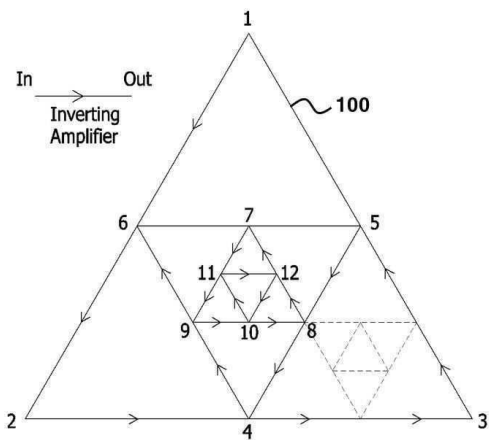
- [0083] 도 13은 본 발명의 일 실시예에 따라 전압 변동에 따라 측정된 클럭 스큐 값을 나타낸 그래프이다.
- [0084] 이 실험에서는 제1 칩의 인가 전압을 3V로 고정된 상태에서 1% 변동 단위(0.03V)로 제2 칩에 2% 증가한 전압(3.06V)까지 인가한 경우를 설명할 수 있다. 마찬가지로 2% 감소한 전압(2.94V)를 최소 범위로 실험하였다. 도 13의 시뮬레이션 결과에서는 143ps까지 클럭 스큐 값이 출력되었음을 확인할 수 있다. 2 개의 칩에 최대 2%의 전압 차이가 있을 경우 143ps의 대칭적 위상 차가 발생함을 확인할 수 있다. 주기 대비해서는 22.04%에 해당되는 위상 차이이다.
- [0085] 도 14는 본 발명의 일 실시예에 따른 링 오실레이터의 출력 파형 시뮬레이션 값을 나타낸 그래프이고, 도 15는 측정값을 나타낸 그래프이다.
- [0086] 도 14 및 도 15는 1% 전압 변동에 따른 실험 그래프이며, 도2 및 도 5에서 설명한 바와 같이, 3개의 클럭 버스 라인(CBL)을 통해서 2개의 칩이 연결된 상태에서의 결과 그래프이다.
- [0087] 도 16에 도시된 바와 같이, 앞서 도 13의 스큐 현상보다 시뮬레이션 값 3%와 측정값 1.63%에서 현저하게 감소한 것을 확인할 수 있다.
- [0089] 도 17은 본 발명의 일 실시예에 따른 CMOS 링 오실레이터의 레이아웃을 나타낸 도면이다.
- [0090] 도 17에 도시된 바와 같이, 앞서 설명한 링 오실레이터를 이용하여 PLL, DLL 회로 없이도 회로를 설계할 수 있으며, 도 17에서는 108개의 인버터들을 이용하여 회로를 구성하였다. 회로의 단순화가 가능해짐에 따라서 칩 사이즈가 전체적으로 줄어드는 효과가 있으며, 2% 범위의 비대칭 전압 조건을 가했음에도 불구하고 19,51ps 이내의 스큐가 측정된 것을 볼 때, 클럭 신호 동기화 기술에 새로운 방향을 제시할 것으로 기대하고 있다.
- [0092] 본 기술한 설명은 본 발명의 최상의 모드를 제시하고 있으며, 본 발명을 설명하기 위하여, 그리고 당업자가 본 발명을 제작 및 이용할 수 있도록 하기 위한 예를 제공하고 있다. 이렇게 작성된 명세서는 그 제시된 구체적인 용어에 본 발명을 제한하는 것이 아니다.
- [0093] 따라서, 상술한 예를 참조하여 본 발명을 상세하게 설명하였지만, 당업자라면 본 발명의 범위를 벗어나지 않으면서도 본 예들에 대한 개조, 변경 및 변형을 가할 수 있다. 요컨대 본 발명이 의도하는 효과를 달성하기 위해 도면에 도시된 모든 기능 블록을 별도로 포함하거나 도면에 도시된 모든 순서를 도시된 순서 그대로 따라야만 하는 것은 아니며, 그렇지 않더라도 얼마든지 청구항에 기재된 본 발명의 기술적 범위에 속할 수 있음에 주의한다.

부호의 설명

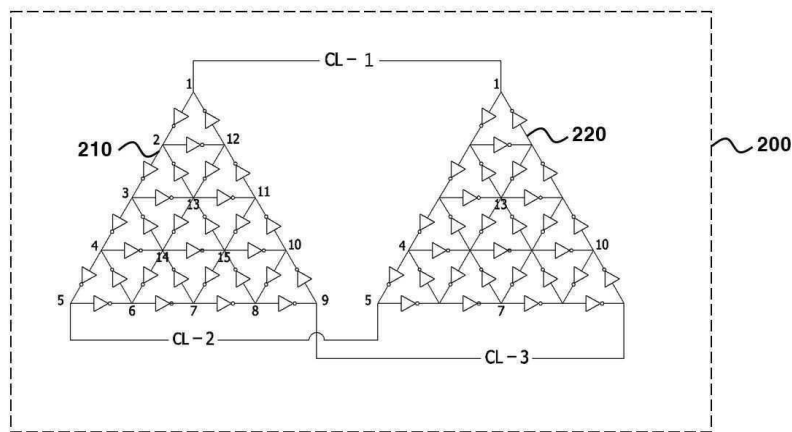
- [0094] 100: 링 오실레이터
- 200: 전체 오실레이터 네트워크
- 210: 제1 칩
- 220: 제2 칩

도면

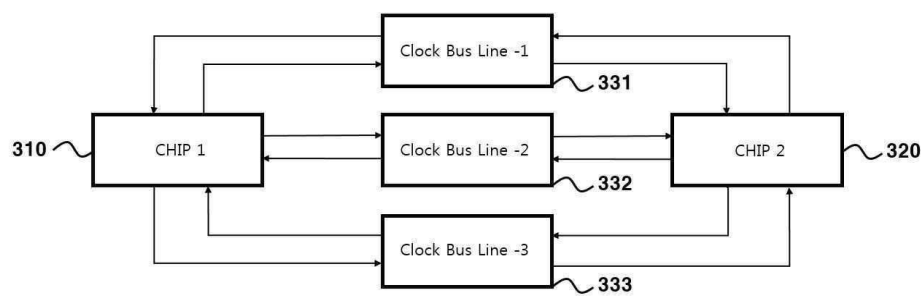
도면1



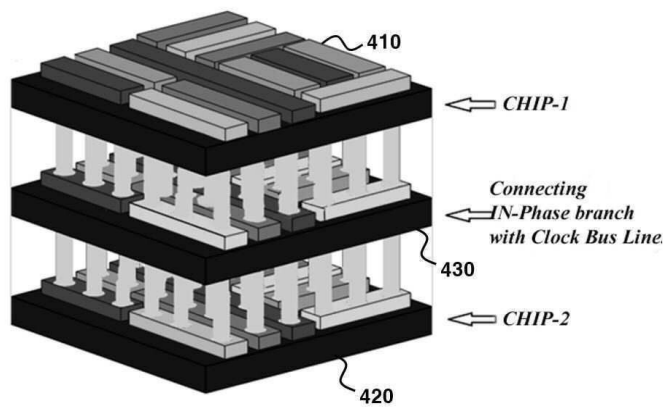
도면2



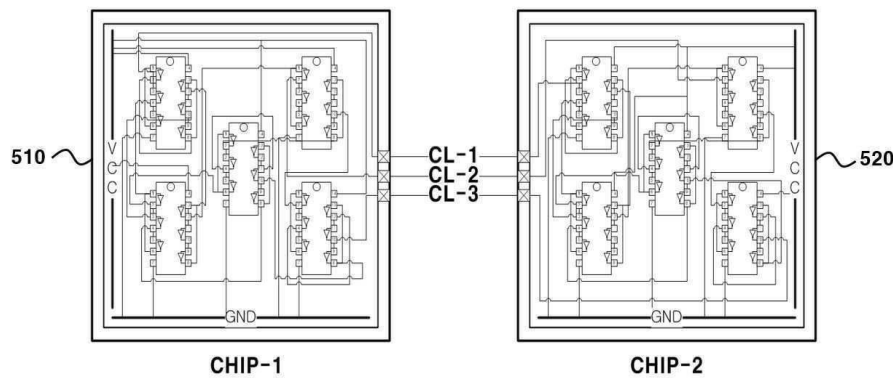
도면3



도면4



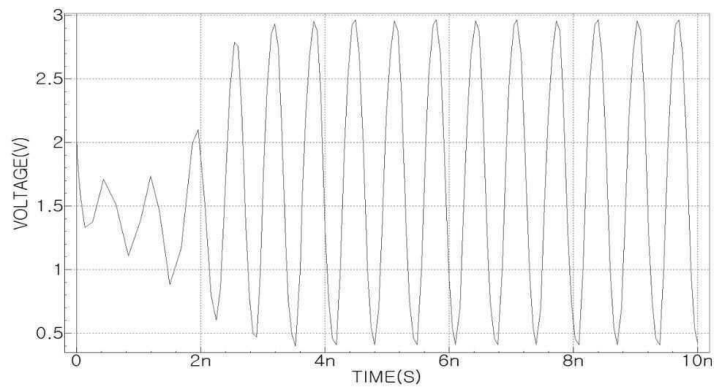
도면5



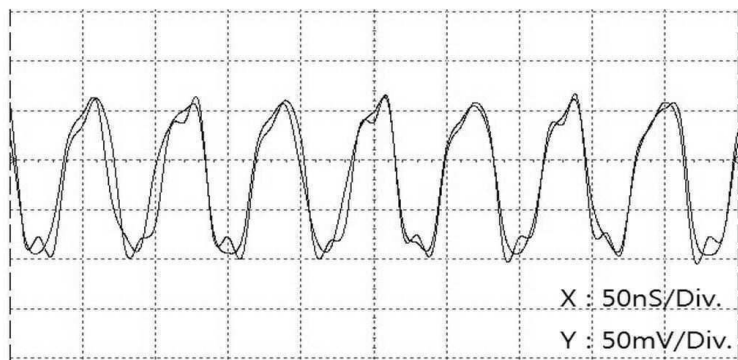
도면6



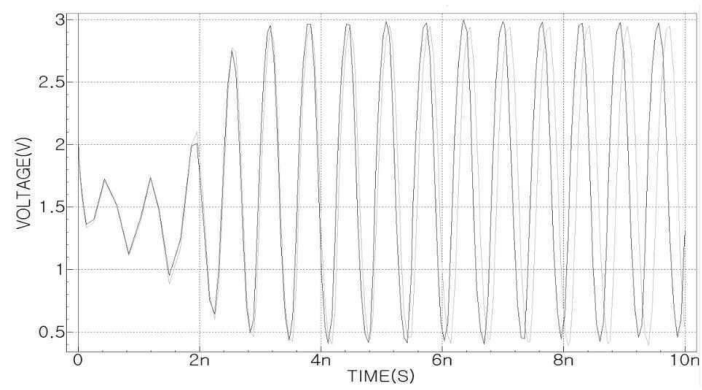
도면7



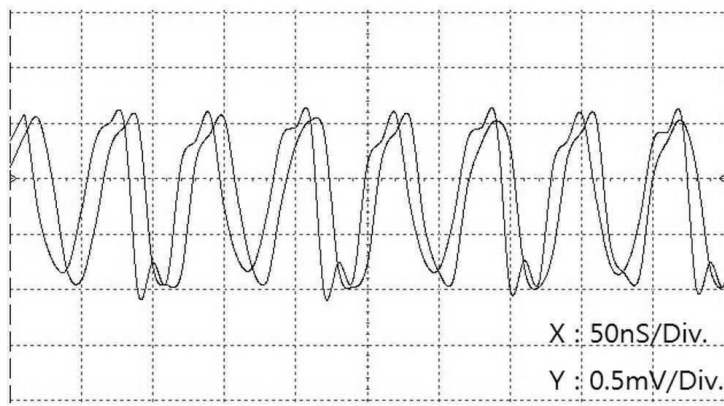
도면8



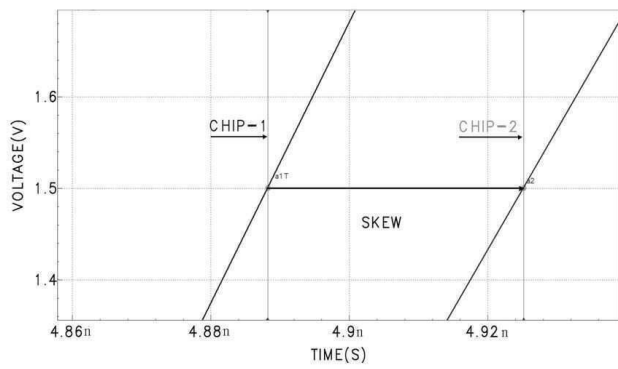
도면9



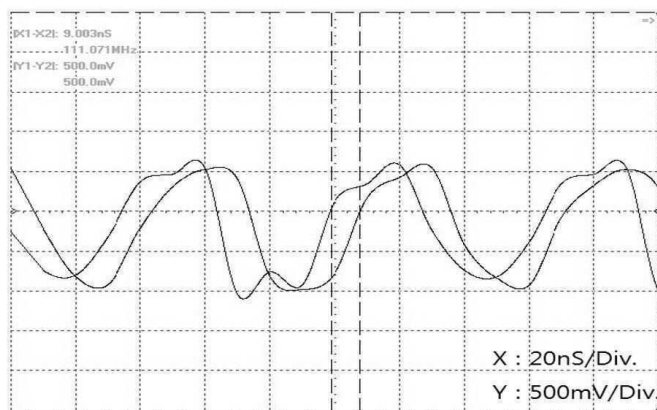
도면10



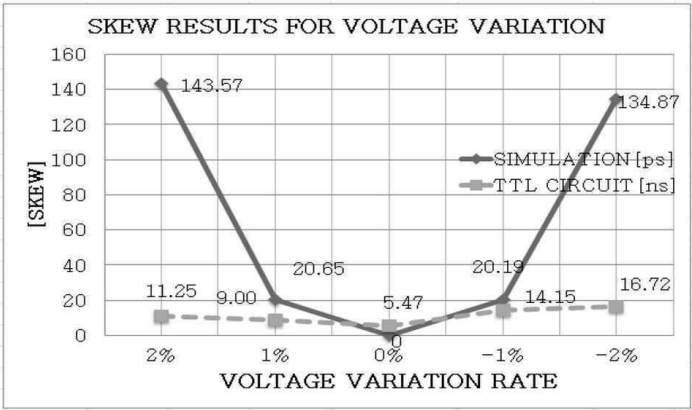
도면11



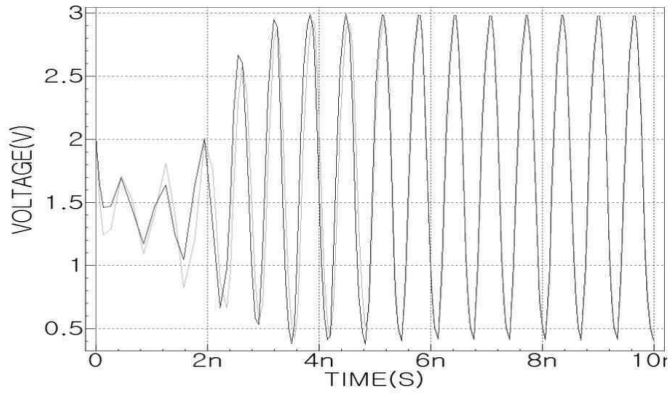
도면12



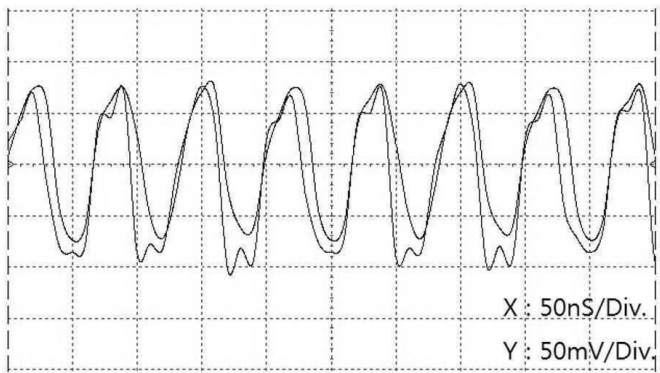
도면13



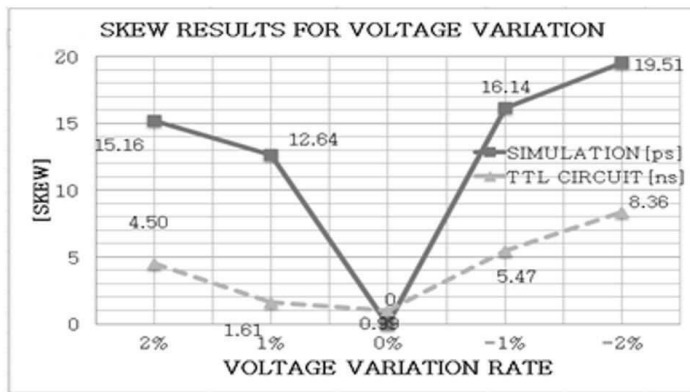
도면14



도면15



도면16



도면17

