

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-157333
(P2014-157333A)

(43) 公開日 平成26年8月28日(2014.8.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	5C380
	G09G 3/20 622B	
	G09G 3/20 621M	

審査請求 未請求 請求項の数 10 O L (全 25 頁)

(21) 出願番号 特願2013-29135 (P2013-29135)
(22) 出願日 平成25年2月18日 (2013.2.18)

(71) 出願人 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
(74) 代理人 110001737
特許業務法人スズエ国際特許事務所
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100103034
弁理士 野河 信久
(74) 代理人 100095441
弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 表示装置及び表示装置の駆動方法

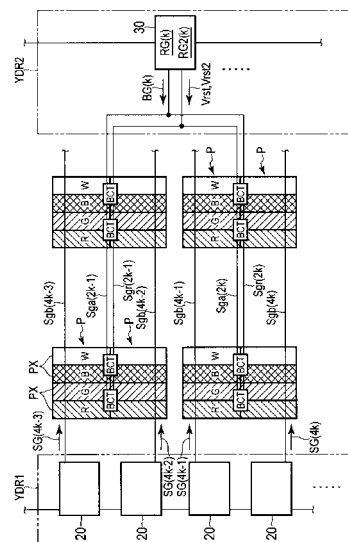
(57) 【要約】

【課題】狭額縁化を図ることができる、高精細な表示装置及び表示装置の駆動方法を提供する。

【解決手段】表示装置は、複数の画素PXと、複数の制御線と、走査線駆動回路YDR1、YDR2と、を備える。画素PXは、表示素子と画素回路とを有する。複数の制御線(Sga、Sgr)は、複数の画素の画素回路に接続される。走査線駆動回路YDR2は複数の出力部30を有する。複数の出力部30の各々は、複数の制御線(Sga、Sgr)に接続され、複数行に設けられた複数の画素PXの画素回路に制御信号(BG、Vrst、Vrst2)を与える。

【選択図】図4

図4



【特許請求の範囲】

【請求項 1】

それぞれ表示素子と前記表示素子の駆動を制御する画素回路とを有し、行方向及び列方向に沿ってマトリクス状に設けられた複数の画素と、

前記行方向に延出し前記複数の画素の画素回路に接続された複数の制御線と、

複数の出力部を有した走査線駆動回路と、を備え、

前記複数の出力部の各々は、前記複数の制御線に接続され、複数行に設けられた前記複数の画素の画素回路に制御信号を与える表示装置。

【請求項 2】

前記複数の制御線は、複数のリセット配線を有し、

前記表示素子は、高電位電源及び低電位電源間に接続され、

前記画素回路は、

前記表示素子に接続されたソース電極と、前記リセット配線に接続されたドレイン電極と、ゲート電極とを有した駆動トランジスタと、

前記高電位電源及び駆動トランジスタのドレイン電極間に接続され、前記高電位電源及び駆動トランジスタのドレイン電極間を導通状態又は非導通状態に切替える出力スイッチと、

映像信号線及び前記駆動トランジスタのゲート電極間に接続され、前記映像信号線を通して与えられる信号を前記駆動トランジスタのゲート電極側に取り込むかどうかを切替える画素スイッチと、

前記駆動トランジスタのソース電極及びゲート電極間に接続された保持容量と、を備え、

前記複数の出力部の各々に接続された前記複数の制御線は、前記複数のリセット配線であり、

前記制御信号は、リセット信号である請求項 1 に記載の表示装置。

【請求項 3】

前記複数の出力部の各々は、

リセット電源及び前記リセット配線間に接続され、与えられる制御信号により、前記リセット電源及びリセット配線間を導通状態又は非導通状態に切替えるリセットスイッチを備える請求項 2 に記載の表示装置。

【請求項 4】

前記複数の出力部の各々は、

他のリセット電源及び前記リセット配線間に接続され、与えられる制御信号により、前記他のリセット電源及びリセット配線間を導通状態又は非導通状態に切替える他のリセットスイッチをさらに備える請求項 3 に記載の表示装置。

【請求項 5】

前記複数の画素のうち、前記列方向に隣合う複数の画素は、前記出力スイッチを共用し、

前記複数の出力部の各々は、4 行以上に設けられた前記複数の画素の画素回路に制御信号を与える請求項 2 に記載の表示装置。

【請求項 6】

前記複数の画素は、第 1 画素と、前記第 1 画素に前記列方向に隣合う第 2 画素と、前記第 1 画素に前記行方向に隣合う第 3 画素と、前記第 2 画素に前記行方向に隣合い前記第 3 画素に前記列方向に隣合う第 4 画素とを有し、

前記第 1 乃至第 4 画素は、前記出力スイッチを共用している請求項 5 に記載の表示装置。

【請求項 7】

前記第 1 乃至第 4 画素は、赤色の画像を表示するように構成された画素、緑色の画像を表示するように構成された画素、青色の画像を表示するように構成された画素、及び無彩色の画像を表示するように構成された画素である請求項 6 に記載の表示装置。

10

20

30

40

50

【請求項 8】

前記複数の画素において、前記行方向には、赤色の画像を表示するように構成された画素、緑色の画像を表示するように構成された画素、及び青色の画像を表示するように構成された画素が並べられ、前記列方向には、同一色の画像を表示するように構成された画素が並べられている請求項 5 に記載の表示装置。

【請求項 9】

前記複数の画素において、前記行方向には、赤色の画像を表示するように構成された画素、緑色の画像を表示するように構成された画素、青色の画像を表示するように構成された画素、及び無彩色の画像を表示するように構成された画素が並べられ、前記列方向には、同一色の画像を表示するように構成された画素が並べられている請求項 5 に記載の表示装置。

10

【請求項 10】

それぞれ表示素子と前記表示素子の駆動を制御する画素回路とを有し、行方向及び列方向に沿ってマトリクス状に設けられた複数の画素と、複数のリセット配線を有し、前記行方向に延出し前記複数の画素の画素回路に接続された複数の制御線と、複数の出力部を有した走査線駆動回路と、を備え、前記表示素子は、高電位電源及び低電位電源間に接続され、前記画素回路は、前記表示素子に接続されたソース電極と、前記リセット配線に接続されたドレイン電極と、ゲート電極とを有した駆動トランジスタと、前記高電位電源及び駆動トランジスタのドレイン電極間に接続され、前記高電位電源及び駆動トランジスタのドレイン電極間を導通状態又は非導通状態に切替える出力スイッチと、映像信号線及び前記駆動トランジスタのゲート電極間に接続され、前記映像信号線を通して与えられる信号を前記駆動トランジスタのゲート電極側に取り込むかどうかを切替える画素スイッチと、前記駆動トランジスタのソース電極及びゲート電極間に接続された保持容量と、を備え、前記複数の出力部の各々は、前記複数のリセット配線に接続され、複数行に設けられた前記複数の画素の画素回路にリセット信号を与える表示装置の駆動方法において、

20

ソース初期化期間に、前記リセット配線を通して前記駆動トランジスタのドレイン電極に前記リセット信号を与え、

前記ソース初期化期間に続くゲート初期化期間に、前記駆動トランジスタのドレイン電極に前記リセット信号を与えた状態で、前記映像信号線及び画素スイッチを通して前記駆動トランジスタのゲート電極に初期化信号を与え、前記駆動トランジスタを初期化し、

30

前記ゲート初期化期間に続くオフセットキャンセル期間に、前記駆動トランジスタのゲート電極に前記初期化信号を与えた状態で、前記リセット配線から前記駆動トランジスタに電流を流し、前記駆動トランジスタの閾値オフセットをキャンセルし、

前記オフセットキャンセル期間に続く映像信号書き込み期間において、前記映像信号線及び画素スイッチを通して前記駆動トランジスタのゲート電極に映像信号を与え、前記リセット配線から駆動トランジスタに電流を流し、

前記映像信号書き込み期間に続く表示期間に、前記高電位電源から前記出力スイッチ及び駆動トランジスタを通して前記表示素子に、前記映像信号に応じた駆動電流を流す、表示装置の駆動方法。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明の実施形態は、表示装置及び表示装置の駆動方法に関する。

【背景技術】**【0002】**

近年、薄型、軽量、低消費電力の特徴を活かして、液晶表示装置に代表される平面表示装置の需要が急速に伸びている。中でも、オン画素とオフ画素とを電気的に分離し、かつオン画素への映像信号を保持する機能を有する画素スイッチを各画素に設けたアクティブマトリクス型表示装置は、携帯情報機器を始め、種々のディスプレイに利用されている。

【0003】

50

このような平面型のアクティブマトリクス型表示装置として、自己発光素子を用いた有機EL表示装置が注目され、盛んに研究開発が行われている。有機EL表示装置は、バックライトを必要とせず、高速な応答性から動画再生に適し、さらに低温で輝度低下しないために寒冷地での使用にも適しているという特徴を有している。

【0004】

一般に、有機EL表示装置は、複数行、複数列に並んで設けられた複数の画素を備えている。各画素は、自己発光素子である有機EL素子、及び有機EL素子に駆動電流を供給する画素回路により構成され、有機EL素子の発光輝度を制御することにより表示動作を行う。

【0005】

画素回路の駆動方式としては、電圧信号により行なう方式が知られている。また、電圧電源をスイッチングし、ロー、ハイを切り換えるとともに、映像信号配線から映像信号及び初期化信号の両方を出力することにより、画素の構成素子数と配線数とを削減し、画素のレイアウト面積を小さくすることにより高精細化を図った表示装置が提案されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第6,229,506号明細書

【特許文献2】特開2007-310311号公報

【特許文献3】特開2011-145622号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記特許文献2に開示された表示装置のように、電源を各行毎にスイッチングする構成とした場合、電源に流れる電流が大きいことから、これをスイッチングするスイッチの電圧降下も大きくなる。これにより、スイッチを大きくすると、駆動回路が大型化し、駆動回路を内蔵するパネル額縁部が増加する。

【0008】

また、上記特許文献3に開示された表示装置のように、画素内のスイッチの数が増加すると、高精細化が困難になる。

この発明は以上の点に鑑みなされたもので、その目的は、狭額縁化を図ることができる、高精細な表示装置及び表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0009】

一実施形態に係る表示装置は、
それぞれ表示素子と前記表示素子の駆動を制御する画素回路とを有し、行方向及び列方向に沿ってマトリクス状に設けられた複数の画素と、
前記行方向に延出し前記複数の画素の画素回路に接続された複数の制御線と、
複数の出力部を有した走査線駆動回路と、を備え、
前記複数の出力部の各々は、前記複数の制御線に接続され、複数行に設けられた前記複数の画素の画素回路に制御信号を与える。

【0010】

また、一実施形態に係る表示装置の駆動方法は、
それぞれ表示素子と前記表示素子の駆動を制御する画素回路とを有し、行方向及び列方向に沿ってマトリクス状に設けられた複数の画素と、複数のリセット配線を有し、前記行方向に延出し前記複数の画素の画素回路に接続された複数の制御線と、複数の出力部を有した走査線駆動回路と、を備え、前記表示素子は、高電位電源及び低電位電源間に接続され、前記画素回路は、前記表示素子に接続されたソース電極と、前記リセット配線に接続されたドレイン電極と、ゲート電極とを有した駆動トランジスタと、前記高電位電源及び駆動トランジスタのドレイン電極間に接続され、前記高電位電源及び駆動トランジスタの

10

20

30

40

50

ドレイン電極間を導通状態又は非導通状態に切替える出力スイッチと、映像信号線及び前記駆動トランジスタのゲート電極間に接続され、前記映像信号線を通して与えられる信号を前記駆動トランジスタのゲート電極側に取り込むかどうかを切替える画素スイッチと、前記駆動トランジスタのソース電極及びゲート電極間に接続された保持容量と、を備え、前記複数の出力部の各々は、前記複数のリセット配線に接続され、複数行に設けられた前記複数の画素の画素回路にリセット信号を与える表示装置の駆動方法において、

ソース初期化期間に、前記リセット配線を通して前記駆動トランジスタのドレイン電極に前記リセット信号を与え、

前記ソース初期化期間に続くゲート初期化期間に、前記駆動トランジスタのドレイン電極に前記リセット信号を与えた状態で、前記映像信号線及び画素スイッチを通して前記駆動トランジスタのゲート電極に初期化信号を与え、前記駆動トランジスタを初期化し、

前記ゲート初期化期間に続くオフセットキャンセル期間に、前記駆動トランジスタのゲート電極に前記初期化信号を与えた状態で、前記リセット配線から前記駆動トランジスタに電流を流し、前記駆動トランジスタの閾値オフセットをキャンセルし、

前記オフセットキャンセル期間に続く映像信号書き込み期間において、前記映像信号線及び画素スイッチを通して前記駆動トランジスタのゲート電極に映像信号を与え、前記リセット配線から駆動トランジスタに電流を流し、

前記映像信号書き込み期間に続く表示期間に、前記高電位電源から前記出力スイッチ及び駆動トランジスタを通して前記表示素子に、前記映像信号に応じた駆動電流を流す、表示装置の駆動方法。

【図面の簡単な説明】

【0011】

【図1】図1は、第1の実施形態に係る表示装置を概略的に示す平面図である。

【図2】図2は、図1の表示装置の画素の等価回路図である。

【図3】図3は、図1の表示装置に採用可能な構造の一例を概略的に示す部分断面図である。

【図4】図4は、上記第1の実施形態に係る実施例1の画素の配置構成を示す概略図である。

【図5】図5は、上記第1の実施形態に係る実施例2の画素の配置構成を示す概略図である。

【図6】図6は、上記第1の実施形態に係る絵素を示す平面図である。

【図7】図7は、上記第1の実施形態に係る実施例1の画素の配置構成を採り、オフセットキャンセル動作を1回とする場合の、走査線駆動回路の制御信号を示すタイミングチャートである。

【図8】図8は、上記第1の実施形態に係る実施例1の画素の配置構成を採り、オフセットキャンセル動作を2回とする場合の、走査線駆動回路の制御信号を示すタイミングチャートである。

【図9】図9は、上記第1の実施形態に係る実施例2の画素の配置構成を採り、オフセットキャンセル動作を1回とする場合の、走査線駆動回路の制御信号を示すタイミングチャートである。

【図10】図10は、上記第1の実施形態に係る実施例2の画素の配置構成を採り、オフセットキャンセル動作を2回とする場合の、走査線駆動回路の制御信号を示すタイミングチャートである。

【図11】図11は、第2の実施形態に係る表示装置の画素の等価回路図である。

【図12】図12は、上記第2の実施形態に係る実施例1の画素の配置構成を示す概略図である。

【図13】図13は、上記第2の実施形態に係る実施例2の画素の配置構成を示す概略図である。

【図14】図14は、上記第2の実施形態に係る実施例1の画素の配置構成を採る場合の、走査線駆動回路の制御信号を示すタイミングチャートである。

10

20

30

40

50

【図15】図15は、上記第2の実施形態に係る実施例2の画素の配置構成を採る場合の、走査線駆動回路の制御信号を示すタイミングチャートである。

【発明を実施するための形態】

【0012】

以下、図面を参照しながら第1の実施形態に係る表示装置及び表示装置の駆動方法について詳細に説明する。この実施形態において、表示装置は、アクティブマトリクス型の表示装置であり、より詳しくはアクティブマトリクス型の有機EL（エレクトロルミネッセンス）表示装置である。

【0013】

図1は、本実施形態に係る表示装置を概略的に示す平面図である。図2は、図1の表示装置の画素の等価回路図である。図3は、図1の表示装置に採用可能な構造の一例を概略的に示す部分断面図である。なお、図3では、表示装置を、その表示面、すなわち前面又は光射出面が上方を向き、背面が下方を向くように描いている。この表示装置は、アクティブマトリクス型駆動方式を採用した上面発光型の有機EL表示装置である。尚、本実施形態では、上面発光型の有機EL表示装置であるが、本実施の形態は下面発光型の有機EL表示装置についても容易に適用可能である。

10

【0014】

図1に示すように、本実施形態に係る表示装置は、例えば、2型以上のアクティブマトリクス型の表示装置として構成され、表示パネルDPと、表示パネルDPの動作を制御するコントローラ12とを含んでいる。この実施の形態において、表示パネルDPは、有機ELパネルである。

20

【0015】

表示パネルDPは、ガラス板等の光透過性を有する絶縁基板SUB、絶縁基板SUBの表示領域R1上にマトリクス状に配列された $m \times n$ 個の画素PX、複数の制御線等を備えている。複数の制御線は、複数本（ $m/2$ 本）の第1走査線Sga（ $1 \sim m/2$ ）と、複数本（ m 本）の第2走査線Sgb（ $1 \sim m$ ）と、複数本（ $m/2$ 本）のリセット配線Sgr（ $1 \sim m/2$ ）と、複数本（ n 本）の映像信号線VL（ $1 \sim n$ ）とを有している。

【0016】

後述するが、絶縁基板SUB上には、複数本（ $m/4$ 本）の第3走査線Sgc（ $1 \sim m/4$ ）、及び複数本（ $m/4$ 本）の第4走査線Sgd（ $1 \sim m/4$ ）も形成されている。

30

【0017】

画素PXは、列方向Yに m 個、行方向Xに n 個並べられている。第1走査線Sga、第2走査線Sgb及びリセット配線Sgrは、行方向Xに延出して設けられている。映像信号線VLは、列方向Yに延出して設けられている。

【0018】

図1及び図2に示すように、表示パネルDPは、高電位Pvddに固定される高電位電源線SLaと、低電位Pvssに固定される低電位電源電極SLbと、を有している。高電位電源線SLaは高電位電源に接続され、低電位電源電極SLbは低電位電源（基準電位電源）に接続されている。

【0019】

40

表示パネルDPは、第1走査線Sga、第2走査線Sgb及び第3走査線Sgcを駆動する走査線駆動回路YDR1、YDR2、映像信号線VLを駆動する信号線駆動回路XDRを備えている。走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRは、絶縁基板SUBの表示領域R1外側の非表示領域R2上に一体的に形成され、コントローラ12とともに駆動部10を構成している。

【0020】

各画素PXは、表示素子と、表示素子に駆動電流を供給する画素回路と、を含んでいる。表示素子は、例えば自己発光素子であり、本実施形態では、光活性層として少なくとも有機発光層を備えた有機ELダイオードOLED（以下、単にダイオードOLEDという）を用いている。

50

【0021】

図2に示すように、各画素PXの画素回路は、電圧信号からなる映像信号に応じてダイオードOLEDの発光を制御する電圧信号方式の画素回路であり、出力スイッチBC T、画素スイッチS S T、駆動トランジスタD R T、保持容量C s、及び補助容量C a dを有している。保持容量C s及び補助容量C a dは、キャパシタである。補助容量C a dは発光電流量を調整する為に設けられる素子であり、場合によっては不要となる場合もある。容量部C e lは、ダイオードOLED自体の容量(ダイオードOLEDの寄生容量)である。ダイオードOLEDは、キャパシタとしても機能している。

【0022】

列方向Yに隣合う複数の画素PXは、出力スイッチBC Tを共用してもよい。画素PXのレイアウト面積を小さくすることができるため、高精細化を図ることができる。この実施形態において、行方向X及び列方向Yに隣合う4つの画素PXは、1つの出力スイッチBC Tを共用している。

10

【0023】

また、走査線駆動回路Y D R 1及び走査線駆動回路Y D R 2は、複数の出力部を有している。走査線駆動回路Y D R 1はm個の出力部20を有している。各出力部20は、第2走査線S g bに一对一で接続されている。図示しないが、出力部20は、シフトレジスタやバッファ等を有している。

【0024】

走査線駆動回路Y D R 2はm / 4個の出力部30を有している。各出力部30は、複数の第1走査線S g a及び複数のリセット配線S g rに接続されている。この実施形態において、各出力部30は、2本の第1走査線S g a及び2本のリセット配線S g rに接続されている。出力部30は、リセットスイッチR S T及びリセットスイッチR S T 2を有している。図示しないが、出力部30は、シフトレジスタやバッファ等も有している。

20

【0025】

上記のように、各出力部30を第1走査線S g a及びリセット配線S g rに一对一で接続させる場合に比べ、出力部30の個数を半分(1 / 2)にすることができる。また、列方向Yに隣合う画素PXが1つの出力スイッチBC Tを共用しているため、各画素PXに出力スイッチBC Tを設ける場合に比べ、出力部30の個数をさらに半分(1 / 4)にすることができる。走査線駆動回路Y D R 2のレイアウト面積を小さくすることができるため、狭額縁化(非表示領域R 2の低減)に寄与することができる。

30

【0026】

画素スイッチS S T、駆動トランジスタD R T、出力スイッチBC T及びリセットスイッチR S Tは、ここでは同一導電型、例えばNチャネル型のT F T(薄膜トランジスタ)により構成されている。

【0027】

本実施形態に係る表示装置において、各駆動トランジスタ及び各スイッチをそれぞれ構成したT F Tは全て同一工程、同一層構造で形成され、半導体層にポリシリコンを用いたトップゲート構造の薄膜トランジスタである。

【0028】

画素スイッチS S T、駆動トランジスタD R T、出力スイッチBC T、リセットスイッチR S T、及びリセットスイッチR S T 2の各々は、第1端子、第2端子、及び制御端子を有している。本実施形態では、第1端子をソース電極、第2端子をドレイン電極、制御端子をゲート電極としている。

40

【0029】

画素PXの画素回路において、駆動トランジスタD R T及び出力スイッチBC Tは、高電位電源線S L aと低電位電源電極S L bとの間でダイオードOLEDと直列に接続されている。高電位電源線S L a(高電位P v d d)は例えば10Vの電位に設定され、低電位電源電極S L b(低電位P v s s)は、例えば1.5Vの電位に設定されている。

【0030】

50

出力スイッチBC Tにおいて、ドレイン電極は高電位電源線SL aに接続され、ソース電極は駆動トランジスタD R Tのドレイン電極に接続され、ゲート電極は第1走査線S g aに接続されている。これにより、出力スイッチBC Tは、第1走査線S g aからの制御信号B G (1 ~ m / 4)によりオン(導通状態)、オフ(非導通状態)制御される。出力スイッチBC Tは、制御信号B Gに応答して、ダイオードO L E Dの発光時間を制御する。

【0031】

駆動トランジスタD R Tにおいて、ドレイン電極は出力スイッチBC Tのソース電極及びリセット配線S g rに接続され、ソース電極はダイオードO L E Dの一方の電極(ここでは陽極)に接続されている。ダイオードO L E Dの他方の電極(ここでは陰極)は、低電位電源電極SL bに接続されている。駆動トランジスタD R Tは、映像信号V s i gに
10

【0032】

画素スイッチS S Tにおいて、ソース電極は映像信号線V L (1 ~ n)に接続され、ドレイン電極は駆動トランジスタD R Tのゲート電極に接続され、ゲート電極は信号書き込み制御用ゲート配線として機能する第2走査線S g b (1 ~ m)に接続されている。画素スイッチS S Tは、第2走査線S g bから供給される制御信号S G (1 ~ m)によりオン、オフ制御される。そして、画素スイッチS S Tは、制御信号S G (1 ~ m)に
20

【0033】

リセットスイッチR S Tは、4行毎に、走査線駆動回路Y D R 2に設けられている。リセットスイッチR S Tは、駆動トランジスタD R Tのドレイン電極とリセット電源との間に接続されている。リセットスイッチR S Tにおいて、ソース電極はリセット電源に接続されたリセット電源線SL cに接続され、ドレイン電極はリセット配線S g rに接続され、ゲート電極はリセット制御用ゲート配線として機能する第3走査線S g cに接続されている。上記のように、リセット電源線SL cは、リセット電源に接続され、定電位であるリセット電位V r s tに固定される。

【0034】

リセットスイッチR S Tは、第3走査線S g cを通して与えられる制御信号R G (1 ~ m / 4)に
30

【0035】

リセットスイッチR S T 2は、リセットスイッチR S T等と同一導電型、例えばNチャネル型のT F Tにより構成されている。リセットスイッチR S T 2は、4行毎に、走査線駆動回路Y D R 2に設けられている。リセットスイッチR S T 2は、他のリセット電源と、リセット配線S g rとの間に接続されている。リセットスイッチR S T 2において、ソース電極は他のリセット電源に接続されたリセット電源線SL dに接続され、ドレイン電極はリセット配線S g rに接続され、ゲート電極はリセット制御用ゲート配線として機能
40

【0036】

リセットスイッチR S T 2は、第4走査線S g dを通して与えられる制御信号R G 2 (1 ~ m / 4)に
50

【0037】

一方、図1に示すコントローラ12は表示パネルDPの外部に配置されたプリント回路基板(図示せず)上に形成され、走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRを制御する。コントローラ12は外部から供給されるデジタル映像信号および同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生する。

【0038】

そして、コントローラ12は、これら垂直走査制御信号および水平走査制御信号をそれぞれ走査線駆動回路YDR1、YDR2及び信号線駆動回路XDRに供給するとともに、水平および垂直走査タイミングに同期してデジタル映像信号及び初期化信号を信号線駆動回路XDRに供給する。

10

【0039】

信号線駆動回路XDRは、水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し階調に応じた映像信号Vsigを複数の映像信号線VL(1~n)に並列的に供給する。また、信号線駆動回路XDRは、初期化信号Viniを映像信号線VLに供給する。

【0040】

走査線駆動回路YDR1、YDR2は、図示しないシフトレジスタ、出力バッファ等を含み、外部から供給される水平走査スタートパルス(1)を順次次段に転送し、出力バッファを介して各行の画素PXに4種類の制御信号、すなわち、制御信号BG(1~m/4)、SG(1~m)、RG(1~m/4)、RG2(1~m/4)を供給する。

20

【0041】

なお、画素PXには、制御信号RGが直接供給されないが、制御信号RGに応じた所定のタイミングで、リセット電位Vrstに固定されたリセット電源線SLcから所定の電圧が供給される。又は、画素PXには、制御信号RG2に応じた所定のタイミングで、リセット電位Vrst2に固定されたリセット電源線SLdから所定の電圧が供給される。

【0042】

これにより、第1走査線Sga、第2走査線Sgb、第3走査線Sgc及び第4走査線Sgdは、それぞれ制御信号BG、SG、RG、RG2により駆動される。

【0043】

次に図3を参照して、駆動トランジスタDRT及びダイオードOLEDの構成を詳細に説明する。

30

駆動トランジスタDRTを形成したNチャネル型のTFETは、半導体層SCを備えている。半導体層SCは、絶縁基板SUB上に形成されたアンダーコート層UC上に形成されている。半導体層SCは、例えば、p型領域とn型領域とを含んだポリシリコン層である。

【0044】

半導体層SCは、ゲート絶縁膜GIで被覆されている。ゲート絶縁膜GI上には、駆動トランジスタDRTのゲート電極Gが形成されている。ゲート電極Gは半導体層SCと対向している。ゲート絶縁膜GI及びゲート電極G上には層間絶縁膜IIが形成されている。

40

【0045】

層間絶縁膜II上には、ソース電極SE及びドレイン電極DEがさらに形成されている。ソース電極SE及びドレイン電極DEは、層間絶縁膜II及びゲート絶縁膜GIに形成されたコンタクトホールを通して半導体層SCのソース領域及びドレイン領域にそれぞれ接続されている。ソース電極SE及びドレイン電極DE上にはパッシベーション膜PSが形成されている。

【0046】

ダイオードOLEDは、画素電極PEと、有機物層ORGと、対向電極CEとを含んでいる。この実施形態において、画素電極PEは陽極であり、対向電極CEは陰極である。

【0047】

50

パッシベーション膜 P S 上には、画素電極 P E が形成されている。画素電極 P E は、パッシベーション膜 P S に設けたコンタクトホールを通して、駆動トランジスタ D R T のソース電極 S E に接続されている。画素電極 P E は、この例では光反射性を有する背面電極である。

【 0 0 4 8 】

パッシベーション膜 P S 上には、さらに、隔壁絶縁層 P I が形成されている。隔壁絶縁層 P I には、画素電極 P E に対応した位置に貫通孔が設けられているか、或いは、画素電極 P E が形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層 P I は、画素電極 P E に対応した位置に貫通孔を有している。

【 0 0 4 9 】

画素電極 P E 上には、活性層として、発光層を含んだ有機物層 O R G が形成されている。発光層は、例えば、発光色が赤色、緑色、青色、又は無彩色のルミネセンス性有機化合物を含んだ薄膜である。この有機物層 O R G は、発光層に加え、正孔注入層、正孔輸送層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【 0 0 5 0 】

隔壁絶縁層 P I 及び有機物層 O R G は、対向電極 C E で被覆されている。この例では、対向電極 C E は、画素 P X 間で互いに接続された電極、すなわち共通電極である。また、この例では、対向電極 C E は、陰極であり且つ光透過性の前面電極である。対向電極 C E は、例えば、パッシベーション膜 P S と隔壁絶縁層 P I とに設けられたコンタクトホールを通して、ソース電極 S E 及びドレイン電極 D E と同一の層に形成された電極配線（図示せず）に電氣的に接続されている。

【 0 0 5 1 】

このような構造のダイオード O L E D では、画素電極 P E から注入されたホールと、対向電極 C E から注入された電子とが有機物層 O R G の内部で再結合したときに、有機物層 O R G を構成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光し、この光が有機物層 O R G から透明な対向電極 C E を介して外部へ放出される。

【 0 0 5 2 】

次に、複数の画素 P X の配置構成について説明する。図 4 は本実施形態に係る実施例 1 の画素 P X の配置構成を示す概略図であり、図 5 は本実施形態に係る実施例 2 の画素 P X の配置構成を示す概略図である。

【 0 0 5 3 】

図 4 に示すように、画素 P X はいわゆる縦ストライプ画素である。行方向 X には、赤色の画像を表示するように構成された画素 P X、緑色の画像を表示するように構成された画素 P X、青色の画像を表示するように構成された画素 P X、及び無彩色の画像を表示するように構成された画素 P X が交互に並べられている。列方向 Y には、同一色の画像を表示するように構成された画素 P X が並べられている。

【 0 0 5 4 】

赤色 (R) の画素 P X、緑色 (G) の画素 P X、青色 (B) の画素 P X 及び無彩色 (W) の画素 P X は、絵素 P を形成している。本実施例 1 では、絵素 P は 4 つ (4 色) の画素 P X を有しているが、これに限定されるものではなく、種々変形可能である。例えば、無彩色の画素 P X を設けない場合、絵素 P は、赤色、緑色及び青色の 3 つ (3 色) の画素 P X を有していてもよい。

【 0 0 5 5 】

出力スイッチ B C T は、隣合う 4 個 (列方向 Y に隣合う 2 個及び行方向 X に隣合う 2 個) の画素 P X で共用されている。ここでは、出力スイッチ B C T は、 $4k - 3$ 行目と $4k - 2$ 行目の画素 P X で共用され、 $4k - 1$ 行目と $4k$ 行目の画素 P X で共用されている。上記のことから、第 1 走査線 S g a 及びリセット配線 S g r の本数は $m / 2$ 本となっている。ここで、 $1 \leq k \leq m / 4$ である。

【 0 0 5 6 】

10

20

30

40

50

k 段目の出力部 30 は、 $2k - 1$ 番目と $2k$ 番目の第 1 走査線 Sga に接続され、 $2k - 1$ 番目と $2k$ 番目のリセット配線 Sgr に接続されている。上記のことから、出力部 30 の個数は $m / 4$ 個となっている。

【0057】

なお、 $4k - 3$ 番目（行目）の第 2 走査線 Sgb には $4k - 3$ 番目（行目）の出力部 20 が接続され、 $4k - 2$ 番目（行目）の第 2 走査線 Sgb には $4k - 2$ 番目（行目）の出力部 20 が接続され、 $4k - 1$ 番目（行目）の第 2 走査線 Sgb には $4k - 1$ 番目（行目）の出力部 20 が接続され、 $4k$ 番目（行目）の第 2 走査線 Sgb には $4k$ 番目（行目）の出力部 20 が接続されている。

【0058】

図 5 に示すように、画素 PX はいわゆる $RGBW$ 正方画素である。複数の画素 PX は、第 1 画素と、第 1 画素に列方向 Y に隣合う第 2 画素と、第 1 画素に行方向 X に隣合う第 3 画素と、第 2 画素に行方向 X に隣合い第 3 画素に列方向 Y に隣合う第 4 画素とを有している。第 1 乃至第 4 画素は、赤色の画素 PX 、緑色の画素 PX 、青色の画素 PX 、及び無彩色の画素 PX である。絵素 P は、第 1 乃至第 4 画素を有している。

【0059】

例えば、偶数行に、赤色、緑色、青色及び無彩色の画素 PX の何れか 2 個が配置され、奇数行に、残りの 2 個が配置されている。本実施例 2 では、偶数行に赤色及び青色の画素 PX が配置され、奇数行に緑色及び無彩色の画素 PX が配置されている。出力スイッチ BCT は、第 1 乃至第 4 画素で共用されている。第 1 走査線 Sga 及びリセット配線 Sgr の本数は $m / 2$ 本であり、出力部 30 の個数は $m / 4$ 個である。

【0060】

なお、実施例 2（図 5）では、実施例 1（図 4）と異なり、出力部 20 は 2 本の第 2 走査線 Sgb に接続されている。このため、実施例 2 において、出力部 20 の個数は $m / 2$ 個である。

【0061】

図 6 は、本実施形態に係る画素 PX を示す平面図である。図 6 では、4 個の画素 PX （1 絵素 P ）で出力スイッチ BCT を共用した場合の画素 PX の構成を示している。ここでは、代表例として、 $RGBW$ 正方配置画素を挙げている。

【0062】

画素回路内の素子を効率良く配置するため、出力スイッチ BCT を共用（共有）する 4 個の画素 PX は、駆動トランジスタ DR 、画素スイッチ ST 、映像信号線 VL 、保持容量 Cs 、補助容量 Cad 、第 2 走査線 Sgb が、出力スイッチ BCT を中心として、列方向及び行方向にほぼ線対称となる配置となっている。

ここで、本実施形態において、画素 PX 、絵素 P の用語で説明したが、画素を副画素と言い換えることが可能である。この場合、絵素が画素である。

【0063】

次に、上記のように構成された表示装置（有機 EL 表示装置）の動作について説明する。図 7、図 8、図 9、及び図 10 は、それぞれ動作表示時の走査線駆動回路 $YDR1$ 、 $YDR2$ の制御信号を示すタイミングチャートである。

【0064】

図 7 は縦ストライプ画素でオフセットキャンセル期間が 1 回の場合、図 8 は縦ストライプ画素でオフセットキャンセル期間が複数回（ここでは代表例として 2 回）の場合、図 9 は $RGBW$ 正方画素でオフセットキャンセル期間が 1 回の場合、図 10 は $RGBW$ 正方画素でオフセットキャンセル期間が複数回（ここでは代表例として 2 回）の場合を表している。

【0065】

このため、上記実施例 1 の場合、図 7 の制御信号又は図 8 の制御信号を用いて表示装置を駆動することができる。そして、上記実施例 2 の場合、図 9 の制御信号又は図 10 の制御信号を用いて表示装置を駆動することができる。

10

20

30

40

50

【0066】

走査線駆動回路YDR1、YDR2は、例えば、スタート信号(STV1～STV3)とクロック(CKV1～CKV3)とから各水平走査期間に対応した1水平走査期間の幅(Tw-Starta)のパルスを生じ、そのパルスを制御信号BG(1～m/4)、SG(1～m)、RG(1～m/4)として出力する。ここでは、1水平走査期間を1Hとしている。

【0067】

画素回路の動作は、ソース初期化期間Pisに行われるソース初期化動作と、ゲート初期化期間Pigに行われるゲート初期化動作と、オフセットキャンセル期間Poに行われる、オフセットキャンセル(OC)動作と、映像信号書き込み期間Pwに行われる映像信号書き込み動作と、表示期間Pd(発光期間)に行われる表示動作(発光動作)と、に分けられる。

10

【0068】

図7乃至図10、図1及び図2に示すように、まず、駆動部10はソース初期化動作を行う。ソース初期化動作では、走査線駆動回路YDR1、YDR2から、制御信号SGが画素スイッチSSTをオフ状態とするレベル(オフ電位：ここではローレベル)、制御信号BGが出力スイッチBCOTをオフ状態とするレベル(オフ電位：ここではローレベル)、制御信号RGがリセットスイッチRSTをオン状態とするレベル(オン電位：ここではハイレベル)、制御信号RG2がリセットスイッチRST2をオフ状態とするレベル(オフ電位：ここではローレベル)に設定される。

20

【0069】

出力スイッチBCOT、画素スイッチSST、及びリセットスイッチRST2がそれぞれオフ(非導通状態)、リセットスイッチRSTがオン(導通状態)となり、ソース初期化動作が開始される。リセットスイッチRSTがオンすることで、駆動トランジスタDRTのソース電極及びドレイン電極がリセット電源の電位(リセット電位Vrst)と同電位にリセットされ、ソース初期化動作は完了する。ここで、リセット電源(リセット電位Vrst)は、例えば-2Vに設定されている。

【0070】

次に、駆動部10はゲート初期化動作を行う。ゲート初期化動作では、走査線駆動回路YDR1、YDR2から、制御信号SGが画素スイッチSSTをオン状態とするレベル(オン電位：ここではハイレベル)、制御信号BGが出力スイッチBCOTをオフ状態とするレベル、制御信号RGがリセットスイッチRSTをオン状態とするレベル、制御信号RG2がリセットスイッチRST2をオフ状態とするレベルに設定される。出力スイッチBCOT及びリセットスイッチRST2がオフ、画素スイッチSST及びリセットスイッチRSTがオンとなり、ゲート初期化動作が開始される。

30

【0071】

ゲート初期化期間Pigにおいて、映像信号線VLから出力された初期化信号Vini(初期化電圧)は、画素スイッチSSTを通して駆動トランジスタDRTのゲート電極に印加される。これにより、駆動トランジスタDRTのゲート電極の電位は、初期化信号Viniに対応する電位にリセットされ、前フレームの情報が初期化される。初期化信号Viniの電圧レベルは、例えば、2Vに設定されている。

40

【0072】

続いて、駆動部10はオフセットキャンセル動作を行なう。制御信号SGがオン電位、制御信号BGがオフ電位、制御信号RGがオフ電位(ローレベル)、制御信号RG2がオン電位(ハイレベル)となる。これによりリセットスイッチRST及び出力スイッチBCOTがオフ、画素スイッチSST及びリセットスイッチRST2がオンとなり、閾値のオフセットキャンセル動作が開始される。

【0073】

オフセットキャンセル期間Poにおいて、駆動トランジスタDRTのゲート電極には映像信号線VL及び画素スイッチSSTを通して初期化信号Viniが与えられ、駆動トラ

50

ンジスタD R Tのゲート電極の電位は固定される。

【0074】

また、リセットスイッチR S T 2はオン状態にあり、他のリセット電源からリセットスイッチR S T 2及びリセット配線S g rを通して駆動トランジスタD R Tに電流が流れ込む。ここで、他のリセット電源（リセット電位V r s t 2）は、例えば5 Vに設定されている。駆動トランジスタD R Tのソース電極の電位は、ソース初期化期間P i sに書き込まれた電位（リセット電位V r s t）を初期値とし、駆動トランジスタD R Tのドレイン電極 - ソース電極間を通して流れ込む電流分を徐々に減少させながら、駆動トランジスタD R TのT F T特性ばらつきを吸収・補償しつつ、高電位側にシフトしていく。本実施形態では、オフセットキャンセル期間P oは例えば1 μ s e c程度の時間に設定されている。

10

【0075】

オフセットキャンセル期間P o終了時点で、駆動トランジスタD R Tのソース電極の電位は、V i n i - V t hとなる。なお、V i n iは初期化信号V i n iの電圧値であり、V t hは駆動トランジスタD R Tの閾値電圧である。これにより、駆動トランジスタD R Tのゲート電極 - ソース電極間の電圧は、キャンセル点（V g s = V t h）に到達し、このキャンセル点に相当する電位差が保持容量C sに蓄えられる（保持される）。なお、図8及び図10に示す例のように、オフセットキャンセル期間P oは必要に応じて複数回ける事が可能である。

【0076】

続いて、映像信号書き込み期間P wでは、制御信号S Gが画素スイッチS S Tをオン状態とするレベル、制御信号B Gが出力スイッチB C Tをオフ状態とするレベル、制御信号R GがリセットスイッチR S Tをオフ状態とするレベル、制御信号R G 2がリセットスイッチR S T 2をオン状態とするレベルに設定される。すると、画素スイッチS S T及びリセットスイッチR S T 2がオン、出力スイッチB C T及びリセットスイッチR S Tがオフとなり、映像信号書き込み動作が開始される。

20

【0077】

映像信号書き込み期間P wにおいて、映像信号線V Lから画素スイッチS S Tを通して駆動トランジスタD R Tのゲート電極に映像信号V s i gが書き込まれる。また、他のリセット電源からリセットスイッチR S T 2及びリセット配線S g rを経由して駆動トランジスタD R Tに電流が流れる。画素スイッチS S Tがオンした直後は、駆動トランジスタD R Tのゲート電極の電位は、V s i g（R、G、B）、駆動トランジスタD R Tのソース電極の電位は、V i n i - V t h + C s（V s i g - V i n i）/（C s + C e l + C a d）となる。

30

なお、V s i gは映像信号V s i gの電圧値であり、C sは保持容量C sの容量であり、C e lは容量部C e lの容量であり、C a dは補助容量C a dの容量である。

【0078】

その後、ダイオードO L E Dの容量部C e lを経由して低電位電源電極S L bに電流が流れ、映像信号書き込み期間P w終了時には、駆動トランジスタD R Tのゲート電極の電位は、V s i g（R、G、B）、駆動トランジスタD R Tのソース電極の電位は、V i n i - V t h + V 1 + C s（V s i g - V i n i）/（C s + C e l + C a d）となる。

40

【0079】

なお、駆動トランジスタD R Tに流れる電流I d r tと容量C s + C e l + C a dの関係は次の式で表され、V 1は、次の式から決定される映像信号V s i gの電圧値、映像書き込み期間P w、トランジスタの移動度に対応したソース電極の電位の変位である。

【数1】

$$\int_0^{Pw} I_{drt} dt = \int_{V_s}^{V_s + \Delta V_1} (C_s + C_{el} + C_{ad}) dV$$

【0080】

50

ここで、

$$I_{drt} = \mu \times (V_{gs} - V_{th})^2 \\ = \{ (V_{sig} - V_{ini}) \times (C_{el} + C_{ad}) / (C_s + C_{el} + C_{ad}) \}^2$$

である。

【0081】

は次の式で定義される。

【0082】

$$= \mu \times C_{ox} \times W / 2L$$

なお、Wは駆動トランジスタDRTのチャンネル幅、Lは駆動トランジスタDRTのチャンネル長、 μ はキャリア移動度、 C_{ox} は単位面積当たりのゲート静電容量である。これにより、駆動トランジスタDRTの移動度のばらつきが補正される。

10

【0083】

最後に、表示期間Pdでは、制御信号SGが画素スイッチSSTをオフ状態とするレベル、制御信号BGが出力スイッチBCTをオン状態とするレベル、制御信号RGがリセットスイッチRSTをオフ状態とするレベル、制御信号RG2がリセットスイッチRST2をオフ状態とするレベル、に設定される。出力スイッチBCTがオン、画素スイッチSST、リセットスイッチRST、及びリセットスイッチRST2がオフとなり、表示動作が開始される。

【0084】

駆動トランジスタDRTは、保持容量Csに書込まれたゲート制御電圧に対応した電流量の駆動電流Ie1を出力する。この駆動電流Ie1がダイオードOLEDに供給される。これにより、ダイオードOLEDが駆動電流Ie1に応じた輝度で発光し、表示動作を行う。ダイオードOLEDは、1フレーム期間後に、再び制御信号BGがオフ電位となるまで発光状態を維持する。

20

【0085】

上述したソース初期化動作、ゲート初期化動作、オフセットキャンセル動作、映像信号書き込み動作、及び表示動作を順次、各画素PXで繰り返し行うことにより、所望の画像を表示する。

【0086】

上記のように構成された第1の実施形態に係る表示装置及び表示装置の駆動方法によれば、表示装置は、複数の画素PXと、複数の制御線と、複数の出力部20、30を有した走査線駆動回路YDR1、YDR2と、を備えている。画素PXは、ダイオードOLEDと、ダイオードOLEDの駆動を制御する画素回路とを有している。複数の制御線は、行方向Xに延出し複数の画素PXの画素回路に接続されている。出力部30は、複数の制御線に接続され、複数行に設けられた複数の画素PXの画素回路に制御信号を与える。

30

【0087】

これにより、出力部30の個数を画素PXが設けられる行数より少なくすることができる。例えば、出力部30の個数を画素PXが設けられる行数の1/4に削減することができる。

【0088】

詳しくは、表示装置は、複数の映像信号線VLと、複数の走査線(第1走査線Sga、第2走査線Sgb、第3走査線Sgc、第4走査線Sgd)と、複数のリセット配線Sgrと、複数の画素PXと、を備えている。各画素PXは、駆動トランジスタDRTと、ダイオードOLEDと、画素スイッチSSTと、出力スイッチBCTと、保持容量Csと、補助容量Cadと、を有している。

40

【0089】

ダイオードOLEDは、高電位電源線SLa及び低電位電源電極SLb間に接続されている。駆動トランジスタDRTは、ダイオードOLEDに接続されたソース電極と、リセット配線Sgrに接続されたドレイン電極と、ゲート電極とを有している。出力スイッチBCTは、高電位電源線SLa及び駆動トランジスタDRTのドレイン電極間に接続され

50

、高電位電源線 S L a 及び駆動トランジスタ D R T のドレイン電極間を導通状態又は非導通状態に切替える。

【 0 0 9 0 】

画素スイッチ S S T は、映像信号線 V L 及び駆動トランジスタ D R T のゲート電極間に接続され、映像信号線 V L を通して与えられる初期化信号 V i n i 又は映像信号 V s i g を駆動トランジスタのゲート電極側に取り込むかどうかを切替える。保持容量 C s は、駆動トランジスタ D R T のソース電極及びゲート電極間に接続されている。

【 0 0 9 1 】

各出力部 3 0 は、2 本の第 1 走査線 S g a 及び 2 本のリセット配線 S g r に接続されている。各出力部 3 0 を第 1 走査線 S g a 及びリセット配線 S g r に一対一で接続させる場合に比べ、出力部 3 0 (リセットスイッチ R S T、R S T 2) の個数を低減することができる。

10

【 0 0 9 2 】

また、複数の画素 P X の中、列方向 Y に隣合う複数の画素 P X は、出力スイッチ B C T を共用している。この実施形態において、4 個の画素 P X が 1 個の出力スイッチ B C T を共用している。

【 0 0 9 3 】

各画素 P X に出力スイッチ B C T を 1 個ずつ設ける場合に比べ、出力スイッチ B C T の個数を 1 / 4 に低減することができ、第 1 走査線 S g a、第 3 走査線 S g c、第 4 走査線 S g d、及びリセット配線 S g r の本数を 1 / 2 に低減することができ、リセットスイッチ R S T、R S T 2 の個数をさらに低減することができる。この実施形態において、出力部 3 0 (リセットスイッチ R S T、R S T 2) の個数は、m / 4 個である。このため、表示装置の狭額縁化を図ることができ、高精細な表示装置を得ることができる。また、素子の個数を低減することができ、表示領域 R 1 内においては出力スイッチ B C T の個数を低減することができる。

20

【 0 0 9 4 】

走査線駆動回路 Y D R 2 はリセットスイッチ R S T 2 を有している。オフセットキャンセル動作において、リセットスイッチ R S T 2 は、他のリセット電源と、駆動トランジスタ D R T とを導通状態に切替えることができる。これにより、オフセットキャンセル動作終了時の駆動トランジスタ D R T のドレイン電極 - ソース電極間の電圧 (V d s) の値を、表示動作時 (白表示時) の上記電圧 (V d s) の値に近づけることができる。このため、本実施形態では、表示品位に一層優れた表示装置を得ることができる。

30

【 0 0 9 5 】

表示期間 P d において、駆動トランジスタ D R T の飽和領域の出力電流 I e l をダイオード O L E D に与え、発光させる。ここで、駆動トランジスタ D R T の利得係数を とすると、出力電流 I e l は次の式で表される。

【 0 0 9 6 】

$$I_{e1} = \mu \times C_{ox} \times W / 2 L \times \{ (V_{sig} - V_{ini} - V_1) \times (C_{e1} + C_{ad}) / (C_s + C_{e1} + C_{ad}) \}^2$$

は次の式で定義される。

40

【 0 0 9 7 】

$$= \mu \times C_{ox} \times W / 2 L$$

なお、W は駆動トランジスタ D R T のチャンネル幅、L は駆動トランジスタ D R T のチャンネル長、 μ はキャリア移動度、 C_{ox} は単位面積当たりのゲート静電容量である。

【 0 0 9 8 】

このため、出力電流 I e l は、駆動トランジスタ D R T の閾値電圧 V t h に依存しない値となり、出力電流 I e l への駆動トランジスタ D R T の閾値電圧のばらつきによる影響を排除することができる。

【 0 0 9 9 】

また、上記 V 1 は、駆動トランジスタ D R T の移動度 μ が大きい程、絶対値が大きい

50

値となるため、移動度 μ の影響も補償することができる。従って、これらのばらつきに起因する表示不良、スジムラ、ざらつき感の発生を抑制し、高品位の画像表示を行うことができる。

上記のことから、狭額縁化を図ることができる、高精細な表示装置及び表示装置の駆動方法を得ることができる。

【0100】

次に、第2の実施形態に係る表示装置及び表示装置の駆動方法について説明する。この実施形態において、上述した第1の実施形態と同一機能部分には同一符号を付し、その詳細な説明は省略する。図11は、第2の実施形態に係る表示装置の画素の等価回路図である。

10

【0101】

図11に示すように、表示パネルDPは、複数本(m本)の第5走査線Sge(1~m)と、複数本(n本)の基準信号線BL(1~n)とを備えている。各出力部20は、第5走査線Sgeに一对一で接続されている。各画素PXは、初期化スイッチISTを備えている。初期化スイッチISTは、駆動トランジスタDRT等と同一導電型、例えばNチャンネル型のTFTにより構成されている。

【0102】

なお、本実施形態においても、各駆動トランジスタおよび各スイッチをそれぞれ構成した薄膜トランジスタは全て同一工程、同一層構造で形成され、半導体層にポリシリコンを用いたトップゲート構造の薄膜トランジスタである。

20

【0103】

初期化スイッチISTにおいて、ソース電極は基準信号線BL(1~n)に接続され、ドレイン電極は駆動トランジスタDRTのゲート電極に接続され、ゲート電極は第5走査線Sge(1~m)に接続されている。初期化スイッチISTは、第5走査線Sgeから供給される制御信号IG(1~m)によりオン、オフ制御される。そして、初期化スイッチISTは、制御信号IG(1~m)に应答して、画素回路と基準信号線BL(1~n)との接続、非接続を制御し、対応する基準信号線BL(1~n)から初期化信号Viniを画素回路に取り込む。

【0104】

次に、本実施形態に係る複数の画素PXの配置構成について説明する。図12は本実施形態に係る実施例1の画素PXの配置構成を示す概略図であり、図13は本実施形態に係る実施例2の画素PXの配置構成を示す概略図である。

30

【0105】

図12に示すように、画素PXはいわゆる縦ストライプ画素である。出力スイッチBCTは、隣合う4個(列方向Yに隣合う2個及び行方向Xに隣合う2個)の画素PXで共用されている。

【0106】

なお、4k-3番目(行目)の第5走査線Sgeには4k-3番目(行目)の出力部20が接続され、4k-2番目(行目)の第5走査線Sgeには4k-2番目(行目)の出力部20が接続され、4k-1番目(行目)の第5走査線Sgeには4k-1番目(行目)の出力部20が接続され、4k番目(行目)の第5走査線Sgeには4k番目(行目)の出力部20が接続されている。

40

【0107】

図13に示すように、画素PXはいわゆるRGBW正方画素である。複数の画素PXは、第1画素と、第1画素に列方向Yに隣合う第2画素と、第1画素に行方向Xに隣合う第3画素と、第2画素に行方向Xに隣合い第3画素に列方向Yに隣合う第4画素とを有している。出力スイッチBCTは、第1乃至第4画素で共用されている。

【0108】

なお、実施例2(図13)では、実施例1(図12)と異なり、出力部20は2本の第5走査線Sgeに接続されている。このため、実施例2において、出力部20の個数はm

50

/ 2 個である。

【0109】

次に、上記のように構成された表示装置（有機EL表示装置）の動作について説明する。図14及び図15は、それぞれ動作表示時の走査線駆動回路YDR1、YDR2の制御信号を示すタイミングチャートである。図14は第2の実施形態に係る表示装置が縦ストライプ画素で形成されている場合、図15は第2の実施形態に係る表示装置がRGBW正画素で形成されている場合を表している。

【0110】

このため、上記実施例1の場合、図14の制御信号を用いて表示装置を駆動することができる。そして、上記実施例2の場合、図15の制御信号を用いて表示装置を駆動することができる。

10

【0111】

走査線駆動回路YDR1、YDR2は、例えば、スタート信号(STV1~STV3)とクロック(CKV1~CKV3)とから各水平走査期間に対応した1水平走査期間の幅(Tw-Starta)のパルスを生成し、そのパルスを制御信号BG(1~m/4)、SG(1~m)、IG(1~m)、RG(1~m/4)として出力する。ここでは、1水平走査期間を1Hとしている。

【0112】

画素回路の動作は、ソース初期化期間Pisに行われるソース初期化動作と、ゲート初期化期間Pigに行われるゲート初期化動作と、オフセットキャンセル期間Poに行われる、オフセットキャンセル(OC)動作と、映像信号書き込み期間Pwに行われる映像信号書き込み動作と、表示期間Pd(発光期間)に行われる表示動作(発光動作)と、に分けられる。

20

【0113】

図14及び図15、並びに図1及び図11に示すように、まず、駆動部10はソース初期化動作を行う。ソース初期化動作では、走査線駆動回路YDR1、YDR2から、制御信号SGが画素スイッチSSTをオフ状態とするレベル、制御信号BGが出力スイッチBCTをオフ状態とするレベル、制御信号RGがリセットスイッチRSTをオン状態とするレベル、制御信号RG2がリセットスイッチRST2をオフ状態とするレベル、制御信号IGが初期化スイッチISTをオフ状態とするレベル(オフ電位：ここではローレベル)に設定される。

30

【0114】

出力スイッチBCT、画素スイッチSST、初期化スイッチIST、及びリセットスイッチRST2がそれぞれオフ(非導通状態)、リセットスイッチRSTがオン(導通状態)となり、ソース初期化動作が開始される。リセットスイッチRSTがオンすることで、駆動トランジスタDRTのソース電極及びドレイン電極がリセット電源の電位(リセット電位Vrst)と同電位にリセットされ、ソース初期化動作は完了する。ここで、リセット電源(リセット電位Vrst)は、例えば-2Vに設定されている。

【0115】

次に、駆動部10はゲート初期化動作を行う。ゲート初期化動作では、走査線駆動回路YDR1、YDR2から、制御信号SGが画素スイッチSSTをオフ状態とするレベル、制御信号BGが出力スイッチBCTをオフ状態とするレベル、制御信号RGがリセットスイッチRSTをオン状態とするレベル、制御信号RG2がリセットスイッチRST2をオフ状態とするレベル、制御信号IGが初期化スイッチISTをオン状態とするレベル、に設定される。出力スイッチBCT、画素スイッチSST及びリセットスイッチRST2がオフ、初期化スイッチIST及びリセットスイッチRSTがオンとなり、ゲート初期化動作が開始される。

40

【0116】

ゲート初期化期間Pigにおいて、基準信号線BLから出力された初期化信号Vini(初期化電圧)は、初期化スイッチISTを通して駆動トランジスタDRTのゲート電極

50

に印加される。これにより、駆動トランジスタD R Tのゲート電極の電位は、初期化信号V i n iに対応する電位にリセットされ、前フレームの情報が初期化される。初期化信号V i n iの電圧レベルは、例えば、2 Vに設定されている。

【0117】

続いて、駆動部10はオフセットキャンセル動作を行なう。制御信号S Gがオフ電位、制御信号B Gがオフ電位、制御信号R Gがオフ電位、制御信号R G 2がオン電位、制御信号I Gがオン電位となる。これによりリセットスイッチR S T、画素スイッチS S T及び出力スイッチB C Tがオフ、初期化スイッチI S T及びリセットスイッチR S T 2がオンとなり、閾値のオフセットキャンセル動作が開始される。

【0118】

オフセットキャンセル期間P oにおいて、駆動トランジスタD R Tのゲート電極には基準信号線B L及び初期化スイッチI S Tを通して初期化信号V i n iが与えられ、駆動トランジスタD R Tのゲート電極の電位は固定される。

【0119】

また、リセットスイッチR S T 2はオン状態にあり、他のリセット電源からリセットスイッチR S T 2及びリセット配線S g rを通して駆動トランジスタD R Tに電流が流れ込む。ここで、他のリセット電源（リセット電位V r s t 2）は、例えば5 Vに設定されている。駆動トランジスタD R Tのソース電極の電位は、ソース初期化期間P i sに書き込まれた電位（リセット電位V r s t）を初期値とし、駆動トランジスタD R Tのドレイン電極 - ソース電極間を通して流れ込む電流分を徐々に減少させながら、駆動トランジスタD R TのT F T特性ばらつきを吸収・補償しつつ、高電位側にシフトしていく。

【0120】

なお、本実施形態において、表示装置は、画素P Xに初期化信号V i n iを与えるためのみに使用する基準信号線B L及び初期化スイッチI S Tを備えている。これにより、本実施形態では、上述した第1の実施形態と異なり、十分な長さのオフセットキャンセル期間P oを確保することができる。

【0121】

オフセットキャンセル期間P o終了時点で、駆動トランジスタD R Tのソース電極の電位は、V i n i - V t hとなる。これにより、駆動トランジスタD R Tのゲート電極 - ソース電極間の電圧は、キャンセル点（V g s = V t h）に到達し、このキャンセル点に相当する電位差が保持容量C sに蓄えられる（保持される）。

【0122】

続いて、映像信号書き込み期間P wでは、制御信号S Gが画素スイッチS S Tをオン状態とするレベル、制御信号B Gが出力スイッチB C Tをオフ状態とするレベル、制御信号R GがリセットスイッチR S Tをオフ状態とするレベル、制御信号R G 2がリセットスイッチR S T 2をオン状態とするレベル、制御信号I Gが初期化スイッチI S Tをオフ状態とするレベルに設定される。すると、画素スイッチS S T及びリセットスイッチR S T 2がオン、出力スイッチB C T、初期化スイッチI S T及びリセットスイッチR S Tがオフとなり、映像信号書き込み動作が開始される。

【0123】

映像信号書き込み期間P wにおいて、映像信号線V Lから画素スイッチS S Tを通して駆動トランジスタD R Tのゲート電極に映像信号V s i gが書き込まれる。また、他のリセット電源からリセットスイッチR S T 2及びリセット配線S g rを経由して駆動トランジスタD R Tに電流が流れる。画素スイッチS S Tがオンした直後は、駆動トランジスタD R Tのゲート電極の電位は、V s i g（R、G、B）、駆動トランジスタD R Tのソース電極の電位は、V i n i - V t h + C s（V s i g - V i n i）/（C s + C e l + C a d）となる。

【0124】

その後、ダイオードO L E Dの容量部C e lを経由して低電位電源電極S L bに電流が流れ、映像信号書き込み期間P w終了時には、駆動トランジスタD R Tのゲート電極の電

10

20

30

40

50

位は、 $V_{sig}(R, G, B)$ 、駆動トランジスタDRTのソース電極の電位は、 $V_{ini} - V_{th} + V_1 + C_s(V_{sig} - V_{ini}) / (C_s + C_{el} + C_{ad})$ となる。これにより、駆動トランジスタDRTの移動度のばらつきが補正される。

【0125】

最後に、表示期間Pdでは、制御信号SGが画素スイッチSSTをオフ状態とするレベル、制御信号BGが出力スイッチBCTをオン状態とするレベル、制御信号RGがリセットスイッチRSTをオフ状態とするレベル、制御信号RG2がリセットスイッチRST2をオフ状態とするレベル、制御信号IGが初期化スイッチISTをオフ状態とするレベルに設定される。出力スイッチBCTがオン、画素スイッチSST、初期化スイッチIST、リセットスイッチRST、及びリセットスイッチRST2がオフとなり、表示動作が開始される。

10

【0126】

駆動トランジスタDRTは、保持容量Csに書込まれたゲート制御電圧に対応した電流量の駆動電流Ielを出力する。この駆動電流IelがダイオードOLEDに供給される。これにより、ダイオードOLEDが駆動電流Ielに応じた輝度で発光し、表示動作を行う。ダイオードOLEDは、1フレーム期間後に、再び制御信号BGがオフ電位となるまで発光状態を維持する。

【0127】

上述したソース初期化動作、ゲート初期化動作、オフセットキャンセル動作、映像信号書き込み動作、及び表示動作を順次、各画素PXで繰り返し行うことにより、所望の画像を表示する。

20

【0128】

上記のように構成された第2の実施形態に係る表示装置及び表示装置の駆動方法によれば、表示装置は、複数の画素PXと、複数の制御線と、複数の出力部20、30を有した走査線駆動回路YDR1、YDR2と、を備えている。画素PXは、ダイオードOLEDと、ダイオードOLEDの駆動を制御する画素回路とを有している。複数の制御線は、行方向Xに延出し複数の画素PXの画素回路に接続されている。出力部30は、複数の制御線に接続され、複数行に設けられた複数の画素PXの画素回路に制御信号を与える。

【0129】

これにより、出力部30の個数を画素PXが設けられる行数より少なくすることができ、例えば、出力部30の個数を画素PXが設けられる行数の1/4に削減することができる。また、複数の画素PXの中、列方向Yに隣合う複数の画素PXは、出力スイッチBCTを共用している。

30

【0130】

第1走査線Sga、第3走査線Sgc、第4走査線Sgd、及びリセット配線Sgrの本数を低減することができ、リセットスイッチRST、RST2の個数をさらに低減することができる。このため、表示装置の狭額縁化を図ることができ、高精細な表示装置を得ることができる。

【0131】

表示装置は、基準信号線BL及び初期化スイッチISTを備えている。十分な長さのオフセットキャンセル期間Poを確保することができ、駆動トランジスタDRTのゲート電極-ソース電極間の電圧を閾値電圧に到達させることができる。このため、駆動トランジスタDRの閾値電圧ばらつきの影響を抑制することができる。

40

【0132】

図14及び図15から分かるように、制御信号IG4k-3、4k-2、4k-1、4kの波形は同一である。このため、変形例として、制御信号IG4k-3、4k-2、4k-1、4kの出力源を1つにしてもよい。制御信号IGを出力するために使用するバッファの個数等を低減することができるため、走査線駆動回路YDR1のレイアウト面積を小さくすることができる。

【0133】

50

その他、本実施形態に係る表示装置及び表示装置の駆動方法は、上記第1の実施形態に係る表示装置及び表示装置の駆動方法と同様の効果を得ることができる。

上記のことから、狭額縁化を図ることができる、高精細な表示装置及び表示装置の駆動方法を得ることができる。

【0134】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

【0135】

例えば、走査線駆動回路YDR2は、 $m/6$ 個又は $m/8$ 個等、 $m/4$ 個未満の出力部30を有していてもよい。これにより、走査線駆動回路YDR2のレイアウト面積を一層小さくすることができる。そして、出力部30の各々は、4行以上に設けられた複数の画素PXの画素回路に制御信号を与えることができる。上記第1の実施形態に係る走査線駆動回路YDR2が $m/6$ 個の出力部30を有している場合を例に採ると、各出力部30は、3本の第1走査線Sga及び3本のリセット配線Sgrに接続される。

出力部30は、リセットスイッチRST2を有していなくともよい。

【0136】

TFTの半導体層は、ポリシリコンに限らず、アモルファスシリコンで構成することも可能である。各スイッチを構成するTFTや駆動トランジスタDRTは、Nチャネル型のTFTに限らず、Pチャネル型のTFTで形成されていてもよい。同様に、リセットスイッチRST、RST2は、Pチャネル型又はNチャネル型のTFTで形成されていればよい。駆動トランジスタDRT及びスイッチの形状、寸法は、前述した実施形態に限定されることなく、必要に応じて変更可能である。

20

【0137】

また、出力スイッチBCTは、4つの画素PXに1つ設けて共有される構成としたが、これに限らず、必要に応じて、出力スイッチBCTの数を増減可能である。例えば、2行1列に設けられた2個の画素PXが1個の出力スイッチBCTを共用したり、2行4列に設けられた8個の画素PXが1個の出力スイッチBCTを共用したりしていてもよい。

30

さらに、画素PXを構成する自己発光素子は、ダイオード（有機ELダイオード）OLEDに限定されず自己発光可能な様々な表示素子を適用して形成することが可能である。

【0138】

補助容量Cadは、駆動トランジスタDRTのソース電極及び定電位の配線間に接続されていればよい。定電位の配線としては、高電位電源線SLaや、低電位電源線SLbや、リセット配線Sgrを挙げることができる。

本発明の実施形態は、表示装置及び表示装置の駆動方法に限らず、各種の表示装置及び表示装置の駆動方法に適用することが可能である。

【符号の説明】

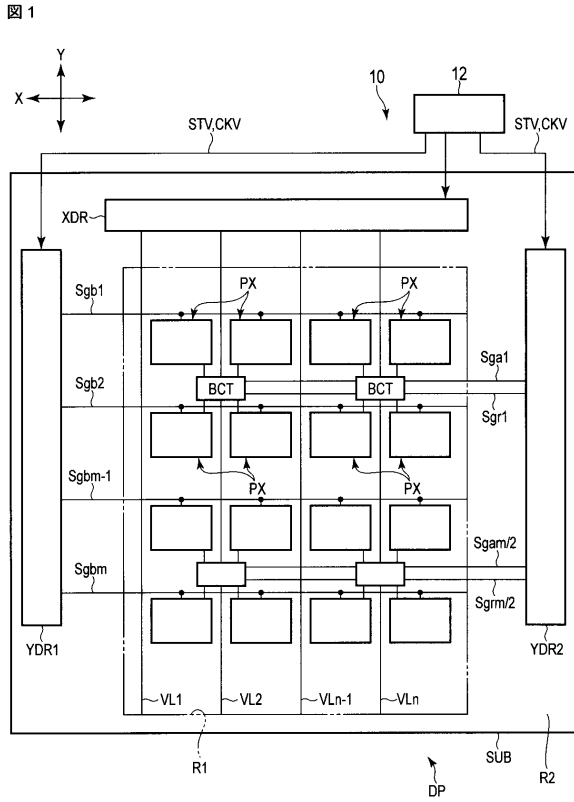
40

【0139】

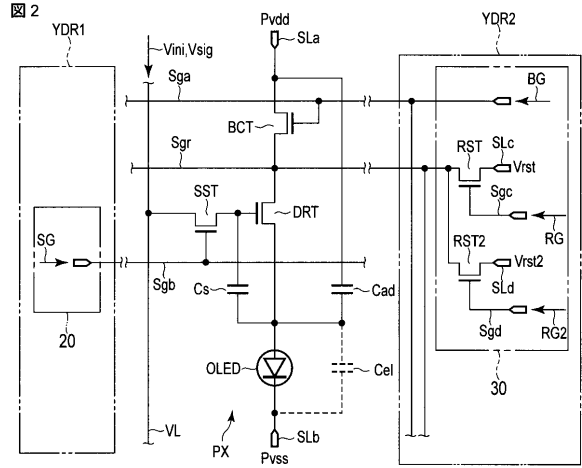
DP...表示パネル、10...駆動部、12...コントローラ、YDR1, YDR2...走査線駆動回路、20, 30...出力部、XDR...信号線駆動回路、Sga...第1走査線、Sgb...第2走査線、Sgc...第3走査線、Sgd...第4走査線、Sge...第5走査線、Sgr...リセット配線、VL...映像信号線、BL...基準信号線、P...絵素、PX...画素、OLED...ダイオード、SST...画素スイッチ、DRT...駆動トランジスタ、BCT...出力スイッチ、IST...初期化スイッチ、RST, RST2...リセットスイッチ、Cs...保持容量、Cad...補助容量、Pis...ソース初期化期間、Pig...ゲート初期化期間、Po...オフセットキャンセル期間、Pw...映像信号書き込み期間、Pd...表示期間、Y...列方向、X...行方向。

50

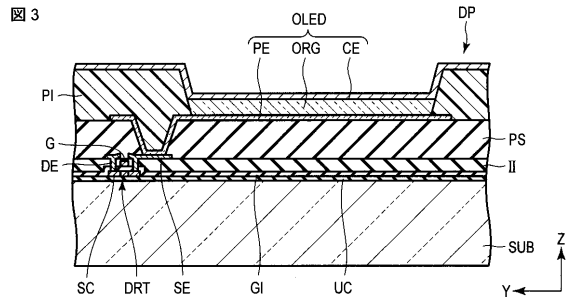
【 図 1 】



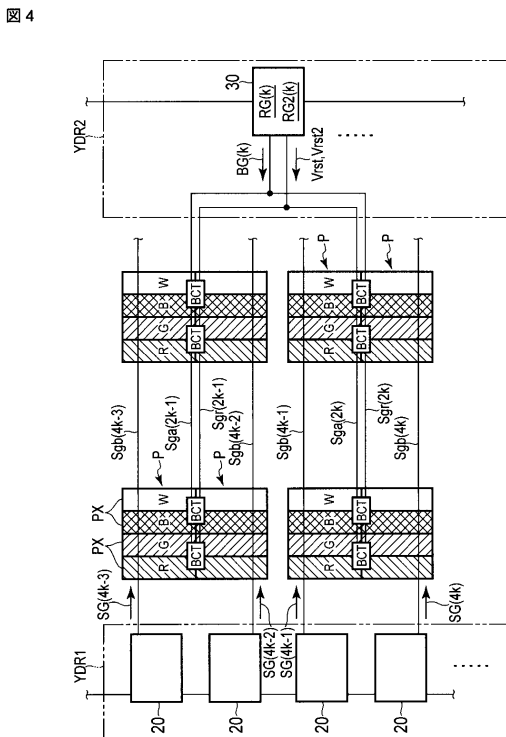
【 図 2 】



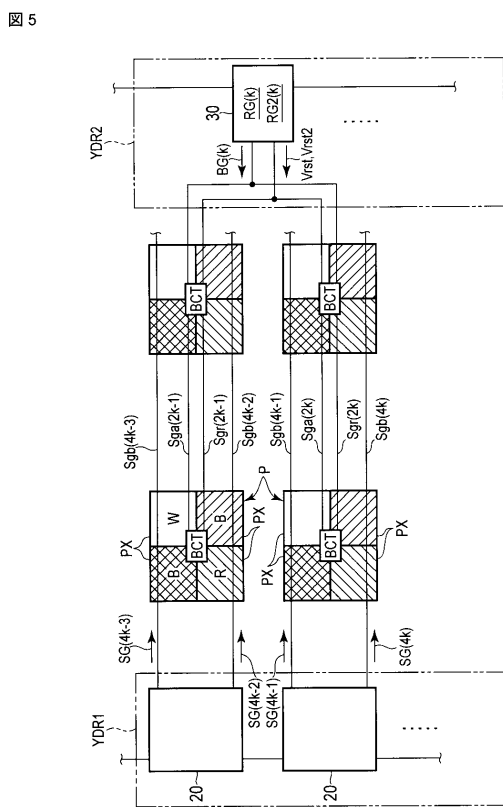
【 図 3 】



【 図 4 】

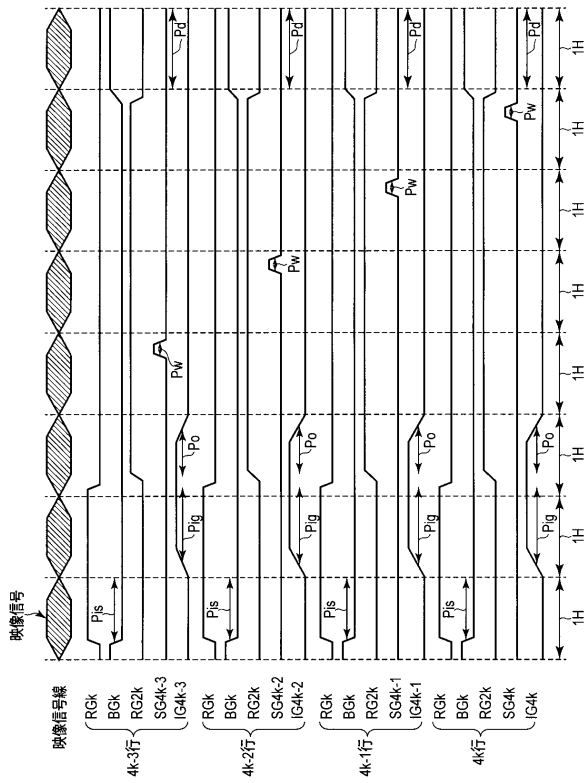


【 図 5 】



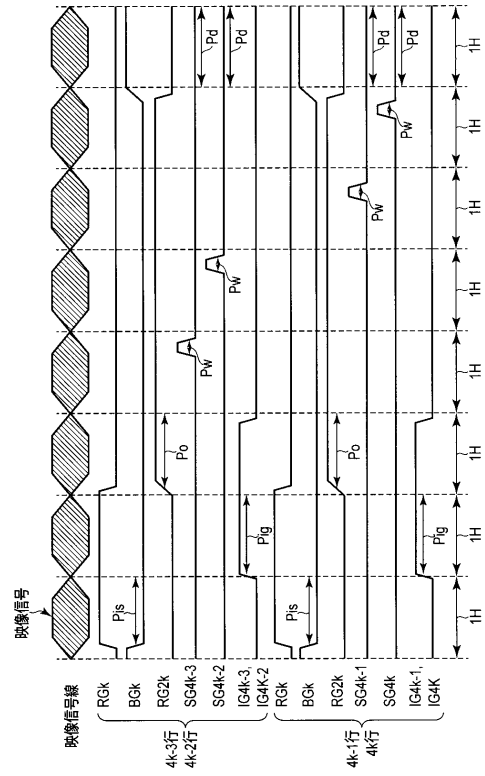
【 図 1 4 】

図 14



【 図 1 5 】

図 15



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 小俣 一由
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 木村 裕之
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 渋沢 誠
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- Fターム(参考) 5C080 AA06 BB05 CC03 DD05 DD22 FF11 JJ02 JJ03 JJ04 JJ06
KK07
5C380 AA01 AB06 AB11 AB12 AB22 AB23 AB34 AB36 AC12 BA12
BA17 BA38 BA39 BB02 CA12 CA54 CB01 CB14 CB17 CB20
CB26 CC03 CC04 CC06 CC07 CC27 CC30 CC33 CC39 CC41
CC54 CC58 CC59 CC63 CC71 CD023 CD024 CD033 CD034 CF07
CF22 CF52 DA02 DA06 DA47