



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월09일
(11) 등록번호 10-1080912
(24) 등록일자 2011년11월01일

(51) Int. Cl.

G11C 16/04 (2006.01)

(21) 출원번호 10-2005-0030031
(22) 출원일자 2005년04월11일
심사청구일자 2010년03월16일
(65) 공개번호 10-2006-0107689
(43) 공개일자 2006년10월16일

(56) 선행기술조사문헌
KR1020050007653 A
KR1019990003406 A

전체 청구항 수 : 총 1 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

노금환

서울 광진구 구의2동 32-38 203호

(74) 대리인

신영무

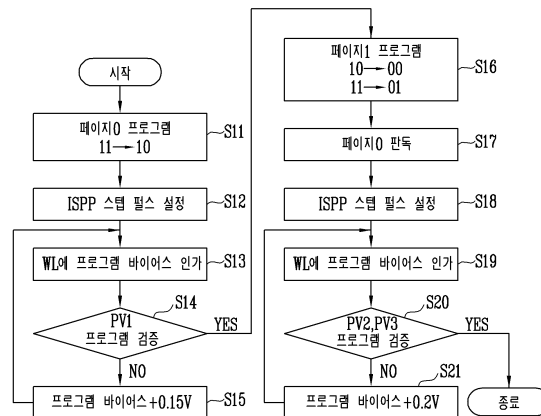
심사관 : 손윤식

(54) 멀티 레벨 셀을 갖는 비휘발성 메모리 장치의 프로그램방법

(57) 요약

본 발명은 최하위 비트(LSB)를 프로그램할 때와 최상위 비트(MSB)를 프로그램할 때 ISPP 스텝 전압을 각각 다르게 조절하면, 프로그램 시간을 늘이지 않으면서도 셀 프로그램 문턱전압 분포를 좁게 조절할 수 있는 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 방법에 관한 것이다.

대표도 - 도5



특허청구의 범위

청구항 1

멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치에 있어서,

- (a) 제1 워드라인에 제1 프로그램 바이어스 전압을 인가하여 2비트의 최하위 비트를 프로그램하는 단계;
- (b) 상기 제1 워드라인에 제1 프로그램 검증 전압을 인가하여 프로그램의 패스/페일을 검증하는 단계
- (c) 상기 프로그램이 페일이면 상기 제1 프로그램 바이어스 전압에 소정의 제1 전압을 더한 제2 프로그램 바이어스 전압을 상기 제1 워드라인에 인가하여 상기 2비트의 최하위 비트를 다시 프로그램하는 단계;
- (d) 단계 (b)를 다시 수행하여 상기 프로그램이 패스이면, 상기 제1 워드라인의 메모리 셀에 프로그램된 최하위 비트를 판독하는 단계;
- (e) 제2 워드라인에 상기 제1 프로그램 바이어스 전압을 인가하여 2비트의 최상위 비트를 프로그램하는 단계;
- (f) 상기 판독된 최상위 비트에 해당하는 제2 혹은 제3 프로그램 검증 전압을 상기 제2 워드라인에 인가하여 프로그램의 패스/페일을 검증하는 단계;
- (g) 상기 프로그램이 페일이면 상기 제1 프로그램 바이어스 전압에 소정의 제2 전압을 더한 제3 프로그램 바이어스 전압을 상기 제2 워드라인에 인가하여 상기 2비트의 최상위 비트를 다시 프로그램하는 단계;
- (h) 단계 (f)를 다시 수행하여 상기 프로그램이 패스이면 프로그램을 종료하는 단계를 포함하는 멀티레벨 메모리 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 단계 (b)와 단계 (c)는 상기 제1 프로그램 검증 전압에 의한 프로그램이 패스될 때까지 반복적으로 수행되는 것을 특징으로 하는 멀티 레벨 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 단계 (f)와 단계 (g)는 상기 제2 혹은 제3 프로그램 검증 전압에 의한 프로그램이 패스될 때까지 반복적으로 수행되는 것을 특징으로 하는 멀티 레벨 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 단계 (f)에서 상기 판독된 최하위 비트가 로직값 "1"이면 상기 제2 프로그램 검증 전압을 상기 제2 워드라인에 인가하고, 상기 판독된 최하위 비트가 로직값 "0"이면 상기 제3 프로그램 검증 전압을 상기 제2 워드라인에 인가하는 것을 특징으로 하는 멀티 레벨 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 제1 전압은 상기 제2 전압보다 작은 것을 특징으로 하는 멀티레벨 메모리 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 제1 전압은 0.1~0.2V의 범위인 것을 특징으로 하는 멀티레벨 메모리 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 제2 전압은 0.2~0.3V의 범위인 것을 특징으로 하는 멀티레벨 메모리 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0009] 본 발명은 멀티 레벨 셀을 갖는 비휘발성 메모리 장치의 프로그램 방법에 관한 것으로, 특히, 프로그램된 셀의 문턱전압 분포를 좁게 조절할 수 있는 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 방법에 관한 것이다.
- [0010] 전기적으로 프로그램(program)과 소거(erase)가 가능한 비휘발성 메모리 장치는 얇은 터널 산화막에 강한 전기장에 의해 전자가 이동하면서 셀의 문턱전압을 변화시켜서 프로그램 및 소거 기능을 수행한다.
- [0011] 최근에 개발하고 있는 멀티 레벨 셀(multi-level cell)을 갖는 낸드형 플래시 메모리는 종래의 싱글 레벨 셀(single level cell)과 달리 1개의 셀에 2비트를 저장한다. 그러나, 멀티 레벨 셀을 갖는 낸드형 플래시 메모리는 싱글 레벨 셀에 비하여 매우 좁은 문턱전압(Vth) 분포를 가져야 하므로 신뢰성 및 공정 마진 측면에서 어려운 점이 많다. 게다가, 한번에 여러 상태를 프로그램하고 독출해야 하므로 프로그램 시간과 독출 시간이 길다.
- [0012] 기존에 개발된 멀티 레벨 셀을 갖는 낸드형 플래시 메모리는 도 1 및 도 2에 도시한 바와 같이 4 상태(state)의 문턱전압 분포(threshold voltage distribution)를 이용해서 프로그램을 수행한다.
- [0013] 도 1에 도시한 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 방법은, 4 상태의 문턱전압 레벨을 구현하기 위해 1페이지 프로그램 시에 3번의 프로그램을 수행하고, 도 2에 도시한 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 소자의 프로그램 방법은 4 상태의 문턱전압 레벨을 구현하기 위해 1페이지 프로그램 시에 2번의 프로그램을 수행한다.
- [0014] 도 1 및 도 2에 나타난 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치에서, 프로그램된 셀의 문턱전압 분포는 예컨대, PV1과 PV1' 사이의 간격, PV2와 PV2' 사이의 간격, 및 PV3와 PV3' 사이의 간격을 갖는다. 그러나, PV1과 PV1' 사이의 간격, PV2와 PV2' 사이의 간격, 및 PV3와 PV3' 사이의 간격이 넓어지면, PV'와 PV2 사이의 간격과 PV2'와 PV2 사이의 간격이 좁아져 셀 동작신뢰성에 매우 나쁜 영향을 미친다(독출전압(VR1, VR2, VR3)의 설정이 어려움). 따라서, 프로그램된 셀의 문턱전압 분포를 감소시키는 노력이 필요하다.

발명이 이루고자 하는 기술적 과제

[0015] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 프로그램된 셀의 문턱전압 분포를 좁게 조절할 수 있는 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

[0016] 상술한 목적을 달성하기 위하여, 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 소자는 (a) 제1 워드라인에 제1 프로그램 바이어스 전압을 인가하여 2비트의 최하위 비트를 프로그램하는 단계; (b) 상기 제1 워드라인에 제1 프로그램 검증 전압을 인가하여 프로그램의 패스/패일을 검증하는 단계; (c) 상기 프로그램이 패일이면 상기 제1 프로그램 바이어스 전압에 소정의 제1 전압을 더한 제2 프로그램 바이어스 전압을 상기 제1 워드라인에 인가하여 상기 2비트의 최하위 비트를 다시 프로그램하는 단계; (d) 단계 (b)를 다시 수행하여 상기 프로그램이 패스이면, 상기 제1 워드라인의 메모리 셀에 프로그램된 최하위 비트를 판독하는 단계; (e) 제2 워드라인에 상기 제1 프로그램 바이어스 전압을 인가하여 2비트의 최상위 비트를 프로그램하는 단계; (f) 상기 판독된 최상위 비트에 해당하는 제2 혹은 제3 프로그램 검증 전압을 상기 제2 워드라인에 인가하여 프로그램의 패스/패일을 검증하는 단계; (g) 상기 프로그램이 패일이면 상기 제1 프로그램 바이어스 전압에 소정의 제2 전압을 더한 제3 프로그램 바이어스 전압을 상기 제2 워드라인에 인가하여 상기 2비트의 최상위 비트를 다시 프로그램하는 단계; 및 (h) 단계 (f)를 다시 수행하여 상기 프로그램이 패스이면 프로그램을 종료하는 단계를 포함한다.

[0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

[0018] 도 3은 본 발명의 바람직한 실시예에 따른 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치를 나타낸다.

[0019] 도 3을 참조하면, 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치는 메모리 셀 어레이(100)와 페이지 버퍼(200)를 포함한다.

[0020] 메모리 셀 어레이(100)는 다수개의 메모리 셀들(MC0~MCn), 드레인 선택 트랜지스터(DST), 소스 선택 트랜지스터(SST), N개의 워드라인(WL0~WLn), 및 N개의 비트라인(BL0~BLn)을 포함한다. 드레인 선택 트랜지스터(DST)와 소스 선택 트랜지스터(SST) 사이에 직렬로 연결되는 메모리 셀들(MC0~MCn)의 개수는 다바이스 및 밀도(density)를 고려하여, 16개, 32개, 64개로 구성되며, 이를 하나의 스트링으로 명칭한다. 메모리 셀들(예컨대 M1)은 하나의 워드라인(WL1)에 의해 제어되며, 하나의 페이지(P2)를 형성한다. 본 발명에서는 N개의 페이지(P1~Pn)가 존재한다.

[0021] 페이지 버퍼(200)는 메모리 셀(MC0~MCn)에 데이터를 프로그램하거나 메모리 셀에 프로그램된 데이터를 판독 및 검증할 때 이용된다. 이러한 페이지 버퍼(200)는 한쌍의 비트라인에 접속되고 복수개가 구비된다.

[0022] 도 4은 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램된 셀의 문턱전압 분포를 나타낸다.

[0023] 도 4에 도시한 바와 같이, 첫번째로, 페이지 0(P1)를 프로그램할 때는 두 비트 중 최하위 비트(LSB)만 프로그램하고("11" 상태에서 "10" 상태로), 두번째로, 페이지1(P2)을 프로그램할 때는 최상위 비트(MSB)만 프로그램한다("10"상태에서 "00"상태로 혹은 "11"상태에서 "01"상태로). 프로그램 시간은 최하위 비트(LSB)를 프로그램할 때보다 최상위 비트(MSB)를 프로그램할 때 더 걸린다. 이러한 멀티 레벨 셀의 프로그램 시간을 결정하는 것은 최상위 비트(MSB)를 프로그램하는 시간이다. 따라서, 최하위 비트(LSB)를 프로그램할 때에는 상대적으로 프로그램 시간이 짧으므로, ISPP(Incremental Step Pulse Program)스텝 전압, 즉 프로그램 전압을 최상위 비트(MSB)를 프로그램할 때보다 작게 해도 프로그램 시간의 스펙을 만족할 수 있다.

[0024] 도 5는 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 방법을 나타낸 흐름이다.

[0025] 이하, 도 3 내지 도 5를 참조하면서 본 발명의 바람직한 실시예에 따른 멀티레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 동작을 설명하기로 한다. 여기서는, 페이지 0, 1(P1,P2)에 2비트 데이터를 프로그램하는 방법을 설명하기로 한다.

- [0026] 먼저, 페이지 0(P1)을 프로그램할 때, 즉 최하위 비트(LSB; 11->10)를 프로그램할 때(S11), 먼저 ISPP 스텝 펄스를 설정한다(S12).
- [0027] 다음에, 설정된 ISPP 스텝 펄스, 즉 프로그램 전압을 워드라인 WLO에 인가하여(S13), 외부로부터 입력되는 프로그램 데이터를 페이지 버퍼(200)를 통해서 선택된 비트라인으로 전달하고, 선택된 비트라인을 통해서 전달된 프로그램 데이터를 해당 메모리 셀(MC0)에 프로그램한다.
- [0028] 그런 후에, 페이지 버퍼(200)를 이용해서 프로그램을 검증하는데(S14), 도 4에 도시한 문턱전압(PV1;~0.3V)레벨에서 프로그램을 검증한다. 이때, 메모리 셀이 프로그램되지 않았으면, 즉 검증이 패일(fail)이면, ISPP 스텝 펄스에 0.15V(0.1V~0.2V)정도를 더해서 프로그램 전압을 높이고(S15), 이 높여진 프로그램 전압을 다시 워드라인 WLO에 인가한다(S12). 그런 다음, 문턱전압레벨(PV1;~0.3V)에서 프로그램을 다시 검증한다(S13). 상술한 바와 같은 방법으로 프로그램 전압을 0.15V씩 높여서 반복적으로 프로그램을 수행하고 프로그램을 검증한다. 이때, 페이지 0(P1) 내의 모든 셀들(MC0)이 문턱전압(PV1) 레벨에서의 검증을 패스(pass)하면, 즉, 문턱전압레벨(PV1;~0.3V)을 통과하면, 페이지 0(P1)의 프로그램이 종료되고, 다음 페이지 1(P2)을 프로그램한다.
- [0029] 여기서, 프로그램 전압을 0.15V씩 높여서 워드라인에 인가하였지만, 이 프로그램 전압을 0.1V~0.2V의 범위 내에서 가능한 작게 높여서 워드라인에 인가한다. 이렇게 하면, 프로그램 시간의 스펙(약 1200us)을 넘지 않는 한도 내에서 최대한 프로그램된 셀의 문턱 전압 분포를 줄일 수 있다.
- [0030] 다음에, 페이지 1을 프로그램할 때, 즉 최상위 비트(10->00, 11->01)을 프로그램할 때(S16)는, 먼저 페이지 0의 메모리 셀(MC0)의 상태를 판독하여(S17), 메모리 셀(MC0)에 로직값 "11"이 프로그램되었는지 로직값 "10"이 프로그램되었는지를 판별한다(S16). 이때 상기 로직값 "11"에서과 로직값 "10"은 도4에 제시된 문턱전압 분포를 가르키는 것으로, 하위 비트의 로직값이 '1'이면, 문턱전압 분포 "11"에 메모리 셀이 포함되고, 하위 비트의 로직값이 '0'이면 문턱전압 분포 "10"에 포함된다.
- [0031] 그 다음에 ISPP 스텝 펄스를 설정하고(S18), 설정된 ISPP 스텝 펄스, 즉 프로그램 전압을 페이지 1(P2)의 워드라인 WL1에 인가하여(S19), 외부로부터 입력되는 프로그램 데이터를 페이지 버퍼(200)를 통해서 선택된 비트라인으로 전달하고, 선택된 비트라인을 통해서 전달된 프로그램 데이터를 해당 메모리 셀(MC0)에 프로그램한다.
- [0032] 그런 후에, 페이지 버퍼(200)를 이용해서 프로그램을 검증한다(S20). 이때 프로그램 검증은 도 4에 도시한 문턱 전압레벨(PV2;~1.5V) 혹은 문턱전압레벨(PV3;~2.7)에서 수행한다. 여기서, 로직값 "10"이 판독되어 로직값 "00"을 프로그램하는 경우에 문턱전압레벨(PV2;~1.5V)에서 프로그램을 검증하고, 로직값 "11"이 판독되어 로직값 "01"을 프로그램하는 경우에는 문턱전압레벨(PV3;~2.7V)에서 프로그램을 검증한다.
- [0033] 이때, 메모리 셀이 프로그램되지 않았으면, 즉 검증이 패일(fail)이면, ISPP 스텝 펄스에 +0.2V(0.2V~0.3V)의 프로그램 바이어스를 더해서 프로그램 전압을 높이고(S15), 이 높여진 프로그램 전압을 다시 워드라인 WL1에 인가한다(S19).
- [0034] 그런 다음, 문턱전압레벨(PV2;~1.5V)에서 프로그램을 다시 검증한다. 상술한 바와 같은 방법으로 프로그램 전압을 0.2V씩 높여서 반복적으로 프로그램을 수행하고 프로그램을 검증한다. 이때, 페이지 1(P2) 내의 모든 셀들(MC1)이 문턱전압레벨(PV2;~1.5V)에서의 검증을 패스(pass)하면, 즉, 문턱전압레벨(PV2;~1.5V)을 통과하면, 페이지 1(P2)의 프로그램이 종료된다..
- [0035] 여기서, 최상위 비트(MSB)를 프로그램할 때는 로직값"00"과 로직값 "01"을 동시에 프로그램해야 하므로 프로그램 시간이 매우 길어지게 된다(ISPP 스텝 펄스 수가 많아지고 또한 프로그램 검증도 두번씩 해야 하므로 프로그램 시간이 길어진다). 따라서, 최하위 비트(LSB)를 프로그램할 때보다 높은 0.2V~0.3V의 범위에서 프로그램 전압을 높여서 워드라인에 인가해야 프로그램 시간을 줄일 수 있다.
- [0036] 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.
- [0037] 이상 설명한 바와 같이, 최하위 비트(LSB)를 프로그램할 때와 최상위 비트(MSB)를 프로그램할 때 ISPP 스텝 전압을 각각 다르게 조절하면, 프로그램 시간을 늘이지 않으면서도 셀 프로그램 문턱전압 분포, 즉 도 4에 나타낸 PV1과 PV' 사이의 간격, PV2와 PV2' 사이의 간격, 및 PV3와 PV3' 사이의 간격을 좁게 조절할 수 있다. 이렇게 하면, P1'와 PV2 사이의 간격 P2'와 PV3 사이의 간격이 줄어들어 독출전압(VR1, VR2, V3)의 설정이 용이하여 독

출마진을 향상시킬 수 있다.

발명의 효과

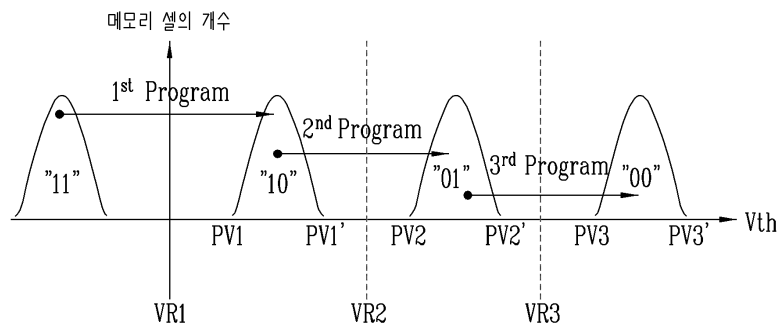
- [0038] 상술한 바와 같이, 본 발명에 따르면 첫번째로, 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 소자의 프로그램 시간을 증가시키지 않으면서 프로그램된 셀의 문턱전압 분포를 줄일 수 있다.
- [0039] 두번째로, 로직값 "10"의 분포가 줄어들어 따라 로직값 "10"과 로직값 "00"과의 마진이 커져 신뢰성이 향상된다.
- [0040] 세번째로, 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 소자의 ISPP 스텝 펄스의 최적화를 통해서 프로그램 시간 관리가 용이하다.
- [0041] 네번째로, 프로그램된 셀의 문턱전압 분포의 개선과 신뢰성 향상으로 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 소자의 수율(yield)을 향상시킬 수 있다.

도면의 간단한 설명

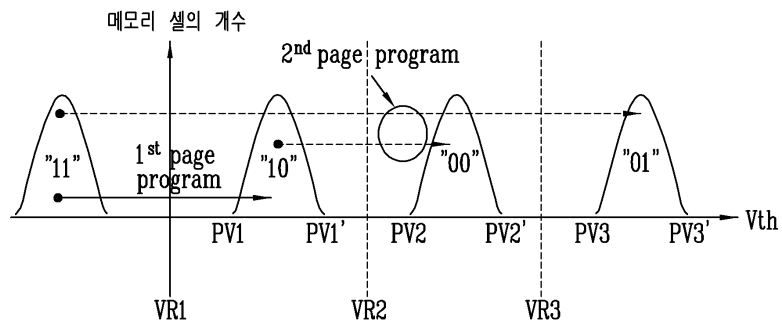
- [0001] 도 1 및 도 2는 기존의 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램된 셀의 문턱전압 분포 및 프로그램 방법을 나타낸 도면이다.
- [0002] 도 3은 본 발명의 바람직한 실시예에 따른 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치를 나타낸 도면이다.
- [0003] 도 4는 도 3의 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램된 셀의 문턱전압 분포 및 프로그램 방법을 나타낸 도면이다.
- [0004] 도 5는 도 3의 멀티 레벨 셀을 갖는 낸드형 플래시 메모리 장치의 프로그램 방법을 설명하는 흐름도이다.
- [0005] < 도면의 주요 부분에 대한 부호의 설명 >
- [0006] 100 : 메모리 셀 어레이 200 : 페이지 버퍼
- [0007] MC : 메모리 셀 DSL : 드레인 선택 라인
- [0008] SSL : 소스 선택 라인 CSL : 공통 소스 라인

도면

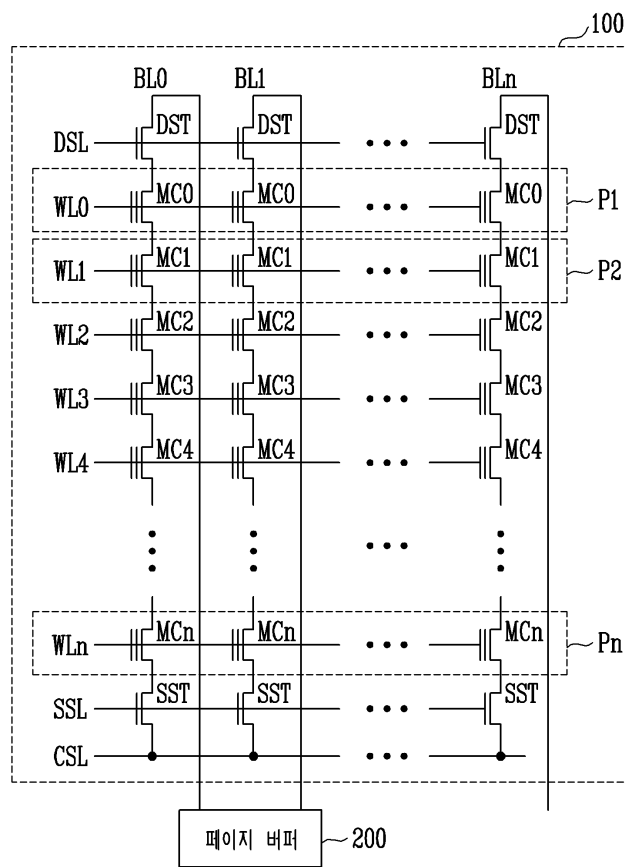
도면1



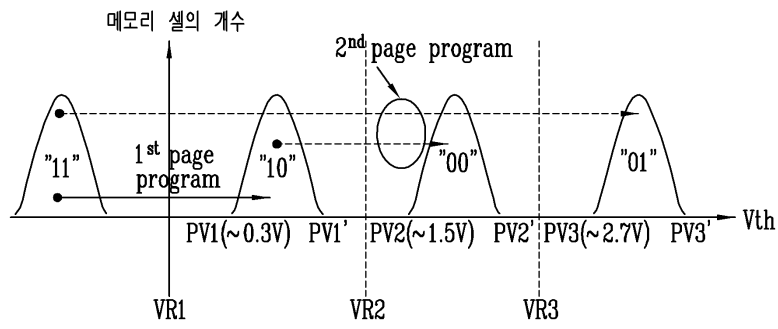
도면2



도면3



도면4



도면5

