

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/34

(45) 공고일자 1999년06월01일

(11) 등록번호 10-0187724

(24) 등록일자 1999년01월07일

(21) 출원번호 10-1996-0028045

(65) 공개번호 특1998-0012593

(22) 출원일자 1996년07월11일

(43) 공개일자 1998년04월30일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416번지
(72) 발명자 서남식
서울특별시 관악구 신림5동 1432-161 14통 7반
최치영
경기도 수원시 권선구 세류2동 1103-7
(74) 대리인 윤동열, 이선희

심사관 : 양희용

(54) 고 방열 구조를 갖는 반도체 칩

요약

본 발명은 고 방열을 위한 반도체 칩의 구조에 관한 것으로서, 소정의 영역에 소자들이 형성되어 있고, 그 소자들을 전기적으로 연결하기 위한 회로 배선 금속층과 전력을 공급하기 위한 파워 배선 금속층이 형성되어 있는 반도체 기판; 상기 소자들 및 상기 배선 금속층을 절연 및 보호하기 위하여 상기 반도체 기판 상부에 적층된 보호 산화막; 상기 파워 배선 금속층 상부면이 노출되도록 상기 보호 산화막을 식각하여 형성된 창; 그 창으로 노출된 상기 파워 배선 금속층을 연결하기 위하여 상기 반도체 기판 상부에 적층되어 있는 더미 금속층; 사진 공정 및 식각 공정을 이용하여 상기 더미 금속층이 인접된 상기 파워 배선 금속층만을 연결하는 패턴으로 형성되고, 그 패턴화된 상기 더미 금속층이 노출되도록 상기 반도체 기판 상부에 형성된 패시베이션층; 을 포함하는 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩을 제공하여 칩의 신뢰성 향상 및 불량률을 줄일 수 있는 이점(利點)이 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 파워 배선과 회로 배선의 금속층들이 패시베이션층에 감싸여 있는 모양을 나타내는 단면도

도 2는 본 발명에 의한 파워 배선 금속층들이 있는 패시베이션층에 창을 형성하여 열 방출이 용이한 구조를 나타내는 단면도

도 3은 본 발명에 의한 창이 형성된 파워 배선 금속층들 상부면에 더미 금속층을 형성하여 열 방출이 용이한 구조를 나타내는 다른 예시 단면도

도면의 주요 부분에 대한 부호 설명

10 : 반도체 기판
20 : 회로 배선 금속층
30 : 파워 배선 금속층
40 : 패시베이션층
50 : 창(window)
60 : 더미 금속층
70 : 보호 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 방열 구조에 관한 것으로서, 보다 상세하게는 고열(高熱)이 발생하는 파워(power) 배선층 상면에 형성된 패시베이션(passivation)층에 창(window)을 형성하여 보다 효율적인 방열

이 가능케한 구조의 반도체 장치에 관한 것이다.

일반적인 반도체 칩은 소정의 영역들에 형성되어 있는 소자들, 그 소자들을 전기적으로 연결하는 금속 패턴(metal pattern)층 및 그 금속 패턴층과 소자들을 외부 환경으로부터 보호하기 위한 이산화 규소막(silicon dioxide ; SiO₂) 또는 질화막(Si₃N₄) 등의 패시베이션층으로 이루어져 있다.

또한, 반도체 칩의 집적화와 함께 다기능을 하나의 칩에 형성하고 있는 반도체 칩 제품들은 전력(power)의 소모가 증가하고 있고, 이에 따라 그 전력에서 발생하는 열을 무시할 수 없게 되었다.

특히, 메모리 칩(memory chip)은 그 코너(corner)부위에 전기적 신호를 연결하기 위한 금속 배선으로 이루어진 파워 라인(power line)을 갖고 있으며, 그 파워 라인의 기계적인 보호를 위해 사용되는 패시베이션층은 단단한 산화막 또는 질화막 등으로 이루어져 있다. 그 칩의 메모리 용량이 증가함에 따라 그 파워 금속 배선층은 점차로 미세화 되고, 전력 용량이 증가하여 고열을 발생하고 있다.

그러나, 그 금속 배선층의 보호를 위하여 상부면에 형성된 패시베이션층이 원활한 열 방출을 하지 못하여 칩의 기능을 저하시킬 뿐만 아니라 불량 발생의 원인이 되고 있다.

또한, 그 칩에서 발생한 고열이 패시베이션층을 통과하지 못하고 파워 배선 금속층과 회로 배선 금속층에 축적되어 잔여 스트레스(stress)를 유발하고, 그 잔여 스트레스로 인하여 스트레스 이동(stress migration)을 유발(誘發)시키며, 이로 인하여 금속층이 단락은 불량 원인으로 작용하게 된다.

이하, 도 1을 참조하여 종래 기술에 대하여 설명하면, 먼저 각 소자들(도면에 도시 안됨)이 형성되어 있는 액티브(active) 영역과 그 각 소자들을 전기적으로 분리하기 위한 필드 산화막(도면에 도시 안됨)이 형성되어 있는 반도체 기판(10)이 있다.

또한, 그 기판(10) 상부면에는 상기 소자들을 전기적으로 연결하기 위한 회로 배선 금속층(20)과 전력을 공급하는 파워 배선 금속층(30)이 형성되어 있고, 상기 금속층들(20, 30)을 외부 환경으로부터 보호하기 위한 패시베이션층(40)이 형성되어 있다.

그러나, 전술한 바와 같이 고열이 발생하는 반도체 칩에서는 상기 상기 패시베이션층(40)이 약 3,000 Å ~ 6,000 Å의 두께로 상기 파워 배선 금속층(30)과 회로 배선 금속층(30) 모두를 덮고 있다.

이와 같은 구조를 갖는 반도체 칩은 상기 파워 배선 금속층(30)에서 발생하는 열을 방출시키는데 한계가 있으며, 상기 전술한 반도체 칩의 불량을 일으키는 원인을 제공하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기 기술한 파워 배선 금속층의 고열 발생으로 인한 결정을 제거하여, 반도체 칩 내부에서 발생하는 열을 외부로 방출하여 제품의 특성 및 신뢰성을 높이는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 소정의 영역에 소자들이 형성되어 있고, 그 소자들을 전기적으로 연결하기 위한 회로 배선 금속층과 전력을 공급하기 위한 파워 배선 금속층이 형성되어 있는 반도체 기판; 상기 소자들 및 상기 배선 금속층을 절연 및 보호하기 위하여 상기 반도체 기판 상부에 적층된 보호 산화막; 및 상기 반도체 기판의 열 방출을 하기 위하여 상기 파워 배선 금속층 상부면이 노출되도록 형성된 창; 을 포함하는 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩을 제공한다.

또한, 상기 목적을 달성하기 위한 본 발명의 다른 실시예로서, 소정의 영역에 소자들이 형성되어 있고, 그 소자들을 전기적으로 연결하기 위한 회로 배선 금속층과 전력을 공급하기 위한 파워 배선 금속층이 형성되어 있는 반도체 기판; 상기 소자들 및 상기 배선 금속층을 절연 및 보호하기 위하여 상기 반도체 기판 상부에 적층된 보호 산화막; 상기 파워 배선 금속층 상부면이 노출되도록 상기 보호 산화막을 식각하여 형성된 창; 그 창으로 노출된 상기 파워 배선 금속층을 연결하기 위하여 상기 반도체 기판 상부에 적층되어 있는 더미 금속층; 사진 공정 및 식각 공정을 이용하여 상기 더미 금속층이 인접된 상기 파워 배선 금속층만을 연결하는 패턴으로 형성되고, 그 패턴화된 상기 더미 금속층이 노출되도록 상기 반도체 기판 상부에 형성된 패시베이션층; 을 포함하는 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩을 제공한다.

이하, 본 발명에 의한 실시 예에 따라서 상세하게 설명한다.

먼저, 도 2는 일반적인 반도체 제조 공정(fabrication)을 거쳐 반도체 기판(10)의 소정의 영역에 각 소자들(도면에 도시 안됨)이 형성되고, 각 소자들을 전기적으로 연결하기 위한 회로 배선 금속층(20)과 전력(power)을 공급하기 위한 파워 배선 금속층(30)이 형성되어 있다. 상기 배선 금속층(20, 30)은 상기 반도체 기판(10) 상부에 공지 기술인 화학적 기상 증착(CVD : chemical vapor deposition) 및 스퍼터링(sputtering) 방법 등으로 적층되고, 일반적인 사진 공정 및 식각 공정을 통하여 형성된 회로 패턴(pattern)으로 각 소자들간을 전기적으로 연결한다.

상기 적층되는 배선 금속층(20, 30)은 약 7,000 Å ~ 10,000 Å 정도의 두께로 적층되며, 전력을 공급하는 상기 파워 배선 금속층(30)은 상기 회로 배선 금속(20)층 보다 두껍고 큰 면적을 가지도록 형성한다. 이는 전원(電源)을 공급하는 전기 배선의 면적이 좁으면 저항이 증가하여 고열 발생으로 인한 칩의 불량과, 그 배선의 단락이 생기는 단점(短點)을 극복하기 위하여 상기 파워 배선 금속층(30)의 단위 면적을 높게 한 것이다.

또한, 상기 배선 금속층(20, 30) 및 상기 소자들을 보호하기 위하여 상기 반도체 기판(10) 상부에 보호 산화막(40)을 화학적 기상 증착 방법 등으로 적층한다.

본 발명에 의하면 상기 보호 산화막(40)은 약 450 Å ~ 1,000 Å 정도의 두께로 형성하며, 기계적 및 화학적 성질이 우수한 재질을 사용하여 박막으로 형성하는 것이 열 방출에 유리하다. 그 적층된 보호 산화막(40)은 이산화 규소(SiO₂) 또는 질화막(Si₃N₄) 등의 재질이고, 특히 질화막은 기계적인 강도와 수증기의

장벽으로의 침 보호 역할이 일반 산화막 보다 우수하여 주로 사용되고 있다.

그러나, 상기 보호 산화막(40)은 열전도율이 낮아서 열 방출이 용이하지 않기 때문에 상기 파워 배선 금속층(30)에서 발생하는 고열(高熱)을 원활히 방출하기 위한 방법으로서, 상기 파워 배선 금속층(30) 상부면에 있는 상기 보호 산화막(40)에 창(50)을 제 2도와 같이 형성한다. 상기 창(50)은 일반적인 사진 공정 및 식각 공정을 적용하여 형성하며, 상기 파워 배선 금속층(30)의 상부면이 노출되도록 형성한다. 이렇게 하므로써 상기 창(50)을 통하여 상기 파워 배선 금속층(30)의 열이 원활하게 방출된다.

그리고, 도 3은 본 발명에 따른 다른 실시 예로서, 제 2도에서 전술한 상기 파워 배선 금속층(30) 상부면이 노출되도록 상기 보호 산화막(40)을 식각하여 상기 창(50)을 형성하고, 그 창(50)으로 노출된 상기 파워 배선 금속층(30)으로부터 발생하는 열의 원활한 방출을 위하여, 이들 금속층(30)을 연결하는 더미(dummy) 금속층(60)을 적층하는 예를 보여준다. 상기 더미 금속층(60)은 약 7,000Å의 두께의 알루미늄(Al) 또는 구리 합금 등으로 상기 보호 산화막(40)과 상기 창(50)으로 노출된 상기 파워 배선 금속층(30)에 적층된다. 상기 더미 금속층(60)의 적층 방법은 공지 기술인 금속 증착 또는 스퍼터링 공정을 이용하여 원하는 두께로 적층 할 수 있다.

그리고, 상기 더미 금속층(60)은 공지 기술인 사진 공정 및 식각 공정을 이용하여 상기 파워 배선 금속층(30)이 인접된 부분이 연결되도록 패턴을 형성한다.

즉, 상기 인접되어 있는 파워 배선 금속층(30)의 상기 창(50)을 통하여 패턴화된 상기 더미 금속층(60)으로 연결되는 구조를 가지며, 상기 파워 배선 금속층(30)이 없는 부분의 상기 더미 금속층(60)은 식각되는 것이다.

그리고, 패턴화된 상기 더미 금속층(60)과 상기 반도체 기판(10) 상부 전면에 인-규소 유리 또는 질화막의 패시베이션층(70)을 화학적 기상 증착 방법 등으로 적층하며, 상기 패시베이션층(70)을 약 1,000Å ~ 5,000Å의 두께가 되도록 적층한다.

상기 패시베이션층(70)에 일반적인 사진 공정 및 식각 공정을 진행하여 상기 더미 금속층(60)의 상부면이 노출되도록 형성한다. 상기 더미 금속층(60)은 전기적 기능을 수행하지 않는 더미(dummy)이므로 습기 등의 침투로 인한 부식이 되어도 특성에 영향을 주지 않으며, 단지 열 방출의 목적만을 갖고 있다.

즉, 상기 파워 배선 금속층(30)은 약 5V ~ 20V(vol)의 전압으로 전력이 흐르고 있으며, 그 파워 배선 금속층(30)이 상기 창(50)을 통하여 상기 더미 금속층(60)과 전기적으로 연결되어 있어도 전력 공급하는 역할은 이상이 없으며, 전기적 특성을 변화 시키지 않는다.

또한, 상기 창(50)만 형성되어 있는 경우보다 상기 더미 금속층(60)이 넓은 금속 노출 면적을 가짐으로서 보다 높은 효율의 열 방출을 유도할 수 있다.

발명의 효과

본 발명에 의하면 공열이 발생하는 파워 배선 금속층의 상부면에 있는 패시베이션층에 창을 형성하여 열을 외부로 방출하는 구조와, 그 창을 통하여 더미 금속층으로 근접되어 있는 상기 파워 배선 금속층을 연결하여 보다 넓은 면적이 노출되는 구조를 형성하여 열 방출이 용이한 구조를 가지고 있다. 이는 기존의 공정을 이용하여 간단하게 창과 더미 금속층을 형성할 수 있으며, 칩에서 직접 열 방출이 용이한 구조를 가짐으로 해서 칩의 신뢰성 향상 및 불량률을 줄일 수 있는 이점(利點)이 있다.

(57) 청구의 범위

청구항 1

소정의 영역에 소자들이 형성되어 있고, 그 소자들을 전기적으로 연결하기 위한 회로 배선 금속층과 전력을 공급하기 위한 파워 배선 금속층이 형성되어 있는 반도체 기판;

상기 소자들 및 상기 배선 금속층을 절연 및 보호하기 위하여 상기 반도체 기판 상부에 적층된 보호 산화막; 및

상기 반도체 기판의 열 방출을 하기 위하여 상기 파워 배선 금속층 상부면이 노출되도록 형성된 창;

을 포함하는 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 2

제 1항에 있어서, 상기 보호 산화막의 두께가 약 450Å인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 3

제 1항에 있어서, 상기 보호 산화막이 질화막인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 4

소정의 영역에 소자들이 형성되어 있고, 그 소자들을 전기적으로 연결하기 위한 회로 배선 금속층과 전력을 공급하기 위한 파워 배선 금속층이 형성되어 있는 반도체 기판;

상기 소자들 및 상기 배선 금속층을 절연 및 보호하기 위하여 상기 반도체 기판 상부에 적층된 보호 산화막;

상기 파워 배선 금속층 상부면이 노출되도록 상기 보호 산화막을 식각하여 형성된 창;

그 창으로 노출된 상기 파워 배선 금속층을 연결하기 위하여 상기 반도체 기판 상부에 적층되어 있는 더

미 금속층; 및

사진 공정 및 식각 공정을 이용하여 상기 더미 금속층이 인접된 상기 파워 배선 금속층만을 연결하는 패턴으로 형성되고, 그 패턴화된 상기 더미 금속층이 노출되도록 상기 반도체 기판 상부에 형성된 패시베이션층;

을 포함하는 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 5

제 4항에 있어서, 상기 보호 산화막의 두께가 약 450Å ~ $1,000\text{Å}$ 인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 6

제 4항에 있어서, 상기 보호 산화막이 질화막인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 7

제 4항에 있어서, 상기 더미 금속층이 알루미늄인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 8

제 4항에 있어서, 상기 더미 금속층이 구리 합금인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 9

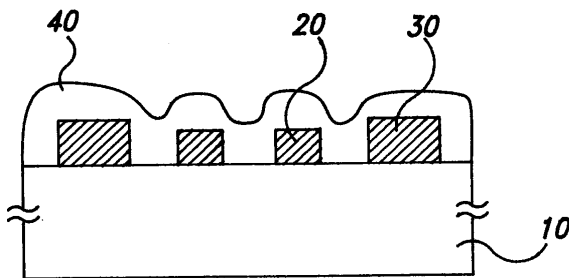
제 7항 또는 제 8항에 있어서, 상기 더미 금속층이 약 $7,000\text{Å}$ 의 두께로 적층되는 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

청구항 10

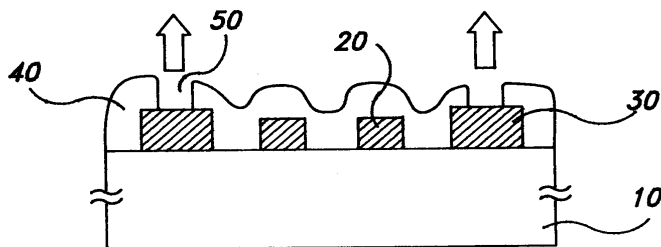
제 4항에 있어서, 상기 패시베이션층이 인-규산 유리인 것을 특징으로 하는 고 방열 구조를 갖는 반도체 칩.

도면

도면1



도면2



도면3

