

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/52

H01L 21/768 H01L 21/283

H01L 21/28



[12] 发明专利说明书

[21] ZL 专利号 97119558.7

[43] 授权公告日 2003 年 6 月 18 日

[11] 授权公告号 CN 1111908C

[22] 申请日 1993.2.24 [21] 申请号 97119558.7

[28] 分案原申请号 93101333.X

[30] 优先权

[32] 1992.2.26 [33] US [31] 841967

[71] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 雷吉夫·V·乔西

杰罗姆·J·库欧莫

霍玛兹雅·M·达拉尔

路易斯·L·苏

[56] 参考文献

EP338636A 1989.10.25 H01L21/60

US4992135A 1991.02.12 B44C1/22

审查员 朱永全

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

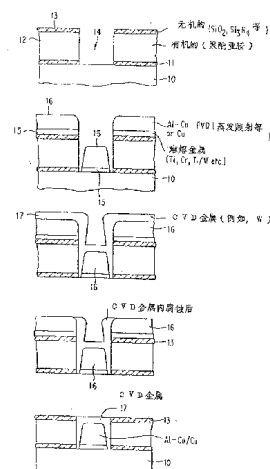
代理人 王以平

权利要求书 1 页 说明书 18 页 附图 7 页

[54] 发明名称 半导体器件

[57] 摘要

一种包括一介质层；至少一个位于介质层中具有侧壁和底部的、高宽比大的亚微米孔或线路，以及在该至少一个孔中或线路上的基本共形的衬垫的半导体器件，且其底部的衬垫厚度大于侧壁的衬垫厚度。



1、一种半导体器件，包括：

一介质层；

至少一个位于介质层中具有大的高宽比的亚微米孔或线路，该至少一个亚微米孔或线路具有侧壁和底部；

在该至少一个孔中或线路上的衬垫，所述衬垫与所述孔或线路基本共形，其底部的衬垫厚度大于侧壁的衬垫厚度，以及

形成在所述衬垫中的一种导电金属或合金。

2、如权利要求1所述的半导体器件，其特征在于：所述衬垫包括一难熔金属或合金。

3、如权利要求1所述的半导体器件，其特征在于：所述孔或线路的高宽比大于2: 1。

4、如权利要求1所述的半导体器件，其特征在于：所述衬垫的底部和侧壁的厚度比大于等于4: 3。

5、如权利要求1所述的半导体器件，其特征在于：所述衬垫的底部和侧壁的厚度比大于等于1.5: 1。

6、如权利要求1所述的半导体器件，其特征在于：所述孔或线路的高宽比大于等于2: 1，以及

所述衬垫的底部与侧壁的厚度比大于等于4: 3。

7、如权利要求6所述的半导体器件，其特征在于：所述衬垫包括一难熔金属或合金。

8、如权利要求6所述的半导体器件，其特征在于：所述衬垫的底部和侧壁的厚度大于等于1.5: 1。

半导体器件

技术领域

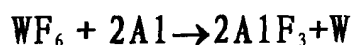
本发明一般涉及半导体器件，尤其涉及由难熔金属的组合来填充衬底上的缝或孔的低成本方法制备的半导体器件。本发明特别适用于亚微米电路的制作。

技术背景

低阻金属，诸如铝和铜以及它们的二元或三元的合金已广泛用于半导体制作的细线互连。细线互连金属的典型例子包括 Al_xCu_y ，其中 x 与 y 之和等于 1，且 x 与 y 都大于或等于 0 而又小于或等于 1，三元合金，如 Al-Pd-Cu、Al-Pd-Nb 及 Al-Cu-Si 和其它以低阻金属为基的合金。如今要强调的是随着超大规模集成 (VLSI) 电路制作的线条宽度的尺寸按比例缩小，已经带来包括不适当的绝缘、电迁移及平面化方面的可靠性问题。

Ahn 等人在 IBM 技术公开公报 ((Vol. 33, No. 5, Oct, 1990, pp. 217-218)) 上披露了用 WF_6 和 SiF_4 的含氢混合物选择性淀积制造包覆以钨的铜导体与通孔。密封了的互连线，像 Ahn 等人做的那样，具有很高的抗电迁移能力，并且选用晶粒尺寸小的钨膜，以减小反射率，因而增强光刻设备聚焦的能力与光刻胶的解象能力。但是，采用 Ahn 等人描述的低温方法所形成的钨层理应是富硅（如，3-4%）的，而且对铜不会是一种良好的扩散阻挡层，因为形成铜的硅化物将会恶化铜的电阻率。因此，在低温下用选择法难以淀积一层扩散阻挡层。况且，Ahn 等人的技术依赖于环形在导线底部的形成，而通常这是由释放的湿气与 WF_6 反应产生的。一般认为环形的出现是不可靠的。

Dalton 等人 (VMIG Conference, June 12-13, 1990, pp. 289-292) 指出，含 SiH_4 与 H_2 还原 WF_6 的一种热壁 CVD 反应在铝或合金导体上形成选择的钨层，其结果在铝与钨的界面含有氟团，该氟团是 WF_6 与铝的一种副产物，如反应式 1 所示：



氧化铝薄层会增大金属 1 到金属 2 通路的串联接触电阻。Dalton 报告说, 用 CVD 的钨密封之前, 在铝的顶面先溅射 TiW 膜, 可以消除吸附氟的问题。

Dalton 披露了一种形成互连线的传统方案, 这里, 首先在一平整的表面上淀积铝, 溅射一层 TiW 膜覆盖其上(只是与传统不同的过程), 然后, 用光刻胶成象和显影, 接着通过反应离子刻蚀(RIE)把该铝层刻成图案。再将所得到的结构覆盖一层钝化介质, 如 SiO_2 或聚酰亚胺, 随后本身也经 RIE 刻成图案并且金属化, 从而实现一种多层结构。图 1 引自 Dalton 报告, 并示出通过传统工艺方式生产的多层器件在金属导线的局部的介质层中有缝, 而且顶面很不平整。

采用 RIE 法很难实现介质的平整化。其平整度部分取决于图形的密度, 而且, 不平的表面将导致后继金属化时产生搅炼问题。如果将 RIE 技术用于聚酰亚胺, 当刻蚀线路直到聚酰亚胺表面时, 因除去光刻胶的过程也会除去聚酰亚胺, 所以, 需要为以铝或铜为基的线路的顶面上除去光刻胶而设置一刻蚀阻挡层。任何含铜量高的铝或铜的合金的 RIE 都极为困难。包括金属 RIE 的传统工艺方法的严重缺点是随着几何尺寸的微细化势必增加因粒子的缺陷而产生的大量的金属短路。

Brown 等人的美国专利 4,824,802 披露了一种多层 VLSI 金属化结构的层间介质通路或接触孔的填充方法。详细地说, 一种过渡金属, 诸如钨或钼, 通过 CVD 法或是选择性地淀积在绝缘层的开孔中, 或是非选择性地淀积在绝缘层的整个表面及开孔中, 然后, 将平整化保护层, 把诸如偶氮苯醌酚醛型清漆、聚甲基丙烯酸酯、聚酰亚胺, 或其它的热塑性的材料加到过渡金属的顶面上。通过刻蚀直至带保护层的过渡金属被整平的位置, 从而得到平整了的结构。Brown 等人的方法避免不了侵蚀金属及与刻蚀有关的其它问题, 还不能用于平整化 Al-Cu 或别的软合金材料, 因它们的性质不同于诸如钨与钼之类的较硬金属。因此, 采用 Brown 等人的方法, 难以完全填满通路及导线。

Beyer 等人的美国专利 4,944,836 披露了一种可用在衬底上产生共平面的金属/绝缘物膜的化学-机械抛光技术。尤其是, Beyer 等人预料, 可将底下的绝缘层刻出图形、淀积 Al-Cu 膜, 然后采用化学-

机械抛光技术, 在这里用稀硝酸氧化铝粉悬浮液来机械研磨表面, 除去 Al-Cu。以该抛光混合物除去 Al-Cu, 势必应比除去底下的绝缘物有更高的速度。这样所得的结构就包含有由绝缘层平整化了的 Al-Cu 导线, 而且在制造多层结构时能方便地添加后续的多层。

Cote 等人的美国专利 US-4,956,313 披露了一种通路填充与平整化技术, 其中 Al-Cu 合金导线在衬底的第一钝化层的顶面上制成图形。这些导线又涂敷上第二钝化层, 该层以掺杂的玻璃, 诸如磷硅玻璃 (PSG) 或硼磷硅玻璃 (BPSG) 为好, 它能与 Al-Cu 合金导线各外形适配, 然后在第二钝化层上开出通路以露出导线, 再用 CVD 法将钨加到第二钝化层的表面及通路中, Cote 等人的报告指出, CVD 钨适合于共形, 又能填充通路而不会产生空隙。而后, 该结构经磨料悬浮液抛光平整化。

无论 Beyer 等人还是 Cote 等人都认为对低电阻率、软金属, 如 Al-Cu 合金等予以抛光是实际的。这是因为在悬浮液的作用下, 这些材料势必表面受擦伤、被沾污及侵蚀。况且, 按照 Cote 等人产生的平整化结构需用多道工艺步骤, 会增加成本、降低生产率。

Rossnagel 等人在 J. Vac. Sci. Technol. 2:261 (Mar/Apr. 1991) 披露了一种用以淀积薄膜的准直磁控溅射淀积技术, 该技术与剥离刻制图形技术和孔的填充是兼容的。该技术也出现在美国专利 4,824,544 中, 于此可参照结合。

Shiozaki 等人在固态器件与材料的第 19 届会议文摘 (Abstracts of The 19th Conference on solid state Devices and Materials) 上披露了采用选择的钨淀积技术填充在高电阻率硬金属, 如 Mosi₂, 上面的孔, 并与软金属的密封无关。

发明内容

因此, 本发明的一个目的是提供一种采用在衬底上按亚微米级形成的低成本、无侵蚀、耐磨损、抗电迁移的电导体的互连电路而制造的半导体器件。

上述目的可由本发明的器件来实现, 所述器件包括一介质层, 至少一个位于所述介质层中、具有侧壁和底部并具有大的高宽比的亚微米孔或线路, 在改至少一个孔中或线路上的衬垫、所述衬垫与思索孔

或线路基本共形，其底部的衬垫厚度大于侧壁的衬垫厚度，以及形成在所述衬垫中的一种导电金属或合金。

对于上述目的及本发明的优点，参照附图从下面的本发明优选的实施例的详细描述中，将能得到更好的理解，其中：

附图说明

图 1 是表示顶面不平的现有技术半导体衬底的剖面侧视图；

图 2A 到 2E 是说明本发明一种改变的半导体衬底的连续剖面侧视图；

图 3A 至 3B 是有器件的衬底的连续侧视剖面图，在刻制绝缘物图形之前，其上涂敷了待整平的绝缘物；

图 4A 到 4E 是说明本发明的另一种改型的半导体衬底的连续剖面侧视图；

图 5A 至 5E 是说明本发明还有一种改型的半导体衬底的连续剖面侧视图；

图 6 是用 PVD 淀积在通路中的衬垫的扫描电子显微照片 (SEM)；

图 7A 和 7B 是说明本发明的再一种改型的半导体衬底的连续剖面侧视图；

图 8 是举例的多层镶嵌结构的剖面图，其中 PVD Al_xCu_y 合金覆盖着 CVD 钨；以及

图 9A 和 9B 分别是化学 - 机械抛光之前与之后具有被钨覆盖

的 $Al-Cu$ 合金导线的结构剖面 SEM 的显微照片。

具体实施方式

本发明一般涉及衬底上形成金属填充的通路及导体线的方法，而该通路及导体线包括软的低电阻率的金属，该软金属又覆盖着相当硬的难熔金属，能抗侵蚀、耐磨损以及抗电迁移，此外，该通路及导体线用涂敷在衬底上的介质层予以平整化。采用的 PVD 淀积技术，按图 2A—E、图 4A—E 及图 7A—B 描述的工艺过程，可以创造出多种不同的新颖结构。应当理解为，这些技术与所得到的结构不应限于使用任何特定的衬底和介质盖层（例如，象图 2A—E 与 5A—E 所示的使用无机的与有机的多层组合，同样可用无机或有机绝缘材料的单层）。而且，本发明也不限于任何特殊铁金属组合；宁可说，本发明的目的是将能耐磨损、抗侵蚀及抗电迁移的难熔硬金属盖在低阻的软金属上。本发明尤其和使用铝与铜合金的电层系有关，因为已经发现采用 PVD 准直溅射能以可靠的大高宽比填充到亚微米通路和槽中，淀积出均匀共形的难熔金属衬垫材料涂覆层。该难熔金属衬垫在后续的过程中将用作铜的有效的扩散阻挡层。

参见图 2A，首先，将衬底 10 涂敷一层介质，接着把介质层刻出图形。衬底 10 优选的是适于制造集成电路的硅、砷化镓，或其它材料。然而，该衬底 10 也可以是常用于封装半导体和制造薄膜互连线的陶瓷、玻璃、或复合材料。该衬底 10 最好具有形成在其中的许多半导体器件，可包括场效应晶体管 (FET)、双极晶体管、电阻，肖特基二极管，或类似器件。应该理解，图 3A—B、4A—E、5A—E、7A—B、以

及图 8 各个所示的衬底 10 可以有上面讨论的任何特征,再加上本技术领域公知的其它的任何特征。

图 2A 所示的介质复合层,分别包括顶上和底下的无机介质层 11 和 13,可以是二氧化硅(SiO_2),氮化硅(Si_3N_4),或类似物,该无机物层 11 和 13 两者最好用等离子增强化学汽相淀积(PECVD)法淀积,在导电的衬底 10 上以 90 毫的真空度,首先淀积 SiO_2 ,再制备对可动离子扩散起阻挡作用的 Si_3N_4 (0.075 至 $0.1\mu\text{m}$)。一较厚的有机介质层 12,诸如聚酰亚胺之类,淀积在无机层 11 和 13 之间。也可以采用一种无机物介质,诸如 SiO_2 、PSG 或 BPSG 的,或有机物介质,诸如聚酰亚胺,并且可用众所周知的许多技术中的一种,诸如在氮化气氛中、溅射,或 PECVD 法生长一层单层,去替代由层 11、12 和 13 所形成的介质复合层。虽然,图 2A—E 和 5A—E 表示应用复合结构,而图 3A—B、4A—E 及 7A—B 表示运用单无机物的或介质层,但应理解,该介质层不限于本发明的实践,而且在本发明的实施中,可以采用所用的任何介质(如,无机或有机的)本身或组合。

图 2A 示出介质复合层中形成了的开口 14,这样的开口可以是一通路或导线的槽。VLSI 应用中,该衬底 10 或许有如图 2A 所示的数百到几千个开口 14,最后,得到密集复杂的图形终归要在衬底上或之中互连成电路。最好采用增强反差的光刻(CEL)法,随后用多圆片装置利用 CHF_3 和 O_2 刻蚀槽或孔,刻蚀以适当的过腐蚀为佳,以确保该开口 14 有所要求的尺寸,并延伸到衬底 10 表面的接触点

作为一通路柱塞的图形。至于导线图形,最好将介质层局部刻蚀到这样的深度,要比待采用的金属厚度大约高 10%,刻蚀聚酰亚胺 12 时,以低温下的 O_2 RIE 为佳。应该知道,如图 2A—E、4A—E、5A—E 及 7A—B 所指的开口 14 成形在本领域内都是熟知的,还可以用许多不同的技术产生。

如图 3A 和 3B 所示,若开始衬底 10 其上有一形成的器件(与图 2A 所示的不带向上凸出的器件的平整的衬底 10 相反),制造成开口 22 之前,首先要将涂覆器件 18 的绝缘物 20 平整化。平整化可以用 RIE、化学机械抛光、RIE 和化学机械抛光的结合,或其他方法实现。

图 2B—2E 说明本发明的第一种改型,其中平面刻成的结构,可以是图 2A 所见的一个,或是图 3B 所见的一个,或是在涂覆的介质上形成了开口 14 的任何其它结构,然后,有一淀积的难熔金属层 15 盖在该无机介质层 13 以及在间隙 14 底部露出的衬底 10 上。为达到此目的,最好采用薄膜工艺技术手册 (*Handbook of Thin Film Technology*, eds. Maissel 和 Glen, McGraw—Hill Co, 1983, pp1—100)所述的蒸发 PVD 技术。此刻采用蒸发 PVD 的一个重要优点在于难熔金属层 15 不会覆盖住介质开口 14 的侧壁。应该理解,PVD 准直溅射、类似于美国专利 4,824,544 叙述的方法都能用于本发明的实施,但是,与图 2B 所示的情况相反,准直溅射产生共形层会涂敷开口 14 的侧壁。使用准直溅射产生难熔衬垫将于下面详细讨论。难

熔金属可以是钛(Ti)、钛合金或复合物,诸如 Ti/TiN、钨(W)、钛/钨(Ti/W)合金、或铬(Cr),或钽(Ta)及其合金,或某些其它合适的材料。要是待形成的为铜基的导线或通路,那末就应使用对铜能起扩散阻挡作用的难熔金属,使得在开口 14 中淀积铜的后续工艺时,能防止铜扩散到衬底 10 中。

接着,用蒸发 PVD 法在难熔金属 15 上面淀积单一的、二元或三元的金属化层 16,再说,由于采用蒸发法,开口 14 的侧壁不会涂敷上该金属。但是,应该理解,金属化层 16 也能用准直溅射施加上,这种情况下,开口 14 内和介质叠层的顶上,为共形的金属化涂层。最好,该金属化为 Al_xCu_y ,这里 x 与 y 的和等于 1,而 x 与 y 两者都大于或等于 0,且小于或等于 1;可是,三元合金,如 Al—Pd—Cu 和多元合金,如 Al—Pd—Nb—Au 也都是适合的。金属化层 16 的本质特点在于,与难熔金属 15 比较,金属化层 16 为一种低阻率的软材料。更可取的是,表示导线图形或层间通路图形的开口 14 要用金属化层 16 填充到比导线或通路表面低 100 至 400nm 的深度。应该明白,图 4A—E、5A—E 和 7A—B 表示的金属化层 16 应是上述相类的东西。

图 2c 表示出一种难熔金属 17,诸如钨、钴、镍、钼,或合金/化合物,如 Ti/TiN 被淀积在该结构上。难熔金属 17 的淀积可以是一步 CVD 或两步工艺过程,而图 4A—E 作出最好的说明,其中第一步骤包括准直溅射或类似工艺淀积一层,增进粘合的化合物如钛或氮化钛,以形成共形的复盖涂膜,而第二步骤包括淀积一钨的薄 CVD 层,

以达到高度的共形性。*CVD* 淀积难熔金属最好用 SiH_4 或 H_2 还原 WF_6 来实现。尤其好的 *CVD* 工艺过程包括 SiH_4 还原 WF_6 后继之以 H_2 还原 WF_6 。因为,在 TiN 层的顶上,用 SiH_4 还原 WF_6 的 *CVD* 钨,生长平整,但用 H_2 还原则不然。难熔金属 17 为 底下开口 14 中的低电阻率软金属化层 16 提供耐磨损、抗侵蚀,以及抗电迁移的涂层。采用 SiH_4 还原 WF_6 做 *CVD* 特别优越, SiH_4 与 WF_6 的比率可以改变,能把不同的硅量混入到钨中以达到有益的特性。举例来说,填充介质中的开口 14 时,以 0.5 SiH_4 比 WF_6 的比率淀积难熔金属 17 应是更可取的,因为这么做会得到低阻难熔金属;但是,用于介质顶面的淀积,则按 2.0 SiH_4 对 WF_6 的比率,因为这样得到的会混入更多的硅使难熔金属更耐磨损。利用上述的 *CVD* 技术,可用掺硅的钨作为抗磨损的涂层或抛光阻挡物(例如,化学—机械抛光中更能经受用硝酸铁的氧化铝粉悬浮液)。由于通过蒸发施加的金属化层 16 不会覆盖着开口 14 的侧壁,而 *CVD* 施加的难熔金属 17 却产生环绕金属化层 16 的锥状侧壁,且该金属化层 16 完全被密封在难熔金属 17 与底下难熔金属 15 之中。

图 2D 和 2E 表示 *CVD* 施加难熔金属 17 产生一种结构后被平整化了的,其中的两部分导电通路或导线包括中心的低阻软金属化层 16 及密封金属化层 16 的耐磨损硬难熔金属 17,其顶面与衬底 10 上介质复合层的顶面一般齐。用悬浮液,诸如稀硝酸铁的氧化铝粉液化学—机械抛光,或在含 SF_6 或者氟基的化学物中 *RIE*,可

以在一步或两步工序中完成平整化。如果采用化学—机械抛光法,则要选择能除去该叠层上不同金属层的悬浮液。举个例,用氧化铝粉的稀硝酸铁悬浮液能除去铜顶面上的 $Ti/TiN/W$,然后。换用不含氧化铝粉的悬浮液就能除去留下的铜。

RIE 除去难熔金属层 17 之后,结合用化学—机械抛光留下的金属化层 16,预料也能留下无机或有机层 13 顶面上的难熔金属 17,设想一种特定的平整化过程,包括或者用化学—机械抛光或者用 SF_6 或 Cl_2 基的化学物的 RIE 除去钨的难熔金属层 17,直至如图 2D 所示的 $Al-Cu$ 合金金属化层 16 的表面,然后,利用钨作掩模,刻蚀 $Al-Cu$ CVD 层直到无机层 13 的表面,最后,介质表面留下的钨 17 或经抛光、湿法腐蚀或在 Cl_2 中 RIE 腐蚀,就得到图 2E 所见的结构。

图 4A 到 4E 表示出本发明的另一种改型,与上面相同的类似构件在各图中均标以相同的标号。如图 4A 所示,铜金属化层 16 淀积在衬底上形成的无机或有机介质 15 产生的开口 14 中。图 4A 所示结构与图 2B 所示结构的主要区别在于,淀积铜金属化之前,准直溅射淀积一薄的难熔金属层 24,诸如钛、氮化钛(TiN)、钨、钽,或合金及其化合物盖在无机或者有机介质 15 的表面及开口 14 通路的内侧。

如上所述,对准直溅射, *Rossnagel* 等的美国专利 4,824,544 已作概述,其中还讨论过剥离操作过程。本发明已经发现,采用准直溅射,在高压下散射占优势,相反在低压下定向性淀积占优势,可容许

在大高宽比的亚微米级槽或通路内形成共形涂层(例如,侧壁和底面都被涂敷上)。高宽比,一般是指槽或通路的高度对沟槽的宽度或通路的直径之比。对高宽比大于2的槽或通路,通常认为具有大的高宽比。就准直溅射来说,高于1毫托($mTorr$)气压,散射往往占优势(最好在3毫托($3mTorr$)附近),而低于1毫托($1mTorr$),则定向淀积占优势。结合图5A—E和图6,下面将更详细地陈述准直溅射。

当用铜基合金金属化层16时,如图4A所示,用一难熔金属层24完全覆盖开口14的底面与侧壁就尤其重要,因为后续的高温处理会使铜扩散到衬底10中,如果不设置扩散阻挡层就会破坏器件。无论用蒸发PVD、准直溅射还是其它技术都可以淀积铜金属化层16。当要填充的是亚微米大高宽比的孔时,现有的CVD技术对用铝与铜基合金来填充这样的孔已经失败;因此,最好的填充方法是通过PVD技术。

淀积金属化层16之后,再把钛、Ti/TiN,钽或铬的薄层26施加在该铜金属化层16的表面,以增进粘结力。然后,通过CVD,用 SiH_4 或 H_2 还原 WF_6 淀积难熔金属,如钨,产生图4B所示的结构,正如上面已解释的,CVD时可利用改变 SiH_4 与 WF_6 的比,以利于制成较硬、更耐磨损、靠近介质15的顶面的含硅钨层。界面上的薄层26应这样选择,即不会浸蚀底下的铜金属化层16。

图4c指明,首先经抛光或经RIE将钨平整化,而图4d表明,经

湿法腐蚀,有选择地除去铜。如果要形成的是铜或铜合金线,以过氧化氢(H_2O_2)和四氧化氢(H_2O_4)为基的湿法腐蚀液来平整铜是有利的。室温下,这类溶液决不会腐蚀钨或介质,但会腐蚀掉位于介质上的所有的铜,因为没有保护铜不受湿法腐蚀液腐蚀(例如,在室温下, H_2O_2 几乎有无限的选择性)。图 4e 表明,湿法腐蚀后,该钨 17 可以用 RIE、抛光 或其它技术有选择地除去。除去难熔金属 17 钨的可取方法,是用氧化铝粉的硝酸铁悬浮液之类化学—机械抛光介质 15 表面之上的凸出物,因为钨是一种很硬的材料,经受化学—机械抛光时,不会受擦伤或侵蚀。上面详述的决不是三步工序的方法,更可取的是用化学—机械抛光一步工序,以除去钨的难熔金属 17、薄层 26 的粘结增进层,以及位于绝缘物 15 表面上的铜金属化层 16。

图 5A 至图 5E 表示本发明还有一种改型,其中同样的标号指同样的结构。图 5A 表明,在用准直溅射,如 *Rossnagel* 等人在 *J. Vac. Sci. Technol.* 2,261(*mar/Apr.* 1991)和美国专利 4,824,544 合并参照的准直溅射法,以全部或局部的共形方式金属化之前,在开口 14 内淀积一层难熔金属衬垫 28。准直溅射时,在气压大于 0.5 毫托 (*mTorr*)下,难熔金属原子穿过深度对宽度的高宽比大于 1 的蜂窝状结构。表 1 给出已用于衬垫淀积的条件。

表 1		
准直淀积衬垫		
高宽比	复盖高差厚度	底部/顶面(%)

侧壁/顶面 (%)		
1 : 1	38	60
1 : 2	39	70
1 : 4	42	100
非准直		
0	10	12

在表 1 所给出的研究中,压力从 0.5 毫托 *mT* 变到 15 毫托 *mT*,而功率从 0.5 千瓦变到 12 千瓦。表 1 清楚地指出,不用准直溅射时的恶劣的复盖高差厚度比。采用较高的气压(如,3 毫托)而准直器的高宽比至少为 1:1,用 *Ti/TiN* 或 *Ti/W* 双层来涂敷高宽比大于 7 至 8 的通路或接触孔,所得到的复盖高差厚度比,对底面大于 40%,对侧壁大于 30%,对本技术领域来说,这是很大进步,因此容许半导体制造者在大高宽比的通路或槽中制备共形层,将增强 *CVD* 钨的粘结力。并且,正如下面将详加陈述的,制成的 *TiN* 或其它合适材料的共形层将给铜基合金提供一种有效的扩散阻挡层。如上所述,为了充分地覆盖槽或通路的侧壁及底部,应采用散射淀积占优势的气压(如,高于 1 毫托),而不应采用定向淀积居优势的低气压。

如上所述,图 6 呈现的是一幅 *PVD* 准直溅射在通路中产生的一个难熔金属衬垫的 *SEM* 显微照片。图 6 表明,能够实现通路底部

及侧壁的完全覆盖,用 N_2 等离子,与氩一起在钛靶下,就地淀积 TiN。该衬垫能改善粘结力及防止 CVD 钨对底下衬底的任何浸蚀。当准直器的高宽比增大时,衬垫的共形度也增加了。

如把铜导线或通路用之于该结构,就需要坚固的衬垫用作扩散阻挡层。低压准直溅射的难熔金属衬垫(如, Ta、Ti/TiN, 或 Ti/W 等)会在介质中开口 14 的侧壁上造成一种多孔的结构。为防止这种多孔结构,而在侧壁上制出致密的结构,要采取两步准直工序。详细说,第一步骤,用低于 0.8 毫米的气压淀积一薄的衬垫层,达到底高大于 60% 的覆盖范围,而第二步骤,原处不动,将气压增至 3 到 4 毫米,使用相同的准直器,在侧壁上得到一种致密的微结构。本发明之前,没有一种方法能够在很大的高宽比的亚微米孔中,尤其在低温下,形成一种衬垫。这些结果,类似于用 Ti/W 和 Ti/TiN 双层衬垫做 CVD 难熔金属 17 或低阻软金属的扩散阻挡层。

图 5B—E 表示出本发明另一种改型中,实施类似于图 2B—E 和图 4A—E 表示的那些工序。与图 4A 相似,图 5B 示明有一种粘结增进剂层 26,诸如 Ti、Cr、Ta、Ti/TiN 之类,用 PVD 蒸发淀积,盖在难熔金属衬底顶上与间隙 14 的底部。与图 2B 相似,图 5B 示明,通过 PVD 蒸发技术将 Al—Cu 合金或别的金属化层 16 淀积到介质层表面以下 100 至 400nm 的水平位置。图 5C—E 分别表示出淀积共形层钨或其他难熔材料,以覆盖低阻金属化层 16,通过 RIE 或抛光平整化钨,等等之类,而平整化该结构可用 H_2O_2 湿法腐蚀铝—

铜合金之后,接着化学—机械抛光钨的两步工序如图 4c 和 4d 所示,或者通过 *RIE* 或化学—机械抛光的一步工序简单地加以平整化。关于一步工序化学—机械抛光,悬浮液可采用与用于抛光钨相同的悬浮液。类似图 2E 所示结构,图 5E 所示的结构有密封着低阻金属化层 16 的 *CVD* 难熔金属 17,还有一锥形的难熔金属 17 区。

图 7A 和 7B 表示本发明的再一种改型,其中相同的标号相同的构件。正如图 7A 所示,不论共形的,以难熔金属为好的衬垫/扩散阻挡层 28,还是共形的 Al_xCu_y 或其它合适的材料的低阻合金或金属化层 16 都用 *PVD* 准直溅射淀积在衬底 10 的无机或有机介质的开口中,接着,*CVD* 淀积难熔金属 17 覆盖层,诸如钨、钛、钽 之类包覆该结构。图 7B 示出经 *RIE*,化学—机械抛光或其它技术使之平整化了的结构。将图 7B 的结构与图 5E 的结构予以对比,可以看出,通路或导线的形状是很不同的。虽然,两种结构都包含一个由难熔金属 17 包覆的低阻金属层 16,但这两种金属化很可能适用于不同的环境。

已经用按上面陈述的技术制造的难熔金属包覆的导线进行实验检测,实验中,该导线长度从 13.45cm 变到 50cm,芯片面积接近 1.6 mm²。金属的间距从 1μm 变到 2μm。要填充的孔的高宽比为 2 至 8,而导线为 2 到 4。

表 2

抛光后, 钨覆盖的低电阻率金属导线的电阻^a

结 构	电 阻 淀积钨前	电 阻 淀积W后	成品率
(A) 采用蒸发形成的 ^b			
Ti (20nm) / TiN (35nm) / Al-Cu (800nm) / W (200nm)	0.042	0.04	95%
Ti (20nm) / Al-Cu (800nm) / W (200nm)	0.042	0.052	95%
Ti (20nm) / Al-Cu (800nm) / Ti (20nm) / W (200nm)	0.042	0.054	94%
Ti (20nm) / TiN (25nm) / CVD W (30nm) / Al-Cu (1300nm) / W (200nm)	0.025	0.023	97%
Ti (50nm) / TiN (25nm) / Ti (20nm) / Al-Cu (1300nm) / Ti (20nm) / TiN (20nm) / W (200nm)	0.025	0.032	96%
Ti (50nm) / TiN (50nm) / Ti (50nm) / Al-Cu (600nm) / Ti (20nm) / Cu (700nm) / Ti (20nm) / TiN (20nm) / CVD W (200nm)	0.023	0.021	100%
(B) 采用准直溅射形成的 ^c			
Ti (20nm) / TiN (35nm) / Al-Cu (800nm) / CVD W (200nm)	0.042	0.04	84%
Ti (20nm) / Al-Cu (800nm) / CVD W (200nm)	0.042	0.05	81%
Ti (20nm) / W (20nm) / Al-Cu (800nm) / CVD W (200nm)	0.040	0.039	85%
Ti (20nm) / TiN (75nm) / Cu (800nm) / Ti (20nm) / TiN (25nm) / CVD W (200nm)	0.024	0.022	80%
(C) 采用非准直溅射形成的 ^d			
Ti (20nm) / TiN (35nm) / Al-Cu (800nm) / CVD W (200nm)	0.040	0.04	86%

a)全部实验中,导线的长度从13.5cm变到50cm,芯片面积接近 1.6mm^2 。金属间距从 $1\mu\text{m}$ 变到 $2\mu\text{m}$ 。填充孔的高宽比为2至8,以及对导线为2至4。

b)蒸发实验中,用准直溅射淀积Ti/TiN双层。

c)准直高宽比为1:1。

d)溅射的气压范围在0.5至0.8毫毛间。

表2的结果表明,新技术加工的成品率很高,并且导线电阻不因有钨的包覆而变化较大。某些上面的数据表明,Al—Cu合金下面有钛时,电阻增大了,这是由于界面处形成 TiAl_3 的缘故。还发现,在钛与铝—铜层之间设置一层钛合金或化合物(例如,TiN)可以防止形成 TiAl_3 ,因而仍能保持电阻较小。表2末尾的项目表明,如果采用非准直溅射法,即该种溅射应在低气压(例如,低于1毫毛)下进行,也就是定向溅射占了优势。

可以预料,在化学—机械抛光之后,对难熔金属覆盖层施行RIE,用 H_2O_2 ,或 H_2O_4 作湿法腐蚀,把该覆盖层的厚度降至最起码的层厚限度。一层厚的难熔金属会增加不希望有的电容。之所以考虑用后抛光湿法腐蚀或RIE过程,使半导体设计者有可能用厚的难熔金属及其底下的低阻Al—Cu导线或通孔在化学—机械抛光时提供最大的保护,还能随后除去任何过剩的难熔金属,实现难熔金属覆盖很薄的一种结构,举例说,可敷设一层500—600nm厚的难熔金

属,用双阻挡抛光损伤,而后,通过湿法腐蚀或 RIE,可以再把难熔金属层降至 50nm 的层厚。

图 8 显示出一多层半导体器件的实例,该器件包括一几乎与绝缘层顶面齐平的有钨覆盖的 Al_xCu_y 合金导线的顶面。如上面详细陈述的那样,CVD 钨的通路或槽,最好包含一准直溅射以增进粘结力的 TiN 衬垫。在本发明的实际范围内,还可制造出许多其它半导体器件。

图 9A 和 9B 是一种半导体器件的剖面 SEM 显微照片。图 9A 显示了由 SiO_2 之间和顶部以 Al—Cu 合金隔开,从硅表面向上伸出的 SiO_2 部分。而 Al—Cu 合金之间及顶上为 CVD 钨层。图 9A 是表示抛光前,有盖层导线的一种结构。图 9B 则显示化学—机械抛光除去 SiO_2 伸出部分顶面上的钨与 Al—Cu 合金后的多层结构剖面的 SEM 显微照片。

虽然本发明是用最佳实施例来描述,但本领域的技术人员均应认识到,后附的权利要求书的精神与范围内的修改都可实施本发明。

图1

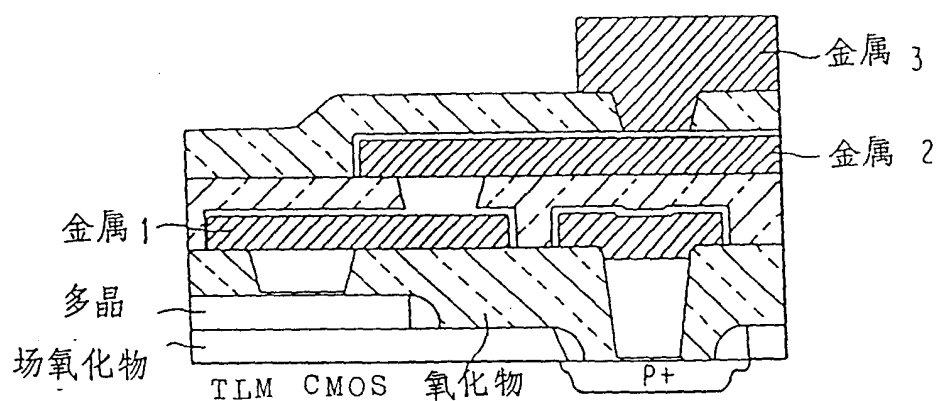


图3A

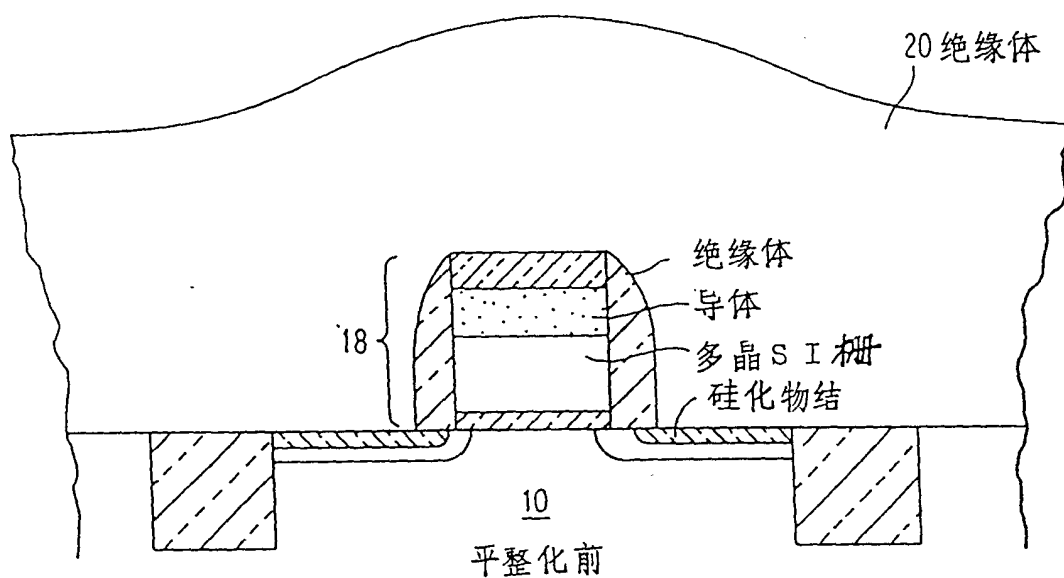
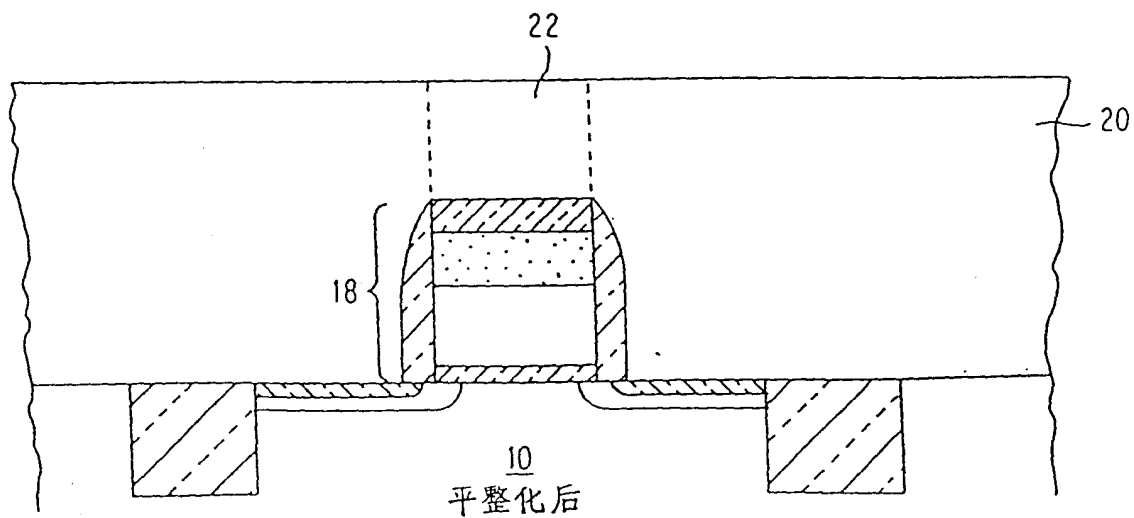


图3B



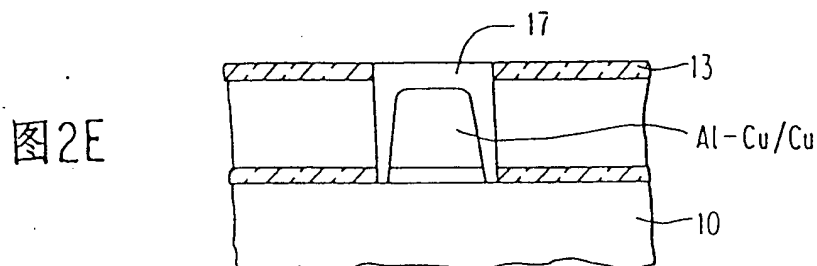
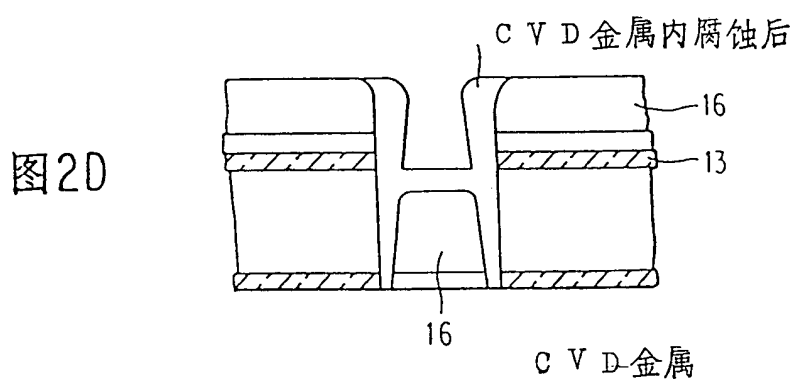
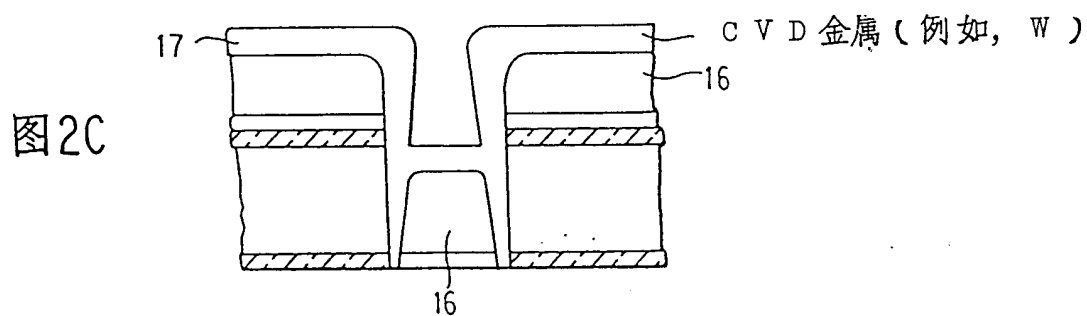
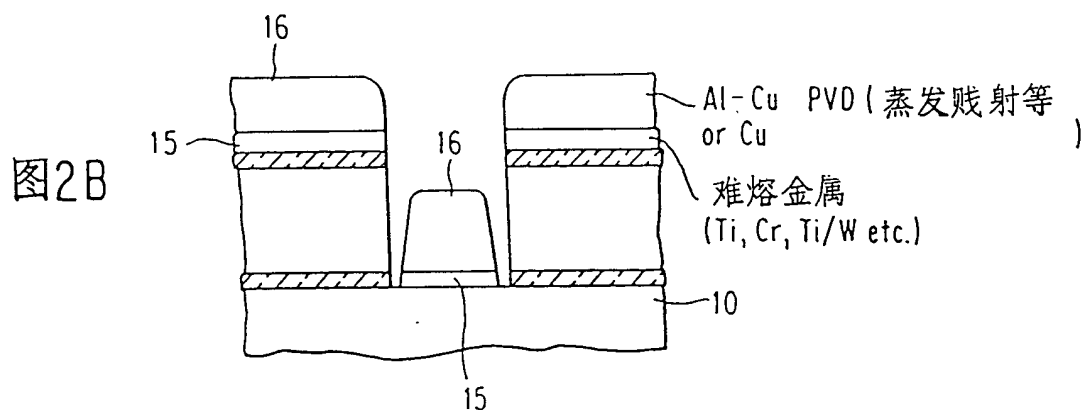
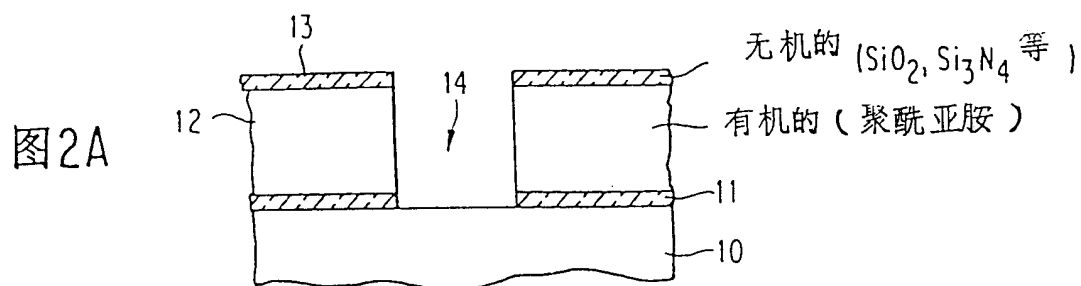


图4A

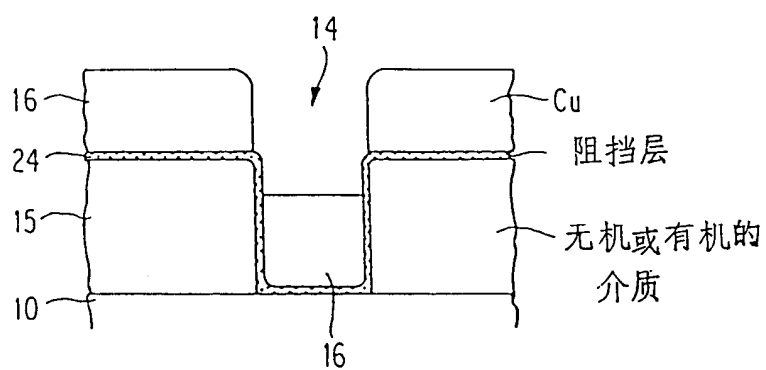


图4B

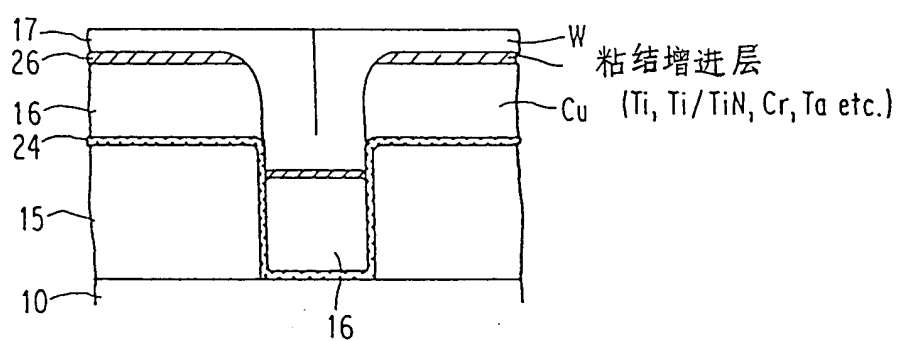


图4C

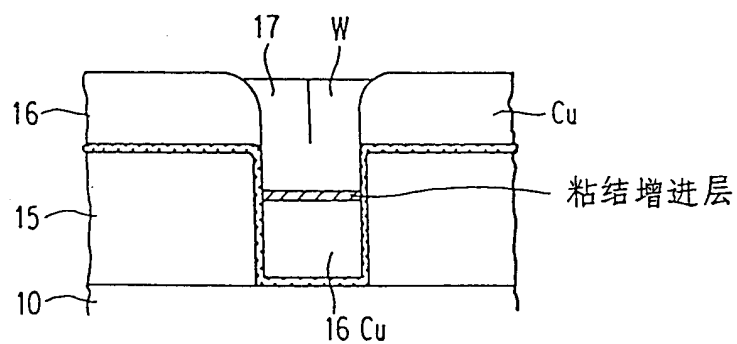


图4D

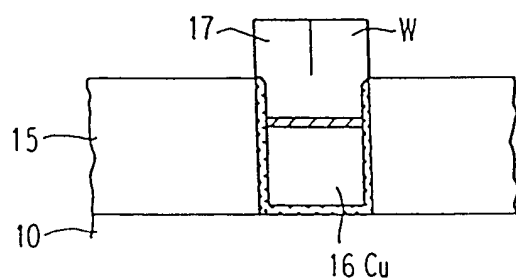
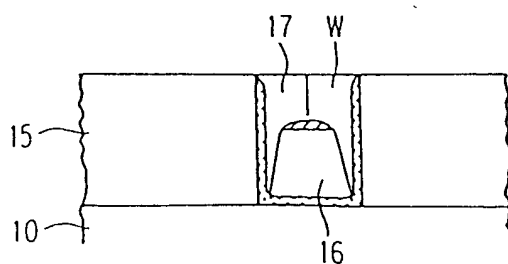
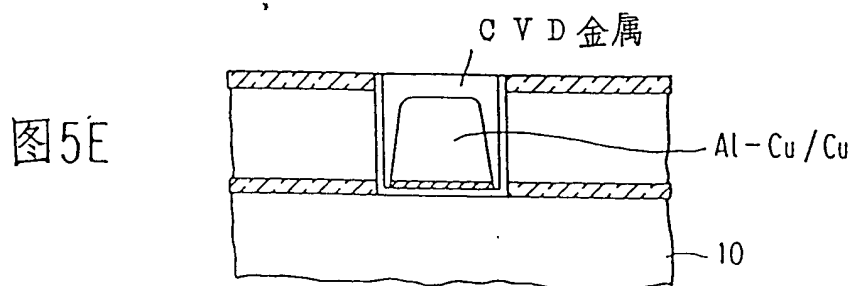
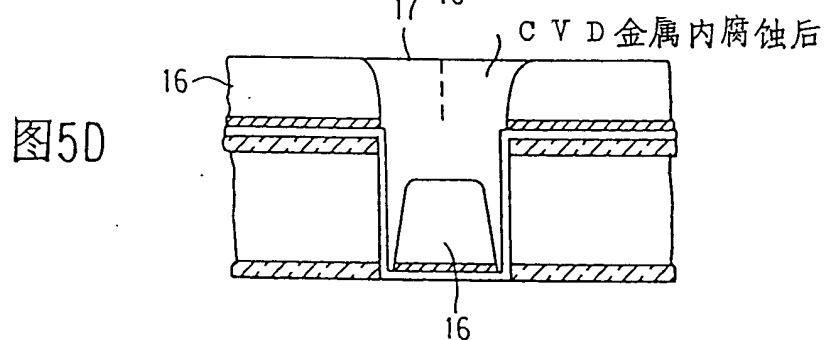
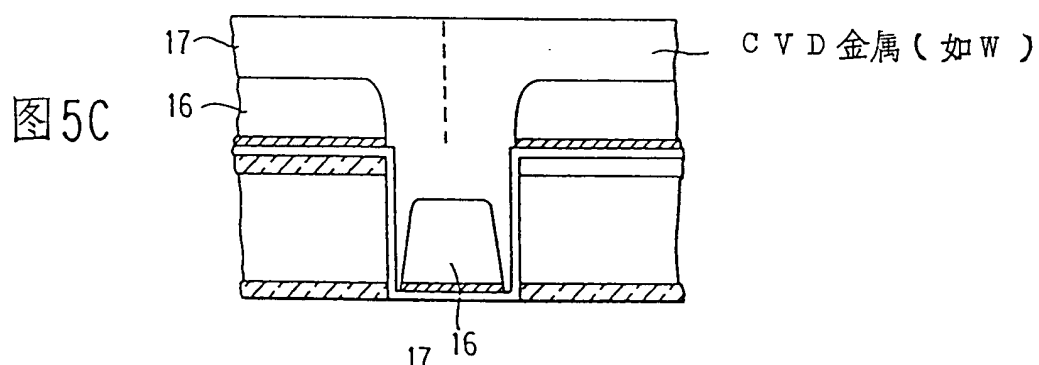
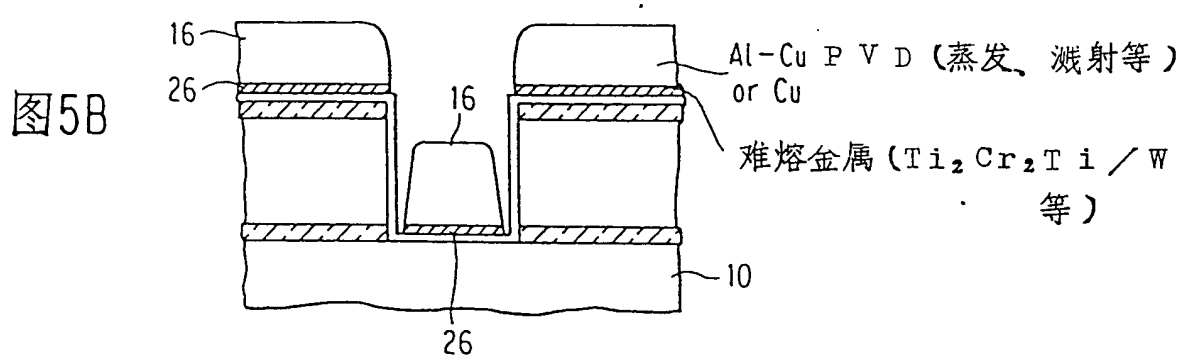
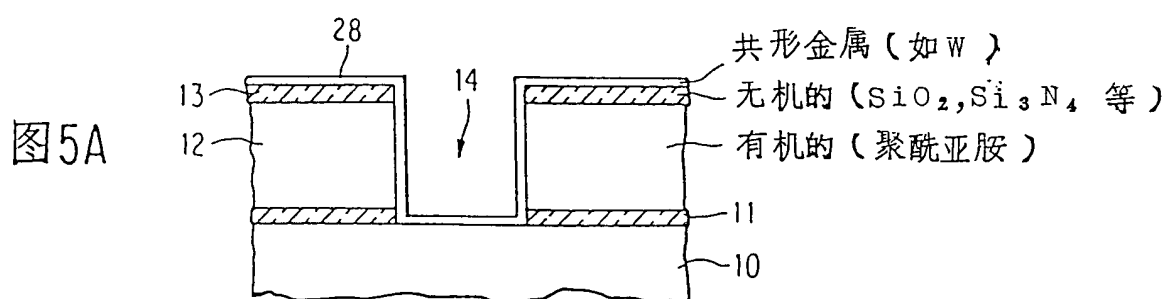
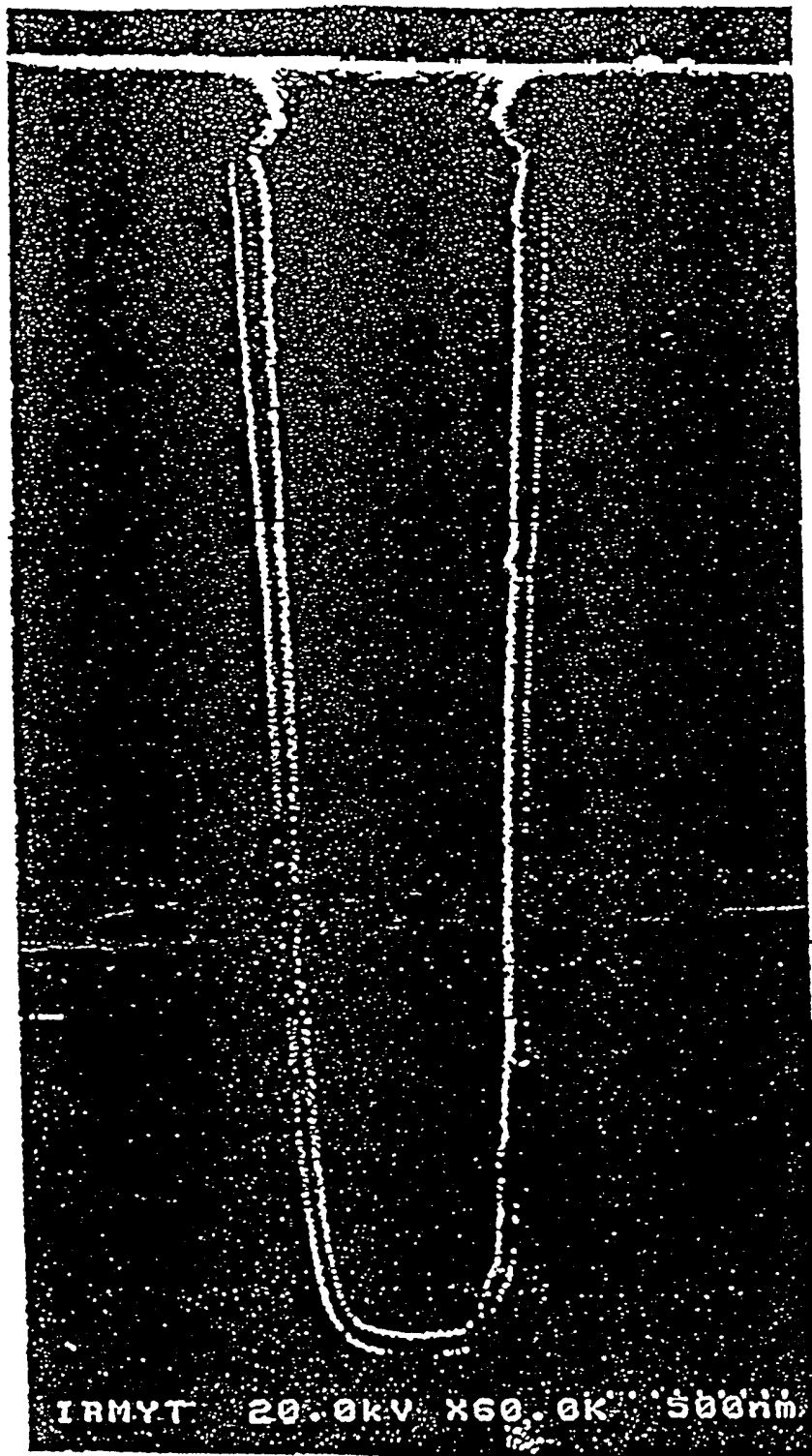


图4E







C V D 钨前，准直溅射所施加的衬垫的

S E M

图6

图7A

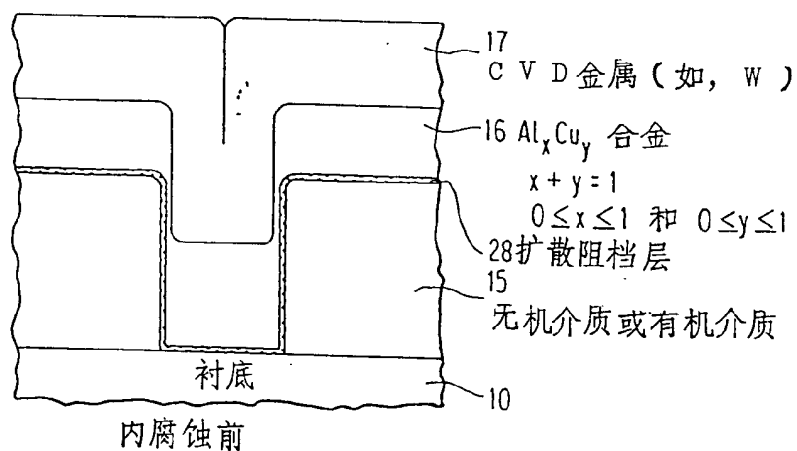


图7B

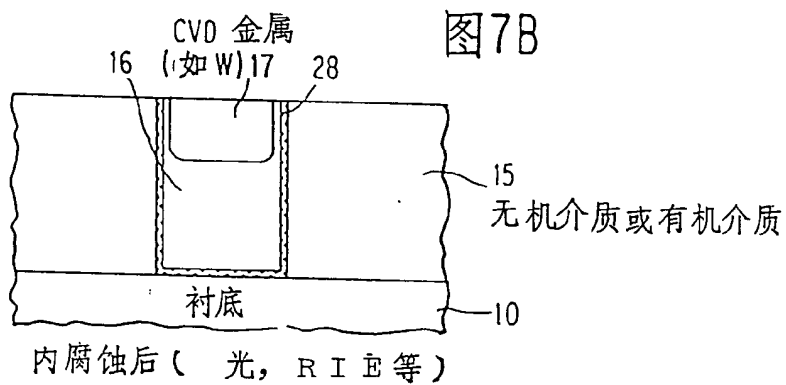
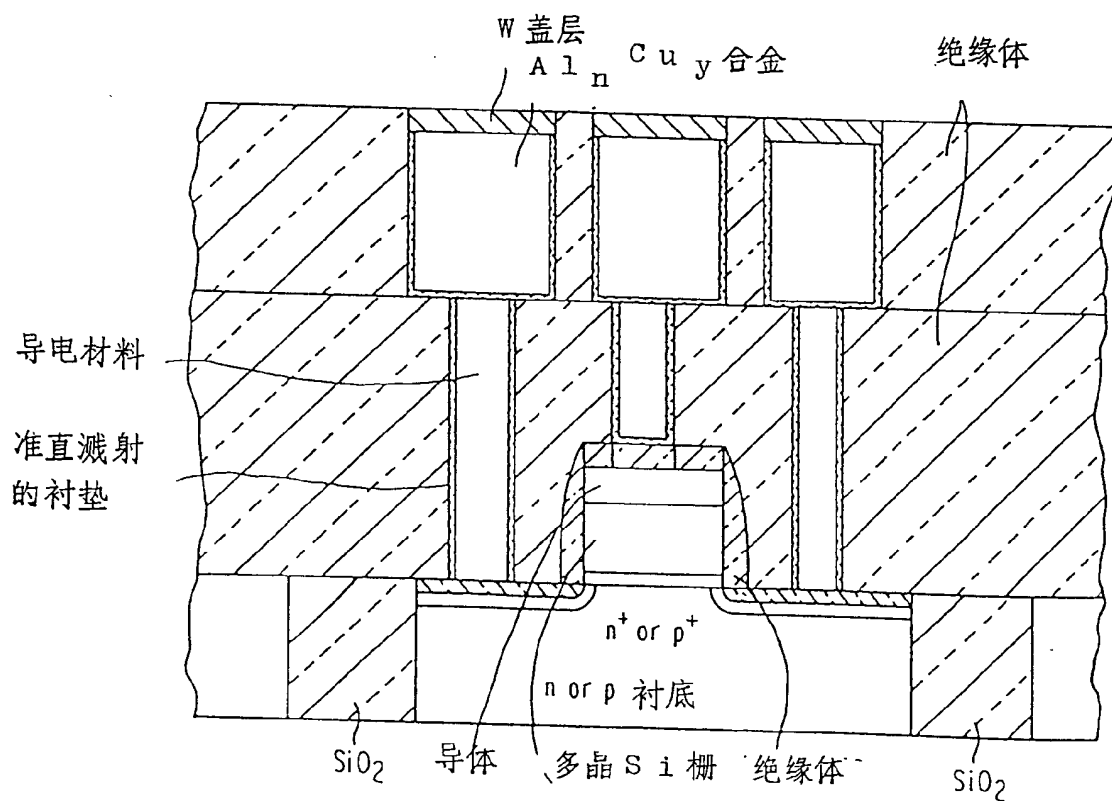


图8



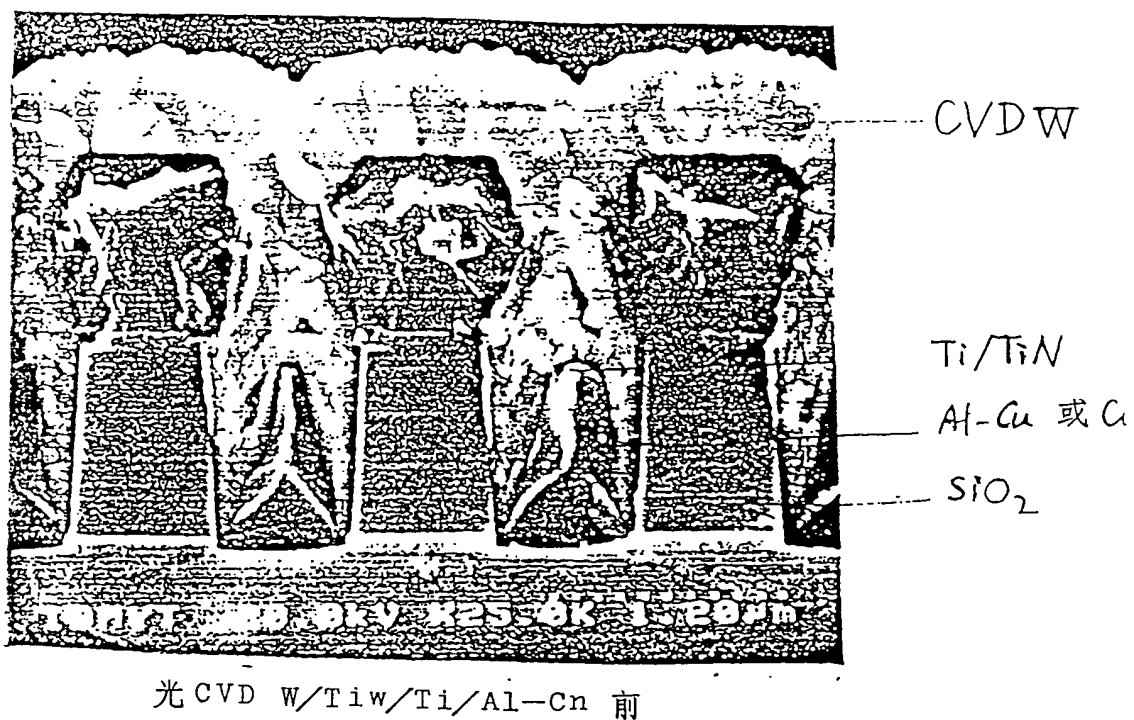


图9a

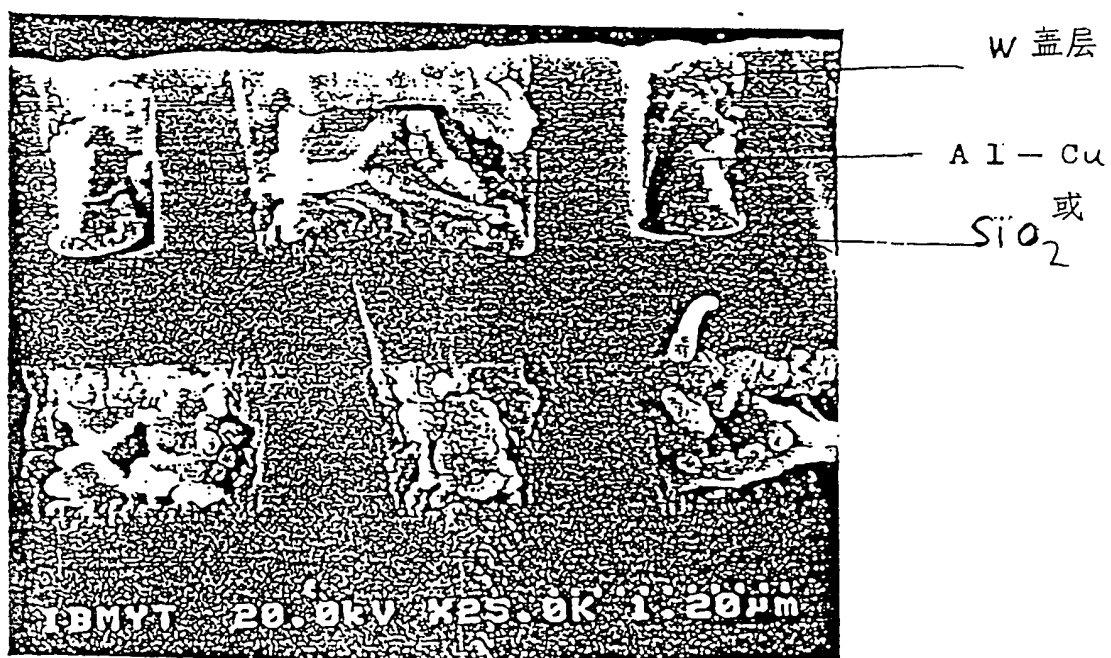


图9b