



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201234592 A1

(43)公開日：中華民國 101 (2012) 年 08 月 16 日

(21)申請案號：100137035

(22)申請日：中華民國 100 (2011) 年 10 月 12 日

(51)Int. Cl. : *H01L29/78 (2006.01)*

H01L29/739 (2006.01)

(30)優先權：2011/02/01 日本

2011-019372

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.
(JP)

日本

(72)發明人：增田健良 MASUDA, TAKEYOSHI (JP) ; 日吉透 HIYOSHI, TORU (JP) ; 和田圭
司 WADA, KEIJI (JP)

(74)代理人：陳長文

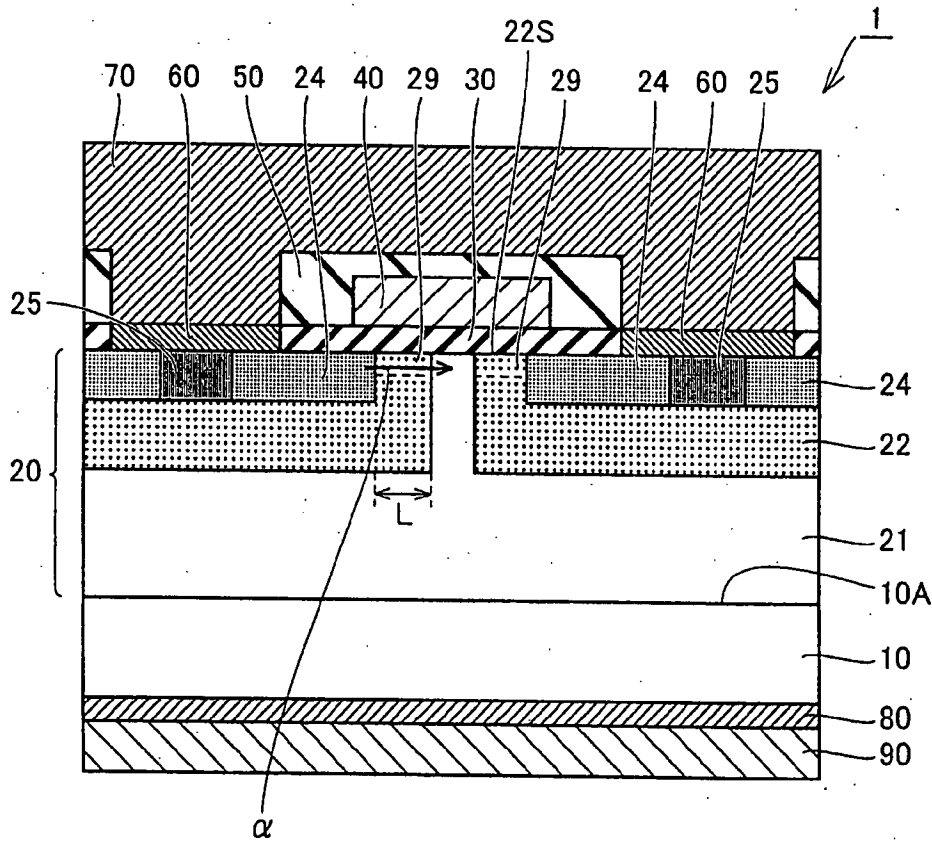
申請實體審查：無 申請專利範圍項數：11 項 圖式數：13 共 37 頁

(54)名稱

半導體裝置

(57)摘要

MOSFET(1)包含碳化矽基板(10)、活化層(20)、閘極氧化膜(30)、及閘極電極(40)。活化層(20)包含藉由對閘極電極(40)施加電壓而形成反轉層之 p 型主體區域(22)。反轉層中之電子之移動度 μ 係較與 p 型主體區域(22)之通道區域(29)中之受體濃度 N_a 之倒數成比例之狀態更強地依賴於受體濃度 N_a 。p 型主體區域(22)之通道區域(29)中之受體濃度 N_a 為 $1 \times 10^{16} \text{cm}^{-3}$ 以上、 $2 \times 10^{18} \text{cm}^{-3}$ 以下。通道長(L)為 $0.43 \mu\text{m}$ 以下。通道長(L)成為由 $d = D \cdot N_a^{-C}$ 表示之通道區域(29)中之空乏層之擴展寬度 d 以上。



1 : MOSFET

10 : 碳化矽基板

10A : 主面

20 : 活化層

21 : 漂移層

22 : p 型主體區域

22S : 表面

24 : n⁺源極區域

25 : p⁺接觸區域

29 : 通道區域

30 : 閘極氧化膜(熱氧化膜)

40 : 閘極電極

50 : 層間絕緣膜

60 : 源極接觸電極

70 : 源極配線

80 : 汲極接觸電極

90 : 背面保護電極

L : 通道長

α : 箭頭



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201234592 A1

(43)公開日：中華民國 101 (2012) 年 08 月 16 日

(21)申請案號：100137035

(22)申請日：中華民國 100 (2011) 年 10 月 12 日

(51)Int. Cl. : *H01L29/78 (2006.01)*

H01L29/739 (2006.01)

(30)優先權：2011/02/01 日本

2011-019372

(71)申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.
(JP)

日本

(72)發明人：增田健良 MASUDA, TAKEYOSHI (JP) ; 日吉透 HIYOSHI, TORU (JP) ; 和田圭
司 WADA, KEIJI (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：11 項 圖式數：13 共 37 頁

(54)名稱

半導體裝置

(57)摘要

MOSFET(1)包含碳化矽基板(10)、活化層(20)、閘極氧化膜(30)、及閘極電極(40)。活化層(20)包含藉由對閘極電極(40)施加電壓而形成反轉層之 p 型主體區域(22)。反轉層中之電子之移動度 μ 係較與 p 型主體區域(22)之通道區域(29)中之受體濃度 N_a 之倒數成比例之狀態更強地依賴於受體濃度 N_a 。p 型主體區域(22)之通道區域(29)中之受體濃度 N_a 為 $1 \times 10^{16} \text{cm}^{-3}$ 以上、 $2 \times 10^{18} \text{cm}^{-3}$ 以下。通道長(L)為 $0.43 \mu\text{m}$ 以下。通道長(L)成為由 $d = D \cdot N_a^{-C}$ 表示之通道區域(29)中之空乏層之擴展寬度 d 以上。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置，更特定地關於一種可降低通道電阻之半導體裝置。

【先前技術】

近年來，由於使半導體裝置之高耐壓化、低損失化、於高溫環境下之使用等成為可能，故而作為構成半導體裝置之材料，碳化矽之採用正在推進。與自先前作為構成半導體裝置之材料而廣泛使用之矽相比，碳化矽為帶隙較大之寬帶隙半導體。因此，可藉由採用碳化矽作為構成半導體裝置之材料，而實現半導體裝置之高耐壓化、導通電阻之降低等。又，與採用矽作為材料之半導體裝置相比，採用碳化矽作為材料之半導體裝置亦具有於高溫環境下使用之情形時之特性之降低較小之優點。

於使用此種碳化矽作為材料之半導體裝置中，例如 MOSFET(Metal Oxide Semiconductor Field Effect Transistor，金屬氧化物半導體場效應電晶體)或 IGBT(Insulated Gate Bipolar Transistor，絕緣閘極雙極性電晶體)等以特定之臨界電壓為分界而控制通道區域中有無形成反轉層，導通及阻斷電流之半導體裝置中，對通道移動度之提高或導通電阻之降低進行有各種研究(例如，參照日本專利特開2000-150866號公報(專利文獻1)、Fujihira et al.、「Realization of Low On-Resistance 4H-SiC power MOSFETs by Using Retrograde Profile in P-Body」、Materials Science Forum、

Vols. 556-557、Silicon Carbide and Related Materials 2006、2006年、p. 827-830(非專利文獻1)及 Sei-Hyung Ryu et al.、「Critical Issues for MOS Based Power Devices in 4H-SiC」、Materials Science Forum、Vols. 615-617、2009年、p. 743-748(非專利文獻2))。

先前技術文獻

專利文獻

專利文獻1：日本專利特開2000-150866號公報

非專利文獻

非專利文獻1：Fujihira et al.、「Realization of Low On-Resistance 4H-SiC power MOSFETs by Using Retrograde Profile in P-Body」、Materials Science Forum、Vols. 556-557、Silicon Carbide and Related Materials 2006、2006年、p. 827-830

非專利文獻2：Sei-Hyung Ryu et al.、「Critical Issues for MOS Based Power Devices in 4H-SiC」、Materials Science Forum、Vols. 615-617、2009年、p. 743-748

【發明內容】

發明所欲解決之問題

但是，於採用上述碳化矽作為材料之MOSFET或IGBT等半導體裝置中，要求藉由通道電阻之降低而更加抑制導通電阻。

因此，本發明之目的在於提供一種可降低通道電阻之半導體裝置。

解決問題之技術手段

本發明之第1態樣之半導體裝置包括：基板，其包含碳化矽；磊晶成長層，其包含碳化矽，且形成於基板上；閘極絕緣膜，其包含絕緣體，且與磊晶成長層接觸而配置；以及閘極電極，其係與閘極絕緣膜接觸而配置。磊晶成長層包含p型主體區域，該p型主體區域係導電型為p型，且藉由對閘極電極施加電壓而於與閘極絕緣膜接觸之區域形成反轉層。又，反轉層中之電子之移動度 μ 係較與p型主體區域之應形成反轉層之區域中之受體濃度 N_a 的倒數成比例之狀態更強地依賴於受體濃度。p型主體區域之應形成反轉層之區域中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下。沿著反轉層中之電子之移動方向之反轉層之長度即通道長(L)為 $0.43 \text{ }\mu\text{m}$ 以下，該通道長成為將C及D設為常數且由 $d = D \cdot N_a^{-C}$ 表示之應形成上述反轉層之p型主體區域之區域中之空乏層的擴展寬度d以上。

又，本發明之第2態樣之半導體裝置包括：基板，其包含碳化矽；磊晶成長層，其包含碳化矽，且形成於基板上；閘極絕緣膜，其包含絕緣體，且與磊晶成長層接觸而配置；以及閘極電極，其係與閘極絕緣膜接觸而配置。磊晶成長層包含p型主體區域，該p型主體區域係導電型為p型，且藉由對閘極電極施加電壓而於與閘極絕緣膜接觸之區域形成反轉層。又，夾持閘極絕緣膜與閘極電極相對向之磊晶成長層之表面、與構成磊晶成長層之碳化矽之(0001)面所形成之角度為 8° 以下。p型主體區域之應形成反

轉層之區域中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下。沿著反轉層中之電子之移動方向之反轉層之長度即通道長為 $0.43 \text{ } \mu\text{m}$ 以下，且該通道長成為將 C 及 D 設為常數且由 $d = D \cdot N_a^{-C}$ 表示之應形成反轉層之 p 型主體區域之區域中之空乏層的擴展寬度 d 以上。此處， C 及 D 係藉由半導體裝置之結構而決定之常數。 C 係正實數且滿足 $0 < C < 1.0$ 。又， D 係實數係數。

本發明者對半導體裝置之通道電阻之降低如下進行詳細之研究，根據所得之知識見解想出本發明。

即，於使用碳化矽作為材料之半導體裝置中，通道電阻佔導通電阻之比例較大。又，通道電阻係與通道移動度之倒數及通道長之積成比例。因此，提高通道移動度、及縮短通道長對通道電阻之降低較為重要。

一般而言，移動度 μ 係由於離子散射而受到制約性之影響，而與受體濃度(離子濃度) N_a 之倒數成比例(參照式(1))。

[數 1]

$$\mu \propto N_a^{-1} \quad \dots (1)$$

但是，於夾持閘極絕緣膜與閘極電極相對向之磊晶成長層之表面為接近構成該磊晶成長層之碳化矽之(0001)面之面之情形時，更具體而言，於夾持閘極絕緣膜與閘極電極相對向之磊晶成長層之表面與構成該磊晶成長層之碳化矽之(0001)面所形成之角度為 8° 以下之情形時，移動度 μ 除了受到離子散射之影響外，亦受到用以形成 p 型主體區域等

之離子注入及於其後處理中產生之缺陷或陷阱之影響。因此，於此情形時，移動度 μ 更強地受到受體濃度之影響。認為離子注入及於其後處理中產生之缺陷或陷阱之密度係依賴於注入離子量，且可由受體濃度 N_a 之函數表示。而且，根據本發明者之研究，不僅受到離子散射之影響，而且亦受到上述缺陷或陷阱之影響之情形之移動度 μ 係由下述之式(2)表示。

[數 2]

$$1/\mu = A \exp(B \cdot N_a) \quad \dots (2)$$

再者，於式(2)中，A及B為實數係數。

另一方面，由於通道電阻與通道長成比例，故而可藉由縮短通道長而降低通道電阻。但是，若縮短通道長，則產生下述問題：產生短通道效果(穿通)，耐壓降低或斷開特性惡化等。短通道效果係藉由空乏層自形成於通道區域端部之pn接面區域擴展至通道區域內，使整個通道區域成為空乏層而產生。因此，為抑制短通道效果之產生，必須確保較自上述pn接面區域擴展之空乏層之寬度寬之通道長。於通道區域端部之pn接面區域之外側之雜質濃度為固定之情形時，空乏層向通道區域之擴展寬度d滿足下述式(3)'。

[數 3]

$$d = \sqrt{\frac{2\varepsilon_{\text{SiC}}\varepsilon_0(V_d - V_{\text{max}})N_d}{eN_a(N_a + N_d)}} \quad \dots (3)'$$

此處， ε_{SiC} 為SiC(碳化矽)之介電常數， ε_0 為真空之介電常數， V_d 為擴散電位， V_{max} 為於斷開狀態下對pn接面施加

之最大電壓(將向pn接面之順方向施加電壓之情形設為正，將向反方向施加電壓之情形設為負)， N_d 為施體濃度， e 為基本電荷量。

而且，上述式(3)'可於實用之範圍內近似地如下述式(3)般表示。

[數4]

$$d = D \cdot N_a^{-C} \quad \cdots (3)$$

此處， C 及 D 係藉由半導體裝置之結構而決定之常數。 C 為正實數且滿足 $0 < C < 1.0$ 。又， D 為實數係數。

而且，通道電阻 R_{ON} 係與移動度之倒數及通道長成比例，故可由下述式(4)表示。

[數5]

$$R_{on} \propto d/\mu = D \cdot N_a^{-C} \cdot A \cdot \exp(B \cdot N_a) \quad \cdots (4)$$

該函數係取極小值，於 $N_a = C/B$ 中， R_{ON} 成為極小。而且，若考慮半導體裝置中之通常之 $A \sim D$ 之值，則藉由受體密度 N_a 超過 $1 \times 10^{16} \text{ cm}^{-3}$ 、小於 $2 \times 10^{18} \text{ cm}^{-3}$ 而可充分降低 R_{ON} 。又，於受體密度 N_a 處於該範圍之情形時，受體密度 N_a 最低，而使空乏層之擴展寬度 d 變得最大之受體密度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 之情形之空乏層的擴展寬度 d 由式(3)成為 $0.43 \text{ } \mu\text{m}$ 。即，於上述受體密度 N_a 之範圍中，無需將通道長設為超過 $0.43 \text{ } \mu\text{m}$ 之範圍。而且，通道長設為超過 $0.43 \text{ } \mu\text{m}$ 之範圍會多餘地使通道長增加，而使通道電阻增大。因此，通道長較佳為設為 $0.43 \text{ } \mu\text{m}$ 以下。另一方面，通道長之下限值可根據能夠抑制短通道效果之通道長之下限值

規定。即，可藉由將通道長設為由 $d=D \cdot N_a^{-C}$ 表示之應形成反轉層之p型主體區域之區域(通道區域29)中之空乏層的擴展寬度 d 以上，而抑制短通道效果。

本發明之半導體裝置係反轉層中之移動度 μ 較與受體濃度 N_a 之倒數成比例之狀態更強地依賴於受體濃度 N_a ，或者夾持閘極絕緣膜與閘極電極相對向之磊晶成長層之表面與構成磊晶成長層之碳化矽之(0001)面所形成之角度為 8° 以下，應形成反轉層之區域中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下，且通道長為由式(3)規定之 d 以上、 $0.43 \text{ }\mu\text{m}$ 以下，藉此可抑制短通道效果之產生，並且有效地降低通道電阻。

如此，根據本發明之半導體裝置，可提供一種能夠降低通道電阻之半導體裝置。

於上述第1態樣之半導體裝置中，反轉層中之電子之移動度 μ 與p型主體區域之應形成反轉層之區域中之受體濃度 N_a 之關係可藉由令 A 及 B 為正實數常數之 $1/\mu = A \exp(B \cdot N_a)$ 逼近。

滿足此種條件之半導體裝置尤其適合於將受體濃度 N_a 及通道長設為上述範圍之本發明之半導體裝置。此處，所謂「可藉由 $1/\mu = A \exp(B \cdot N_a)$ 逼近」之狀態，係指於僅令受體濃度 N_a 為變數時、將至少4個受體濃度 N_a 之值與 $1/\mu$ 之關係藉由上述指數函數進行配適之情形時，於最小平方法中相關係數成為0.99以上之狀態。

於上述半導體裝置中，上述 B 之值亦可超過 1×10^{-19} 、小

於 1×10^{-16} 。又，於上述半導體裝置中，A之值亦可超過0、小於2。滿足此種條件之半導體裝置尤其適合於將受體濃度 N_a 及通道長設為上述範圍之本發明之半導體裝置。

於上述半導體裝置中，C及D之值亦可分別滿足 $0.5 < C < 1.0$ 及 $1 \times 10^{14} < D < 1 \times 10^{16}$ 。滿足此種條件之半導體裝置尤其適合於將受體濃度 N_a 及通道長設為上述範圍之本發明之半導體裝置。

於上述半導體裝置中，p型主體區域亦可包含：高濃度區域，其係以包含應形成反轉層之區域之方式配置，且受體濃度較高；及低濃度區域，其係於反轉層中之電子之移動方向與高濃度區域鄰接，以包含應形成反轉層之區域之方式配置，且受體濃度低於高濃度區域。

藉由如此而行，可藉由高濃度區域抑制應形成反轉層之區域中之空乏層之擴展寬度，而更加確實地抑制短通道效果之產生。

於上述半導體裝置中，低濃度區域中之受體濃度亦可成為高濃度區域中之受體濃度之1/2以下。

可藉由如此配置濃度差較大之高濃度區域，而更加確實地抑制短通道效果之產生。

發明之效果

由以上說明可知，根據本發明之半導體裝置，可提供一種能夠降低通道電阻之半導體裝置。

【實施方式】

以下，根據圖式說明本發明之實施形態。再者，於以下

之圖式中，對相同或相當之部分標註相同之參照編號而不重複其說明。

(實施形態1)

首先，對於作為本發明之一實施形態之實施形態1，根據圖1進行說明。作為實施形態1中之半導體裝置之MOSFET 1包含：碳化矽基板10；及作為磊晶成長層之活化層20，其係配置於碳化矽基板10之一主面10A上，且包含碳化矽。

碳化矽基板10係包含單晶碳化矽，藉由包含氮、磷等雜質(n型雜質)而使導電型成為n型(第1導電型)。活化層20包含漂移層21、p型主體區域22、 n^+ 源極區域24、及 p^+ 接觸區域25。

漂移層21係配置於碳化矽基板10上，藉由包含較碳化矽基板10更低濃度之n型雜質而使導電型成為n型。p型主體區域22係以包含活化層20之與碳化矽基板10相反之側之主面之方式而配置。p型主體區域22係藉由包含鋁、硼等雜質(p型雜質)而使導電型成為p型(第2導電型)。 n^+ 源極區域24係以包含活化層20之與碳化矽基板10相反之側之主面之方式而形成於p型主體區域22內。 n^+ 源極區域24係藉由包含較漂移層21更高濃度之n型雜質而使導電型成為n型。

p^+ 接觸區域25係以包含活化層20之與碳化矽基板10相反之側之主面之方式而形成於p型主體區域22內，自 n^+ 源極區域24觀察配置於p型主體區域22之中央側。 p^+ 接觸區域25係藉由包含p型雜質而使導電型成為p型。

MOSFET 1 進而包含作為閘極絕緣膜之閘極氧化膜 30、閘極電極 40、源極接觸電極 60、層間絕緣膜 50、源極配線 70、汲極接觸電極 80、及背面保護電極 90。

閘極氧化膜 30 係例如包含二氧化矽等絕緣體，且於活化層 20 之與碳化矽基板 10 相反之側之主面上以與 n^+ 源極區域 24 及 p 型主體區域 22 接觸之方式而延伸。閘極電極 40 係接觸於閘極氧化膜 30 上而配置，且於 p 型主體區域 22 上延伸。閘極電極 40 包含多晶矽、鋁等導電體。

源極接觸電極 60 係於活化層 20 上以與 n^+ 源極區域 24 及 p^+ 接觸區域 25 接觸之方式而配置。源極接觸電極 60 係以與活化層 20 上之未被閘極氧化膜 30 覆蓋之區域接觸之方式而配置。源極接觸電極 60 係包含鎳等導電體，且藉由至少使與活化層 20 接觸之區域矽化物化而形成與 n^+ 源極區域 24 歐姆接觸。

層間絕緣膜 50 係以覆蓋閘極電極 40 上、並且延伸至閘極氧化膜 30 上為止之方式而配置。層間絕緣膜 50 包含二氧化矽等絕緣體。源極配線 70 係與源極接觸電極 60 接觸，且以覆蓋源極接觸電極 60 及層間絕緣膜 50 上之方式而配置。源極配線 70 包含鋁等導電體。

汲極接觸電極 80 係與碳化矽基板 10 之與活化層 20 相反之側之主面上接觸而配置。汲極接觸電極 80 係包含鎳等導電體，且藉由至少使與碳化矽基板 10 接觸之區域矽化物化而形成與碳化矽基板 10 歐姆接觸。背面保護電極 90 接觸於汲極接觸電極 80 上，且以覆蓋汲極接觸電極 80 上之方式而配

置。背面保護電極90包含鋁等導電體。

其次，對MOSFET 1之動作進行說明。參照圖1，於閘極電極40之電壓小於臨界電壓之狀態即斷開狀態下，即便對汲極接觸電極80及背面保護電極90施加電壓，p型主體區域22與漂移層21之間之pn接面亦成為反向偏壓，成為非導通狀態。另一方面，若對閘極電極40施加臨界電壓以上之電壓，則於p型主體區域22之與閘極氧化膜30接觸之附近之區域即通道區域29形成反轉層。其結果， n^+ 源極區域24與漂移層21電性連接，沿著箭頭 α 使作為載體之電子移動，使電流流動。

即，作為本實施形態中之半導體裝置之MOSFET 1包括：碳化矽基板10；作為磊晶成長層之活化層20，其包含碳化矽，且形成於碳化矽基板10上；閘極氧化膜30，其係與活化層20接觸而配置；及閘極電極40，其係與閘極氧化膜30接觸而配置。活化層20包含p型主體區域22，該p型主體區域22係導電型為p型，且藉由對閘極電極40施加電壓而於與閘極氧化膜30接觸之區域即通道區域29形成反轉層。而且，於MOSFET 1中，反轉層中之電子之移動度 μ 係較與p型主體區域22之應形成反轉層之區域即通道區域29中之受體濃度 N_a 之倒數成比例之狀態更強地依賴於受體濃度 N_a 。p型主體區域22之通道區域29中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下。又，沿著反轉層中之電子之移動方向 α 之反轉層之長度即通道長 L 為 $0.43 \text{ } \mu\text{m}$ 以下，該通道長 L 成為由 $d = D \cdot N_a^{-C}$ 表示之通道區域29中之空

乏層之擴展寬度 d 以上。

又，於本實施形態中之MOSFET 1中，於碳化矽基板10中，形成作為磊晶成長層之活化層20之側之主面10A、與構成碳化矽基板10之碳化矽之(0001)面所形成之角度成為 8° 以下。因此，夾持閘極氧化膜30與閘極電極40相對向之活化層20之表面22S、與構成活化層20之碳化矽之(0001)面所形成之角度成為 8° 以下。其結果，如上所述，反轉層之電子之移動度 μ 係較與p型主體區域22之應形成反轉層之區域即通道區域29中之受體濃度 N_a 之倒數成比例之狀態更強地依賴於受體濃度 N_a 。

而且，於本實施形態中之MOSFET 1中，應形成反轉層之通道區域29中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下，且通道長 L 為由式(3)規定之 d 以上、 $0.43 \text{ }\mu\text{m}$ 以下，藉此可抑制短通道效果之產生，並且降低通道電阻。如此，MOSFET 1成為降低通道電阻之半導體裝置。

又，於MOSFET 1中，反轉層中之電子之移動度 μ 、與p型主體區域22之應形成反轉層之通道區域29中之受體濃度 N_a 之關係，較佳為可藉由令 A 及 B 為正實數常數之 $1/\mu = A \exp(B \cdot N_a)$ 逼近者。進而，上述 B 之值較佳為超過 1×10^{-19} 、小於 1×10^{-16} 。又，上述 A 之值較佳為超過0、小於2。進而，上述 C 及 D 之值較佳為分別滿足 $0.5 < C < 1.0$ 及 $1 \times 10^{14} < D < 1 \times 10^{16}$ 。可藉由滿足此種條件，而更確實地抑制MOSFET 1之短通道效果，且降低通道電阻。

更具體而言，於MOSFET 1中，例如作為 B 之值，可採用

1.7×10^{-18} ，作為C之值，可採用0.98。此情形之最佳之受體密度 N_a 可根據式(4)算出為 $5.8 \times 10^{17} \text{ cm}^{-3}$ 。此時，可根據式(3)算出能夠抑制短通道效果之最小之通道長L為0.01 μm 。藉由採用此種受體密度 N_a 及通道長L，與例如於將受體密度 N_a 設為 $1 \times 10^{16} \text{ cm}^{-3}$ 、將通道長L設為0.5 μm 之情形相比，可將通道電阻降低至30分之1。

其次，參照圖2~圖9對本實施形態之MOSFET 1之製造方法之一例進行說明。參照圖2，於本實施形態中之MOSFET 1之製造方法中，首先，作為步驟(S10)，實施基板準備步驟。於該步驟(S10)中，參照圖3，準備碳化矽基板10，該碳化矽基板10包含自例如藉由昇華法製作之單晶碳化矽之錠收取且與(0001)面所形成之角度為 8° 以下之主面10A。

其次，作為步驟(S20)，實施磊晶成長步驟。於該步驟(S20)中，參照圖3，藉由磊晶成長於碳化矽基板10之一主面10A上形成導電型為n型之漂移層21。此處，作為用以使導電型為n型之n型雜質，可採用氮、磷等。

其次，作為步驟(S30)，實施第1離子注入步驟。於該步驟(S30)中，參照圖4，首先，於漂移層21上形成具有開口99A之遮罩層99。遮罩層99例如可採用包含二氧化矽者。其後，藉由將遮罩層99作為遮罩實施離子注入，而形成包含較漂移層21更高濃度之n型雜質之 n^+ 區域24A。

其次，作為步驟(S40)，實施第1各向同性蝕刻步驟。於該步驟(S40)中，參照圖5，藉由對步驟(S30)中使用之遮罩

層99實施各向同性蝕刻，如箭頭所示使開口99A擴大。

其次，作為步驟(S50)，實施第2離子注入步驟。於該步驟(S50)中，藉由將於步驟(S40)中使開口99A擴大之遮罩層99作為遮罩實施離子注入，而形成包含p型雜質之p型主體區域22。

其次，作為步驟(S60)，實施第3離子注入步驟。於該步驟(S60)中，參照圖6，於將步驟(S50)中使用之遮罩層99暫時去除後，於適當之位置重新形成具有開口99A之遮罩層99。其後，藉由將該遮罩層99作為遮罩實施離子注入，而形成包含高濃度之p型雜質之 p^+ 接觸區域25。此時， n^+ 區域24A中未形成 p^+ 接觸區域25之區域成為 n^+ 源極區域24。

其次，作為步驟(S70)，實施閘極氧化膜形成步驟。於該步驟(S70)中，參照圖6及圖7，於將步驟(S60)中使用之遮罩層99去除後，藉由實施熱氧化處理而形成應成為閘極氧化膜30之熱氧化膜30。該熱氧化膜30係以覆蓋漂移層21之與碳化矽基板10相反之側之整個主面之方式而形成。

其次，作為步驟(S80)，實施閘極電極形成步驟。於該步驟(S80)中，參照圖7及圖8，以接觸於熱氧化膜30上之方式形成例如包含多晶矽之閘極電極40。閘極電極40之形成例如可藉由濺鍍法而實施。

其次，作為步驟(S90)，實施接觸電極形成步驟。於該步驟(S90)中，參照圖8及圖9，形成源極接觸電極60及汲極接觸電極80。具體而言，首先，於 n^+ 源極區域24及 p^+ 接觸區域25中應與源極接觸電極60接觸之區域上之熱氧化膜

30藉由蝕刻被去除。其次，例如於應形成源極接觸電極60及汲極接觸電極80之所期望之區域藉由蒸鍍法而形成鎳膜。又，包含二氧化矽之層間絕緣膜50以覆蓋閘極電極40、應成為源極接觸電極60之鎳膜及熱氧化膜30之上部表面之方式而形成。其次，藉由實施合金化退火使鎳膜之至少一部分矽化物化。其結果，形成：源極接觸電極60，其係形成與 n^+ 源極區域24歐姆接觸；汲極接觸電極80，其係形成與碳化矽基板10歐姆接觸；及層間絕緣膜50。

其次，作為步驟(S100)，實施配線形成步驟。於該步驟(S100)中，參照圖9及圖1，形成源極配線70與背面保護電極90。具體而言，例如將源極接觸電極60上之層間絕緣膜50去除後，以覆蓋源極接觸電極60及層間絕緣膜50，並且覆蓋汲極接觸電極80之方式對鋁進行蒸鍍。藉由以上之製程而完成本實施形態中之MOSFET 1之製造製程。再者，於上述製造製程中，藉由步驟(S40)中之各向同性蝕刻決定通道長L。而且，可藉由將通道長L設為 $0.1\ \mu\text{m}$ 以上，而相對容易地控制通道長L之值。

(實施形態2)

其次，對作為本發明之其他實施形態之實施形態2進行說明。參照圖10，作為實施形態2之半導體裝置之MOSFET 1係具有基本上與實施形態1之MOSFET 1相同之結構，且發揮相同之效果。但是，實施形態2中之MOSFET 1係於p型主體區域22之構成、尤其係通道區域29之構成之方面與實施形態1之情形不同。

參照圖 10，於實施形態 2 中之 MOSFET 1 中，p 型主體區域 22 包含：高濃度區域 22A，其包含高濃度之受體；及低濃度區域 22B，其係以包圍高濃度區域 22A 之方式而配置，且包含較高濃度區域 22A 更低濃度之受體。又，閘極氧化膜 30 係以與 n^+ 源極區域 24、高濃度區域 22A 及低濃度區域 22B 接觸之方式而延伸。閘極電極 40 係自高濃度區域 22A 上延伸至低濃度區域 22B 上。

即，於實施形態 2 中之 MOSFET 1 中，p 型主體區域 22 包含：高濃度區域 22A，其係以包含應形成反轉層之通道區域 29 之方式而配置，且受體濃度較高；及低濃度區域 22B，其係沿著反轉層中之電子之移動方向 α 與高濃度區域 22A 鄰接，以包含通道區域 29 之方式而配置，且受體濃度低於高濃度區域 22A。藉此，於實施形態 2 中之 MOSFET 1 中，可藉由高濃度區域 22A，抑制應形成反轉層之通道區域 29 中之空乏層之擴展寬度，從而確實地抑制短通道效果之產生。

進而，於本實施形態中之 MOSFET 1 中，低濃度區域 22B 中之受體濃度較佳為成為高濃度區域 22A 中之受體濃度之 $1/2$ 以下。可藉由如此配置濃度差較大之高濃度區域 22A，而更加確實地抑制短通道效果之產生。

其次，根據圖 11~圖 13 對實施形態 2 中之 MOSFET 1 之製造方法之一例進行說明。參照圖 11，於實施形態 2 中之 MOSFET 1 之製造方法中，作為步驟 (S110) 之基板準備步驟、作為步驟 (S120) 之磊晶成長步驟及作為步驟 (S130) 之

第1離子注入步驟分別以與實施形態1中之步驟(S10)、(S20)及(S30)相同之方式實施。

其次，作為步驟(S140)，實施第1各向同性蝕刻步驟。於該步驟(S140)中，參照圖12，藉由對步驟(S130)中使用之遮罩層99實施各向同性蝕刻，形成所期望之與高濃度區域22A之形狀對應之開口99A，如箭頭所示使開口99A擴大。

其次，作為步驟(S150)，實施第2離子注入步驟。於該步驟(S150)中，藉由將於步驟(S140)中使開口99A擴大之遮罩層99作為遮罩實施離子注入，而形成包含高濃度之受體之高濃度區域22A。更具體而言，於步驟(S150)中，藉由離子注入而導入高濃度之p型雜質，於藉由後續之活化退火而導入之雜質中，特定之比例之雜質作為受體發揮功能，藉此形成高濃度區域22A。

其次，作為步驟(S151)，實施第2各向同性蝕刻步驟。於該步驟(S151)中，參照圖13，以藉由對步驟(S150)中使用之遮罩層99實施各向同性蝕刻而形成所期望之與低濃度區域22B之形狀對應之開口99A之方式，如箭頭所示使開口99A擴大。

其次，作為步驟(S152)，實施第4離子注入步驟。於該步驟(S152)中，藉由將於步驟(S151)中使開口99A擴大之遮罩層99作為遮罩實施離子注入，形成具有低於高濃度區域22A之受體濃度之低濃度區域22B。更具體而言，於步驟(S152)中，藉由離子注入而導入較高濃度區域22A更低濃

度之p型雜質，於藉由後續之活化退火導入之雜質中，特定之比例之雜質作為受體發揮功能，藉此形成低濃度區域22B。

其後，作為步驟(S160)之第3離子注入步驟、作為步驟(S170)之閘極氧化膜形成步驟、作為步驟(S180)之閘極電極形成步驟、作為步驟(S190)之接觸電極形成步驟及作為(S200)之配線形成步驟分別以與實施形態1之步驟(S60)、(S70)、(S80)、(S90)及(S100)相同之方式實施。藉由以上之製程完成本實施形態中之半導體裝置之製造製程，而獲得圖10所示之實施形態2中之MOSFET 1。

再者，於上述實施形態中，對本發明之半導體裝置應用於DMOSFET(平面型MOSFET)之情形進行了說明，但本發明之半導體裝置並不限定於此，可應用於以特定之臨界電壓為分界控制通道區域中有無形成反轉層，而導通及阻斷電流之各種半導體裝置。具體而言，本發明之半導體裝置可廣泛應用於例如溝槽型MOSFET(UMOSFET(U型MOSFET))、VMOSFET(Vertical Metal Oxide Semiconductor Field Effect Transistor，垂直型金屬氧化物半導體場效應電晶體)、IGBT等半導體裝置。

應認為此次所揭示之實施形態係於所有方面均為例示，而非進行限制者。本發明之範圍係由申請專利範圍表示，而並非由上述之說明表示，且意圖包含與申請專利範圍均等之含義及範圍內之所有變更。

產業上之可利用性

本發明之半導體裝置尤其有利地應用於可實現降低導通電阻之半導體裝置。

【圖式簡單說明】

圖1係表示實施形態1中之MOSFET之結構之概略剖面圖。

圖2係表示實施形態1中之MOSFET之製造步驟之概略之流程圖。

圖3係用以說明MOSFET之製造方法之概略剖面圖。

圖4係用以說明MOSFET之製造方法之概略剖面圖。

圖5係用以說明MOSFET之製造方法之概略剖面圖。

圖6係用以說明MOSFET之製造方法之概略剖面圖。

圖7係用以說明MOSFET之製造方法之概略剖面圖。

圖8係用以說明MOSFET之製造方法之概略剖面圖。

圖9係用以說明MOSFET之製造方法之概略剖面圖。

圖10係表示實施形態2中之MOSFET之結構之概略剖面圖。

圖11係表示實施形態2中之MOSFET之製造步驟之概略之流程圖。

圖12係用以說明MOSFET之製造方法之概略剖面圖。

圖13係用以說明MOSFET之製造方法之概略剖面圖。

【主要元件符號說明】

1	MOSFET
10	碳化矽基板
10A	主面

20	活化層
21	漂移層
22	p型主體區域
22A	高濃度區域
22B	低濃度區域
22S	表面
24	n ⁺ 源極區域
24A	n ⁺ 區域
25	p ⁺ 接觸區域
29	通道區域
30	閘極氧化膜(熱氧化膜)
40	閘極電極
50	層間絕緣膜
60	源極接觸電極
70	源極配線
80	汲極接觸電極
90	背面保護電極
99	遮罩層
99A	開口
L	通道長
α	箭頭

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100137035

※申請日：100.10.12

※IPC 分類：H01L 29/38 (2006.01)

H01L 29/39 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

二、中文發明摘要：

MOSFET(1)包含碳化矽基板(10)、活化層(20)、閘極氧化膜(30)、及閘極電極(40)。活化層(20)包含藉由對閘極電極(40)施加電壓而形成反轉層之p型主體區域(22)。反轉層中之電子之移動度 μ 係較與p型主體區域(22)之通道區域(29)中之受體濃度 N_a 之倒數成比例之狀態更強地依賴於受體濃度 N_a 。p型主體區域(22)之通道區域(29)中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下。通道長(L)為 $0.43 \mu\text{m}$ 以下。通道長(L)成為由 $d = D \cdot N_a^{-C}$ 表示之通道區域(29)中之空乏層之擴展寬度d以上。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置(1)，其包括：

基板(10)，其包含碳化矽；

磊晶成長層(20)，其包含碳化矽，且形成於上述基板(10)上；

閘極絕緣膜(30)，其包含絕緣體，且與上述磊晶成長層(20)接觸而配置；以及

閘極電極(40)，其係與上述閘極絕緣膜(30)接觸而配置；且

上述磊晶成長層(20)包含p型主體區域(22)，該p型主體區域(22)係導電型為p型，且藉由對上述閘極電極(40)施加電壓而於與上述閘極絕緣膜(30)接觸之區域形成反轉層；

上述反轉層中之電子之移動度 μ 係較與上述p型主體區域(22)之應形成上述反轉層之區域(29)中之受體濃度 N_a 的倒數成比例之狀態更強地依賴於上述受體濃度 N_a ；

上述p型主體區域(22)之應形成上述反轉層之區域(29)之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下；

沿上述反轉層中之電子之移動方向之上述反轉層之長度即通道長(L)為 $0.43 \text{ }\mu\text{m}$ 以下；

上述通道長(L)成為將C及D設為常數且由

$$d = D \cdot N_a^{-C}$$

表示之應形成上述反轉層之上述p型主體區域(22)之區域(29)中之空乏層的擴展寬度d以上。

2. 如請求項1之半導體裝置(1)，其中上述反轉層中之電子之移動度 μ 、與上述p型主體區域(22)之應形成上述反轉層之區域(29)之受體濃度 N_a 之關係可藉由令A及B為實數常數之以下之式逼近

$$1/\mu = A \exp(B \cdot N_a)。$$

3. 如請求項2之半導體裝置(1)，其中上述B之值超過 1×10^{-19} 、小於 1×10^{-16} 。
4. 如請求項2之半導體裝置(1)，其中上述A之值超過0、小於2。
5. 如請求項1之半導體裝置(1)，其中上述C及上述D之值分別滿足 $0.5 < C < 1.0$ 及 $1 \times 10^{14} < D < 1 \times 10^{16}$ 。
6. 如請求項1之半導體裝置(1)，其中

上述p型主體區域(22)包含：

高濃度區域(22A)，其係以包含應形成上述反轉層之區域(29)之方式而配置，且受體濃度 N_a 較高；及

低濃度區域(22B)，其係於上述反轉層中之電子之移動方向與上述高濃度區域(22A)鄰接，以包含應形成上述反轉層之區域(29)之方式而配置，且受體濃度 N_a 低於上述高濃度區域(22A)。

7. 如請求項6之半導體裝置(1)，其中上述低濃度區域(22B)中之受體濃度 N_a 成為上述高濃度區域(22A)中之受體濃度 N_a 之1/2以下。
8. 一種半導體裝置(1)，其包括：
- 基板(10)，其包含碳化矽；

磊晶成長層(20)，其包含碳化矽，且形成於上述基板(10)上；

閘極絕緣膜(30)，其包含絕緣體，且與上述磊晶成長層(20)接觸而配置；以及

閘極電極(40)，其係與上述閘極絕緣膜(30)接觸而配置；且

上述磊晶成長層(20)包含p型主體區域(22)，該p型主體區域(22)係導電型為p型，且藉由對上述閘極電極(40)施加電壓而於與上述閘極絕緣膜(30)接觸之區域形成反轉層；

夾持上述閘極絕緣膜(30)與上述閘極電極(40)相對向之上述磊晶成長層(20)之表面(22S)、與構成上述磊晶成長層(20)之碳化矽之(0001)面所形成之角度為 8° 以下；

上述p型主體區域(22)之應形成上述反轉層之區域(29)中之受體濃度 N_a 為 $1 \times 10^{16} \text{ cm}^{-3}$ 以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 以下；

沿上述反轉層之電子之移動方向之上述反轉層之長度即通道長(L)為 $0.43 \text{ } \mu\text{m}$ 以下；

上述通道長(L)成為將C及D設為常數且由

$$d = D \cdot N_a^{-C}$$

表示之應形成上述反轉層之上述p型主體區域(22)之區域中之空乏層的擴展寬度d以上。

9. 如請求項8之半導體裝置(1)，其中上述C及上述D之值分別滿足 $0.5 < C < 1.0$ 及 $1 \times 10^{14} < D < 1 \times 10^{16}$ 。

10. 如請求項8之半導體裝置(1)，其中

上述p型主體區域(22)包含：

高濃度區域(22A)，其係以包含應形成上述反轉層之區域(29)之方式而配置，且受體濃度 N_a 較高；及

低濃度區域(22B)，其係於上述反轉層中之電子之移動方向與上述高濃度區域(22A)鄰接，以包含應形成上述反轉層之區域(29)之方式而配置，且受體濃度 N_a 低於上述高濃度區域(22A)。

11. 如請求項10之半導體裝置(1)，其中上述低濃度區域(22B)中之受體濃度 N_a 成為上述高濃度區域(22A)中之受體濃度 N_a 之1/2以下。

八、圖式：

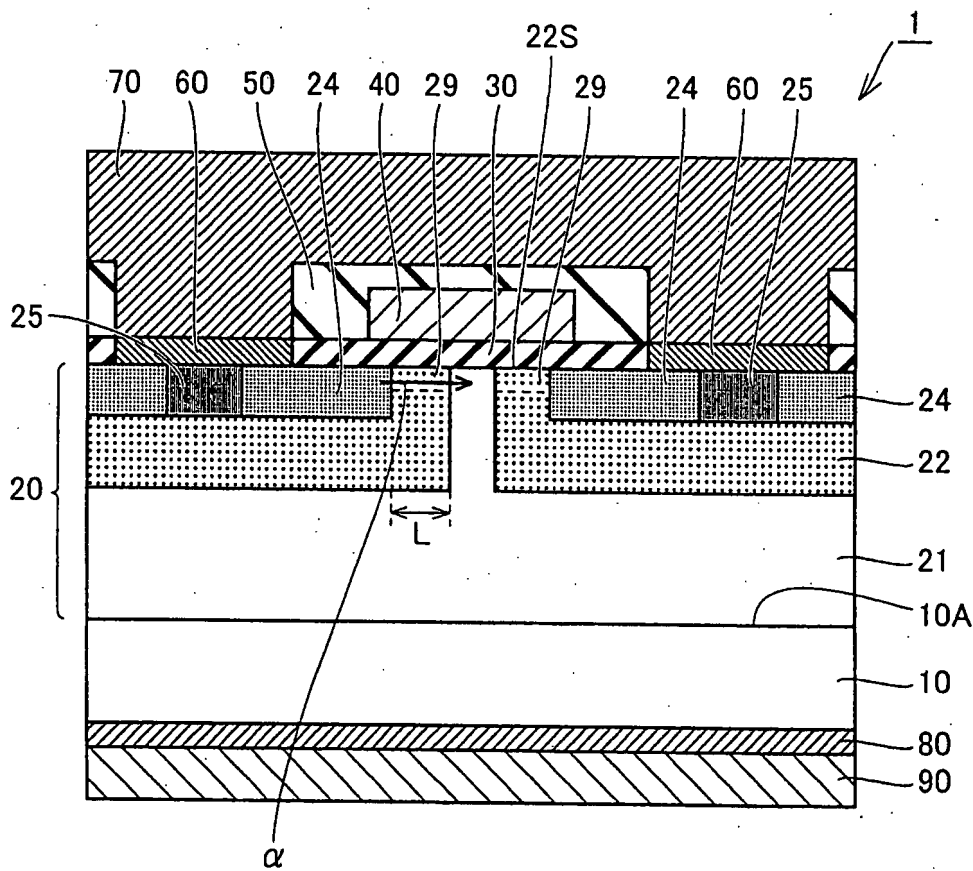


圖 1

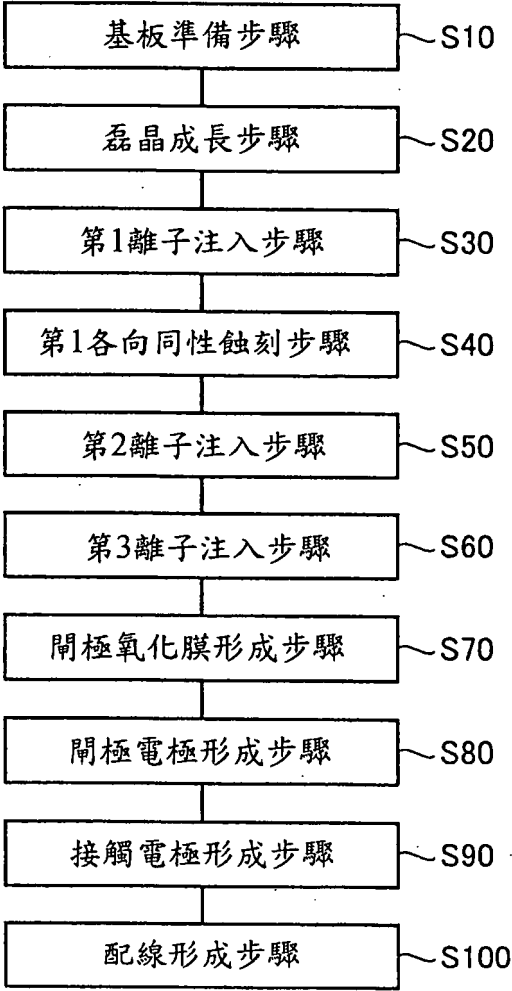


圖2

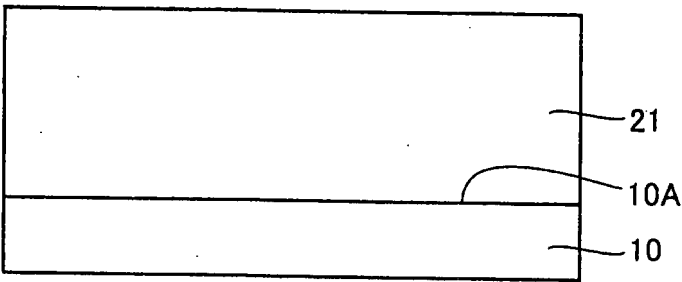


圖3

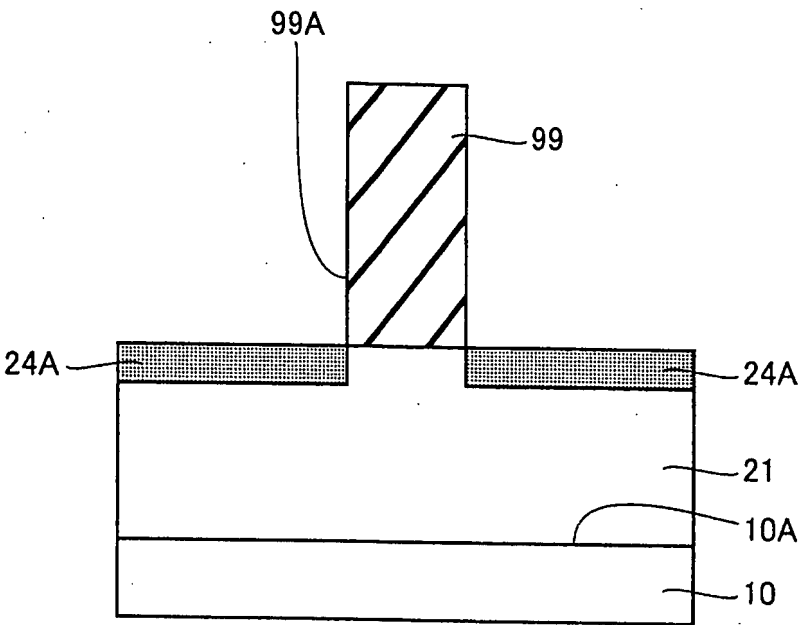


圖4

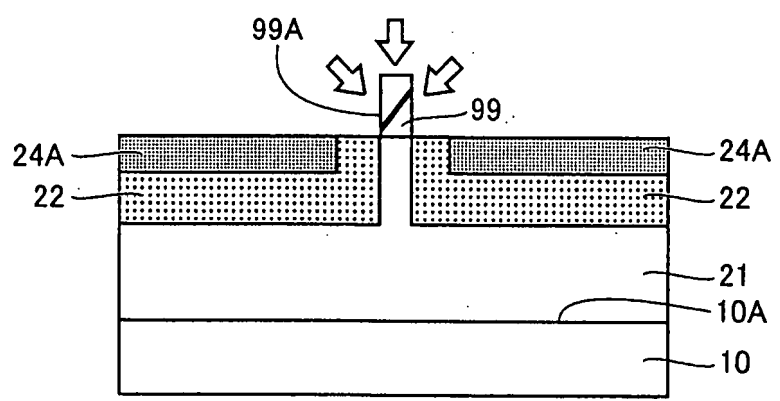


圖5

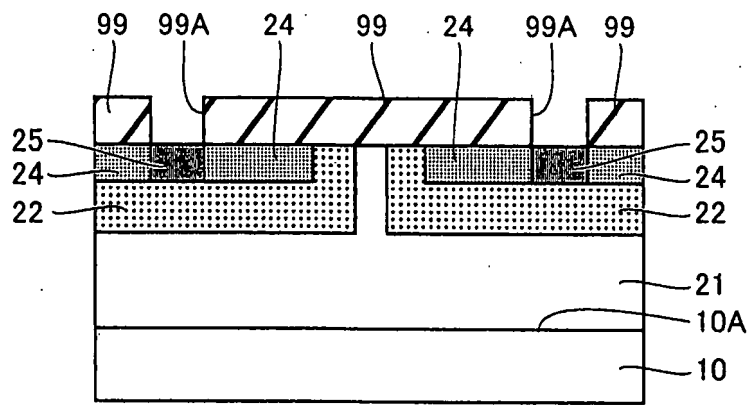


圖6

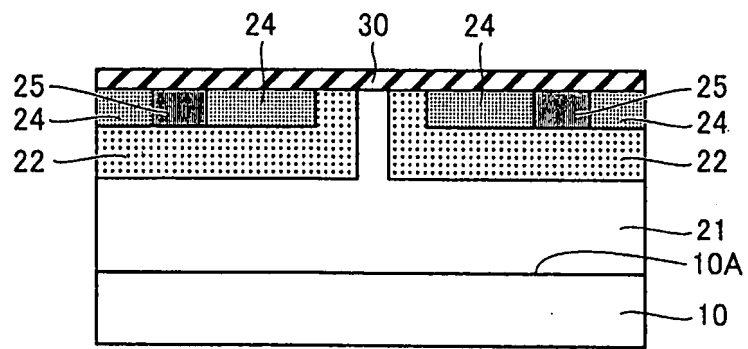


圖7

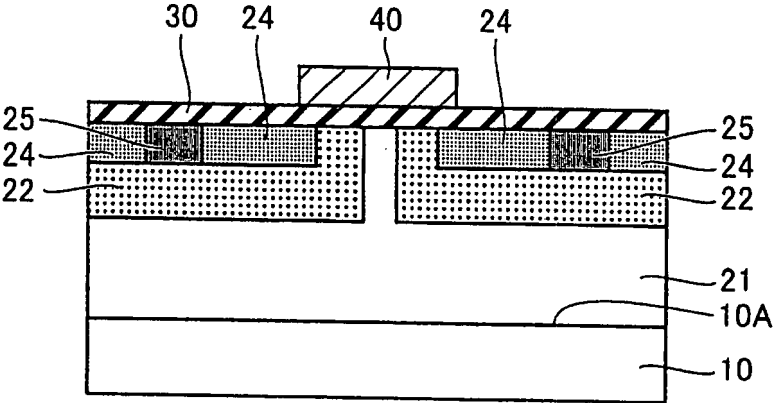


圖8

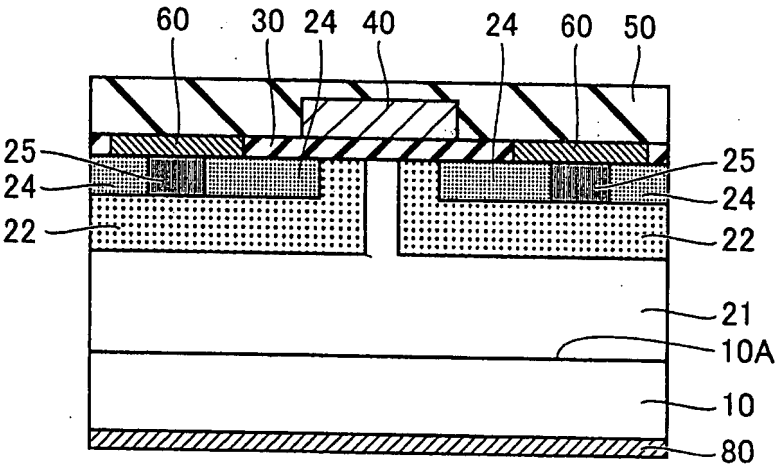


圖9

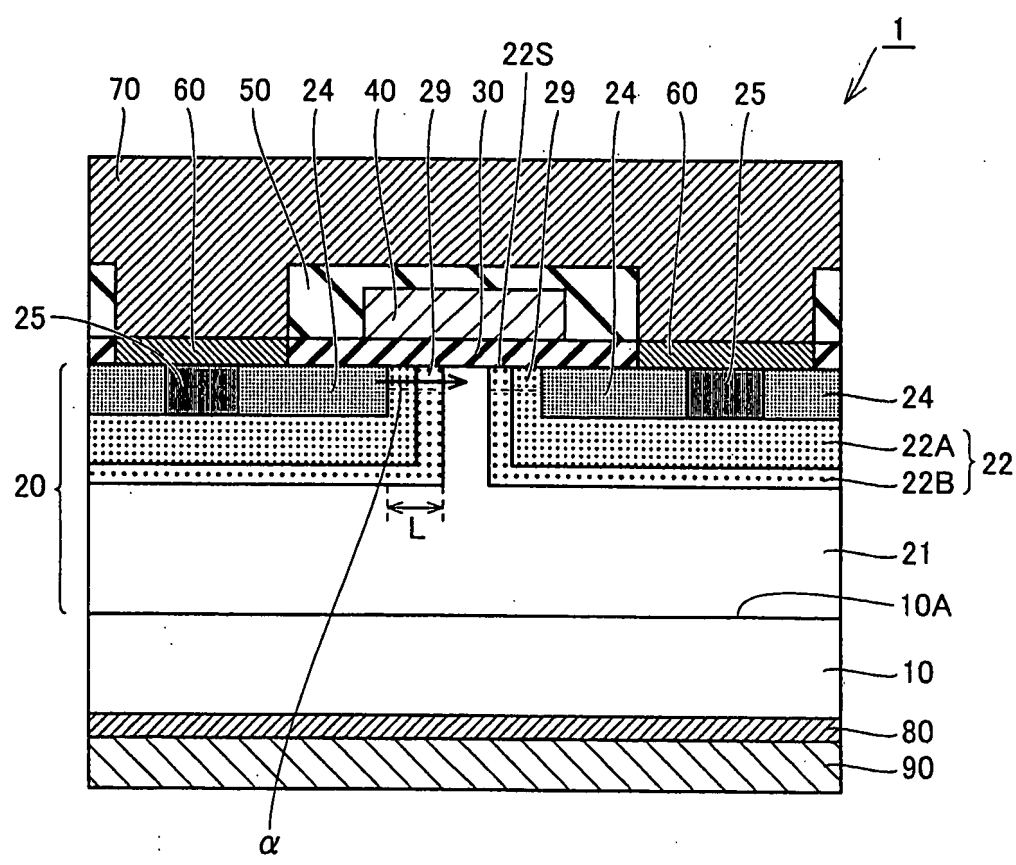


圖10

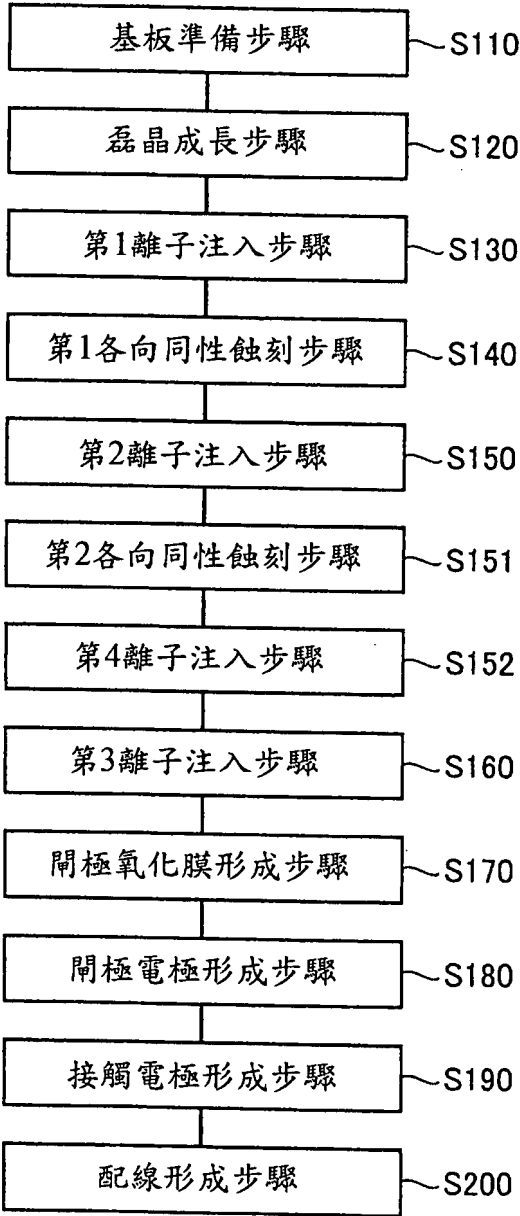


圖 11

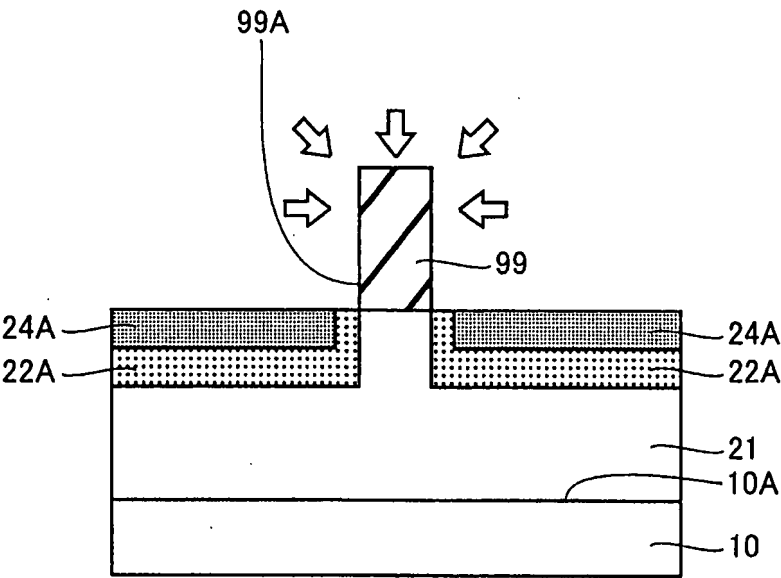


圖12

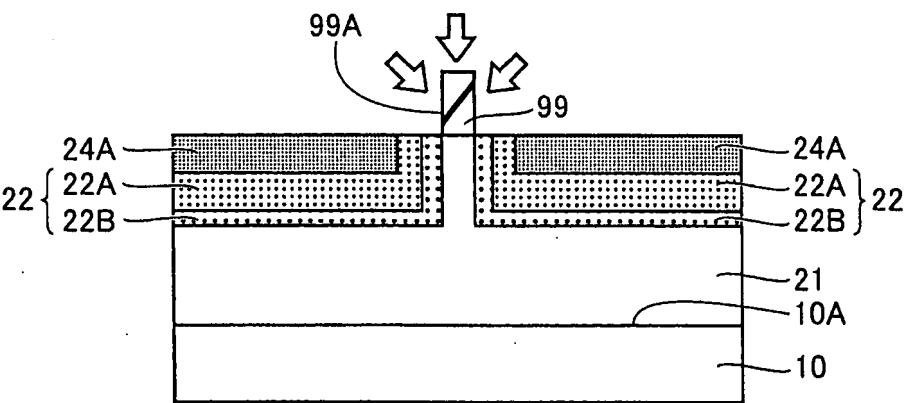


圖13

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1	MOSFET
10	碳化矽基板
10A	主面
20	活化層
21	漂移層
22	p型主體區域
22S	表面
24	n ⁺ 源極區域
25	p ⁺ 接觸區域
29	通道區域
30	閘極氧化膜(熱氧化膜)
40	閘極電極
50	層間絕緣膜
60	源極接觸電極
70	源極配線
80	汲極接觸電極
90	背面保護電極
L	通道長
α	箭頭

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)