

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7084090号

(P7084090)

(45)発行日 令和4年6月14日(2022.6.14)

(24)登録日 令和4年6月6日(2022.6.6)

(51)国際特許分類

F I

H 0 2 M 3/28 (2006.01)

H 0 2 M 3/28

F

H 0 2 M 7/21 (2006.01)

H 0 2 M 7/21

A

請求項の数 1 (全19頁)

(21)出願番号	特願2017-235336(P2017-235336)	(73)特許権者	000237721
(22)出願日	平成29年12月7日(2017.12.7)		F D K株式会社
(65)公開番号	特開2019-103357(P2019-103357 A)	(74)代理人	100090022
(43)公開日	令和1年6月24日(2019.6.24)		弁理士 長門 侃二
審査請求日	令和2年10月8日(2020.10.8)	(72)発明者	大中 智貴
			東京都港区港南一丁目6番41号 F D K株式会社内
		(72)発明者	石川 雅
			東京都港区港南一丁目6番41号 F D K株式会社内
		(72)発明者	福井 規生
			東京都港区港南一丁目6番41号 F D K株式会社内
		審査官	土井 悠生

最終頁に続く

(54)【発明の名称】 スイッチング電源

## (57)【特許請求の範囲】

## 【請求項1】

入力端及び出力端と、

前記入力端から電圧を入力させるための第1スイッチング回路、及び前記入力した電圧を変換した後に前記出力端から出力させるための第2スイッチング回路を含む電圧変換器と、前記第1スイッチング回路、及び前記第2スイッチング回路を選択的に順次駆動させる制御信号を出力する制御回路であって、前記第1スイッチング回路に第1制御信号を出力し、前記第2スイッチング回路に第2制御信号を出力する制御回路と、前記第1スイッチング回路、及び前記第2スイッチング回路のうちの少なくともいずれか一方を遅延させる遅延回路であって、当該遅延回路が前記第1スイッチング回路をオンにするタイミングを遅延させるときは前記遅延回路に前記制御回路から前記第2制御信号が供給され、または、当該遅延回路が前記第2スイッチング回路をオンするタイミングを遅延させるときは前記遅延回路に前記制御回路から前記第1制御信号が供給され、前記第1スイッチング回路、及び前記第2スイッチング回路両方がオフとなるデッドタイムを設ける遅延回路と、を具備するスイッチング電源であって、

前記制御回路は、前記第1制御信号を出力する第1の信号出力端と前記第2制御信号を出力する第2の信号出力端とを備え、前記遅延回路は、前記第1の信号出力端および前記第2の信号出力端のいずれか1つに接続される第1抵抗と、前記第1抵抗と直列に接続される第2抵抗と、前記第2抵抗と並列に接続されるコンデンサと、前記第1抵抗、及び前記第2抵抗の間にゲートが接続され、前記第1スイッチング回路及び前記第2スイッチン

グ回路のうち前記遅延回路がオンなるタイミングを遅延させるスイッチング回路にドレインが接続されるスイッチング素子と、を備えるスイッチング電源。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力した電圧を変換して出力するスイッチング電源に関する。

【背景技術】

【0002】

スイッチング電源は、入力端及び出力端を有し、入力端から入力した電圧を変換して出力端へ出力している。当該スイッチング電源では、内部に設けられた入力端から電圧を入力させるための第1トランジスタ、及び変換した電圧を出力端から出力させるための第2トランジスタを専用ICから出力される制御信号によりオンオフすることで、入力端から入力した電圧を出力端から出力している。上記スイッチング電源は、第1トランジスタ、及び第2トランジスタ両方がオフとなる時間（デッドタイム）を設け、第1トランジスタ、及び第2トランジスタ両方が同時にオンしないように構成されている。当該デッドタイムは、専用ICにより固定されている。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特開2001-112241号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

一方で、第1トランジスタ、及び第2トランジスタのオンオフは、専用ICにて制御しているため、汎用性の高いICを使用することができない。また、デッドタイムが専用ICにより固定されているため、回路の構成によっては、第1トランジスタ、及び第2トランジスタを同時にオンする可能性がある。第1トランジスタ、及び第2トランジスタを同時オンすることにより、回路が損傷する。さらに、デッドタイムが専用ICにより固定されているため、任意のデッドタイムに調整することができない。これにより、回路に最適なデッドタイムに調整することができないため、スイッチング電源における昇降圧の効率を向上させることができない。

30

【0005】

本発明はこのような事情を考慮してなされたものであり、その目的とするところは、電圧の昇降圧動作における回路損傷等のリスクを低減しつつ、昇降圧の効率を向上することができるスイッチング電源を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するため、本実施形態に係るスイッチング電源は、入力端及び出力端と、前記入力端から電圧を入力させるための第1スイッチング回路、及び前記入力した電圧を変換した後に前記出力端から出力させるための第2スイッチング回路を含む電圧変換器と、前記第1スイッチング回路、及び前記第2スイッチング回路を選択的に順次駆動させる制御信号を出力する制御回路と、前記第1スイッチング回路、及び前記第2スイッチング回路のうちのいずれか一方を駆動するための前記制御信号を基に、駆動させていない他方の次の駆動のタイミングを遅延させることで、前記第1スイッチング回路、及び前記第2スイッチング回路両方がオフとなるデッドタイムを設ける遅延回路と、を具備する。

40

【0007】

上記構成によれば、本実施形態に係るスイッチング電源は、遅延回路により、第1スイッチング回路、及び第2スイッチング回路両方がオフとなるデッドタイムを設けるようにしている。これにより、第1スイッチング回路、及び第2スイッチング回路が同時にオンすることを防ぐことができる。また、様々なタイミングで第1制御信号、及び第2制御信号

50

が入力されてもデッドタイムを確保し、第 1 スイッチング回路、及び第 2 スイッチング回路が同時にオンすることを防ぐことができる。

【発明の効果】

【0008】

本実施形態に係るスイッチング電源は、電圧の昇降圧動作における回路損傷等のリスクを低減しつつ、昇降圧の効率を向上することができる。

【図面の簡単な説明】

【0009】

【図 1】本実施形態に係るスイッチング電源を示すブロック図である。

【図 2】図 1 に示すスイッチング電源の一例を示す回路図である。

【図 3】第 1 スイッチング回路、及び第 2 スイッチング回路に第 1 制御信号、及び第 2 制御信号が交互に入力される場合のタイミングチャートである。

【図 4】第 1 スイッチング回路、及び第 2 スイッチング回路に第 1 制御信号、及び第 2 制御信号が離散的に入力される場合のタイミングチャートである。

【図 5】第 1 スイッチング回路、及び第 2 スイッチング回路に第 1 制御信号、及び第 2 制御信号が重なって入力される場合のタイミングチャートである。

【図 6】変形例に係るスイッチング電源の一例を示す回路図である。

【図 7】変形例において、第 1 スイッチング回路、及び第 2 スイッチング回路に第 1 制御信号、及び第 2 制御信号が交互に入力される場合のタイミングチャートである。

【図 8】変形例において、第 1 スイッチング回路、及び第 2 スイッチング回路に第 1 制御信号、及び第 2 制御信号が離散的に入力される場合のタイミングチャートである。

【発明を実施するための形態】

【0010】

以下、本発明の一実施形態に係るスイッチング電源について、図面を参照して説明する。なお、本実施形態は以下に説明する内容に限定されるものではなく、その要旨を変更しない範囲において任意に変更して実施することが可能である。また、実施形態の説明に用いる図面は、いずれも構成部材を模式的に示すものであって、理解を深めるべく部分的な強調、拡大、縮小、または省略などを行っており、構成部材の縮尺や形状等を正確に表すものとはなっていない場合がある。

【0011】

図 1 は、本実施形態に係るスイッチング電源を示すブロック図である。図 1 に示すスイッチング電源は、例えば、第 1 正極端  $T_1$  及び第 1 負極端  $T_2$  を有する入力端  $I$  から入力された電圧を変換して、第 2 正極端  $T_3$  及び第 2 負極端  $T_4$  を有する出力端  $O$  から出力する装置である。図 1 に示すスイッチング電源は、電圧変換器 10、制御回路 20、及び遅延回路 30 を有する。

【0012】

電圧変換器 10 は、入力端  $I$  から入力された電圧を変換して、出力端  $O$  から出力する。電圧変換器 10 は、入力端  $I$  から電圧を入力させるための第 1 スイッチング回路  $SW_1$  と、入力した電圧を変換した後に出力端  $O$  から出力させるための第 2 スイッチング回路  $SW_2$  とを含む。

【0013】

制御回路 20 は、上記第 1 スイッチング回路  $SW_1$ 、及び第 2 スイッチング回路  $SW_2$  を選択的に順次駆動させる制御信号を出力する。例えば、制御回路 20 は、第 1 スイッチング回路  $SW_1$  をオンする第 1 制御信号、及び第 2 スイッチング回路  $SW_2$  をオンする第 2 制御信号を出力する。制御回路 20 から出力される第 1 制御信号、及び第 2 制御信号は、一定の周期でオン期間、又はオフ期間を繰り返すパルス信号である。制御回路 20 は、例えば、汎用の IC である。制御回路 20 は、外部電源  $V_{cc}$  に接続されている。

【0014】

遅延回路 30 は、第 1 スイッチング回路  $SW_1$ 、及び第 2 スイッチング回路  $SW_2$  のうちのいずれか一方を駆動するための制御信号を基に、駆動させていない他方の次の駆動のタ

10

20

30

40

50

イミングを遅延させる。例えば、遅延回路 30 は、第 1 スイッチング回路 SW 1 をオンする第 1 制御信号を基に、駆動させていない第 2 スイッチング回路 SW 2 を次にオンするタイミングを遅延させる。また、遅延回路 30 は、第 2 スイッチング回路 SW 2 をオンする第 2 制御信号を基に、駆動させていない第 1 スイッチング回路 SW 1 を次にオンするタイミングを遅延させる。これにより、遅延回路 30 は、第 1 スイッチング回路、及び第 2 スイッチング回路 SW 2 を選択的に順次駆動させる過程において、第 1 スイッチング回路 SW 1、及び第 2 スイッチング回路 SW 2 両方がオフとなるデッドタイムを設ける。

#### 【0015】

さらに、図 1 に示す各部の詳細な回路構成について、図 2 を参照して説明する。図 2 は、図 1 に示すスイッチング電源の一例を示す回路図である。ここで、図 2 に示す電圧変換器 10 は、トランス Tr を含んでいる。図 2 に示すように、第 1 正極端 T<sub>1</sub> は、トランスの一次巻線の一端 T<sub>5</sub> に接続される。第 1 負極端 T<sub>2</sub> は、トランス Tr の一次巻線の他端 T<sub>6</sub> に接続される。第 2 正極端 T<sub>3</sub> は、トランスの二次巻線の一端 T<sub>7</sub> に接続される。第 2 負極端 T<sub>4</sub> は、トランス Tr の二次巻線の他端 T<sub>8</sub> に接続される。第 2 負極端 T<sub>4</sub> は、グランド GND に地絡される。

#### 【0016】

また、図 2 に示す電圧変換器 10 は、コイル L と、第 1 コンデンサ C 1 とを含む。コイル L は、トランス Tr の二次巻線の一端 T<sub>7</sub>、及び第 2 正極端 T<sub>3</sub> の間に接続される。第 1 コンデンサ C 1 の一端は、コイル L の正極端側の他端、及び第 2 正極端 T<sub>3</sub> の間に接続される。また、第 1 コンデンサ C 1 の他端は、第 2 負極端 T<sub>4</sub> に接続される。つまり、第 1 コンデンサ C 1 の他端は、グランド GND に地絡される。すなわち、図 2 に示す電圧変換器 10 は、入力端 I と出力端 O との間にトランス Tr を設け、入力端 I から入力された電圧を降圧して出力端 O から出力する絶縁型降圧コンバータである。以降、実施形態では、説明の便宜上、第 2 負極端 T<sub>4</sub> に接続される場合、グランド GND に地絡されると記載する。

#### 【0017】

また、トランス Tr の一次巻線側への電圧の入力は、入力側スイッチング回路 Q<sub>in</sub> により管理されている。入力側スイッチング回路 Q<sub>in</sub> のゲートは、図示しないスイッチング電源に接続されている。

#### 【0018】

第 1 スイッチング回路 SW 1 は、トランス Tr の二次巻線の他端 T<sub>8</sub>、及び第 2 負極端 T<sub>4</sub> の間に接続される。第 1 スイッチング回路 SW 1 の駆動は、入力側スイッチング回路 Q<sub>in</sub> の駆動に同期している。例えば、入力側スイッチング回路 Q<sub>in</sub> がオンとなった場合、第 1 スイッチング回路 SW 1 は、オンとなる。第 2 スイッチング回路 SW 2 の一端は、トランス Tr の二次巻線の一端 T<sub>7</sub>、及びコイル L の第 1 正極端側の一端の間に接続される。また、第 2 スイッチング回路 SW 2 の他端は、グランド GND に地絡される。

#### 【0019】

ここで、第 1 スイッチング回路 SW 1、及び第 2 スイッチング回路 SW 2 の回路構成について詳しく説明する。第 1 スイッチング回路 SW 1 は、第 1 抵抗 R 1、第 2 抵抗 R 2、及び第 1 スイッチング素子 Q 1 を有する。第 1 抵抗 R 1 の一端は、制御回路 20 における第 1 制御信号（図 2 に示す A 信号）を出力するための第 1 の信号出力端 O<sub>1</sub> に接続される。第 2 抵抗 R 2 は、第 1 抵抗 R 1 と直列に接続される。すなわち、第 2 抵抗 R 2 の一端は、第 1 抵抗 R 1 の他端に接続される。また、第 2 抵抗 R 2 の他端は、グランド GND に地絡される。第 1 スイッチング素子 Q 1 は、例えば、n チャネル MOS - FET である。第 1 スイッチング素子 Q 1 のゲートは、第 1 抵抗 R 1、及び第 2 抵抗 R 2 の間に接続される。また、第 1 スイッチング素子 Q 1 のドレインは、トランス Tr の二次巻線の他端 T<sub>8</sub> に接続される。また、第 1 スイッチング素子 Q 1 のソースは、グランド GND に地絡される。

#### 【0020】

第 2 スイッチング回路 SW 2 は、第 3 抵抗 R 3、第 4 抵抗 R 4、及び第 2 スイッチング素子 Q 2 を有する。第 3 抵抗 R 3 の一端は、制御回路 20 における第 2 制御信号（図 2 に示

10

20

30

40

50

すB信号)を出力するための第2の信号出力端O<sub>2</sub>に接続される。第4抵抗R<sub>4</sub>は、第3抵抗R<sub>3</sub>と直列に接続される。すなわち、第4抵抗R<sub>4</sub>の一端は、第3抵抗R<sub>3</sub>の他端に接続される。また、第4抵抗R<sub>4</sub>の他端は、グランドGNDに地絡される。第2スイッチング素子Q<sub>2</sub>は、例えば、nチャネルMOS-FETである。第2スイッチング素子Q<sub>2</sub>のゲートは、第3抵抗R<sub>3</sub>、及び第4抵抗R<sub>4</sub>の間に接続される。また、第2スイッチング素子Q<sub>2</sub>のドレインは、トランスTrの二次巻線の一端T<sub>7</sub>、及びコイルLの第1正極端側の一端の間に接続される。また、第2スイッチング素子Q<sub>2</sub>のソースは、グランドGNDに地絡される。

#### 【0021】

遅延回路30は、第1遅延回路31、及び第2遅延回路32を有する。第1遅延回路31は、第1スイッチング回路SW1をオンする第1制御信号を基に、駆動させていない第2スイッチング回路SW2を次にオンするタイミングを遅延させる。第1遅延回路31は、第5抵抗R<sub>5</sub>、第6抵抗R<sub>6</sub>、及び第3スイッチング素子Q<sub>3</sub>を有する。第5抵抗R<sub>5</sub>の一端は、第1の信号出力端O<sub>1</sub>、及び第1抵抗R<sub>1</sub>の間に接続される。第6抵抗R<sub>6</sub>は、第5抵抗R<sub>5</sub>と直列に接続される。すなわち、第6抵抗R<sub>6</sub>の一端は、第5抵抗R<sub>5</sub>の他端に接続される。また、第6抵抗R<sub>6</sub>の他端は、グランドGNDに地絡される。第2コンデンサC<sub>2</sub>は、第6抵抗R<sub>6</sub>と並列に接続される。すなわち、第2コンデンサC<sub>2</sub>の一端は、第5抵抗R<sub>5</sub>、及び第6抵抗R<sub>6</sub>の間、かつ第3スイッチング素子Q<sub>3</sub>のゲートに接続される。また、第2コンデンサC<sub>2</sub>の他端は、グランドGNDに接続される。第3スイッチング素子Q<sub>3</sub>のゲートは、第5抵抗R<sub>5</sub>、及び第6抵抗R<sub>6</sub>の間に接続される。また、第3スイッチング素子Q<sub>3</sub>のドレインは、第3抵抗R<sub>3</sub>、及び第4抵抗R<sub>4</sub>の間、かつ第2スイッチング素子Q<sub>2</sub>のゲートに接続される。また、第3スイッチング素子Q<sub>3</sub>のソースは、グランドGNDに地絡される。

#### 【0022】

第2遅延回路32は、第2スイッチング回路SW2をオンする第2制御信号を基に、駆動させていない第1スイッチング回路SW1を次にオンするタイミングを遅延させる。第2遅延回路32は、第7抵抗R<sub>7</sub>、第8抵抗R<sub>8</sub>、及び第4スイッチング素子Q<sub>4</sub>を有する。第7抵抗R<sub>7</sub>の一端は、第2の信号出力端O<sub>2</sub>に接続される。第8抵抗R<sub>8</sub>は、第7抵抗R<sub>7</sub>と直列に接続される。すなわち、第8抵抗R<sub>8</sub>の一端は、第7抵抗R<sub>7</sub>の他端に接続される。第8抵抗R<sub>8</sub>の他端は、グランドGNDに地絡される。第3コンデンサC<sub>3</sub>は、第8抵抗R<sub>8</sub>と並列に接続される。すなわち、第8抵抗R<sub>8</sub>の一端は、第7抵抗R<sub>7</sub>、及び第8抵抗R<sub>8</sub>の間、かつ第4スイッチング素子Q<sub>4</sub>のゲートに接続される。また、第8抵抗R<sub>8</sub>の他端は、グランドGNDに地絡される。第4スイッチング素子Q<sub>4</sub>のゲートは、第7抵抗R<sub>7</sub>、及び第8抵抗R<sub>8</sub>の間に接続される。また、第4スイッチング素子Q<sub>4</sub>のドレインは、第1抵抗R<sub>1</sub>、及び第1抵抗R<sub>1</sub>の間、かつ第1スイッチング素子Q<sub>1</sub>のゲートに接続される。また、第4スイッチング素子Q<sub>4</sub>のソースは、グランドGNDに地絡される。

#### 【0023】

ここで、本実施形態における第1スイッチング回路SW1、及び第2スイッチング回路SW2のオンオフに伴う各素子の状態について、第1スイッチング回路SW1、及び第2スイッチング回路SW2のオンオフに関するタイミングチャートと共に説明する。なお、本実施形態では、第1制御信号、及び第2制御信号が交互に入力される場合、第1制御信号、及び第2制御信号が離散的に入力される場合、第1制御信号、及び第2制御信号が重なって入力される場合に分けて記載する。また、以下の実施形態において、重複する記載については必要に応じて省略することとする。

#### 【0024】

(第1制御信号、及び第2制御信号が交互に入力される場合)

図3は、第1スイッチング回路SW1、及び第2スイッチング回路SW2に第1制御信号、及び第2制御信号が交互に入力される場合のタイミングチャートである。図3に示すタイミングチャートは、制御回路20により第1スイッチング回路SW1をオンする第1制

10

20

30

40

50

御信号（図3に示すA信号）、及び第2スイッチング回路SW2をオンする第2制御信号（図3に示すB信号）を交互に入力した場合の第3スイッチング素子Q3におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、第4スイッチング素子Q4におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、第1スイッチング素子Q1におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、並びに第2スイッチング素子Q2におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ を示している。すなわち、図3は、上記A信号、及びB信号を交互に入力した場合のスイッチング電源に含まれる各素子の状態を示している。

【0025】

（A信号がオンとなってからA信号がオフとなる直前までの期間（第1期間））

10

まず、図3に示すA信号がオンとなってからA信号がオフになる直前までの期間において、第1抵抗R1を通過したA信号が第1スイッチング素子Q1のゲートに入力される。これにより、第1スイッチング素子Q1におけるゲートソース間電圧 $V_{gs}$ がオンとなる。また、第1スイッチング素子Q1におけるドレインソース間電圧 $V_{ds}$ がオンとなる。すなわち、第1スイッチング素子Q1は、オンとなる。

【0026】

また、第5抵抗R5を通過したA信号が第2コンデンサC2に入力される。これにより、第2コンデンサC2は、電荷を蓄積する。一方、第5抵抗R5を通過したA信号が第3スイッチング素子Q3のゲートにも入力される。これにより、第3スイッチング素子Q3におけるゲートソース間電圧 $V_{gs}$ がオンとなる。また、第3スイッチング素子Q3におけるドレインソース間電圧 $V_{ds}$ がオンとなる。すなわち、第3スイッチング素子Q3は、オンとなる。

20

【0027】

（A信号がオフとなってからB信号がオンとなる直前までの期間（第2期間））

次に、A信号がオフとなってからB信号がオンとなる直前までの期間において、A信号が第1スイッチング素子Q1のゲートに入力されない。これにより、第1スイッチング素子Q1におけるゲートソース間電圧 $V_{gs}$ がオフとなる。また、第1スイッチング素子Q1におけるドレインソース間電圧 $V_{ds}$ がオフとなる。すなわち、第1スイッチング素子Q1は、オフとなる。

【0028】

30

また、A信号が第2コンデンサC2に入力されない。第2コンデンサC2は、蓄積した電荷を第3スイッチング素子Q3のゲートに供給する。ここで、第2コンデンサC2から出力された電荷の一部は、A信号の供給経路を介して、第1スイッチング素子Q1のゲートにも供給される。しかし、供給経路に第5抵抗R5、及び第1抵抗R1が存在するため、電圧が下がる。これにより、電荷の一部が第1スイッチング素子Q1のゲートに入力されても、第1スイッチング素子Q1のゲート閾値電圧が所定の値まで上昇しない。すなわち、第1スイッチング素子Q1は、オンとならない。

【0029】

また、A信号が第3スイッチング素子Q3のゲートに入力されない。これにより、第3スイッチング素子Q3におけるゲートソース間電圧 $V_{gs}$ がオフとなる。また、第3スイッチング素子Q3におけるドレインソース間電圧 $V_{ds}$ がオフとなる。すなわち、第3スイッチング素子Q3は、オフとなる。このとき、第3スイッチング素子Q3は、第1スイッチング素子Q1より遅れてオフとなる。この理由としては、第3スイッチング素子Q3のゲートに第2コンデンサC2から電荷が供給されているためである。第2コンデンサC2から電荷が供給されることにより、第3スイッチング素子Q3のゲート閾値電圧を超える電圧が所定の時間だけかかる。ここで、所定の時間は、第2コンデンサC2に供給されるB信号のパルス幅、並びに第5抵抗R5、第6抵抗R6、及び第2コンデンサC2から算出される時定数から求めることができる。本実施形態において、第3スイッチング素子Q3では、第2コンデンサC2に供給されるB信号のパルス幅、並びに第5抵抗R5、第6抵抗R6、及び第2コンデンサC2から算出される所定の時間の分だけ、オフとなるタイ

40

50

ミングが遅くなる。一定時間経過後、第3スイッチング素子Q3は、オフとなる。

【0030】

(B信号がオンとなつてからB信号がオフとなる直前までの期間(第3期間))

次に、B信号がオンとなつてからB信号がオフとなる直前までの期間において、第3抵抗R3を通過したB信号が第2スイッチング素子Q2のゲートに入力される。このとき、第2スイッチング素子Q2は、オフのままとなる。この理由としては、第3スイッチング素子Q3が第1スイッチング素子Q1より遅れてオフとなるためである。まず、第3スイッチング素子Q3は、第2コンデンサC2から電荷が供給されているため、オンのままとなる。つまり、第3スイッチング素子Q3のドレインソース間が導通しているため、第3抵抗R3を通過したB信号の一部が第3スイッチング素子Q3のドレインソース間を流れる。これにより、B信号が第2スイッチング素子Q2のゲートに入力されても、第2スイッチング素子Q2のゲート閾値電圧が所定の値まで上昇しない。すなわち、第3スイッチング素子Q3を第1スイッチング素子Q1より遅れてオフすることで、第2スイッチング素子Q2をオンするタイミングを遅延させることができる。結果として、第1スイッチング素子Q1、及び第2スイッチング素子Q2両方がオフとなる時間(デッドタイム)Tdを確保することができる。

10

【0031】

一定時間経過後、第3スイッチング素子Q3がオフとなつてから、第2スイッチング素子Q2におけるゲートソース間電圧Vgsがオンとなる。また、第2スイッチング素子Q2におけるドレインソース間電圧Vdsがオンとなる。すなわち、第2スイッチング素子Q2は、オンとなる。

20

【0032】

また、第7抵抗R7を通過したB信号が第3コンデンサC3に入力される。これにより、第3コンデンサC3は、電荷を蓄積する。一方、第7抵抗R7を通過したB信号が第4スイッチング素子Q4のゲートにも入力される。これにより、第4スイッチング素子Q4におけるゲートソース間電圧Vgsがオンとなる。また、第4スイッチング素子Q4におけるドレインソース間電圧Vdsがオンとなる。すなわち、第4スイッチング素子Q4は、オンとなる。

【0033】

(B信号がオフとなつてからA信号がオンとなる直前までの期間(第4期間))

次に、B信号がオフとなつてからA信号がオンとなる直前までの期間において、B信号が第2スイッチング素子Q2のゲートに入力されない。これにより、第2スイッチング素子Q2におけるゲートソース間電圧Vgsがオフとなる。また、第2スイッチング素子Q2におけるドレインソース間電圧Vdsがオフとなる。すなわち、第2スイッチング素子Q2は、オフとなる。

30

【0034】

また、B信号が第3コンデンサC3に入力されない。第3コンデンサC3は、蓄積した電荷を第4スイッチング素子Q4のゲートに供給する。ここで、第3コンデンサC3から出力された電荷の一部は、B信号の供給経路を介して、第2スイッチング素子Q2のゲートにも供給される。しかし、供給経路に第7抵抗R7及び第3抵抗R3が存在するため、電圧が下がる。これにより、電荷の一部が第2スイッチング素子Q2のゲートに入力されても、第2スイッチング素子Q2のゲート閾値電圧が所定の値まで上昇しない。すなわち、第2スイッチング素子Q2は、オンとならない。

40

【0035】

また、B信号が第4スイッチング素子Q4のゲートに入力されない。これにより、第4スイッチング素子Q4におけるゲートソース間電圧Vgsがオフとなる。また、第4スイッチング素子Q4におけるドレインソース間電圧Vdsがオフとなる。すなわち、第4スイッチング素子Q4は、オフとなる。このとき、第4スイッチング素子Q4は、第2スイッチング素子Q2より遅れてオフとなる。この理由としては、第4スイッチング素子Q4のゲートに第3コンデンサC3から電荷が供給されているためである。第3コンデンサC3

50

から電荷が供給されることにより、第4スイッチング素子Q4のゲート閾値電圧を超える電圧が所定の時間だけかかる。ここで、所定の時間は、第3コンデンサC3に供給されるA信号のパルス幅、並びに第7抵抗R7、第8抵抗R8、及び第3コンデンサC3から算出される時定数から求めることができる。本実施形態において、第4スイッチング素子Q4では、第3コンデンサC3に供給されるA信号のパルス幅、並びに第7抵抗R7、第8抵抗R8、及び第3コンデンサC3から算出される所定の時間の分だけ、オフとなるタイミングが遅くなる。一定時間経過後、第4スイッチング素子Q4は、オフとなる。

【0036】

(A信号がオンとなってから信号Aがオフとなる直前までの期間(第5期間))

次に、A信号がオンとなってからA信号がオフとなる直前までの期間において、第1抵抗R1を通過したA信号が第1スイッチング素子Q1のゲートに入力される。このとき、第1スイッチング素子Q1は、オフのままとなる。この理由としては、第4スイッチング素子Q4が第2スイッチング素子Q2より遅れてオフとなるためである。まず、第4スイッチング素子Q4は、第3コンデンサC3から電荷が供給されているため、オンのままとなる。つまり、第4スイッチング素子Q4のドレインソース間が導通しているため、第1抵抗R1を通過したA信号の一部が第4スイッチング素子Q4のドレインソース間を流れる。これにより、A信号が第1スイッチング素子Q1のゲートに入力されても、第1スイッチング素子Q1のゲート閾値電圧が所定の値まで上昇しない。すなわち、第4スイッチング素子Q4を第2スイッチング素子Q2より遅れてオフすることで、第1スイッチング素子Q1をオンするタイミングを遅延させることができる。結果として、第1スイッチング素子Q1、及び第2スイッチング素子Q2両方がオフとなる時間(デッドタイム)Tdを確保することができる。

【0037】

一定時間経過後、第4スイッチング素子Q4がオフとなってから、第1スイッチング素子Q1におけるゲートソース間電圧Vgsがオンとなる。また、第1スイッチング素子Q1におけるドレインソース間電圧Vdsがオンとなる。すなわち、第1スイッチング素子Q1は、オンとなる。

【0038】

また、第5抵抗R5を通過したA信号が第2コンデンサC2に入力される。これにより、第2コンデンサC2は、電荷を蓄積する。一方、第5抵抗R5を通過したA信号が第3スイッチング素子Q3のゲートにも入力される。これにより、第3スイッチング素子Q3におけるゲートソース間電圧Vgsがオンとなる。また、第3スイッチング素子Q3におけるドレインソース間電圧Vdsがオンとなる。すなわち、第3スイッチング素子Q3は、オンとなる。

【0039】

以降、第1制御信号、及び第2制御信号が交互に入力される場合において、制御回路20からのA信号、及びB信号の供給が終わるまで、上記第2期間から第5期間における動作を繰り返す。

【0040】

(第1制御信号、及び第2制御信号が離散的に入力される場合)

図4は、第1スイッチング回路SW1、及び第2スイッチング回路SW2に第1制御信号、及び第2制御信号が離散的に入力される場合のタイミングチャートである。図4に示すタイミングチャートは、制御回路20により第1スイッチング回路SW1をオンする第1制御信号(図4に示すA信号)、及び第2スイッチング回路SW2をオンする第2制御信号(図4に示すB信号)が離散的に入力された場合の第3スイッチング素子Q3におけるゲートソース間電圧Vgs、及びドレインソース間電圧Vds、第4スイッチング素子Q4におけるゲートソース間電圧Vgs、及びドレインソース間電圧Vds、第1スイッチング素子Q1におけるゲートソース間電圧Vgs、及びドレインソース間電圧Vds、並びに第2スイッチング素子Q2におけるゲートソース間電圧Vgs、及びドレインソース間電圧Vdsを示している。すなわち、図4は、上記A信号、及びB信号を離散的に入力

10

20

30

40

50

した場合のスイッチング電源に含まれる各素子の状態を示している。

【 0 0 4 1 】

( A 信号がオンとなってから A 信号がオフとなる直前までの期間 ( 第 1 期間 ) )

まず、図 4 に示す A 信号がオンとなってから A 信号がオフになる直前までの期間において、第 1 スwitching 素子 Q 1 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。また、第 3 スwitching 素子 Q 3 は、オンとなる。

【 0 0 4 2 】

( A 信号がオフとなってから B 信号がオンとなる直前までの期間 ( 第 2 期間 ) )

次に、A 信号がオフとなってから B 信号がオンとなる直前までの期間において、第 1 スwitching 素子 Q 1 は、オフとなる。また、第 2 コンデンサ C 2 は、蓄積した電荷を第 3 スwitching 素子 Q 3 のゲートに供給する。また、第 3 スwitching 素子 Q 3 は、第 1 スwitching 素子 Q 1 より遅れてオフとなる。この理由としては、第 3 スwitching 素子 Q 3 のゲートに第 2 コンデンサ C 2 から電荷が供給されているためである。一定時間経過後、第 3 スwitching 素子 Q 3 は、オフとなる。

10

【 0 0 4 3 】

( B 信号がオンとなってから B 信号がオフとなる直前までの期間 ( 第 3 期間 ) )

次に、B 信号がオンとなってから B 信号がオフとなる直前までの期間において、第 2 スwitching 素子 Q 2 は、オフのままとなる。この理由としては、第 3 スwitching 素子 Q 3 が第 1 スwitching 素子 Q 1 より遅れてオフとなるためである。すなわち、第 3 スwitching 素子 Q 3 を第 1 スwitching 素子 Q 1 より遅れてオフすることで、第 2 スwitching 素子 Q 2 をオンするタイミングを遅延させることができる。結果として、第 1 スwitching 素子 Q 1、及び第 2 スwitching 素子 Q 2 両方がオフとなる時間 ( デッドタイム )  $T_d$  を確保することができる。

20

【 0 0 4 4 】

一定時間経過後、第 3 スwitching 素子 Q 3 がオフとなってから、第 2 スwitching 素子 Q 2 は、オンとなる。また、第 3 コンデンサ C 3 は、電荷を蓄積する。また、第 4 スwitching 素子 Q 4 は、オンとなる。

【 0 0 4 5 】

( B 信号がオフとなってから A 信号がオンとなる直前までの期間 ( 第 4 期間 ) )

次に、B 信号がオフとなってから A 信号がオンとなる直前の期間において、第 2 スwitching 素子 Q 2 は、オフとなる。また、第 3 コンデンサ C 3 は、蓄積した電荷を第 4 スwitching 素子 Q 4 のゲートに供給する。また、第 4 スwitching 素子 Q 4 は、第 2 スwitching 素子 Q 2 より遅れてオフとなる。この理由としては、第 4 スwitching 素子 Q 4 のゲートに第 3 コンデンサ C 3 から電荷が供給されているためである。一定時間経過後、第 4 スwitching 素子 Q 4 は、オフとなる。

30

( A 信号がオンとなってから A 信号がオフとなる直前までの期間 ( 第 5 期間 ) )

次に、A 信号がオンとなってから A 信号がオフとなる直前までの期間において、第 1 スwitching 素子 Q 1 は、オフのままとなる。この理由としては、第 4 スwitching 素子 Q 4 が第 2 スwitching 素子 Q 2 より遅れてオフとなるためである。すなわち、第 4 スwitching 素子 Q 4 を第 2 スwitching 素子 Q 2 より遅れてオフすることで、第 1 スwitching 素子 Q 1 をオンするタイミングを遅延させることができる。結果として、第 1 スwitching 素子 Q 1、及び第 2 スwitching 素子 Q 2 両方がオフとなる時間 ( デッドタイム )  $T_d$  を確保することができる。

40

【 0 0 4 6 】

一定時間経過後、第 4 スwitching 素子 Q 4 がオフとなってから、第 1 スwitching 素子 Q 1 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。また、第 3 スwitching 素子 Q 3 は、オンとなる。

【 0 0 4 7 】

以降、第 1 制御信号、及び第 2 制御信号が離散的に入力される場合において、制御回路 20 からの A 信号、及び B 信号の供給が終わるまで、上記第 2 期間から第 5 期間における動

50

作を繰り返す。

【 0 0 4 8 】

( 第 1 制御信号、及び第 2 制御信号が重なって入力される場合 )

図 5 は、第 1 スイッチング回路 S W 1、及び第 2 スイッチング回路 S W 2 に第 1 制御信号、及び第 2 制御信号が重なって入力される場合のタイミングチャートである。図 5 に示すタイミングチャートは、制御回路 2 0 の回路設計や装置の誤作動等の要因により、制御回路 2 0 により第 1 スイッチング回路 S W 1 をオンする第 1 制御信号 ( 図 5 に示す A 信号 )、及び第 2 スイッチング回路 S W 2 をオンする第 2 制御信号 ( 図 5 に示す B 信号 ) が重なって入力された場合の第 3 スイッチング素子 Q 3 におけるゲートソース間電圧  $V_{gs}$ 、及びドレインソース間電圧  $V_{ds}$ 、第 4 スイッチング素子 Q 4 におけるゲートソース間電圧  $V_{gs}$ 、及びドレインソース間電圧  $V_{ds}$ 、第 1 スイッチング素子 Q 1 におけるゲートソース間電圧  $V_{gs}$ 、及びドレインソース間電圧  $V_{ds}$ 、並びに第 2 スイッチング素子 Q 2 におけるゲートソース間電圧  $V_{gs}$ 、及びドレインソース間電圧  $V_{ds}$  を示している。すなわち、図 5 は、上記 A 信号、及び B 信号を重なって入力した場合のスイッチング電源に含まれる各素子の状態を示している。

10

【 0 0 4 9 】

( A 信号がオンとなってから B 信号がオンとなる直前までの期間 ( 第 1 期間 ) )

まず、図 5 に示す A 信号がオンとなってから B 信号がオンとなる直前までの期間において、第 1 スイッチング素子 Q 1 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。また、第 3 スイッチング素子 Q 3 は、オンとなる。

20

【 0 0 5 0 】

( B 信号がオンとなってから A 信号がオフとなる直前までの期間 ( 第 2 期間 ) )

次に、B 信号がオンとなってから A 信号がオフとなる直前までの期間において、第 3 スイッチング素子 Q 3 は、オンとなる。また、第 4 スイッチング素子 Q 4 は、オンとなる。この理由としては、A 信号及び B 信号が共にオンとなっているためである。一方で、第 4 スイッチング素子 Q 4 がオンであるため、第 1 スイッチング素子 Q 1 のゲートに A 信号が入力されても、A 信号の一部が第 4 スイッチング素子 Q 4 に流れる。これにより、第 1 スイッチング素子 Q 1 のゲート閾値電圧が所定の値まで上昇しない。すなわち、第 1 スイッチング素子 Q 1 は、オフとなる。また、第 3 スイッチング素子 Q 3 がオンであるため、第 2 スイッチング素子 Q 2 のゲートに B 信号が入力されても、B 信号の一部が第 3 スイッチング素子 Q 3 に流れる。これにより、第 2 スイッチング素子 Q 2 のゲート閾値電圧が所定の値まで上昇しない。すなわち、第 2 スイッチング素子 Q 2 は、オフとなる。

30

【 0 0 5 1 】

( A 信号がオフとなってから A 信号がオンとなる直前までの期間 ( 第 3 期間 ) )

次に、A 信号がオフとなってから A 信号がオンとなる直前までの期間において、第 1 スイッチング素子 Q 1 は、オフとなる。また、第 2 コンデンサ C 2 は、蓄積した電荷を第 3 スイッチング素子 Q 3 のゲートに供給する。また、第 3 スイッチング素子 Q 3 は、第 1 スイッチング素子 Q 1 より遅れてオフとなる。この理由としては、第 3 スイッチング素子 Q 3 のゲートに第 2 コンデンサ C 2 から電荷が供給されているためである。一定時間経過後、第 3 スイッチング素子 Q 3 は、オフとなる。

40

【 0 0 5 2 】

また、第 2 スイッチング素子 Q 2 は、オフのままとなる。この理由としては、第 3 スイッチング素子 Q 3 が第 1 スイッチング素子 Q 1 より遅れてオフとなるためである。すなわち、第 3 スイッチング素子 Q 3 を第 1 スイッチング素子 Q 1 より遅れてオフすることで、第 2 スイッチング素子 Q 2 をオンするタイミングを遅延させることができる。結果として、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 両方がオフとなる時間 ( デッドタイム )  $T_d$  を確保することができる。

【 0 0 5 3 】

一定時間経過後、第 3 スイッチング素子 Q 3 がオフとなってから、第 2 スイッチング素子 Q 2 は、オンとなる。また、第 3 コンデンサ C 3 は、電荷を蓄積する。また、第 4 スイッ

50

チング素子 Q 4 は、オンとなる。

【 0 0 5 4 】

( A 信号がオンとなってから B 信号がオフとなる直前までの期間 ( 第 4 期間 ) )

次に、A 信号がオンとなってから B 信号がオフとなる直前までの期間においても同様に、第 3 スイッチング素子 Q 3 は、オンとなる。また、第 4 スイッチング素子 Q 4 は、オンとなる。第 3 スイッチング素子 Q 3、及び第 4 スイッチング素子 Q 4 がオンであるため、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 は、オフとなる。

【 0 0 5 5 】

( B 信号がオフとなってから B 信号がオンとなる直前までの期間 ( 第 5 期間 ) )

次に、B 信号がオフとなってから B 信号がオンとなる直前までの期間において、第 2 スイッチング素子 Q 2 は、オフとなる。また、第 3 コンデンサ C 3 は、蓄積した電荷を第 4 スイッチング素子 Q 4 のゲートに供給する。また、第 4 スイッチング素子 Q 4 は、第 2 スイッチング素子 Q 2 より遅れてオフとなる。この理由としては、第 4 スイッチング素子 Q 4 のゲートに第 3 コンデンサ C 3 から電荷が供給されているためである。一定時間経過後、第 4 スイッチング素子 Q 4 は、オフとなる。

10

【 0 0 5 6 】

また、第 1 スイッチング素子 Q 1 は、オフのままとなる。この理由としては、第 4 スイッチング素子 Q 4 が第 2 スイッチング素子 Q 2 より遅れてオフとなるためである。すなわち、第 4 スイッチング素子 Q 4 を第 2 スイッチング素子 Q 2 より遅れてオフすることで、第 1 スイッチング素子 Q 1 をオンするタイミングを遅延させることができる。結果として、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 両方がオフとなる時間 ( デッドタイム )  $T_d$  を確保することができる。

20

【 0 0 5 7 】

一定時間経過後、第 4 スイッチング素子 Q 4 がオフとなってから、第 1 スイッチング素子 Q 1 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。また、第 3 スイッチング素子 Q 3 は、オンとなる。

【 0 0 5 8 】

( B 信号がオンとなってから A 信号がオフとなる直前までの期間 ( 第 6 期間 ) )

次に、B 信号がオンとなってから A 信号がオフとなる直前までの期間において、第 1 スイッチング素子 Q 1 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。また、第 4 スイッチング素子 Q 4 は、オンとなる。また、第 3 スイッチング素子 Q 3 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。

30

【 0 0 5 9 】

また、第 2 スイッチング素子 Q 2 は、オフのままとなる。この理由としては、第 3 スイッチング素子 Q 3 がオンしているためである。すなわち、第 2 スイッチング素子 Q 2 は、オフとなる。

【 0 0 6 0 】

( A 信号がオフとなってから A 信号がオンとなる直前までの期間 ( 第 7 期間 ) )

次に、A 信号がオフとなってから A 信号がオンとなる直前までの期間において、第 1 スイッチング素子 Q 1 は、オフとなる。また、第 2 コンデンサ C 2 は、蓄積した電荷を第 3 スイッチング素子 Q 3 のゲートに供給する。また、第 3 スイッチング素子 Q 3 は、第 1 スイッチング素子 Q 1 より遅れてオフとなる。この理由としては、第 3 スイッチング素子 Q 3 のゲートに第 2 コンデンサ C 2 から電荷が供給されているためである。一定時間経過後、第 3 スイッチング素子 Q 3 は、オフとなる。

40

【 0 0 6 1 】

また、第 2 スイッチング素子 Q 2 は、オフのままとなる。この理由としては、第 3 スイッチング素子 Q 3 が第 1 スイッチング素子 Q 1 より遅れてオフとなるためである。すなわち、第 4 スイッチング素子 Q 4 を第 2 スイッチング素子 Q 2 より遅れてオフすることで、第 1 スイッチング素子 Q 1 をオンするタイミングを遅延させることができる。結果として、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 両方がオフとなる時間 ( デッ

50

ドタイム) T<sub>d</sub>を確保することができる。

【0062】

一定時間経過後、第3スイッチング素子Q<sub>3</sub>がオフとなつてから、第2スイッチング素子Q<sub>2</sub>は、オンとなる。また、第3コンデンサC<sub>3</sub>は、電荷を蓄積する。また、第4スイッチング素子Q<sub>4</sub>は、オンとなる。

【0063】

以降、第1制御信号、及び第2制御信号が重なって入力される場合において、制御回路20からのA信号、及びB信号の供給が終わるまで、上記第2期間から第7期間における動作を繰り返す。

【0064】

上記構成によれば、本実施形態に係るスイッチング電源は、第1遅延回路31、及び第2遅延回路32により、第1スイッチング素子Q<sub>1</sub>、及び第2スイッチング素子Q<sub>2</sub>両方がオフとなるデッドタイムを設けるようにしている。これにより、第1スイッチング素子Q<sub>1</sub>、及び第2スイッチング素子Q<sub>2</sub>が同時にオンすることを防ぐことができる。また、上記に示すように、様々なタイミングで第1制御信号、及び第2制御信号が入力されてもデッドタイムを確保し、第1スイッチング素子Q<sub>1</sub>、及び第2スイッチング素子Q<sub>2</sub>が同時にオンすることを防ぐことができる。

【0065】

また、第1遅延回路31に含まれる第5抵抗R<sub>5</sub>、第6抵抗R<sub>6</sub>、及び第2コンデンサC<sub>2</sub>、並びに第2遅延回路32に含まれる第7抵抗R<sub>7</sub>、第8抵抗R<sub>8</sub>、及び第3コンデンサC<sub>3</sub>の値を調整することにより、デッドタイムをその回路にあった最適な時間に調整することができる。これにより、本実施形態に係るスイッチング電源は、昇降圧の効率を向上させることができる。また、専用ICを使用しなくても、汎用ICにより専用ICと同等の動作を行うことができる。

【0066】

(変形例)

上記実施形態に係るスイッチング電源において、第1遅延回路31、及び第2遅延回路32が含まれる構成を一例として記載している。しかしながら、本実施形態に係るスイッチング電源は、これに限定されない。例えば、本実施形態に係るスイッチング電源は、片方のスイッチング回路のオンだけを遅延することができる構成としてもよい。

【0067】

図6は、変形例に係るスイッチング電源の一例を示す回路図である。図6では、一例として、第2スイッチング回路SW<sub>2</sub>をオンするまでの時間を遅延する回路図を示している。図6に示すように、遅延回路33は、第1遅延回路31を有する。第1遅延回路31は、第1スイッチング回路SW<sub>1</sub>をオンする第1制御信号を基に、第2スイッチング回路SW<sub>2</sub>をオンするまでの時間を遅延する。なお、上記図2と重複する部分については、詳細な説明を省略する。

【0068】

ここで、本実施形態における第1スイッチング回路SW<sub>1</sub>、及び第2スイッチング回路SW<sub>2</sub>のオンオフに伴う各素子の状態について、第1スイッチング回路SW<sub>1</sub>、及び第2スイッチング回路SW<sub>2</sub>のオンオフに関するタイミングチャートと共に説明する。なお、本実施形態では、第1制御信号、及び第2制御信号が交互に入力される場合、第1制御信号、及び第2制御信号が離散的に入力される場合に分けて記載する。また、以下の実施形態において、重複する記載については必要に応じて省略することとする。

【0069】

(第1制御信号、及び第2制御信号が交互に入力される場合)

図7は、第1スイッチング回路SW<sub>1</sub>、及び第2スイッチング回路SW<sub>2</sub>に第1制御信号、及び第2制御信号が交互に入力される場合のタイミングチャートである。図7に示すタイミングチャートは、制御回路20により第1スイッチング回路SW<sub>1</sub>をオンする第1制御信号(図7に示すA信号)、及び第2スイッチング回路SW<sub>2</sub>をオンする第2制御信号

10

20

30

40

50

(図7に示すB信号)を交互に入力した場合の第3スイッチング素子Q3におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、第1スイッチング素子Q1におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、並びに第2スイッチング素子Q2におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ を示している。すなわち、図7は、上記A信号、及びB信号を交互に入力した場合のスイッチング電源に含まれる各素子の状態を示している。

【0070】

(A信号がオンとなってからA信号がオフとなる直前までの期間(第1期間))

まず、図7に示すA信号がオンとなってからA信号がオフになる直前までの期間において、第1スイッチング素子Q1は、オンとなる。また、第2コンデンサC2は、電荷を蓄積する。また、第3スイッチング素子Q3は、オンとなる。

10

【0071】

(A信号がオフとなってからB信号がオンとなる直前までの期間(第2期間))

次に、A信号がオフとなってからB信号がオンとなる直前までの期間において、第1スイッチング素子Q1は、オフとなる。また、第2コンデンサC2は、蓄積した電荷を第3スイッチング素子Q3のゲートに供給する。また、第3スイッチング素子Q3は、第1スイッチング素子Q1より遅れてオフとなる。この理由としては、第3スイッチング素子Q3のゲートに第2コンデンサC2から電荷が供給されているためである。

【0072】

(B信号がオンとなってからB信号がオフとなる直前までの期間(第3期間))

次に、B信号がオンとなってからB信号がオフとなる直前までの期間において、第2スイッチング素子Q2は、オフのままとなる。この理由としては、第3スイッチング素子Q3が第1スイッチング素子Q1より遅れてオフとなるためである。すなわち、第3スイッチング素子Q3を第1スイッチング素子Q1より遅れてオフすることで、第2スイッチング素子Q2をオンするタイミングを遅延させることができる。結果として、第1スイッチング素子Q1及び第2スイッチング素子Q2両方がオフとなる時間(デッドタイム) $T_d$ を確保することができる。一定時間経過後、第3スイッチング素子Q3がオフとなってから、第2スイッチング素子Q2は、オンとなる。

20

【0073】

(B信号がオフとなってからA信号がオンとなる直前までの期間(第4期間))

次に、B信号がオフとなってからA信号がオンとなる直前までの期間において、第2スイッチング素子Q2は、オフとなる。

30

【0074】

以降、第1制御信号、及び第2制御信号が交互に入力される場合において、制御回路20からのA信号、及びB信号の供給が終わるまで、上記第1期間から第4期間における動作を繰り返す。

【0075】

(第1制御信号、及び第2制御信号が離散的に入力される場合)

図8は、第1スイッチング回路SW1、及び第2スイッチング回路SW2に第1制御信号、及び第2制御信号が離散的に入力される場合のタイミングチャートである。図8に示すタイミングチャートは、制御回路20により第1スイッチング回路SW1をオンする第1制御信号(図8に示すA信号)、及び第2スイッチング回路SW2をオンする第2制御信号(図8に示すB信号)が離散的に入力された場合の第3スイッチング素子Q3におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、第1スイッチング素子Q1におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ 、並びに第2スイッチング素子Q2におけるゲートソース間電圧 $V_{gs}$ 、及びドレインソース間電圧 $V_{ds}$ を示している。すなわち、図8は、上記A信号及びB信号を離散的に入力した場合のスイッチング電源に含まれる各素子の状態を示している。

40

【0076】

(A信号がオンとなってからA信号がオフとなる直前までの期間(第1期間))

50

まず、図 8 に示す A 信号がオンとなってから A 信号がオフになる直前までの期間において、第 1 スイッチング素子 Q 1 は、オンとなる。また、第 2 コンデンサ C 2 は、電荷を蓄積する。また、第 3 スイッチング素子 Q 3 は、オンとなる。

【 0 0 7 7 】

( A 信号がオフとなってから B 信号がオンとなる直前までの期間 ( 第 2 期間 ) )

次に、A 信号がオフとなってから B 信号がオンとなる直前までの期間において、第 1 スイッチング素子 Q 1 は、オフとなる。また、第 2 コンデンサ C 2 は、蓄積した電荷を第 3 スイッチング素子 Q 3 のゲートに供給する。また、第 3 スイッチング素子 Q 3 は、第 1 スイッチング素子 Q 1 より遅れてオフとなる。この理由としては、第 3 スイッチング素子 Q 3 のゲートに第 2 コンデンサ C 2 から電荷が供給されているためである。一定時間経過後、第 3 スイッチング素子 Q 3 は、オフとなる。

10

【 0 0 7 8 】

( B 信号がオンとなってから B 信号がオフとなる直前までの期間 ( 第 3 期間 ) )

次に、B 信号がオンとなってから B 信号がオフとなる直前までの期間において、第 2 スイッチング素子 Q 2 は、オフのままとなる。この理由としては第 3 スイッチング素子 Q 3 が第 1 スイッチング素子 Q 1 より遅れてオフとなるためである。すなわち、第 3 スイッチング素子 Q 3 を第 1 スイッチング素子 Q 1 より遅れてオフすることで、第 2 スイッチング素子 Q 2 をオンするタイミングを遅延させることができる。結果として、第 1 スイッチング素子 Q 1 及び第 2 スイッチング素子 Q 2 両方がオフとなる時間 ( デッドタイム )  $T_d$  を確保することができる。一定時間経過後、第 3 スイッチング素子 Q 3 がオフとなってから、第 2 スイッチング素子 Q 2 は、オンとなる。

20

【 0 0 7 9 】

( B 信号がオフとなってから A 信号がオンとなる直前までの期間 ( 第 4 期間 ) )

次に、B 信号がオフとなってから A 信号がオンとなる直前までの期間において、第 2 スイッチング素子 Q 2 は、オフとなる。

【 0 0 8 0 】

以降、第 1 制御信号、及び第 2 制御信号が離散的に入力される場合において、制御回路 20 からの A 信号、及び B 信号の供給が終わるまで、上記第 1 期間から第 4 期間における動作を繰り返す。

【 0 0 8 1 】

上記構成によれば、本実施形態に係るスイッチング電源は、第 1 遅延回路 31 により、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 両方がオフとなるデッドタイムを設けるようにしている。これにより、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 が同時にオンすることを防ぐことができる。また、上記に示すように、様々なタイミングで第 1 制御信号、及び第 2 制御信号が入力されてもデッドタイムを確保し、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 が同時にオンすることを防ぐことができる。

30

【 0 0 8 2 】

また、第 1 遅延回路 31 に含まれる第 5 抵抗 R 5、第 6 抵抗 R 6、及び第 2 コンデンサ C 2 の値を調整することにより、デッドタイムをその回路にあった最適な時間に調整することができる。これにより、本実施形態に係るスイッチング電源は、昇降圧の効率を向上させることができる。また、専用 IC を使用しなくても、汎用 IC により専用 IC と同等の動作を行うことができる。

40

【 0 0 8 3 】

( 総括 )

上述の通り、本実施形態に係るスイッチング電源は、入力端 I 及び出力端 O と、入力端 I から電圧を入力させるための第 1 スイッチング回路 SW 1、及び入力した電圧を変換した後出力端 O から出力させるための第 2 スイッチング回路 SW 2 を含む電圧変換器 10 と、第 1 スイッチング回路 SW 1、及び第 2 スイッチング回路 SW 2 を選択的に順次駆動させる制御信号を出力する制御回路 20 と、第 1 スイッチング回路 SW 1、及び第 2 スイッ

50

チング回路 S W 2 のうちのいずれか一方を駆動するための制御信号を基に、駆動させていない他方の次の駆動のタイミングを遅延させることで、第 1 スイッチング回路 S W 1、及び第 2 スイッチング回路 S W 2 両方がオフとなるデッドタイムを設ける遅延回路と、を備える。

【 0 0 8 4 】

上記構成によれば、本実施形態に係るスイッチング電源は、遅延回路 3 0 により、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 両方がオフとなるデッドタイムを設けるようにしている。これにより、第 1 スイッチング素子 Q 1 及び第 2 スイッチング素子 Q 2 が同時にオンすることを防ぐことができる。また、上記に示すように、様々なタイミングで第 1 制御信号、及び第 2 制御信号が入力されてもデッドタイムを確保し、第 1 スイッチング素子 Q 1、及び第 2 スイッチング素子 Q 2 が同時にオンすることを防ぐことができる。

10

【 0 0 8 5 】

また、第 1 遅延回路 3 1 に含まれる第 5 抵抗 R 5、第 6 抵抗 R 6、及び第 2 コンデンサ C 2、並びに第 2 遅延回路 3 2 に含まれる第 7 抵抗 R 7、第 8 抵抗 R 8、及び第 3 コンデンサ C 3 の値を調整することにより、デッドタイムをその回路にあった最適な時間に調整することができる。これにより、本実施形態に係るスイッチング電源は、昇降圧の効率を向上させることができる。また、本実施形態に係るスイッチング電源は、専用 I C を使用しなくても、汎用 I C により専用 I C と同等の動作を行うことができる。

20

【 0 0 8 6 】

かくして、本実施形態に係るスイッチング電源は、電圧の昇降圧動作における回路損傷等のリスクを低減しつつ、昇降圧の効率を向上することができる。

【 0 0 8 7 】

ここで、上記実施形態において、電圧変換器 1 0 として、絶縁型降圧コンバータを示している。しかしながら、本実施形態に係るスイッチング電源は、これに限定されない。例えば、本実施形態では、非絶縁型降圧コンバータ、絶縁型昇圧コンバータ、非絶縁型昇圧コンバータ、非絶縁型双方向コンバータ、又は絶縁型双方向コンバータにも適用可能である。

【 符号の説明 】

【 0 0 8 8 】

- 1 0 電圧変換器
- 2 0 制御回路
- 3 0 遅延回路
- 3 1 第 1 遅延回路
- 3 2 第 2 遅延回路
- 3 3 遅延回路
- C 1 第 1 コンデンサ
- C 2 第 2 コンデンサ
- C 3 第 3 コンデンサ
- I 入力端
- L コイル
- O 出力端
- O 1 第 1 の信号出力端
- O 2 第 2 の信号出力端
- Q 1 第 1 スイッチング素子
- Q 2 第 2 スイッチング素子
- Q 3 第 3 スイッチング素子
- Q 4 第 4 スイッチング素子
- Q i n 入力側スイッチング回路
- R 1 第 1 抵抗
- R 2 第 2 抵抗

30

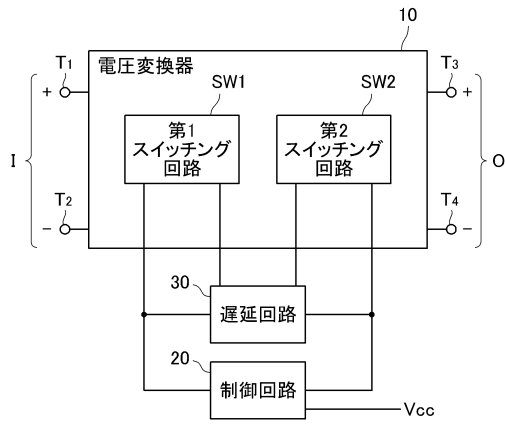
40

50

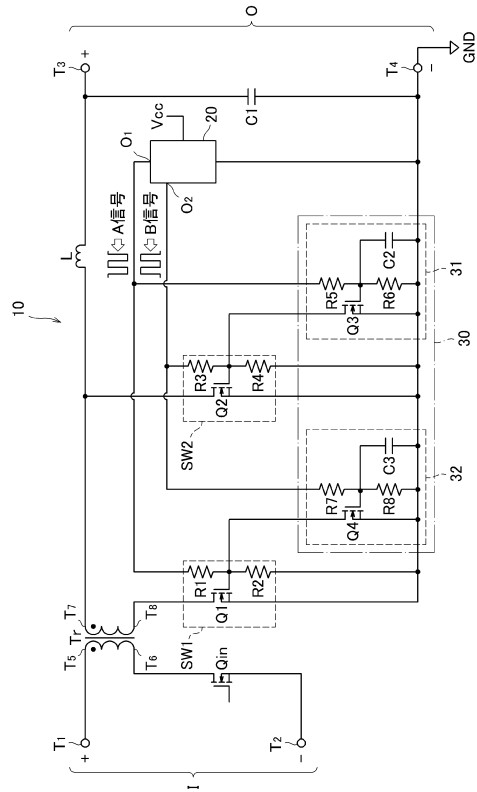
- R 3 第 3 抵 抗
- R 4 第 4 抵 抗
- R 5 第 5 抵 抗
- R 6 第 6 抵 抗
- R 7 第 7 抵 抗
- R 8 第 8 抵 抗
- S W 1 第 1 ス イ ッ チ ン グ 回 路
- S W 2 第 2 ス イ ッ チ ン グ 回 路
- T r ト ラ ン ス

【 図 面 】

【 図 1 】



【 図 2 】



10

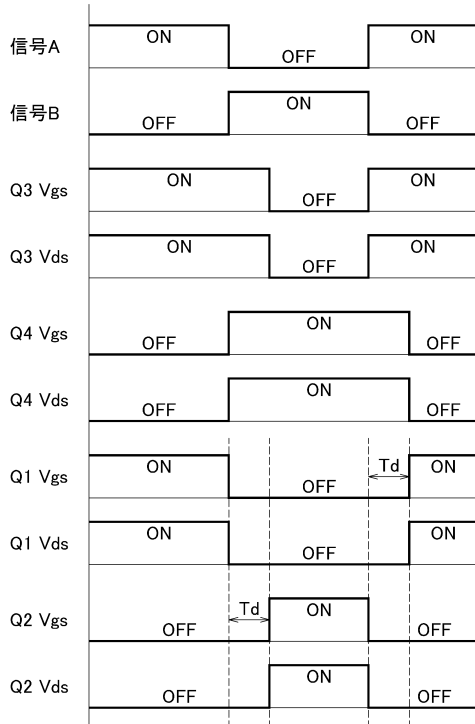
20

30

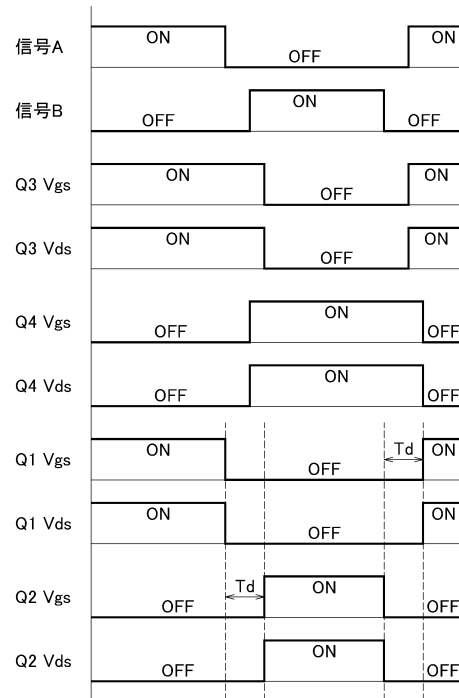
40

50

【图 3】



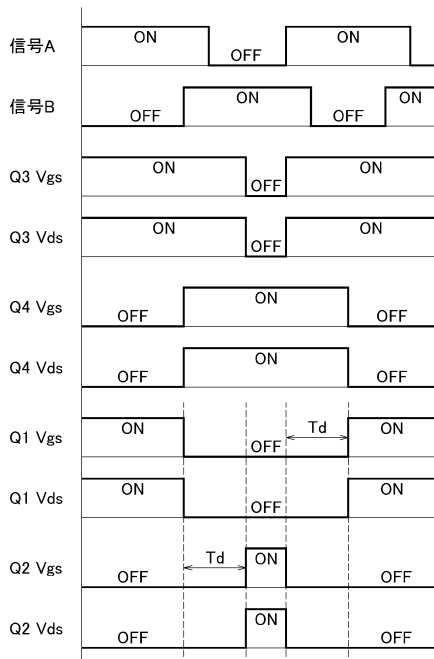
【图 4】



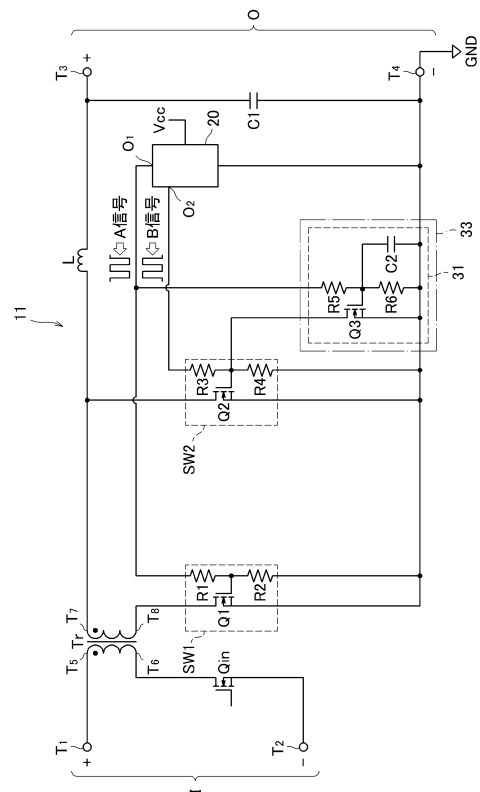
10

20

【图 5】



【图 6】

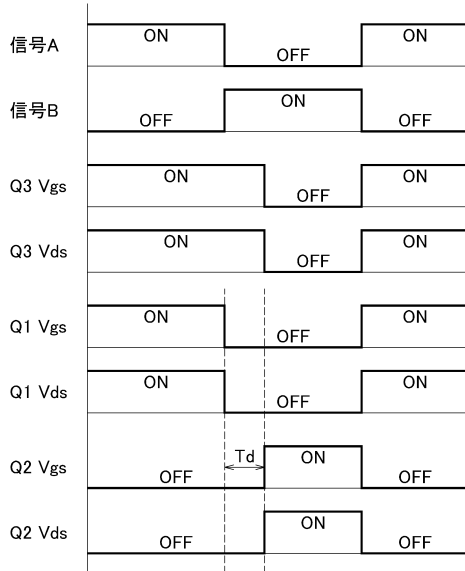


30

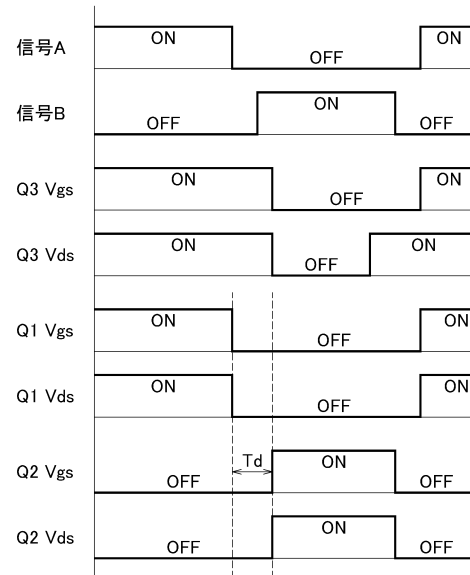
40

50

【 図 7 】



【 図 8 】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開 2 0 1 3 - 0 9 0 4 3 2 ( J P , A )  
特開 2 0 1 0 - 2 7 9 1 9 4 ( J P , A )  
特開 2 0 1 1 - 0 1 5 4 6 1 ( J P , A )  
特開 2 0 0 8 - 2 5 9 2 8 3 ( J P , A )  
特開 2 0 0 4 - 2 2 2 3 6 8 ( J P , A )  
特開 2 0 1 0 - 1 7 2 0 9 2 ( J P , A )  
米国特許出願公開第 2 0 1 0 / 0 1 5 6 3 7 6 ( U S , A 1 )  
米国特許第 0 7 5 9 9 1 9 8 ( U S , B 2 )
- (58)調査した分野 (Int.Cl., D B 名)
- |         |         |
|---------|---------|
| H 0 2 M | 3 / 2 8 |
| H 0 2 M | 7 / 2 1 |