

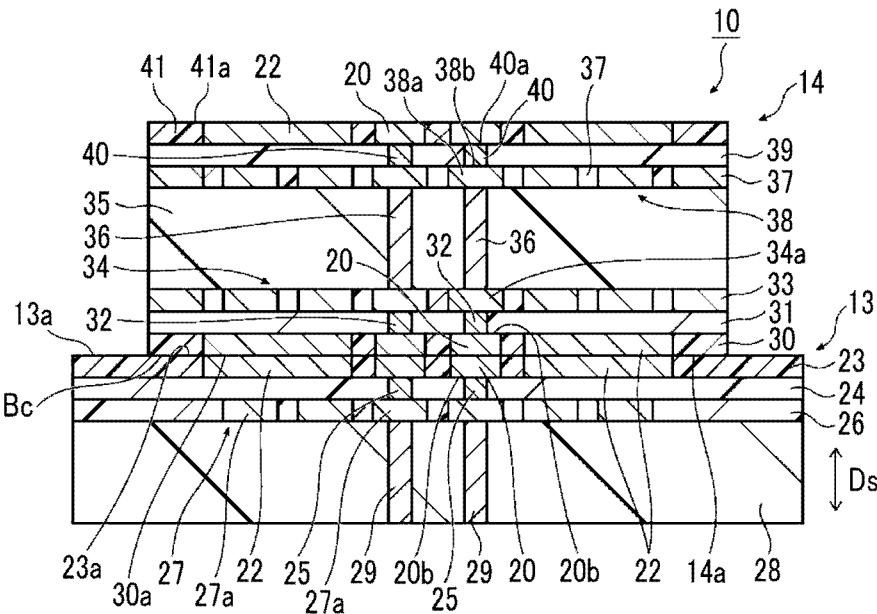


(21)申請案號：113107335 (22)申請日：中華民國 113 (2024) 年 03 月 01 日
(51)Int. Cl. : H01L21/60 (2006.01) H01L21/768 (2006.01)
H01L25/18 (2023.01)
(30)優先權：2023/03/13 日本 2023-038391
(71)申請人：日商富士軟片股份有限公司 (日本) FUJIFILM CORPORATION (JP)
日本
(72)發明人：宇佐利裕 USA, TOSHIHIRO (JP)
(74)代理人：卓俊傑；鮑亞嵐；卓孟儀
申請實體審查：無 申請專利範圍項數：6 項 圖式數：7 共 36 頁

(54)名稱
半導體裝置
(57)摘要

本發明提供一種可靠性高的半導體裝置。前述半導體裝置為複數個半導體元件電連接之半導體裝置，其中，半導體元件具備：接合區域，配置有將半導體元件彼此接合且將半導體元件彼此電連接之接合接觸部和將半導體元件彼此接合且將半導體元件彼此以非導通的方式連接之虛設接合接觸部，虛設接合接觸部沿著半導體元件的接合區域的外周連續設置，在半導體元件中，在使彼此的接合區域對置的狀態下，將接合接觸部彼此接合，並將虛設接合接觸部彼此接合。

指定代表圖：



【圖2】

- 符號簡單說明：
- 10: 半導體裝置
 - 13a, 14a: 平面
 - 13: 第 1 半導體元件
 - 14: 第 2 半導體元件
 - 23a, 30a, 41a: 表面
 - 20: 接合接觸部
 - 20b: 下表面
 - 22: 虛設接合接觸部
 - 23, 30: 第 1 絕緣層
 - 24, 31: 第 2 絕緣層
 - 25, 32, 40: 連接部
 - 26, 33: 第 3 絕緣層
 - 27, 34, 38: 配線層
 - 27a, 34a, 38a: 配線
 - 28, 35: 第 4 絕緣層

29,36:貫通電極
37:第 5 絕緣層
38b,40a:上表面
39:第 6 絕緣層
41:第 7 絕緣層
Bc:接合面
Ds:積層方向



【發明摘要】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【中文】

本發明提供一種可靠性高的半導體裝置。前述半導體裝置為複數個半導體元件電連接之半導體裝置，其中，半導體元件具備：接合區域，配置有將半導體元件彼此接合且將半導體元件彼此電連接之接合接觸部和將半導體元件彼此接合且將半導體元件彼此以非導通的方式連接之虛設接合接觸部，虛設接合接觸部沿著半導體元件的接合區域的外周連續設置，在半導體元件中，在使彼此的接合區域對置的狀態下，將接合接觸部彼此接合，並將虛設接合接觸部彼此接合。

【指定代表圖】圖2

【代表圖之符號簡單說明】

10:半導體裝置

13a, 14a:平面

13:第 1 半導體元件

14:第 2 半導體元件

23a, 30a, 41a:表面

20:接合接觸部

20b:下表面

22:虛設接合接觸部

23, 30:第 1 絕緣層

24, 31:第 2 絕緣層

25, 32, 40:連接部

26, 33:第 3 絕緣層

27, 34, 38:配線層

27a, 34a, 38a:配線

28, 35:第 4 絕緣層

29, 36:貫通電極

37:第 5 絕緣層

38b, 40a:上表面

39:第 6 絕緣層

41:第 7 絕緣層

Bc:接合面

Ds:積層方向

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明係有關一種將複數個半導體元件積層並電連接之半導體裝置，尤其，有關一種對具有將導體元件彼此電連接之接合接觸部和不會將半導體元件彼此電連接之虛設接合接觸部之半導體元件進行接合之半導體裝置。

【先前技術】

【0002】 目前，作為半導體元件彼此、半導體元件與基板等的連接形態，例如，提出了晶圓堆疊晶圓（Wafer on Wafer）、晶片堆疊晶圓（Chip on Wafer）或晶片堆疊晶片（Chip on Chip）之類的各種形態。作為半導體元件彼此、半導體元件與基板等的接合方式，有混合接合。

【0003】 例如，專利文獻 1 及專利文獻 2 記載有一種混合接合的半導體裝置。專利文獻 1 的半導體裝置包含第 1 半導體結構、第 2 半導體結構及第 1 接合層與第 2 接合層之間的接合界面。第 1 半導體結構包括包含第 1 互連部之第 1 互連層及包含第 1 接合接觸部之第 1 接合層。至少一個第 1 互連部為第 1 虛設互連部。各第 1 互連部與各自的第 1 接合接觸部接觸。第 2 半導體結構包括包含第 2 互連部之第 2 互連層及包含第 2 接合接觸部之第 2 接合層。至少一個第 2 互連部為第 2 虛設互連部。各第 2 互連

部與各自的第 2 接合接觸部接觸。各第 1 接合接觸部在接合界面與各自的第 2 接合接觸部接觸。

【0004】 又，專利文獻 2 的半導體裝置包括第 1 半導體結構、第 2 半導體結構及第 1 接合層與第 2 接合層之間的接合界面。在第 1 半導體結構中，各第 1 互連部與各自的第 1 接合接觸部接觸。在第 2 半導體結構中，至少一個第 2 接合接觸部與各自的第 2 互連部接觸。至少另一個第 2 接合接觸部與第 2 互連部分離。各第 1 接合接觸部在接合界面與第 2 接合接觸部中的一個接觸。

【0005】 [專利文獻 1]日本特開 2022-511451 號公報

[專利文獻 2]日本特開 2022-509249 號公報

【0006】 晶片堆疊晶圓及晶片堆疊晶片由於單片化後的清洗困難，因此與晶圓堆疊晶圓相比，不易減少引起接合缺陷之數奈米程度的粒子等異物。由此，粒子等異物在半導體裝置的接合面引起接合阻礙的可能性變高，從接合面滲入氧氣及水分等的可能性亦變高。因此，難以確保半導體裝置的可靠性。

上述專利文獻 1 及 2 包括第 1 接合層與第 2 接合層之間的接合界面即接合面。因此，如上所述，在專利文獻 1 及 2 的半導體裝置中，因粒子等異物而亦難以確保可靠性。

【發明內容】

【0007】 本發明的目的在於提供一種可靠性高的半導體裝置。

【0008】 為了實現上述目的，發明[1]為將複數個半導體元件積層並

電連接之半導體裝置，其中，半導體元件具備：接合區域，配置有將半導體元件彼此接合且將半導體元件彼此電連接之接合接觸部和將半導體元件彼此接合且將半導體元件彼此以非導通的方式連接之虛設接合接觸部，虛設接合接觸部沿著半導體元件的接合區域的外周連續設置，在半導體元件中，在使彼此的接合區域對置的狀態下，將接合接觸部彼此接合，並將虛設接合接觸部彼此接合。

【0009】 發明[2]為發明[1]所述之半導體裝置，其中
在複數個半導體元件中，在使彼此的接合區域對置的狀態下，將接合接觸部彼此直接接合，並將虛設接合接觸部彼此直接接合。

發明[3]為發明[1]所述之半導體裝置，其中
在複數個半導體元件的接合區域之間配置有在半導體元件的積層方向上具有導電性之各向異性導電性構件，由此將接合接觸部彼此電連接，並將虛設接合接觸部彼此電連接。

發明[4]為發明[3]所述之半導體裝置，其中
各向異性導電性構件具有：絕緣性基材，具有電絕緣性；及複數個導通路，沿絕緣性基材的厚度方向貫通，以彼此電絕緣的狀態設置。

【0010】 發明[5]為發明[1]至[4]之任一項所述之半導體裝置，其中
虛設接合接觸部的維氏硬度為接合區域內除接合接觸部及虛設接合接觸部以外的區域的維氏硬度的 1/10 以下。

發明[6]為發明[1]至[5]之任一項所述之半導體裝置，其中
虛設接合接觸部由鋁或銅、或者包含鋁或銅之合金構成。

[發明效果]

【0011】 根據本發明，能夠提供一種可靠性高的半導體裝置。

【圖式簡單說明】

【0012】 圖 1 係表示本發明的實施形態的半導體裝置所使用之半導體元件的一例之示意性立體圖。

圖 2 係表示本發明的實施形態的半導體裝置的第 1 例之示意性剖視圖。

圖 3 係表示本發明的實施形態的半導體裝置的第 1 例的製造方法的一例之示意性剖視圖。

圖 4 係表示本發明的實施形態的半導體裝置的第 2 例之示意性剖視圖。

圖 5 係表示本發明的實施形態的半導體裝置的第 2 例的製造方法的一例之示意性剖視圖。

圖 6 係表示本發明的實施形態的半導體裝置的第 2 例的各向異性導電性構件的一例之示意性剖視圖。

圖 7 係表示本發明的實施形態的半導體裝置的第 2 例的各向異性導電性構件的一例之示意性俯視圖。

【實施方式】

【0013】 以下，根據附圖所示之較佳實施形態，對本發明的半導體裝置進行詳細說明。

再者，以下所說明的圖為用於說明本發明之例示性圖，本發明並不限定於以下所示之圖。

再者，以下表示數值範圍之“～”包括記載於兩側之數值。例如， ε 為數

值 $\varepsilon_\alpha \sim$ 數值 ε_β 係指 ε 的範圍為包含數值 ε_α 和數值 ε_β 之範圍，若以數學記號表示，則為 $\varepsilon_\alpha \leq \varepsilon \leq \varepsilon_\beta$ 。

關於“平行”，只要沒有特別記載，則包括相關技術領域中通常容許的誤差範圍。

關於“同一”，亦是只要沒有特別記載，則包括相關技術領域中通常容許的誤差範圍。

【0014】 [半導體裝置的第 1 例]

圖 1 係表示本發明的實施形態的半導體裝置所使用之半導體元件的一例之示意性立體圖。圖 2 係表示本發明的實施形態的半導體裝置的第 1 例之示意性剖視圖。再者，圖 1 中示出兩個半導體元件 12，但兩個半導體元件 12 中一個半導體元件 12 是虛設的。又，在圖 2 中，對與圖 1 所示之半導體元件 12 相同的結構物標註相同符號，並省略其詳細說明。

圖 1 所示之半導體元件 12 構成將複數個半導體元件積層並電連接之半導體裝置。如上所述，圖 1 示出兩個半導體元件 12。

【0015】 半導體元件 12 例如在俯視下的外形為四邊形，具有平面 12a。平面 12a 的外形在俯視下亦為四邊形。

半導體元件 12 在平面 12a 具備接合區域 Aj。接合區域 Aj 例如在俯視下的外形為四邊形。接合區域 Aj 的外形為與平面 12a 的外形相似的形狀。在接合區域 Aj 中配置有將半導體元件 12 彼此接合且將半導體元件 12 彼此電連接之接合接觸部 20 和將半導體元件 12 彼此接合且將半導體元件 12 彼此以非導通的方式連接之虛設接合接觸部 22。在接合前的半導體元件 12 中，接合接觸部 20 的表面及虛設接合接觸部 22 的表面相對於平面 12a 是非突

出的，與平面 12a 為同一面。

虛設接合接觸部 22 沿著半導體元件 12 的接合區域 Aj 的外周連續設置。更具體而言，虛設接合接觸部 22 在俯視下為帶狀，沿外周連續不斷設置成環狀。例如，虛設接合接觸部 22 的外形及內側形狀在俯視下為四邊形。虛設接合接觸部 22 的外形及內側形狀為相似的形狀。

【0016】 接合接觸部 20 配置於被虛設接合接觸部 22 包圍的區域 Ad。區域 Ad 為外形在俯視下為四邊形的區域。

接合接觸部 20 具有導電性，對半導體元件 12 進行電連接。藉由接合接觸部 20，能夠在半導體元件 12 之間進行電訊號的收發。接合接觸部 20 相當於電極或端子。接合接觸部 20 例如在俯視下的外形為圓形，但並不限定於此，亦可以為四邊形。

虛設接合接觸部 22 例如具有導電性，將半導體元件 12 彼此以非導通的方式連接。亦即，虛設接合接觸部 22 雖將半導體元件 12 彼此接合但不會使其電連接。虛設接合接觸部 22 無助於半導體元件 12 之間的電訊號的收發。

虛設接合接觸部 22 藉由虛設接合接觸部 22 彼此接合而密封半導體裝置 10 的接合接觸部 20 的周圍，將接合接觸部 20 與外部隔斷並進行保護。藉由虛設接合接觸部 22，能夠防止氧氣及水分等向接合接觸部 20 的滲入。由此，半導體裝置 10 的可靠性變高。又，虛設接合接觸部 22 會增加接合面，因此亦可維持半導體裝置 10 的接合強度。

【0017】 如上所述，在接合區域 Aj 中配置有接合接觸部 20 和虛設接合接觸部 22。

半導體裝置 10 由兩個半導體元件 12 構成時，在使兩個半導體元件 12 朝向彼此的平面 12a 且使彼此的接合區域 Aj 對置的狀態下，兩個半導體元件 12 的接合接觸部 20 彼此被接合，虛設接合接觸部 22 彼此被接合。由此，可獲得可靠性高的半導體裝置。

再者，只要接合區域 Aj 的大小及形狀相同，則即使是平面 12a 的大小不同的半導體元件 12，亦能夠將半導體元件 12 彼此接合，並可獲得半導體裝置。

【0018】 對半導體裝置 10 進行更詳細的說明。

圖 2 所示之半導體裝置 10 由兩個半導體元件構成。半導體裝置 10 例如為第 1 半導體元件 13 與第 2 半導體元件 14 在積層方向 Ds 上被積層並接合而被電連接者。例如，第 1 半導體元件 13 和第 2 半導體元件 14 在俯視下的大小不同，第 1 半導體元件 13 大於第 2 半導體元件 14。

【0019】 與圖 1 所示之半導體元件 12 同樣地，第 1 半導體元件 13 例如在俯視下的外形為四邊形，具有平面 13a，並在平面 13a 具備接合區域（未圖示）。

平面 13a 及接合區域的外形在俯視下均為四邊形。

在接合區域中配置有接合接觸部 20 和虛設接合接觸部 22。

第 1 半導體元件 13 具有第 1 絕緣層 23。第 1 絕緣層 23 的表面 23a 為第 1 半導體元件 13 的平面 13a。

在第 1 絕緣層 23 上設置有上述接合接觸部 20 和虛設接合接觸部 22。接合接觸部 20 的表面及虛設接合接觸部 22 的表面相對於第 1 絕緣層 23 的表面 23a 是非突出的，與第 1 絕緣層 23 的表面 23a 為同一面。

【0020】 圖 2 中，在第 1 絕緣層 23 的第 1 半導體元件 13 的平面 13a 的相反側設置有作為下層的第 2 絕緣層 24。在第 2 絕緣層 24 上，將導電性連接部 25 設置成與接合接觸部 20 的下表面 20b 接觸。連接部 25 與接合接觸部 20 電連接。

再者，虛設接合接觸部 22 中未設置有連接部 25。

在第 2 絕緣層 24 的第 1 半導體元件 13 的平面 13a 的相反側設置有作為下層的第 3 絕緣層 26。在第 3 絕緣層 26 中設置有配線層 27。配線層 27 由複數個配線 27a 構成。配線 27a 中，配置於連接部 25 下方的配線 27a 與連接部 25 電連接。

【0021】 在第 3 絕緣層 26 的第 1 半導體元件 13 的平面 13a 的相反側設置有作為下層的第 4 絕緣層 28。在第 4 絕緣層 28 中設置有貫通電極 29。貫通電極 29 設置成和與接合接觸部 20 電連接的配線 27a 接觸。貫通電極 29 與配線 27a 電連接。

上述第 1 絕緣層 23、第 2 絕緣層 24、第 3 絕緣層 26 及第 4 絕緣層 28 均具有電絕緣性，例如，由矽、氧化矽、氮化矽、氮氧化矽、低介電常數介電體或該等的任意組合構成。

【0022】 與圖 1 所示之半導體元件 12 同樣地，第 2 半導體元件 14 例如在俯視下的外形為四邊形，具有平面 14a，並在平面 14a 具備接合區域（未圖示）。

平面 14a 及接合區域的外形在俯視下均為四邊形。

在接合區域中配置有接合接觸部 20 和虛設接合接觸部 22。

第 2 半導體元件 14 具有第 1 絕緣層 30。第 1 絕緣層 30 的表面 30a 為

第 2 半導體元件 14 的平面 14a。

在第 1 絕緣層 30 中設置有上述接合接觸部 20 和虛設接合接觸部 22。
接合接觸部 20 的表面及虛設接合接觸部 22 的表面相對於第 1 絕緣層 30 的表面是非突出的，與第 1 絕緣層 30 的表面 30a 為同一面。

【0023】 圖 2 中，在第 1 絕緣層 30 的第 2 半導體元件 14 的平面 14a 的相反側設置有作為上層的第 2 絕緣層 31。在第 2 絕緣層 31 上，將導電性連接部 32 設置成與接合接觸部 20 的下表面 20b 接觸。連接部 32 與接合接觸部 20 電連接。

再者，虛設接合接觸部 22 中未設置有連接部 32。

在第 2 絕緣層 31 的第 2 半導體元件 14 的平面 14a 的相反側設置有作為上層的第 3 絕緣層 33。在第 3 絕緣層 33 中設置有配線層 34。配線層 34 由複數個配線 34a 構成。配線 34a 中，配置於連接部 32 上的配線 34a 與連接部 32 電連接。

【0024】 在第 3 絕緣層 33 的第 2 半導體元件 14 的平面 14a 的相反側設置有作為上層的第 4 絕緣層 35。在第 4 絕緣層 35 中設置有貫通電極 36。貫通電極 36 設置成和與接合接觸部 20 電連接的配線 34a 接觸。貫通電極 36 與配線 34a 電連接。

在第 4 絕緣層 35 的第 2 半導體元件 14 的平面 14a 的相反側設置有作為上層的第 5 絕緣層 37。在第 5 絕緣層 37 中設置有配線層 38。配線層 38 由複數個配線 38a 構成。配線 38a 中，配置於貫通電極 36 上的配線 38a 與貫通電極 36 電連接。

在第 5 絕緣層 37 的第 2 半導體元件 14 的平面 14a 的相反側設置有作

為上層的第 6 絕緣層 39。在第 6 絕緣層 39 上，將導電性的連接部 40 設置成和與貫通電極 36 電連接的配線 38a 的上表面 38b 接觸。連接部 40 與配線 38a 電連接。

【0025】 在第 6 絕緣層 39 的第 2 半導體元件 14 的平面 14a 的相反側設置有作為上層的第 7 絕緣層 41。在第 7 絕緣層 41 中設置有上述接合接觸部 20 和虛設接合接觸部 22。接合接觸部 20 設置成與連接部 40 的上表面 40a 接觸。接合接觸部 20 與連接部 40 電連接。

再者，虛設接合接觸部 22 中未設置有連接部 40。

上述第 1 絕緣層 30、第 2 絕緣層 31、第 3 絕緣層 33、第 4 絕緣層 35、第 5 絕緣層 37、第 6 絕緣層 39 及第 7 絕緣層 41 均具有電絕緣性，例如，由矽、氧化矽、氮化矽、氮氧化矽、低介電常數介電體或該等的任意組合構成。

設置有貫通電極 29 之第 4 絕緣層 28 及設置有貫通電極 36 之第 4 絕緣層 35 均為 TSV (Through Silicon Via: 矽穿孔) 之類的結構，能夠由矽構成。

【0026】 在第 1 半導體元件 13 及第 2 半導體元件 14 中，上述之接合接觸部 20、虛設接合接觸部 22、連接部 25、32、40、配線層 27、34、38 及貫通電極 29、36 均具有導電性，例如，由鎢、鈷、銅、鋁、矽化物或該等的組合構成。除此以外，能夠適當利用在半導體元件領域中被稱為端子或電極墊者所使用的材料。

在該等中，虛設接合接觸部 22 由接合時比半導體、氧化物及氮化物容易變形之金屬或合金構成為較佳，由鋁或銅、或者包含鋁或銅之合金構成為更佳。

【0027】 半導體裝置 10 中，第 1 半導體元件 13 與第 2 半導體元件 14 的接合接觸部 20 彼此直接接合且電連接。由此，第 2 半導體元件 14 的接合接觸部 20、連接部 40、配線層 38、貫通電極 36、配線層 34、連接部 32 與第 1 半導體元件 13 的接合接觸部 20、連接部 25、配線層 27 及貫通電極 29 被導通，能夠在第 1 半導體元件 13 與第 2 半導體元件 14 之間進行電訊號的收發。

【0028】 在半導體裝置中，半導體元件 12（參照圖 1）的虛設接合接觸部 22 的維氏硬度為接合區域 Aj（參照圖 1）內除接合接觸部 20（參照圖 1）及虛設接合接觸部 22（參照圖 1）以外的區域 As（參照圖 1）的維氏硬度的 1/10 以下為較佳。此時，虛設接合接觸部 22 比區域 As 軟，因此即使是粒子等異物，亦可無縫夾入虛設接合接觸部 22 之間而被接合。由此，即使存在粒子等異物，亦能夠確實密封半導體裝置 10 的接合接觸部 20 的周圍，能夠抑制在半導體裝置 10 的接合面 Bc 發生接合阻礙。由此，能夠進一步提高半導體裝置 10 的可靠性。

上述區域 As 相當於第 1 半導體元件 13 的平面 14a 亦即第 1 絕緣層 23 的表面 23a，並且相當於第 2 半導體元件 14 的平面 14a 亦即第 1 絕緣層 30 的表面 30a。

關於維氏硬度，Si 單晶為 10.6GPa，SiO₂ 為 9.7GPa，Cu（銅）為 0.80GPa，Al（鋁）為 0.50GPa。

再者，維氏硬度根據 JIS（日本工業標準）Z 2255：2003 進行測定。

【0029】 在半導體裝置 10 中，第 1 半導體元件 13 的平面 13a 與第 2 半導體元件 14 的平面 14a 的界面為接合面 Bc。在接合面 Bc 中，接合接觸

部 20 彼此直接接合，虛設接合接觸部 22 彼此直接接合。

如上所述，虛設接合接觸部 22 配置成包圍接合接觸部 20。因此，藉由虛設接合接觸部 22，防止氧氣及水分等滲入接合接觸部 20。由此，可獲得可靠性高的半導體裝置 10。

在此，直接接合例如係指不使用焊料或接著劑等中間層來接合。

【0030】 在半導體裝置 10 中，設定為積層了第 1 半導體元件 13 和第 2 半導體元件 14 這兩個半導體元件之結構，但半導體元件數可以為複數個，並不限定於兩個。

又，在半導體裝置 10 中，亦可以在第 2 半導體元件 14 的平面 14a 的相反側的第 7 絕緣層 41 的表面 41a 上進一步積層具有上述之接合接觸部 20 和虛設接合接觸部 22 之半導體元件（未圖示）。此時，半導體元件的積層數並沒有特別限定。

圖 2 所示之第 2 半導體元件 14 的層結構為在積層方向 Ds 上與第 4 絕緣層 35 對稱。第 2 半導體元件 14 在平面 14a 和第 7 絕緣層 41 的表面 41a 配置有上述接合接觸部 20 和虛設接合接觸部 22。因此，在積層方向上積層複數個第 2 半導體元件 14，將接合接觸部 20 彼此電連接，將虛設接合接觸部 22 彼此電連接而能夠積層複數個第 2 半導體元件 14。此時，若第 2 半導體元件 14 為記憶體，則成為記憶體堆疊。再者，第 2 半導體元件 14 的積層數並沒有特別限定。

再者，上述第 1 半導體元件 13 及第 2 半導體元件 14 均能夠藉由用於製造半導體元件之公知的製造方法製造。

【0031】 [半導體裝置的第 1 例的製造方法]

圖 3 係表示本發明的實施形態的半導體裝置的第 1 例的製造方法的一例之示意性剖視圖。再者，在圖 3 中，對與圖 2 所示之第 1 半導體元件 13 和第 2 半導體元件 14 相同的結構物標註同一符號，並省略其詳細說明。

【0032】 例如，如圖 3 所示，藉由使第 1 半導體元件 13 的平面 13a 與第 2 半導體元件 14 的平面 14a 對置，配置成使彼此的接合區域對置的狀態。此時，藉由使第 1 半導體元件 13 與第 2 半導體元件 14 對位，使第 1 半導體元件 13 的接合接觸部 20 及虛設接合接觸部 22 與第 2 半導體元件 14 的接合接觸部 20 及虛設接合接觸部 22 對置。在該狀態下，藉由使第 1 半導體元件 13 的平面 13a 與第 2 半導體元件 14 的平面 14a 接觸，將接合接觸部 20 彼此直接接合，並將虛設接合接觸部 22 彼此直接接合。

【0033】 半導體元件彼此的接合方法並沒有特別限定，例如，能夠利用混合接合中使用的接合方法。

又，作為接合方法，例如，能夠利用 DBI（Direct Bond Interconnect：直接接合互連）、SAB（Surface Activated Bond：表面活化接合）。

上述 DBI 為如下技術：在半導體元件上積層矽氧化膜，並實施化學機械研磨。之後，藉由電漿處理使矽氧化膜界面活化，使半導體元件彼此接觸，由此接合兩者。

上述 SAB 為如下技術：在真空中對半導體元件的各接合面進行表面處理使其活化。在該狀態下，藉由使半導體元件彼此在常溫環境下接觸來接合兩者。表面處理中利用氬氣等惰性氣體的離子照射或中性原子束照射。

再者，亦可以在第 1 半導體元件 13 的接合接觸部 20 及虛設接合接觸部 22 與第 2 半導體元件 14 的接合接觸部 20 及虛設接合接觸部 22 之間設

置焊料等導電性中繼材料來接合第 1 半導體元件 13 與第 2 半導體元件 14，形成半導體裝置。

【0034】 [半導體裝置的第 2 例]

圖 4 係表示本發明的實施形態的半導體裝置的第 2 例之示意性剖視圖。再者，在圖 4 中，對與圖 2 所示之第 1 半導體元件 13 和第 2 半導體元件 14 相同的結構物標註同一符號，並省略其詳細說明。

圖 4 所示之半導體裝置 10a 與圖 2 所示之半導體裝置 10 相比，不同點為在複數個半導體元件的接合區域之間配置有在半導體元件的積層方向 Ds 上具有導電性之各向異性導電性構件 16。又，半導體裝置 10a 的接合面 Bc 為第 1 半導體元件 13 的平面 13a 與各向異性導電性構件 16 的背面 16b 的界面且為第 2 半導體元件 14 的平面 14a 與各向異性導電性構件 16 的表面 16a 的界面這一點不同。除此以外的結構與圖 2 所示之半導體裝置 10 相同。

【0035】 在圖 4 所示之半導體裝置 10a 中，將第 1 半導體元件 13 的平面 13a 配置成與各向異性導電性構件 16 的背面 16b 對置，將第 2 半導體元件 14 的平面 14a 配置成與各向異性導電性構件 16 的表面 16a 對置。在半導體裝置 10a 中，藉由各向異性導電性構件 16，接合接觸部 20 彼此電連接，虛設接合接觸部 22 彼此電連接。如此，在半導體裝置 10a 中，接合接觸部 20 彼此及虛設接合接觸部 22 彼此未直接接合。

【0036】 在半導體裝置 10a 中，第 1 半導體元件 13 與第 2 半導體元件 14 藉由各向異性導電性構件 16 將接觸部 20 彼此接合並電連接。由此，第 2 半導體元件 14 的接合接觸部 20、連接部 40、配線層 38、貫通電極 36、配線層 34、連接部 32 與第 1 半導體元件 13 的接合接觸部 20、連接部 25、

配線層 27 及貫通電極 29 被導通，能夠在第 1 半導體元件 13 與第 2 半導體元件 14 之間進行電訊號的收發。

與圖 2 所示之半導體裝置 10 同樣地，在半導體裝置 10a 中，虛設接合接觸部 22 亦配置成包圍接合接觸部 20。因此，防止氧氣及水分等滲入接合接觸部 20。由此，可獲得可靠性高的半導體裝置 10a。

【0037】 與圖 2 所示之半導體裝置 10 同樣地，在半導體裝置 10a 中，設定為積層了第 1 半導體元件 13 和第 2 半導體元件 14 這兩個半導體元件之結構，但半導體元件數可以為複數個，並不限定於兩個。

又，與圖 2 所示之半導體裝置 10 同樣地，在半導體裝置 10a 中，亦可以在第 2 半導體元件 14 的第 7 絕緣層 41 的表面 41a 上，隔著各向異性導電性構件 16 進一步積層具有上述接合接觸部 20 和虛設接合接觸部 22 之半導體元件（未圖示）。此時，積層數並沒有特別限定。又，在第 2 半導體元件 14 的第 7 絕緣層 41 的表面 41a 上接合半導體元件時，亦可以不設置各向異性導電性構件 16 而直線接合第 2 半導體元件 14 與半導體元件。

又，在半導體裝置 10a 中，將複數個第 2 半導體元件 14 在積層方向上隔著各向異性導電性構件 16 積層而將接合接觸部 20 彼此電連接並將虛設接合接觸部 22 彼此電連接，由此能夠積層複數個第 2 半導體元件 14。此時，若第 2 半導體元件 14 為記憶體，則成為記憶體堆疊。再者，第 2 半導體元件 14 的積層數並沒有特別限定。

【0038】 上述半導體裝置 10 及半導體裝置 10a 均將接合接觸部 20 和虛設接合接觸部 22 配置於同一層。由此，形成接合接觸部 20 時，能夠藉由同一製程形成虛設接合接觸部 22，因此半導體元件的製造步驟不會變複

雜。將接合接觸部 20 和虛設接合接觸部 22 配置於同一層時，藉由同一製程形成，因此，例如，接合接觸部 20 和虛設接合接觸部 22 由相同的金屬或合金構成。

再者，藉由同一製程形成例如係指藉由鍍覆步驟、濺射步驟及 CVD（Chemical Vapor Deposition：化學汽相沈積）步驟等 1 次成膜步驟形成。

【0039】 [半導體裝置的第 2 例的製造方法]

圖 5 係表示本發明的實施形態的半導體裝置的第 2 例的製造方法的一例之示意性剖視圖。再者，在圖 5 中，對與圖 4 所示之第 1 半導體元件 13、第 2 半導體元件 14 及各向異性導電性構件 16 相同的結構物標註同一符號，並省略其詳細說明。

例如，如圖 5 所示，藉由使第 1 半導體元件 13 的平面 13a 與第 2 半導體元件 14 的平面 14a 對置，配置成使彼此的接合區域對置的狀態。此時，藉由使第 1 半導體元件 13 與第 2 半導體元件 14 對位，使第 1 半導體元件 13 的接合接觸部 20 及虛設接合接觸部 22 與第 2 半導體元件 14 的接合接觸部 20 及虛設接合接觸部 22 對置。

【0040】 而且，在第 1 半導體元件 13 的平面 13a 與第 2 半導體元件 14 的平面 14a 之間，使各向異性導電性構件 16 的背面 16b 與第 1 半導體元件 13 的平面 13a 對置，使各向異性導電性構件 16 的表面 16a 與第 2 半導體元件 14 的平面 14a 對置來配置各向異性導電性構件 16。在該狀態下，使第 1 半導體元件 13 的平面 13a 與各向異性導電性構件 16 的背面 16b 接觸且使第 2 半導體元件 14 的平面 14a 與各向異性導電性構件 16 的表面 16a 接觸，由此藉由各向異性導電性構件 16 將接合接觸部 20 彼此接合，並將

虛設接合接觸部 22 彼此接合。

半導體元件彼此的接合方法並沒有特別限定，例如，能夠利用混合接合中使用的接合方法。除此以外，作為接合方法，能夠利用上述 DBI 或 SAB。

再者，亦可以在第 1 半導體元件 13 的接合接觸部 20 及虛設接合接觸部 22 與各向異性導電性構件 16 的背面 16b 之間設置焊料，在第 2 半導體元件 14 的接合接觸部 20 及虛設接合接觸部 22 與各向異性導電性構件 16 的表面 16a 之間設置焊料，接合第 1 半導體元件 13、各向異性導電性構件 16 及第 2 半導體元件 14 來形成半導體裝置。

【0041】 （各向異性導電性構件）

圖 6 係表示本發明的實施形態的半導體裝置的第 2 例的各向異性導電性構件的一例之示意性剖視圖。圖 7 係表示本發明的實施形態的半導體裝置的第 2 例的各向異性導電性構件的一例之示意性俯視圖。圖 7 係從圖 6 的陽極氧化膜的表面側觀察的俯視圖，表示沒有樹脂層 54 之狀態。

圖 6 所示之各向異性導電性構件 16 在上述半導體元件的積層方向 D_s （參照圖 2）上具有導電性。

各向異性導電性構件 16 具有：具有電絕緣性之絕緣性基材 50、沿厚度方向 D_t 貫通絕緣性基材 50，以彼此電絕緣的狀態設置的複數個導通路 52、及覆蓋絕緣性基材 50 的至少一面之樹脂層 54。各向異性導電性構件 16 以厚度方向 D_t 與積層方向 D_s 平行的方式配置於第 1 半導體元件 13 與第 2 半導體元件 14 之間。

【0042】 複數個導通路 52 以彼此電絕緣的狀態設置在絕緣性基材 50 上。此時，例如，絕緣性基材 50 具有沿厚度方向 D_t 貫通的複數個細孔 51。

在複數個細孔 51 中設置有導通路 52。導通路 52 從絕緣性基材 50 的表面 50a 突出。又，導通路 52 從絕緣性基材 50 的背面 50b 突出。

導通路 52 可以從絕緣性基材 50 的厚度方向 Dt 上的一面突出，此時，在導通路 52 突出的絕緣性基材 50 的表面上設置樹脂層 54 為較佳。樹脂層 54 包覆導通路 52 的突出部 52a，突出部 52a 埋設於樹脂層 54 中。又，樹脂層 54 包覆導通路 52 的突出部 52b，突出部 52b 埋設於樹脂層 54 中。

絕緣性基材 50 例如由陽極氧化膜構成。絕緣性基材 50 的表面 50a 與絕緣性基材 50 的背面 50b 為在絕緣性基材 50 的厚度方向 Dt 上對置的面。

【0043】 各向異性導電性構件 16 具有各向異性導電性，在厚度方向 Dt 上具有導電性，但在與絕緣性基材 50 的表面 50a 平行的方向上的導電性非常低。

如圖 7 所示，各向異性導電性構件 16 的外形例如為四邊形。再者，各向異性導電性構件 16 的外形及尺寸根據半導體元件的接合區域的外形及尺寸適當決定。

例如，各向異性導電性構件 16 在無樹脂層 54 的狀態或即使有樹脂層 54 亦在表面 54a 空無一物的狀態下接合。

【0044】 以下，對各向異性導電性構件的結構進行更詳細的說明。各向異性導電性構件例如為與國際公開第 2022/163260 號中記載之結構體相同的結構，又，能夠以與上述結構體相同的方法製造。

<絕緣性基材>

絕緣性基材 50 使由導電體構成之複數個導通路 52 設置成彼此電絕緣的狀態。絕緣性基材 50 具有電絕緣性。又，絕緣性基材 50 具有形成導通

路 52 之複數個細孔 51。絕緣性基材 50 的組成等在後面進行說明。

絕緣性基材 50 在厚度方向 Dt 上的長度，亦即絕緣性基材 50 的厚度 ht 在 $1\sim 1000\mu\text{m}$ 的範圍內為較佳，在 $5\sim 500\mu\text{m}$ 的範圍內為更佳，在 $10\sim 300\mu\text{m}$ 的範圍內為進一步較佳。絕緣性基材 50 的厚度 ht 在該範圍內時，絕緣性基材 50 的操作性變良好。

從容易捲取的觀點考慮、絕緣性基材 50 的厚度 ht 為 $30\mu\text{m}$ 以下為較佳， $5\sim 20\mu\text{m}$ 為更佳。

【0045】 再者，絕緣性基材的厚度為如下計算的值：使用聚焦離子束（Focused Ion Beam：FIB），沿厚度方向 Dt 對絕緣性基材進行切削加工，將其截面用掃描式電子顯微鏡（SEM）拍攝表面照片（倍率 5 万倍），並作為測定 10 個點而得之平均值計算。

【0046】 <細孔的平均直徑>

細孔 51 的平均直徑為 $1\mu\text{m}$ 以下為較佳， $5\sim 500\text{nm}$ 為更佳， $20\sim 400\text{nm}$ 為進一步較佳， $40\sim 200\text{nm}$ 為更進一步較佳， $50\sim 100\text{nm}$ 為最佳。細孔 51 的平均直徑 d 為 $1\mu\text{m}$ 以下，若在上述範圍內，則能夠獲得具有上述平均直徑之導通路 52。

細孔 51 的平均直徑為如下計算的值：使用掃描式電子顯微鏡（SEM），將絕緣性基材 50 的表面從正上方以倍率 $100\sim 10000$ 倍拍攝來獲得攝影圖像。在攝影圖像中，提取至少 20 個周圍連接成環狀之細孔，測定其直徑並設定為開口直徑，將該等開口直徑的平均值作為細孔的平均直徑來計算。

再者，關於倍率，能夠適當選擇上述範圍內的倍率，以獲得能夠提取 20 個以上的細孔之攝影圖像。又，開口直徑測定細孔部分的端部之間的距離的

最大值。亦即，細孔的開口部的形狀並不限定於大致圓形，因此在開口部的形狀為非圓形時，將細孔部分的端部之間的距離的最大值設定為開口直徑。因此，例如，即使在將 2 個以上的細孔一體化而得之類的形狀的細孔時，亦將其視為 1 個細孔，並將細孔部分的端部之間的距離的最大值設定為開口直徑。

【0047】 <導通路>

如上所述，複數個導通路 52 以彼此電絕緣的狀態設置在絕緣性基材 50，例如陽極氧化膜上。

複數個導通路 52 具有導電性。導通路由導電性物質構成。導電性物質並沒有特別限定，可舉出金屬。作為金屬的具體例，可適當地例示金 (Au)、銀 (Ag)、銅 (Cu)、鋁 (Al)、鎂 (Mg)、鎳 (Ni)、鋅 (Zn) 及鈷 (Co) 等。從導電性的觀點考慮，銅、金、鋁、鎳及鈷為較佳，銅及金為更佳，銅為最佳。

與氧化物導電體相比，金屬的延展性優異而容易變形，即使在接合時的壓縮中亦容易變形，因此導通路由金屬構成為較佳。

在厚度方向 Dt 上的導通路 52 的高度為 10~300 μm 為較佳，20~30 μm 為更佳。

【0048】 <<導通路的形狀>>

導通路 52 的平均直徑 d 為 1 μm 以下為較佳，5~500nm 為更佳，20~400nm 為進一步較佳，40~200nm 為更進一步較佳，50~100nm 為最佳。

導通路 52 的密度為 2 万個/ mm^2 以上為較佳，200 万個/ mm^2 以上為更佳，1000 万個/ mm^2 以上為進一步較佳，5000 万個/ mm^2 以上為特佳，1 億個

/mm² 以上為最佳。

而且，相鄰之各導通路 52 的中心間距離 p 為 20nm～500nm 為較佳，40nm～200nm 為更佳，50nm～140nm 為進一步較佳。

【0049】 導通路的平均直徑為如下計算的值：使用掃描式電子顯微鏡，將絕緣性基材的表面從正上方以倍率 100～10000 倍拍攝來獲得攝影圖像。在攝影圖像中，提取至少 20 個周圍連接成環狀之導通路，測定其直徑並設定為開口直徑，將該等開口直徑的平均值作為導通路的平均直徑來計算。

再者，關於倍率，能夠適當選擇上述範圍內的倍率，以獲得能夠提取 20 個以上的導通路之攝影圖像。又，開口部的形狀為非圓形狀時，將導通路部分的端部間的距離的最大值作為開口直徑。因此，例如，即使是 2 個以上的導通路被一體化之類的形狀的導通路的情況下，亦將其視為 1 個導通路，將導通路部分的端部間的距離的最大值作為開口直徑。導通路 52 的平均直徑 d 與突出部的平均直徑相同。

相鄰之各導通路 52 的中心間距離 p 進一步確定在如上獲得之絕緣性基材 50 的攝影圖像中確定之導通路的中心位置（未圖示）。在 10 處求出了相鄰之導通路的中心位置之間的距離。將其平均值作為相鄰之各導通路 52 的中心間距離 p 。中心位置為在上述攝影圖像中相當於導通路 52 之區域的中心位置。再者，在攝影圖像中，可以在區域中心位置的計算中使用公知的圖像分析法。

【0050】 <<突出部>>

突出部為導通路的一部分，其為柱狀。從能夠增加與接合對象的接觸面積之觀點考慮，突出部為圓柱狀為較佳。

突出部 52a 的平均突出長度 h_a 及突出部 52b 的平均長度 h_b 為 10nm～1000nm 為較佳，50nm～500nm 為更佳。若平均突出長度 h_a 及平均長度 h_b 為 10nm～1000nm，則樹脂層 54 與絕緣性基材 50 的密接性變良好。

如上所述，突出部 52a 的平均突出長度 h_a 及突出部 52b 的平均長度 h_b 為如下值：使用掃描式電子顯微鏡獲得突出部的截面圖像，並根據截面圖像，分別在 10 個點測定突出部的高度，並測定平均值。

【0051】 關於導通路 52，與相鄰突出部的間隔為 20nm～200nm 為較佳，40nm～100nm 為更佳。與相鄰突出部的間隔在上述範圍內時，能夠在導通路 52 的絕緣性基材 50 的表面 50a 或背面 50b 維持導通路 52 的間隔。由此，在半導體裝置接合時，可抑制導通路 52 的短路，進一步提高接合時的可靠性。

【0052】 <<樹脂層>>

如上所述，樹脂層包覆絕緣性基材的表面及背面中至少一面，保護絕緣性基材及導通路。例如，在導通路具有突出部時，樹脂層埋設突出部。亦即，樹脂層包覆從絕緣性基材突出的導通路的端部，並保護突出部。

為了發揮上述作用，樹脂層例如為在 50℃～200℃ 的溫度範圍內顯示流動性且在 200℃ 以上的溫度下硬化者為較佳。樹脂層例如為由熱塑性樹脂等構成之熱塑性層，對樹脂層在後面進行詳細說明。

樹脂層 54 的平均厚度 h_m 為 10 μ m 以下為較佳，更佳為 5 μ m 以下，進一步較佳為 1 μ m 以下。若樹脂層 54 的平均厚度 h_m 為上述 10 μ m 以下，則能夠充分發揮保護導通路 52 的突出部且在半導體裝置的接合時填充電極周圍的效果。

樹脂層 54 的平均厚度 h_m 為距絕緣性基材 50 的表面 50a 的平均距離或距絕緣性基材 50 的背面 50b 的平均距離。上述樹脂層 54 的平均厚度 h_m 為如下值：將樹脂層沿各向異性導電性構件 16 的厚度方向 Dt 切斷，使用掃描式電子顯微鏡觀察切斷截面，對相當於樹脂層的 10 處測定距絕緣性基材 50 的表面 50a 的距離時 10 個點的測定值的平均值。又是對相當於樹脂層的 10 處測定距絕緣性基材 50 的背面 50b 的距離時 10 個點的測定值的平均值。

【0053】 樹脂層亦能夠使用以下所示之組成。以下，對樹脂層的組成進行說明。例如，樹脂層係含有高分子材料者，亦可以含有抗氧化材料。

作為構成樹脂層之樹脂材料，具體而言，例如能夠舉出乙烯系共聚物、聚醯胺樹脂、聚酯樹脂、聚胺酯樹脂、聚烯烴系樹脂、丙烯酸系樹脂、丙烯腈系樹脂及纖維素系樹脂等熱塑性樹脂。作為構成樹脂層 54 之樹脂材料，亦能夠使用聚丙烯腈。

作為樹脂層，例如能夠使用國際公開第 2022/163260 號中記載之含有包含丙烯酸聚合物、丙烯酸單體及順丁烯二醯亞胺化合物之主組成物者。

【0054】 [半導體元件的一例]

在半導體元件中，半導體元件的功能由半導體元件的動作區分。作為半導體的功能，例如，可舉出 CPU（Central Processing Unit：中央處理單元）、GPU（Graphics Processing Unit：圖形處理單元）等的運算、記憶體等的存儲、轉換器等的轉換、篩選及感測等。又，在該等功能整合在 1 個晶片或單元中時，以整合狀態確定功能。若特定功能不同，則為不同的半導體元件。

【0055】 半導體元件只要是具有上述接合接觸部 20 及虛設接合接觸

部 22 之結構，則並沒有特別限定。作為半導體元件，更具體而言，例如，可舉出邏輯 LSI (Large Scale Integration：大型積體電路)、ASIC (Application Specific Integrated Circuit：特殊應用積體電路)、FPGA (Field Programmable Gate Array 場可編程閘陣列)、ASSP (Application Specific Standard Product：應用特定標準產品) 等)、微處理器 (例如，CPU、GPU 等)、記憶體 (例如，DRAM (Dynamic Random Access Memory：動態隨機存取記憶體)、SRAM (Static Random Access Memory：靜態隨機存取記憶體)、HMC (Hybrid Memory Cube：混合記憶體立方體)、MRAM (Magnetic RAM：磁記憶體) 和 PCM (Phase-Change Memory：相變化記憶體)、ReRAM (Resistive RAM：可變電阻式記憶體)、FeRAM (Ferroelectric RAM：鐵電隨機存取記憶體)、快閃記憶體等)、LED (Light Emitting Diode：發光二極體)、功率裝置、類比 IC (Integrated Circuit：積體電路)、例如 DC (Direct Current：直流電) - DC (Direct Current：直流電) 轉換器、絕緣閘雙極電晶體 (IGBT)、例如加速度感測器、壓力感測器、振子、陀螺儀感測器等 MEMS (Micro Electro Mechanical Systems：微機電系統)、例如 GPS (Global Positioning System：全球定位系統)、FM (Frequency Modulation：調頻)、NFC (Near field communication：近場通訊)、RFEM (RF Expansion Module：射頻擴展模組)、MMIC (Monolithic Microwave Integrated Circuit：單晶微波積體電路)、WLAN (Wireless Local Area Network：無線區域網路)、離散元件、BSI (Back Side Illumination：背面照度)、CIS (Contact Image Sensor：接觸式影像感測器)、相機模組、被動元件、SAW (Surface Acoustic Wave：表面聲波) 濾波器、RF (Radio Frequency：射頻) 濾波器、RFIPD (Radio Frequency Integrated

Passive Devices：射頻整合式被動元件）、BB（Broadband：寬頻）等。

【0056】 構成半導體元件之半導體的組成並沒有特別限定。作為半導體的組成，例如為金剛石、矽（Si）、鍺（Ge）、矽鍺（SiGe）、碳化矽（SiC）、砷化鎵（GaAs）、氮化鎵（GaN）、氧化鎵及矽覆絕緣體（SOI）等。

【0057】 〔半導體裝置〕

如上所述，半導體裝置為複數個半導體元件積層並電連接而得者。半導體裝置為複數個半導體元件集成而發揮特定功能者，但亦包括僅傳輸電訊號者。

半導體裝置例如可以為二維（2D）、二維半（2.5D）或三維（3D）架構的論理裝置。又，作為半導體裝置，例如，可以為積層複數個 DRAM 而成之 DRAM 堆疊，亦可以為積層 DRAM 堆疊與邏輯 LSI 而成之結構。

【0058】 又，半導體裝置可以為具有印刷配線板及散熱裝置（heat sink）等之結構。

半導體裝置亦可以為除了上述半導體元件以外，還具有數位、類比或混合訊號外圍電路之結構。更具體而言，半導體裝置亦可以為具備具有頁緩衝器、行解碼器、列解碼器、感測放大器、驅動器、電荷泵、電晶體、二極體、電阻器或電容器中的 1 個或複數個之外圍元件層之結構。

【0059】 又，半導體裝置亦可以為除了上述半導體元件以外，還具有元件區域之結構。元件區域為形成有用於作為電子元件而發揮作用的各種元件構成電路等之區域。元件區域例如為形成有快閃記憶體等之類的記憶體電路、微處理器及 FPGA（field-programmable gate array：場可編程閘陣列）等之類的邏輯電路之區域、形成有無線標籤等通訊模組以及配線之區域。

除此以外，元件區域中還可以形成有 MEMS。作為 MEMS，例如可舉出感測器、致動器及天線等。作為感測器，例如包括加速度、聲音及光等各種感測器。

【0060】 本發明基本上如以上構成。以上，對本發明的半導體裝置進行了詳細說明，但本發明並不限定於上述實施形態，當然在不脫離本發明的宗旨之範圍內可以進行各種改良或變更。

【符號說明】

【0061】

10, 10a:半導體裝置

12:半導體元件

12a, 13a, 14a:平面

13:第 1 半導體元件

14:第 2 半導體元件

16:各向異性導電性構件

16a, 23a, 30a, 41a, 50a, 54a:表面

16b, 50b:背面

20:接合接觸部

20b:下表面

22:虛設接合接觸部

23, 30:第 1 絕緣層

24, 31:第 2 絕緣層

25, 32, 40: 連接部

26, 33: 第 3 絕緣層

27, 34, 38: 配線層

27a, 34a, 38a: 配線

28, 35: 第 4 絕緣層

29, 36: 貫通電極

37: 第 5 絕緣層

38b, 40a: 上表面

39: 第 6 絕緣層

41: 第 7 絕緣層

50: 絕緣性基材

51: 細孔

52: 導通路

52a, 52b: 突出部

54: 樹脂層

Ad: 區域

Aj: 接合區域

As: 區域

Bc: 接合面

Ds: 積層方向

Dt: 厚度方向

d: 平均直徑

hm:平均厚度

ht:厚度

p:中心間距離

【發明申請專利範圍】

【請求項 1】

一種半導體裝置，其為將複數個半導體元件積層並電連接之半導體裝置，其中

半導體元件具備：

接合區域，配置有將前述半導體元件彼此接合且將前述半導體元件彼此電連接之接合接觸部和將前述半導體元件彼此接合且將前述半導體元件彼此以非導通的方式連接之虛設接合接觸部，

前述虛設接合接觸部沿著前述半導體元件的前述接合區域的外周連續設置，

在前述半導體元件中，在使彼此的前述接合區域對置的狀態下，將前述接合接觸部彼此接合，並將前述虛設接合接觸部彼此接合。

【請求項 2】

如請求項 1 所述之半導體裝置，其中

在前述複數個半導體元件中，在使彼此的前述接合區域對置的狀態下，將前述接合接觸部彼此直接接合，並將前述虛設接合接觸部彼此直接接合。

【請求項 3】

如請求項 1 所述之半導體裝置，其中

在前述複數個半導體元件的前述接合區域之間配置有在前述半導體元件的積層方向上具有導電性之各向異性導電性構件，由此將前述接合接觸部彼此電連接，並將前述虛設接合接觸部彼此電連接。

【請求項 4】

如請求項 3 所述之半導體裝置，其中

前述各向異性導電性構件具有：絕緣性基材，具有電絕緣性；及複數個導通路，沿前述絕緣性基材的厚度方向貫通，以彼此電絕緣的狀態設置。

【請求項 5】

如請求項 1 至請求項 4 之任一項所述之半導體裝置，其中

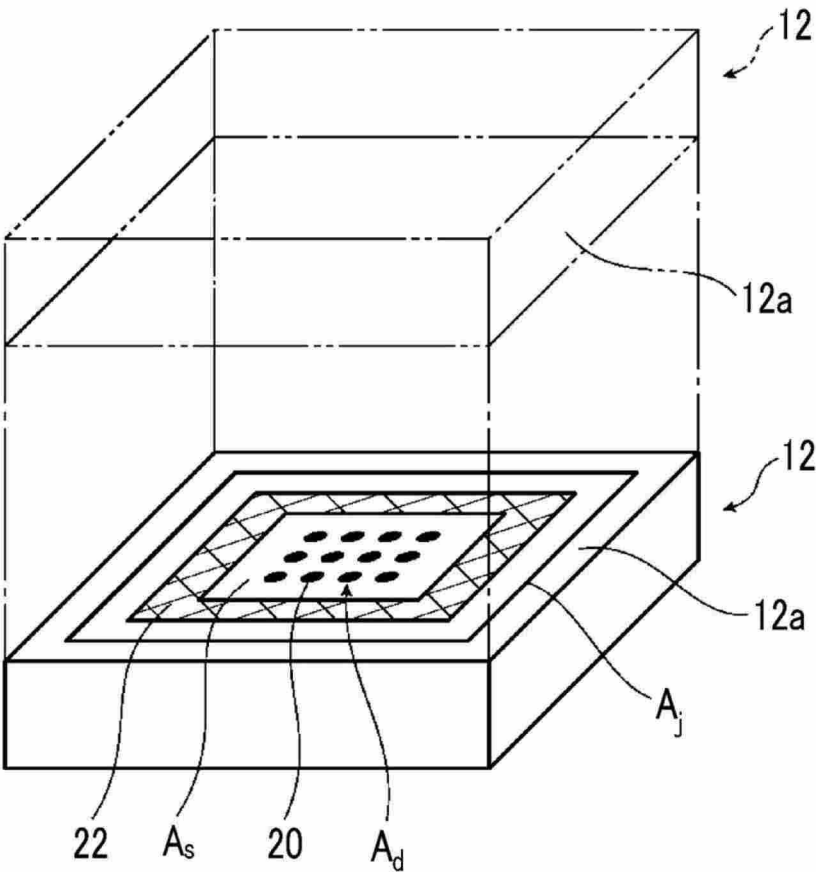
前述虛設接合接觸部的維氏硬度為前述接合區域內除前述接合接觸部及前述虛設接合接觸部以外的區域的維氏硬度的 1/10 以下。

【請求項 6】

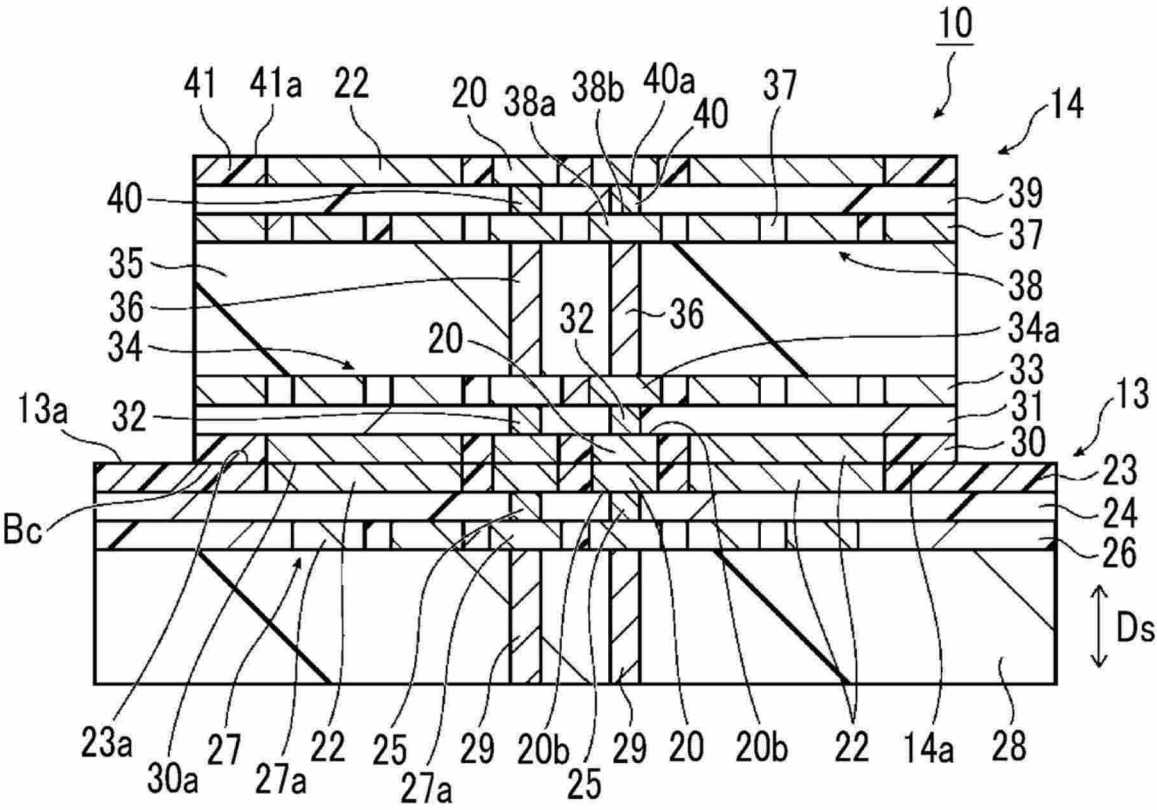
如請求項 1 至請求項 4 之任一項所述之半導體裝置，其中

前述虛設接合接觸部由鋁或銅、或者包含鋁或銅之合金構成。

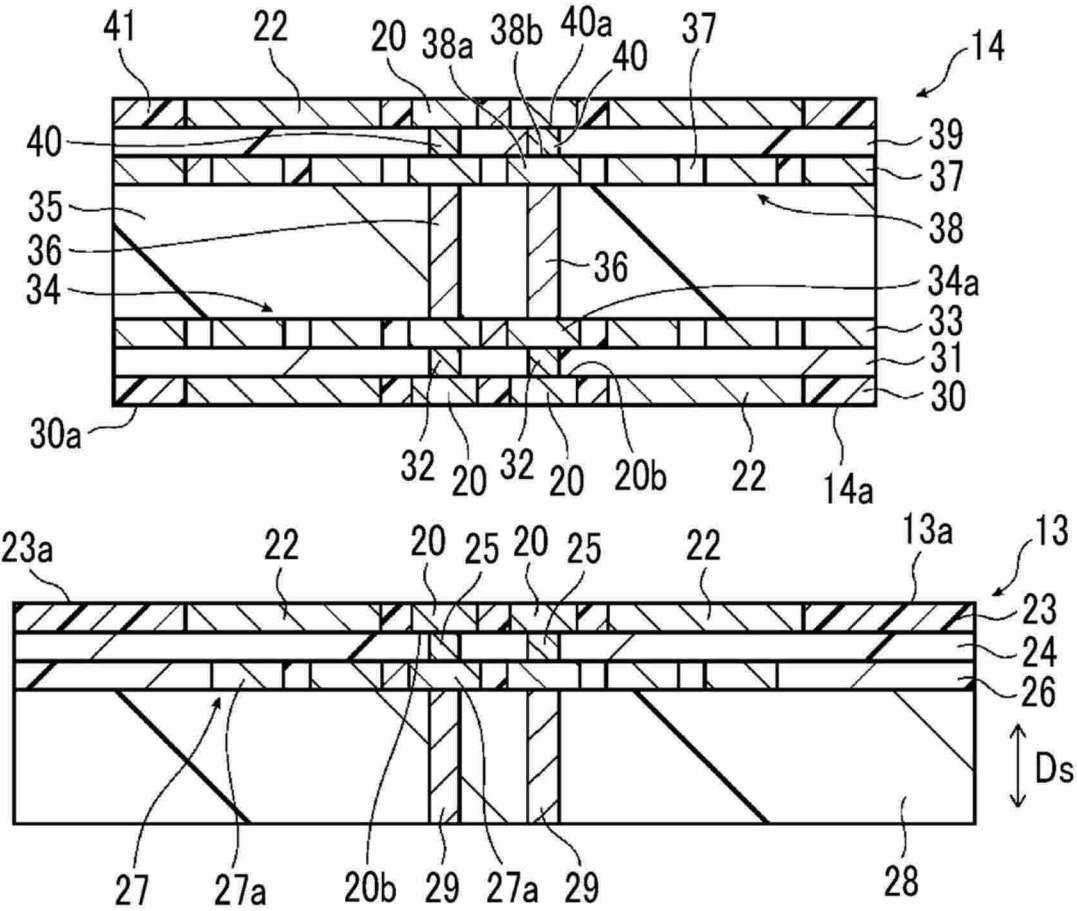
【發明圖式】



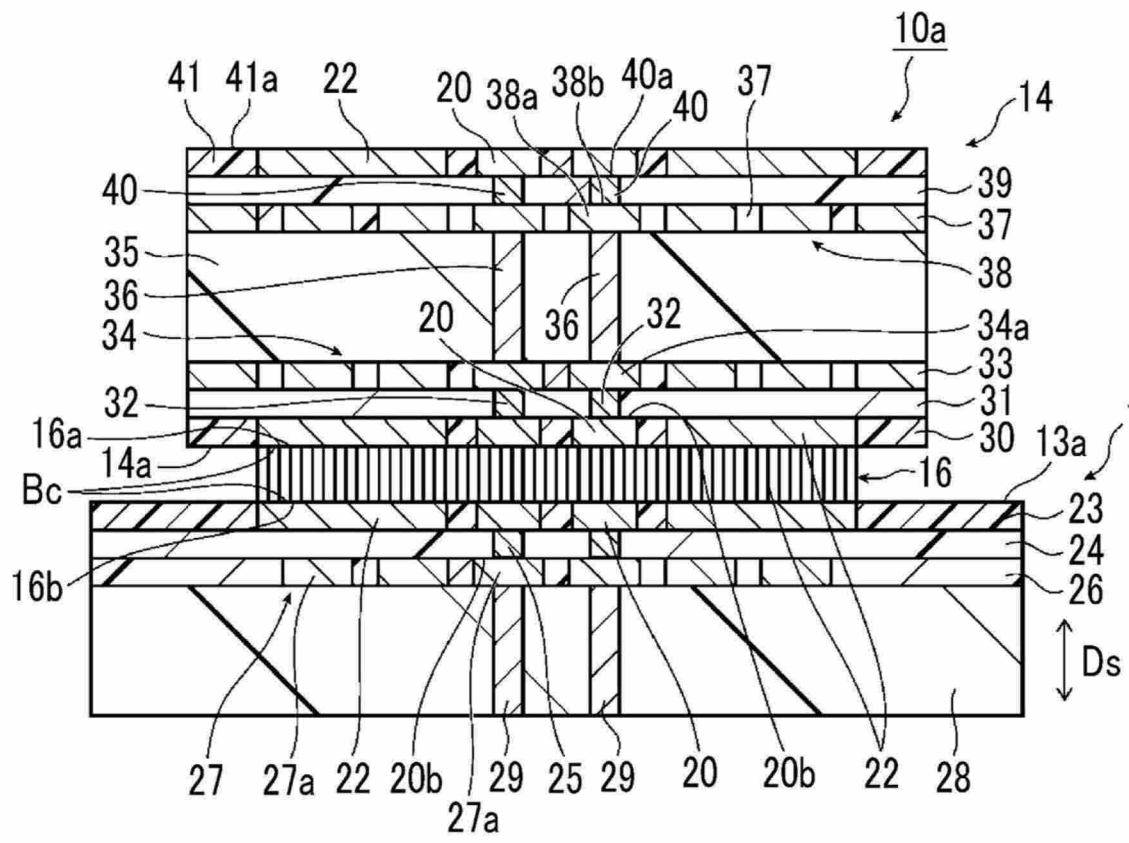
【圖1】



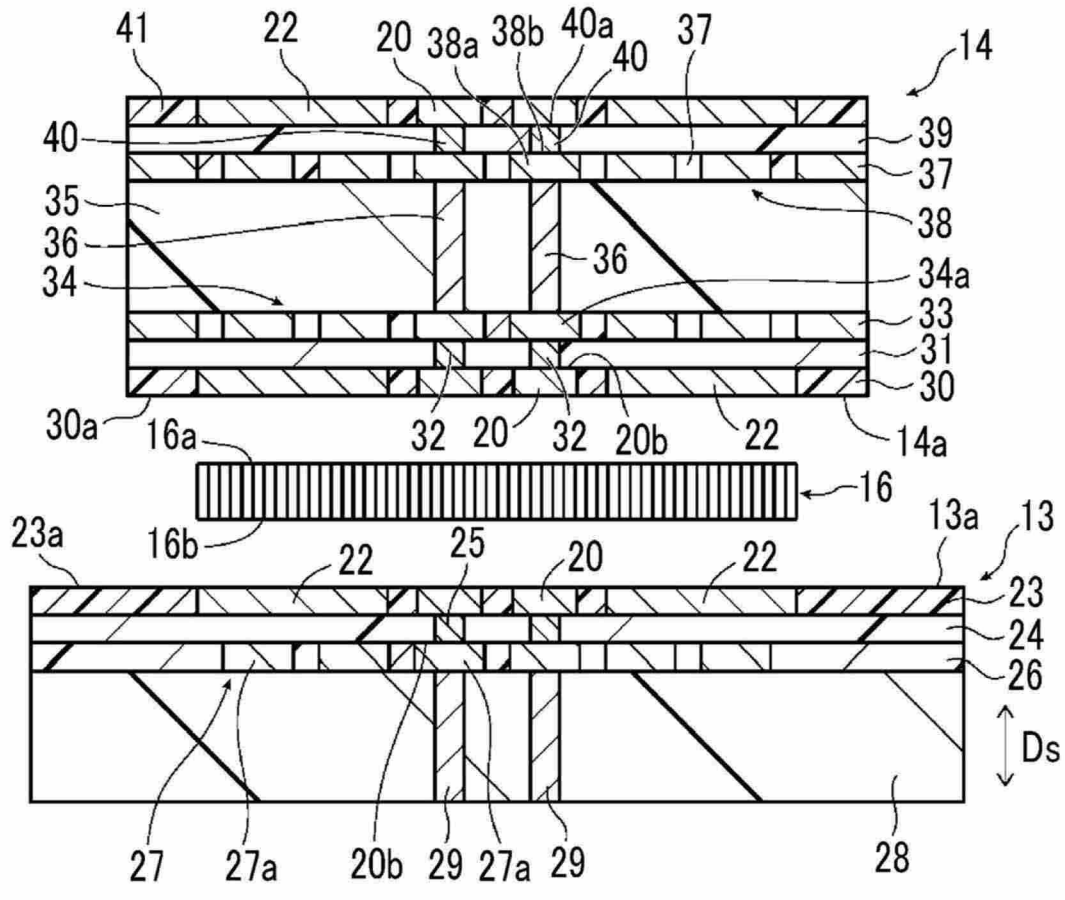
【圖2】



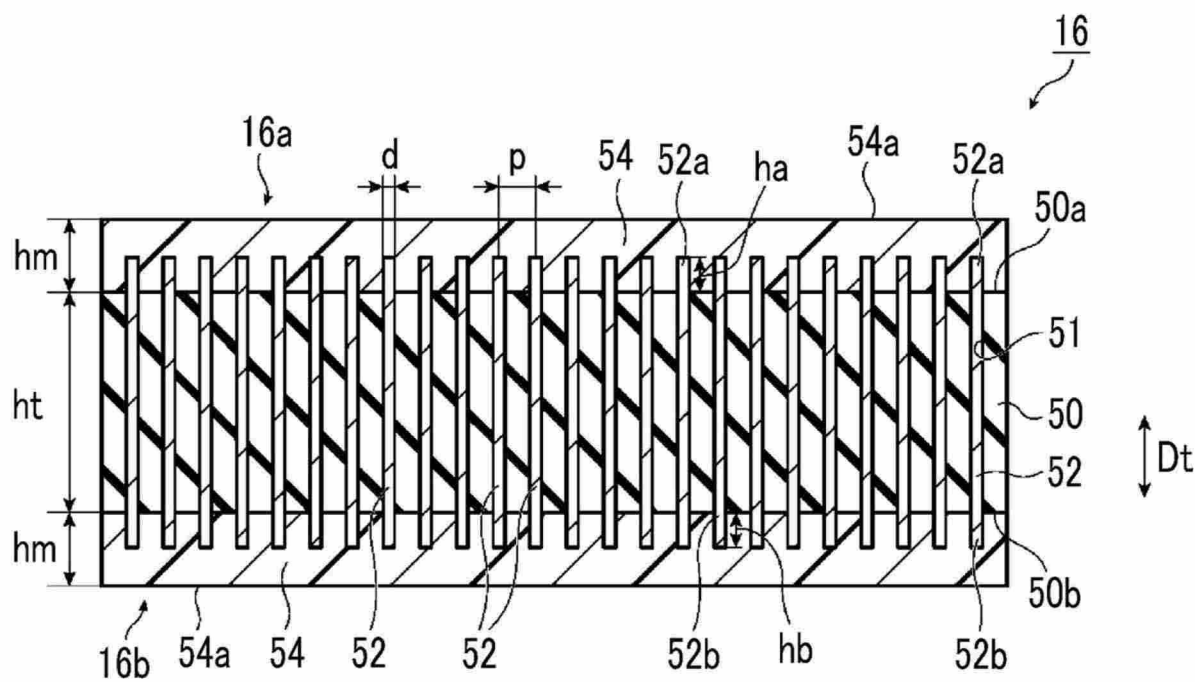
【圖3】



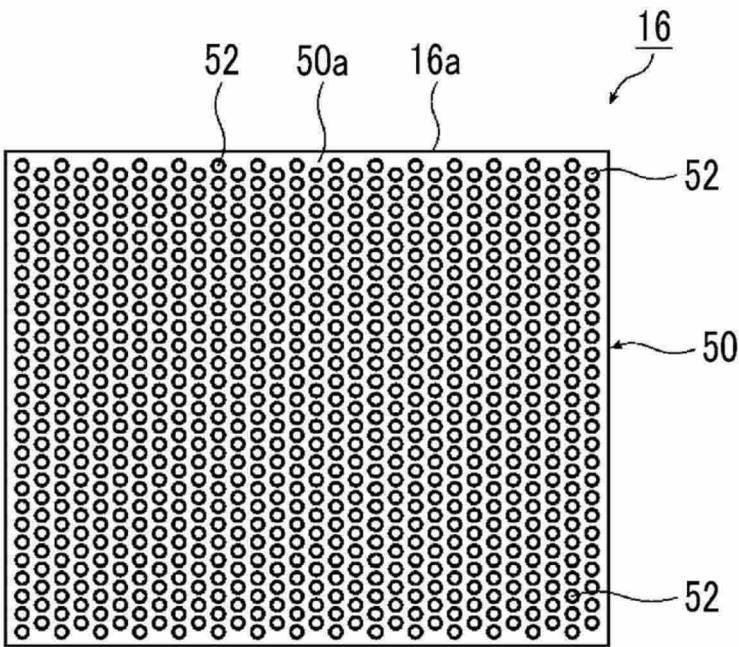
【圖4】



【圖5】



【圖6】



【圖7】