

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7336217号
(P7336217)

(45)発行日 令和5年8月31日(2023.8.31)

(24)登録日 令和5年8月23日(2023.8.23)

(51)国際特許分類

F I

H 0 4 N 25/773(2023.01)

H 0 4 N 25/773

H 0 4 N 25/10 (2023.01)

H 0 4 N 25/10

請求項の数 22 (全18頁)

(21)出願番号	特願2019-45134(P2019-45134)	(73)特許権者	000001007
(22)出願日	平成31年3月12日(2019.3.12)		キャノン株式会社
(65)公開番号	特開2020-150377(P2020-150377 A)	(74)代理人	東京都大田区下丸子3丁目30番2号 110003281
(43)公開日	令和2年9月17日(2020.9.17)		弁理士法人大塚国際特許事務所
審査請求日	令和4年3月14日(2022.3.14)	(72)発明者	小川 武志
			東京都大田区下丸子3丁目30番2号 キャノン株式会社内
		審査官	鈴木 明

最終頁に続く

(54)【発明の名称】 情報処理装置、撮像素子、撮像装置、及び情報処理方法

(57)【特許請求の範囲】

【請求項1】

複数の画素を有し、前記複数の画素がそれぞれ、光子の入射に応じてパルス信号を出力するセンサ手段と、前記パルス信号の数をカウントしてカウント値を生成するカウント手段と、を有する撮像素子から前記複数の画素の前記カウント値を順次取得し、該取得したカウント値に基づく信号値を補正する補正手段を有し、

前記カウント手段は、前記カウント値が所定値に達した場合に、カウント値をリセットした後カウントを継続し、

前記補正手段は、隣接する画素のカウント値に基づく信号値に基づいて、前記信号値のうち、カウント値をリセットした後カウントを継続して得られたカウント値に基づく信号値を補正することを特徴とする情報処理装置。

10

【請求項2】

前記補正手段は、前記複数の画素から順次取得したカウント値に基づく信号値を補正するか否かを、隣接する画素のカウント値に基づいて判断することを特徴とする請求項1に記載の情報処理装置。

【請求項3】

前記補正手段は、前記複数の画素から順次入力する第1のカウント値と、前記第1のカウント値を出力した画素に隣接する画素から出力された第2のカウント値が、予め決められた第1の条件を満たしてから、予め決められた第2の条件を満たすまでの第1の間、前記第1のカウント値に基づく信号値に前記所定値に基づく第1の信号値を加えることを特

20

徴とする請求項 1 に記載の情報処理装置。

【請求項 4】

前記カウント手段は、複数のビット数のバイナリカウンタであって、

前記補正手段は、前記第 1 の間、前記第 1 のカウント値に最上位ビットとして 1 を付加することで前記第 1 の信号値を補正することを特徴とする請求項 3 に記載の情報処理装置。

【請求項 5】

前記補正手段は、前記第 1 の間を除いて、前記第 1 のカウント値に最上位ビットとして 0 を付加することで前記第 1 の信号値を補正することを特徴とする請求項 3 または 4 に記載の情報処理装置。

【請求項 6】

前記カウント手段は、複数のビット数のバイナリカウンタであって、

前記複数の画素は、第 1 のビット数のカウント値を出力する前記カウント手段を有する画素と、前記第 1 のビット数よりも多い第 2 のビット数のカウント値を出力する前記カウント手段を有する画素とを含み、

前記第 2 のビット数のカウント値が入力された場合、前記補正手段は、当該カウント値に基づく信号値を補正しないことを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の情報処理装置。

【請求項 7】

前記第 1 の条件は、前記第 1 のカウント値と前記第 2 のカウント値との差が予め決められた第 1 の閾値より大きく、且つ、前記第 2 のカウント値が予め決められた第 2 の閾値より大きいことを特徴とする請求項 3 乃至 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】

前記第 2 の条件は、前記第 1 のカウント値と前記第 2 のカウント値との差が前記第 1 の閾値より大きく、且つ、前記第 2 のカウント値が、前記第 2 の閾値より小さい予め決められた第 3 の閾値より小さいことを特徴とする請求項 7 に記載の情報処理装置。

【請求項 9】

前記複数の画素は、複数の色のカラーフィルタによってそれぞれ覆われ、前記隣接する画素は、近傍の同色の画素であることを特徴とする請求項 2 に記載の情報処理装置。

【請求項 10】

前記複数の画素は、複数の色のカラーフィルタによってそれぞれ覆われ、

前記補正手段は、隣接する異なる色の画素との輝度比に基づいて、前記取得したカウント値が、カウント値をリセットした後カウントを継続して得られたカウント値であるかどうかを判断することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 11】

前記センサ手段は、アバランシェフォトダイオードを含むことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の情報処理装置。

【請求項 12】

前記カウント手段は、カウント値が最大値に達した場合に、前記カウント値を 0 にリセットした後カウントを継続することを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の情報処理装置。

【請求項 13】

複数の画素を有し、前記複数の画素がそれぞれ、

光子の入射に応じてパルス信号を出力するセンサ手段と、

前記パルス信号の数をカウントするカウント手段と、を有し、

前記カウント手段は、複数のビット数のバイナリカウンタであって、カウント値が所定値に達した場合に、カウント値をリセットした後カウントを継続し、

前記複数の画素は、複数の色のカラーフィルタによってそれぞれ覆われ、前記複数の色それぞれについて、予め決められた数の画素ごとに、他の画素よりもビット数の多いカウント値を出力する前記カウント手段を有することを特徴とする撮像素子。

【請求項 14】

10

20

30

40

50

複数の画素を有し、前記複数の画素がそれぞれ、

光子の入射に応じてパルス信号を出力するセンサ手段と、

前記パルス信号の数をカウントするカウント手段と、を有し、

前記カウント手段は、カウント値が所定値に達した場合に、カウント値をリセットした後カウントを継続することを特徴とする撮像素子と、

請求項 1 乃至 12 のいずれか 1 項に記載の情報処理装置と
を有することを特徴とする撮像装置。

【請求項 15】

前記カウント手段は、複数のビット数のバイナリカウンタであって、

前記複数の画素は、複数の色のカラーフィルタによってそれぞれ覆われ、前記複数の色の内、第 1 の色のカラーフィルタに対応する画素の前記カウント手段は、前記第 1 の色以外のカラーフィルタに対応する画素の前記カウント手段よりも、ビット数の多いカウント値を出力することを特徴とする請求項 14 に記載の撮像装置。

10

【請求項 16】

前記カウント手段は、複数のビット数のバイナリカウンタであって、

前記複数の画素は、複数の色のカラーフィルタによってそれぞれ覆われ、前記複数の色それぞれについて、予め決められた数の画素ごとに、他の画素よりもビット数の多いカウント値を出力する前記カウント手段を有することを特徴とする請求項 14 に記載の撮像装置。

【請求項 17】

20

複数のマイクロレンズを更に有し、

前記複数のマイクロレンズそれぞれに対し、2 つの前記画素を配置したことを特徴とする請求項 14 に記載の撮像装置。

【請求項 18】

前記センサ手段は、アバランシェフォトダイオードを含むことを特徴とする請求項 14 乃至 17 のいずれか 1 項に記載の撮像装置。

【請求項 19】

前記カウント手段は、カウント値が最大値に達した場合に、前記カウント値を 0 にリセットしてカウントを継続することを特徴とする請求項 14 乃至 18 のいずれか 1 項に記載の撮像装置。

30

【請求項 20】

複数の画素を有し、前記複数の画素がそれぞれ、光子の入射に応じてパルス信号を出力するセンサ手段と、前記パルス信号の数をカウントしてカウント値を生成するカウント手段と、を有する撮像素子から、取得手段が、前記複数の画素の前記カウント値を順次取得する取得工程と、

補正手段が、前記取得したカウント値に基づく信号値を補正する補正工程と、を有し、

前記カウント手段は、前記カウント値が所定値に達した場合に、カウント値をリセットした後カウントを継続し、

前記補正工程では、隣接する画素のカウント値に基づく信号値に基づいて、前記信号値のうち、カウント値をリセットした後カウントを継続して得られたカウント値に基づく信号値を補正することを特徴とする情報処理方法。

40

【請求項 21】

コンピュータを、請求項 1 乃至 12 のいずれか 1 項に記載の情報処理装置の各手段として機能させるためのプログラム。

【請求項 22】

請求項 21 に記載のプログラムを記憶したコンピュータが読み取り可能な記憶媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、情報処理装置、撮像素子、撮像装置、及び情報処理方法に関する。

50

【背景技術】

【0002】

従来、スイッチングノイズや浮遊容量などに起因するS/N比の劣化を無くすことができる撮像素子の技術として、画素内でデジタル信号に変換する技術があった。

【0003】

例えば、特許文献1では入射したフォトン（光子）に応じて発生するパルスを計数手段によりカウントするしくみを画素内に備えた撮像素子が開示されている。

【0004】

また、特許文献2では、時分割フォトンカウンティングを用いた場合の露光設定の最適化を実現できる撮像素子およびカメラシステムが開示されている。

10

【先行技術文献】

【特許文献】

【0005】

【文献】特開平7-67043号公報

特開2011-71958号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上述の特許文献に開示された従来技術では、フォトンを計数するカウンタが画素内にあるため、高いダイナミックレンジを得るためにビット数を増やすと画素が大きくなり、小型化、高精細化が困難になってしまうだけでなく、配線量の増加や電力の増加などコストアップの要因となる。

20

【0007】

本発明は上記問題点を鑑みてなされたものであり、画素内のカウンタのビット数を増やすことなく、ダイナミックレンジを拡大することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の情報処理装置は、複数の画素を有し、前記複数の画素がそれぞれ、光子の入射に応じてパルス信号を出力するセンサ手段と、前記パルス信号の数をカウントしてカウント値を生成するカウント手段と、を有する撮像素子から前記複数の画素の前記カウント値を順次取得し、該取得したカウント値に基づく信号値を補正する補正手段を有し、前記カウント手段は、前記カウント値が所定値に達した場合に、カウント値をリセットした後カウントを継続し、前記補正手段は、隣接する画素のカウント値に基づく信号値に基づいて、前記信号値のうち、カウント値をリセットした後カウントを継続して得られたカウント値に基づく信号値を補正する。

30

【発明の効果】

【0009】

本発明によれば、画素内のカウンタのビット数を増やすことなく、ダイナミックレンジを拡大することができる。

【図面の簡単な説明】

40

【0010】

【図1】第1及び第2の実施形態における撮像装置の概略構成を示すブロック図。

【図2】第1及び第2の実施形態におけるフォトンカウント型撮像素子に関する説明図。

【図3】第1の実施形態における各画素のカウンタのビット数の一例を示す図。

【図4】入射光量とカウント値との関係を示す図。

【図5】第1の実施形態における任意の行のカウント値及び補正後の画素値の一例を示す図。

【図6】第1の実施形態における撮像信号処理回路に含まれる補正回路の構成例を示す図。

【図7】第1の実施形態におけるカウント値と検出結果との関係を説明するための図。

【図8】第1の実施形態における各部の信号を示すタイミングチャート。

50

【図 9】変形例 2 における画素配列例を示す図。

【図 10】第 2 の実施形態における処理を示すフローチャート。

【発明を実施するための形態】

【0011】

以下、添付図面を参照して実施形態を詳しく説明する。尚、以下の実施形態は特許請求の範囲に係る発明を限定するものではありません。また実施形態で説明されている特徴の組み合わせの全てが発明に必須のものとは限らない。実施形態で説明されている複数の特徴うち二つ以上の特徴が任意に組み合わせられてもよい。また、同一若しくは同様の構成には同一の参照番号を付し、重複した説明は省略する。

【0012】

< 第 1 の実施形態 >

以下、本発明の第 1 の実施形態による撮像素子および信号処理装置について説明する。

【0013】

図 1 は、第 1 の実施形態における撮像装置の概略構成を示すブロック図である。図 1 において、レンズ部 201 は、ズームレンズを含む複数枚のレンズにより構成され、レンズ駆動部 202 の制御により、Wide 端から Tele 端まで、焦点距離を変化させることができる。

【0014】

メカニカルシャッタ（以下、「メカシャッタ」と記す。）203 と、その後段の絞り 204（光量調節部材）は、撮像素子 206 へ入射する光の照射時間を機械的に制御する露光量調整機構である。メカシャッタ 203 及び絞り 204 は、シャッタ・絞り駆動部 205 によって駆動制御される。

【0015】

ズームレンズを含むレンズ部 201 を通った被写体像は、メカシャッタ 203 及び絞り 204 により適切な露光量に調整され、撮像素子 206 に結像される。撮像素子 206 内の複数の画素に結像した被写体像は、撮像素子 206 内で 2 次元のデジタルデータに変換され、撮像信号処理回路 207 に送られる。なお、撮像素子 206 の詳細については後述する。

【0016】

撮像信号処理回路 207 は、本実施形態におけるカウント数の補正処理を行うと共に、補正した信号に対して、各種の画像処理を行う。画像処理は例えば、ノイズを軽減するローパスフィルタ処理やシェーディング補正処理、WB 調整処理などを含む。更に、キズ補正処理やダークシェーディング補正処理、黒引き処理等の各種の補正、圧縮等を行って画像データを生成する。

【0017】

全体制御演算部 210 は、撮像装置全体の制御と各種演算を行う。タイミング発生部（以下、「TG」と記す。）208 は、全体制御演算部 210 からの制御信号に基づき、撮像素子 206 を駆動させるための駆動パルスを発生させる。第 1 メモリ部 209 は、画像データを一時的に記憶する。

【0018】

記録媒体制御インターフェース（I/F）部 211 は、半導体メモリ等の着脱可能な記憶媒体である記録媒体 213 に対して画像データの記録及び読み出しを行う。表示部 212 は、画像データ等の表示を行う。外部インターフェース（I/F）部 214 は、外部コンピュータ等と通信を行うためのインターフェースである。

【0019】

第 2 メモリ部 215 は、全体制御演算部 210 での演算結果や撮影条件等の各種パラメータを記憶する。操作部 216 によりユーザーが設定した撮像装置の駆動条件に関する情報は、全体制御演算部 210 に送られ、これらの情報に基づいて撮像装置全体の制御が行われる。

【0020】

10

20

30

40

50

図2は、本実施形態における撮像素子206における各画素の概略構成を示す回路図であり、光子の入射に応じてパルス信号を出力するセンサ部と、出力されたパルス信号の数をカウントするカウンタを有する。本実施形態の撮像素子206は、アバランシェフォトダイオード（APD）をガイガーモードで動作させた際に発生するアバランシェ現象を利用して、入射した光子（光子）の数そのものを計測してデジタル信号として出力するものとする。このようなガイガーモードで動作させるアバランシェフォトダイオードは、SPAD（Single Photon Avalanche Diode）と呼ばれている。

【0021】

APDをガイガーモードで動作させる時、例えばAPDに1つの光子が入射するとアバランシェ現象によって観測可能なレベルの電流が発生する。この電流をパルス信号に変換し、そのパルス信号の数をカウントすることで、入射する光子の個数を直接計測することが可能となる。そのため、RTSノイズが発生せず、S/N比の向上が期待されている。

【0022】

ここで、本実施形態におけるSPADを用いたフォトンカウンティング型の撮像素子206の動作概要について、図2を用いて説明する。図2(a)は、SPADをガイガーモードで動作させる撮像素子206の単位画素（以下、「画素」と呼ぶ。）の等価回路を示している。画素は、アバランシェフォトダイオード（APD）101、クエンチ抵抗102、コンパレータ103、抵抗 R_1 、 R_2 等により構成される。

【0023】

APD101のアノード端はGNDに接続されており、カソード端はクエンチ抵抗102に接続されている。そして、クエンチ抵抗102を介して、電圧VDDから逆バイアス電圧が印加される。このとき電圧VDDとGNDの電圧差はAPD101をガイガーモードにする為に降伏電圧以上となるように設定する。

【0024】

図2(b)はフォトン入射待機状態からアバランシェ現象が発生し、また元のフォトン入射待機状態に戻るまでのAPD101のカソード端の電圧 V_{APD} の推移を示している。時刻 t_0 から t_1 の期間はフォトン入射待機状態であり、時刻 t_1 でAPD101にフォトンが入射するとアバランシェ現象が発生する。アバランシェ現象が発生すると電流が流れて電圧 V_{APD} が低下してアバランシェ現象が止まり（時刻 t_3 ）、また元のフォトン入射待機状態に戻る（時刻 t_5 ）。

【0025】

図2(a)に示すようにコンパレータ103の一方の入力端子にはAPD101のカソード端の電圧 V_{APD} が、もう一方の入力端子には基準電圧 V_{ref} を抵抗 R_1 と抵抗 R_2 とで分圧した参照電圧 V_{th} が入力されている。参照電圧 V_{th} は、上記で説明したフォトンが入射した際の電圧 V_{APD} の変化が検出できるように、 V_0 と V_{min} の間の電位に設定する。

【0026】

コンパレータ103は、電圧 V_{APD} が V_{th} より小さくなり、再び電圧 V_{APD} が V_{th} より大きくなるまでの期間（電圧 V_{APD} が V_{th} レベルを往復した期間）にパルス信号を1つ出力する。

【0027】

図2(c)は、図2(b)に示すようにAPD101のカソード端の電圧 V_{APD} が推移した場合のコンパレータ103の出力 V_{out} を示している。時刻 t_2 に電圧 V_{APD} が V_{th} より小さくなり、時刻 t_4 に再び V_{APD} が V_{th} より大きくなるため、 $t_2 \sim t_4$ の期間にパルス信号が一つ出力される。

【0028】

このコンパレータ103にカウンタ104を接続しておけば、入射した光子の数をカウントすることができる。従って、フォトン入射待機状態からアバランシェ現象の発生、アバランシェ現象の停止、また元のフォトン入射待機状態へ戻るサイクルを繰り返すこ

10

20

30

40

50

とで、A P D 1 0 1 に入射したフォトン数を計測することが可能となる。予め決められた時間、カウンタ 1 0 4 により計数されたカウント値を出力することで、画素信号を直接デジタル値で読み出すことができる。

【 0 0 2 9 】

このように、各画素からデジタル値として取得することが可能であるため、スイッチングノイズや浮遊容量などに起因する S / N 比の劣化無く、転送することが可能となる。

【 0 0 3 0 】

図 3 は、本実施形態における各画素のカウンタ 1 0 4 のビット数の一例を示す。本実施形態では、カウンタ 1 0 4 は複数のビット数のバイナリカウンタであって、ビット数はその構成により変更することができる。線よりも左側が遮光されているオブティカルブラック (O B) 領域 3 0 0、右側が露光される露光領域 3 0 1 である。画素 3 0 4 は O B 領域 3 0 0 の画素で、カウンタ 1 0 4 のビット数は 1 1 ビット分、すなわち、 2^{11} の値までカウントすることができる。画素 3 0 3 は O B 領域 3 0 0 に隣接した露光領域 3 0 1 の画素で、カウンタ 1 0 4 のビット数は 1 3 ビットで、 2^{13} の値までカウントすることができる。そして、画素 3 0 2 は O B 領域 3 0 0 に隣接していない露光領域 3 0 1 の画素で、カウンタ 1 0 4 のビット数は 1 2 ビットで、 2^{12} の値までカウントすることができる。

【 0 0 3 1 】

第 1 の実施形態では、後述するように、O B 領域 3 0 0 に隣接していない画素 3 0 2 の 1 2 ビットの画素値を、撮像信号処理回路 2 0 7 に含まれる補正回路において 1 3 ビットの画素値に補正することを想定している。なお、露光領域 3 0 1 の画素のうち、O B 領域 3 0 0 に隣接した画素 3 0 3 が 1 3 ビットである理由は、補正回路が、先に読み出された隣接する画素値を用いて補正をする構成を有しているためである。画素 3 0 3 の前に読み出される O B 領域 3 0 0 の画素 3 0 4 を用いて、画素 3 0 3 が最大値 C M A X を超えているかどうかを判断できないため、補正せずに 1 3 ビットの画素値が得られるように、1 3 ビットとしている。

【 0 0 3 2 】

図 4 は、撮像素子への入射光量と、撮像素子の出力 (カウント値) との関係を示したグラフである。ここでは比較のために、従来例のグラフを図 4 (a) に、本実施形態のグラフを図 4 (b) に示している。

【 0 0 3 3 】

図 4 (a) に示すように、従来は、入射光量が増加し、カウント値が最大値 C M A X に達すると、それ以上光が入射してもカウント値は変化しなくなる。

【 0 0 3 4 】

これに対し、本実施形態では、図 4 (b) に示すように、カウント値が最大値 C M A X に達した場合に、カウンタが停止せずに 0 に戻り、カウントし続けることを特徴としている。このように最大値 C M A X 後に 0 に戻してカウントが継続されたカウント値は、撮像信号処理回路 2 0 7 に含まれる補正回路により後述する手法で補正されて、画素値となる。

【 0 0 3 5 】

次に、図 5 (a) を参照して、図 3 に示すビット数で、図 4 (b) に示すようにカウントを行う場合に、撮像素子 2 0 6 の露光領域 3 0 1 の画素 3 0 2 及び 3 0 3 から得られる画素信号について説明する。

【 0 0 3 6 】

図 5 (a) において、縦軸は撮像素子 2 0 6 の任意の行における出力値、すなわちカウンタ 1 0 4 から出力されるカウント値を示し、横軸は水平方向の画素位置を示している。

【 0 0 3 7 】

P 1 ~ P 2 , P 3 ~ P 4 は、カウント値が最大値 C M A X を超えてしまった画素の範囲を示している。画素位置 P 1 及び P 3 の直前の画素において最大値 C M A X であった信号が、画素の範囲 P 1 ~ P 2 , P 3 ~ P 4 ではゼロ近傍で変化している。このような画素の範囲 P 1 ~ P 2 , P 3 ~ P 4 のカウント値に対し、補正回路により補正する。

【 0 0 3 8 】

10

20

30

40

50

図 6 は、第 1 の実施形態における撮像信号処理回路 2 0 7 に含まれる補正回路の回路図である。撮像素子 2 0 6 から読み出されたカウント値は、端子 5 0 1 から、1 サイクルに 1 画素分ずつ順次入力される。なお、撮像素子 2 0 6 と補正回路との間は、データ圧縮を含むプロトコルで接続されているが、補正回路の内部では、1 サイクルに 1 画素分のカウント値がすべて 1 3 ビット（ビット 0 ~ 1 2）で転送される。従って、画素 3 0 2 の 1 2 ビットのカウント値のビット 1 2、及び、画素 3 0 4 の 1 1 ビットのカウント値のビット 1 1 及びビット 1 2 には、0 が挿入されている。

【 0 0 3 9 】

端子 5 0 1 から入力されたカウント値は、遅延素子 5 0 4 に取り込まれ、1 サイクル遅延される。そして、遅延素子 5 0 4 により 1 サイクル遅延されて出力されるのと同じタイミングで、次の画素のカウント値が入力される。以降、順次カウント値が入力され、遅延素子 5 0 4 により 1 サイクル遅延されて出力される。また、端子 5 0 1 から入力されたカウント値の内、付加されたビット 1 2（最上位ビット）の値が、スイッチ 5 1 6 の一方の端子 b に出力される。

【 0 0 4 0 】

また、画素 3 0 3 のカウント値が入力される間、1 となる信号 E X T _ P I X が補正回路内で生成されて、端子 5 0 2 から入力される。信号 E X T _ P I X が 0 の場合、スイッチ 5 1 6 は端子 a を選択し、信号 E X T _ P I X が 1 の場合、スイッチ 5 1 6 は端子 b を選択する。従って、信号 E X T _ P I X が 1 の場合、端子 b に入力された画素 3 0 3 のビット 1 2 の値が選択され、それ以外の場合に、端子 a に入力される論理積回路 5 1 5 の出力が選択されて、後段の遅延素子 5 1 7 に送られることになる。

【 0 0 4 1 】

検出回路 5 0 5 は、カウント値が、その最大値 C M A X を超えてカウントし直された値であるかどうかを検出するための回路である。また、補正回路 5 1 3 は、カウント値が、最大値 C M A X を超えてカウントし直された値である場合に、そのカウント値に付加されたビット 1 2（最上位ビット）に 1 を設定することにより補正し、それ以外の場合に 0 を設定する回路である。以下、検出回路 5 0 5 及び補正回路 5 1 3 について、詳細に説明する。

【 0 0 4 2 】

検出回路 5 0 5 において、減算器 5 0 7 は、現サイクルのカウント値（以下、「現カウント値」と呼ぶ。）から、遅延素子 5 0 4 により 1 サイクル遅延されたカウント値（以下、「遅延カウント値」と呼ぶ。）を減算し、絶対値化部 5 0 6 は、得られた差を正の値にする。そして、第 1 の比較部 5 0 8 は、絶対値化部 5 0 6 の出力が閾値 T H _ 3 を超えているかどうかを比較により判定する。

【 0 0 4 3 】

また、第 2 の比較部 5 1 0 は、遅延カウント値が閾値 T H _ 1 を超えているかどうかを比較により判定し、第 3 の比較部 5 1 1 は、遅延カウント値が閾値 T H _ 2 を下回っているかどうかを比較により判定する。

【 0 0 4 4 】

論理積回路 5 0 9 は、第 1 の比較部 5 0 8 と第 2 の比較部 5 1 0 の比較結果が共に真である場合に真を出力する。また、論理積回路 5 1 2 は、第 1 の比較部 5 0 8 と第 3 の比較部 5 1 1 の比較結果が共に真である場合に真を出力する。

【 0 0 4 5 】

次に、補正回路 5 1 3 の動作について説明する。論理和回路 5 1 4 は、遅延素子 5 1 7 の出力と論理積回路 5 0 9 との論理和を取って、論理積回路 5 1 5 に出力する。論理積回路 5 1 5 は、論理積回路 5 0 9 の出力と、論理積回路 5 1 2 の反転入力との論理積を出力する。

【 0 0 4 6 】

スイッチ 5 1 6 は、上述したように、信号 E X T _ P I X が 0 の場合、端子 a を選択し、信号 E X T _ P I X が 1 の場合、端子 b を選択して、遅延素子 5 1 7 に出力する。遅延

10

20

30

40

50

素子 5 1 7 は、入力した信号を 1 サイクル遅延させて出力する。

【 0 0 4 7 】

遅延素子 5 1 7 から出力された値は、出力 5 0 3 のビット 1 2 として、遅延カウント値のビット 0 からビット 1 1 と束ねられて出力される。

【 0 0 4 8 】

上記構成を有する補正回路では、論理積回路 5 0 9 の出力が真となるサイクルでは、論理積回路 5 1 2 の出力は必ず偽となり、その反転入力である真の信号が論理積回路 5 1 5 の一方の端子に入力される。従って、論理積回路 5 1 5 により、遅延素子 5 1 7 の出力と論理積回路 5 0 9 との論理和である真が後段に伝わるため、スイッチ 5 1 6 の端子 a が選択されている場合、次のサイクルでの遅延素子 5 1 7 の出力は真となる。

10

【 0 0 4 9 】

また、論理積回路 5 1 2 の出力が真となる場合は、論理積回路 5 0 9 の出力は必ず偽となる。この場合、論理積回路 5 1 5 には、論理積回路 5 1 2 の反転入力である偽が入力されるため、論理和回路 5 1 4 の出力に関わらず、その出力は必ず偽となり、次のサイクルでの遅延素子 5 1 7 の出力は偽となる。

【 0 0 5 0 】

また、画素 3 0 3 のカウント値が入力されるタイミングで、スイッチ 5 1 6 のコントロール端子に、端子 5 0 2 から入力される信号 E X T _ P I X が 1 となると、入力 5 0 1 の画素 3 0 3 のカウント値のビット 1 2 の値へ切り替わる。このため、次のサイクルでの遅延素子 5 1 7 の出力は、入力 5 0 1 のビット 1 2 の値となる。

20

【 0 0 5 1 】

更に、第 1 の比較部 5 0 8 の比較結果が偽、即ち、信号間の差が小さい場合、論理積回路 5 0 9 と論理積回路 5 1 2 の出力は偽となり、論理積回路 5 1 5 には、論理積回路 5 1 2 の反転入力である偽が入力される。そのため、論理和回路 5 1 4 により、遅延素子 5 1 7 の出力が、論理積回路 5 1 5 の出力となり、1 サイクル前の遅延素子 5 1 7 の出力が保持されることとなる。

【 0 0 5 2 】

このように、補正回路に入力される 1 3 ビットのカウント値に対し、条件に応じてビット 1 2 に 1、または 0 を設定することにより、1 2 ビットの画素から 1 3 ビットの信号を得ることが可能となる。

30

【 0 0 5 3 】

ここで、図 7 を用いて、第 1 ~ 第 3 の比較部 5 0 8 , 5 1 0 , 5 1 1 それぞれの閾値 T H _ 3、T H _ 1、T H _ 2 と、検出回路 5 0 5 における検出結果について説明する。図 7 において、横軸が入射光量、縦軸が撮像素子 2 0 6 の出力 (カウント値) を示している。

【 0 0 5 4 】

図 7 に示すように、遅延カウント値が C 1、現カウント値が C 2 であって、第 1 の比較部 5 0 8 の閾値 T H _ 3 が図に示す範囲を有する場合、絶対値化部 5 0 6 の出力は、閾値 T H _ 3 を超えているため、第 1 の比較部 5 0 8 の出力は真となる。このように、連続して入力するカウント値間の差が予め決められた閾値 T H _ 3 を超える場合、最大値 C M A X を超えた事を示す条件 1 を満たすものとする。

40

【 0 0 5 5 】

ここで、上記の様に判断する理由について簡単に説明する。撮像素子 2 0 6 がカラーの場合、同色の画素が離散的に存在するため、折り返しによる偽色が発生する事を防ぐ目的で光学的なローパスフィルタが撮像素子表面に張り付けられている。更に、光学的に隣接画素との間にクロストークが発生するなどのさまざまな要因により、隣接画素は一定の相関を持っているため、隣接画素の差が一定以上となる事はほぼ無い。

【 0 0 5 6 】

従って、光学的なローパスフィルタなどの特性を考慮して閾値 T H _ 3 を設定し、設定された閾値 T H _ 3 を超えた場合、最大値 C M A X を超えたと考えることができる。そのため、条件 1 として、隣接画素との差が閾値 T H _ 3 を超えることとしている。

50

【 0 0 5 7 】

また、遅延カウンタ値 C 1 は、閾値 TH_1 を超えているため（条件 2）、第 2 の比較部 5 1 0 の出力が真、論理積回路 5 0 9 の出力も真となり、更に、論理和回路 5 1 4 の出力も真となる。また、遅延カウンタ値 C 1 は、閾値 TH_2 を超えているため第 3 の比較部 5 1 1 の出力は偽となり、論理積回路 5 1 2 の結果も偽となる。これにより、論理積回路 5 1 5 の出力は真となり、遅延素子 5 1 7 により 1 サイクル遅延されて、現カウンタ値のビット 1 2 に 1 が設定される。ビット 1 2 に 1 が設定されると、現カウンタ値 C 2 はカウンタ値 C 3 に変換されることになる。

【 0 0 5 8 】

ここで、閾値 TH_1 及び閾値 TH_2 は、最大値 C M A X から所定量大きい、または、小さい値を検出できるような値に設定される。なお、閾値 TH_2 に関しては、最大値 C M A X を超えると、カウンタ値を 0 に戻してカウンタを継続するため、ビット 1 2 が 0 である値を実際の比較に用いる閾値 TH_2 としている。

10

【 0 0 5 9 】

一方、遅延カウンタ値が C 2、現カウンタ値が C 1 であった場合、絶対値化部 5 0 6 の出力は、閾値 TH_3 を超えているため、第 1 の比較部 5 0 8 の出力は真となる。また、カウンタ値 C 2 は、閾値 TH_2 を下回っているため（条件 3）、第 3 の比較部 5 1 1 の出力が真、論理積回路 5 1 2 の出力も真となり、その反転入力である偽が論理積回路 5 1 5 に出力される。これにより、論理和回路 5 1 4 の出力に関わらず、論理積回路 5 1 5 の出力は偽となり、遅延素子 5 1 7 により 1 サイクル遅延されて、現カウンタ値のビット 1 2 に 0 が設定される。ビット 1 2 に 0 が設定されると、現カウンタ値 C 1 は変換されることなく、そのままの値で補正回路から出力される。

20

【 0 0 6 0 】

このように、ビット 1 2 の値が補正回路 5 1 3 によって 1 または 0 に設定されると、次の検出回路 5 0 5 による信号値の大幅な変更の検出、または端子 5 0 2 からの信号 E X T _ P I X として 1 が入力することが無い限り、設定された値を保持する。

【 0 0 6 1 】

上記のように図 6 の回路図で実現しているアルゴリズムを整理すると、

条件 1：隣接画素との差の絶対値が TH_3 より大きい。

条件 2：遅延カウンタ値が TH_1 より大きい。

条件 3：遅延カウンタ値が TH_2 より小さい。

条件 4：画素 3 0 3 のカウンタ値が入力された。

30

として、

処理条件 1：条件 1 及び条件 2 が満たされた場合には、ビット 1 2 を 1 に設定

処理条件 2：条件 1 及び条件 3 が満たされた場合には、ビット 1 2 を 0 に設定

処理条件 3：条件 4 が満たされた場合には、画素 3 0 3 のビット 1 2 の値を設定

処理条件 4：いずれも満たされない場合には、設定されているビット 1 2 の値を保持という動作となる。

【 0 0 6 2 】

図 5 (b) は、上述した処理を行う補正回路を用いて、図 5 (a) に示す信号のカウンタ値の最大値 C M A X を超えた部分の信号を補正した状態の信号である。画素の範囲 P 1 ~ P 2、P 3 ~ P 4 が最大値 C M A X よりも上に持ち上がっていることが分かる。

40

【 0 0 6 3 】

次に、図 8 のタイミングチャートを参照して、図 6 に示す補正回路における各部の信号について具体的に説明する。

【 0 0 6 4 】

図 8 において、C Y C L E は、サイクル数を示している。I N U P U T は、入力端子 5 0 1 から入力される信号、E X T _ P I X は入力端子 5 0 2 から入力される信号、F F _ O U T は遅延素子 5 0 4 の出力、D I F F A B S は絶対値化部 5 0 6 の出力である。また、S E T は論理積回路 5 0 9 の出力、C L E A R は論理積回路 5 1 2 の出力、E X T B I

50

Tは遅延素子517の出力、OUTPUTは出力端子503の出力、CLKは遅延素子504、517及び上位回路ブロックと共有しているクロック信号である。

【0065】

なお、初期値として、補正回路513の出力として0が出力されるように、遅延素子517には0を設定しておく。

【0066】

1サイクル目は、OB領域300の画素304の11ビットの信号で、有効な情報としてはビット10までで、ビット11およびビット12には必ず0が入っている。これより先にINPUTに入力された信号が無い場合、DIFFABSは偽となり、SET及びCLEARの値はともに偽となる。また、初期値として遅延素子517に0が設定されているため、この値が保持され、その結果、2サイクル目のOUTPUTは65となる。

10

【0067】

2サイクル目に画素303のカウント値である、ビット12が1である値4100がINPUTに入力すると、EXT_PIXが1なので条件4を満たし、次の3サイクル目のEXTBITは1が出力される。これに従い、3サイクル目のOUTPUTの値は4100となる。

【0068】

3サイクル目でINPUTに入力されるのは110という小さい値だが、EXT_PIXは0なので、入力されたカウント値のビット12ではなく、SET及びCLEARの値によりEXTBITが変化する。隣接画素のFF_OUTの値4100との差であるDIFFABSの値は4035で、閾値TH_3より大きく、FF_OUTの値4100が閾値TH_1及びTH_2より大きいいため、SETは1、CLEARは0になる。これにより、次のサイクルのEXTBITは1となる。その結果、4サイクル目のOUTPUTの値は、ビット12が1の値である4206として出力される。

20

【0069】

次の4サイクル目のINPUTは120という小さい値が入ってきているが、DIFFABSが閾値TH_3を超えていないため、SET及びCLEARは共に0になる。これにより、次の5サイクル目のEXTBITは4サイクル目の値を保持して1のままとなり、OUTPUTの値は4216となる。

【0070】

30

5サイクル目で、INPUTに4000という非常に大きな値が入力されると、DIFFABSも3880と大きくなり、閾値TH_3を超える。一方、FF_OUTは4サイクル目で入力した120で閾値TH_1及びTH_2より小さいため、SETは0、CLEARは1となる。これにより、論理和回路514の出力に関わらず、論理積回路515の出力が偽となって、次のサイクルのEXTBITが0となる。その結果、6サイクル目のOUTPUTの値は、ビット12が0の値である4000となる。

【0071】

以降、入力したINPUT及びEXT_PIXの値に応じた処理を繰り返す。

【0072】

このように、遅延素子504のFF_OUTは、3～6サイクル目にかけて4100、110、120、4000と急激な変化をしている。しかしながら、EXTBITを合成した補正結果のOUTPUTで見ると、4100、4206、4216、4000という、急激ではない振幅の変化に留まっている。

40

【0073】

以上、一例として、12ビット画素から13ビットの信号を得る方法を説明したが、本発明はカウンタ104のビット数により制限されるものではなく、12ビットや13ビット以外のビット数であっても構わない。

【0074】

上記の通り第1の実施形態によれば、画素内のカウンタのビット数を越えた信号を得ることができる。

50

【 0 0 7 5 】

また、第 1 の実施形態では、1 サイクル前に入力された信号との比較により、カウント値が最大値 C M A X を超えているかどうかを判断したが、本発明はこれに限られるものではない。例えば、上下に隣接する画素から得られるカウント値と比較したり、1 フレーム前の対応する画素から得られるカウント値と比較するようにしても良く、その場合、画素 3 0 3 のような補正不要の画素を配置しない構成とすることも可能である。

【 0 0 7 6 】

また、カラーフィルタに覆われたカラー撮像素子の場合は、同色画素の相関が高いことから、参照画素として近傍の同色の画素を用いて検出してもよい。または、輝度に対して色相や彩度の空間周波数が低いことから、周囲の色（色の異なる画素との間の輝度比）と着目画素の色の違いを検出することで、カウント値が最大値 C M A X を超えてカウントし直された値であるかどうかを検出しても良い。

10

【 0 0 7 7 】

また、上述した例では、条件 2 および条件 3 として遅延カウント値を閾値と比較して判断しているが、現カウント値を閾値と比較してもよい。

【 0 0 7 8 】

更に、第 1 の実施形態の図 3 の O B 領域 3 0 0 に隣接した画素 3 0 3 はビット数が多いが、フィルタの透過率を低く構成するか、A P D 1 0 1 の光電変換の感度を低く構成して、最大値 C M A X に達成しにくくして、補正回路で係数を掛けて補正してもよい。

【 0 0 7 9 】

20

また、第 1 の実施形態における各画素のカウンタ 1 0 4 のトランジスタ部分は、全画素共通設計で配線層によりビット数の多い画素と少ない画素を構成してもよい。

【 0 0 8 0 】

また、上述した第 1 の実施形態では、撮像素子 2 0 6 として、S P A D を用いたフォトカウンティングタイプの撮像素子について説明したが、これに限られるものではなく、フォトカウンティングタイプの撮像素子であれば、本発明を適用可能である。例えば、C M O S を用いたフォトカウンティングタイプの撮像素子に用いてもよい。

【 0 0 8 1 】

< 変形例 1 >

上述した例では、1 2 ビットのカウンタ値から 1 3 ビットのカウンタ値を得る場合について説明したが、1 1 ビットのカウンタ値から 1 3 ビットのカウンタ値を得ることもできる。

30

【 0 0 8 2 】

図 5 (c) は、カウンタ 1 0 4 から得られる 1 1 ビットのカウンタ値、図 5 (d) は、図 5 (c) に示す 1 1 ビットのカウンタ値から 1 3 ビットの画素値を得る場合の映像信号とカウンタ値の最大値 C M A X との関係を示す図である。図 5 (c) に示す例では、画素位置 P 1 1 で最大値 C M A X を超えた後に、画素位置 P 1 2 , P 1 4 で再び最大値 C M A X を超えている。画素の範囲 P 1 1 ~ P 1 2 で最大値 C M A X を超えて補正した部分が図 5 (d) の画素の範囲 P 1 1 ~ P 1 2 で示すような波形となり、更に最大値 C M A X を超えた部分が、画素の範囲 P 1 2 ~ P 1 3 , P 1 4 ~ P 1 5 となる。このように 1 1 ビット画素から 1 3 ビット信号を得る場合は、最大値 C M A X を 2 回超えることがあるが、第 1 の実施形態と同様の考え方で補正することが可能である。

40

【 0 0 8 3 】

< 変形例 2 >

図 9 は画素配置の例を示している。図 9 (a) はカラーフィルタに覆われた撮像素子であり、緑色画素（第 1 の色の画素）に 1 3 ビット、赤色と青色画素（第 1 の色以外の画素）に 1 2 ビットが割り当てられている。青色は緑色に対して光量が少ない傾向にあるためビット数を少なくしている。仮に最大数 C M A X を超えても、第 1 の実施形態で上述した補正回路により補正可能である。

【 0 0 8 4 】

50

図 9 (b) は、それぞれの色に対して 1 3 ビット画素と 1 2 ビット画素を配置している。同じ色の画素を参照して補正する場合に一定の間隔で 1 3 ビット画素が入る構成である。

【 0 0 8 5 】

図 9 (c) は、1 つのマイクロレンズに対して 2 つの画素を配置した例を示している。このような画素とすることで瞳分離された像を得ることが可能となる。同じマイクロレンズを共有した画素として異なるビットを持った画素とすることができる。

【 0 0 8 6 】

< 第 2 の実施形態 >

次に、図 1 0 を参照して、本発明の第 2 の実施形態における撮像信号処理について説明する。第 2 の実施形態では、コンピュータプログラムにより、カウント値が、カウント値の最大値 C M A X を超えてカウントし直された値であるかどうかの検出と、ビットの補正とを行う。なお、第 2 の実施形態においても、1 2 ビットのカウント値を 1 3 ビットに補正する場合について説明する。なお、以下の説明において、閾値 T H _ 1 、 T H _ 2 、 T H _ 3 は、図 7 に示すものと同じとする。

【 0 0 8 7 】

S 1 0 1 で処理を開始すると、S 1 0 2 で着目画素のビット 1 2 に有効な値が入っているかどうかを調べる。第 1 の実施形態では、端子 5 0 2 から E X T _ P I X 信号が入力されるが、第 2 の実施形態では、配列中の位置などで決まっている。ビット 1 2 に有効な値 (1) が入っていれば S 1 0 3 へ、そうでなければ S 1 0 4 に進む。S 1 0 3 の処理は、上述した処理条件 3 に対応する。

【 0 0 8 8 】

S 1 0 3 では、着目画素のビット 1 2 の値 (1) を変数 E X B I T として記憶する。変数 E X B I T は第 1 の実施形態の遅延素子 5 1 7 の出力に相当する変数で、最終出力に添付されるものである。

【 0 0 8 9 】

一方、S 1 0 2 でビット 1 2 に有効な値が入っていない場合は S 1 0 4 に進み、隣接画素との差の絶対値を算出する。

【 0 0 9 0 】

そして、S 1 0 5 で差の絶対値が閾値 T H _ 3 よりも大きいかどうかを判別する。差の絶対値が閾値 T H _ 3 より大きい場合は条件 1 を満たしているので S 1 0 6 へ進み、次の条件を満たしているかどうかを調べる。差の絶対値が閾値 T H _ 3 以下の場合は S 1 1 0 に進む。この処理は、上述した処理条件 4 に対応する。

【 0 0 9 1 】

S 1 0 6 では、隣接画素が閾値 T H _ 1 よりも大きいかどうかを調べる。隣接画素が T H _ 1 よりも大きい場合は条件 2 を満たしたことになるので S 1 0 7 へ進み、E X B I T に 1 を代入する。この処理は、上述した処理条件 1 に対応する。

【 0 0 9 2 】

隣接画素が閾値 T H _ 1 以下の場合は引き続き S 1 0 8 で次の条件を調べる。S 1 0 8 では隣接画素が閾値 T H _ 2 よりも小さいかどうかを調べる。隣接画素が閾値 T H _ 2 よりも小さい場合は条件 3 を満たすので S 1 0 9 へ進み、E X B I T に 0 を代入する。この処理は、上述した処理条件 2 に対応する。隣接画素が閾値 T H _ 2 よりも小さくない場合は、そのまま S 1 1 0 へ進む。この処理は、上述した処理条件 4 に対応する。

【 0 0 9 3 】

上記の処理により、S 1 0 3 、S 1 0 5 、S 1 0 7 、S 1 0 8 、S 1 0 9 のいずれかの後に、S 1 1 0 へ進む。S 1 1 0 では、変数 E X B I T の値を着目画素のビット 1 2 に代入する。

【 0 0 9 4 】

そして、S 1 1 1 において、全ての画素について処理を終えたかどうかを判断し、終わっていなければ着目画素の位置を移動しながら、各行毎に、全画素に対して図 1 0 のフローチャートを実施する。なお、図 1 0 のフローチャートで参照している隣接画素は補正前の

10

20

30

40

50

画素なので、処理済みの画素は別のメモリなどに格納される事を想定している。

【 0 0 9 5 】

上記の通り第 2 の実施形態によれば、コンピュータプログラムによる処理により、第 1 の実施形態と同様の効果を得ることができる。

【 0 0 9 6 】

なお、上記処理は、撮像信号処理回路 2 0 7 で行っても良いし、全体制御演算部 2 1 0 により行ってもよい。また、撮像装置から、カウント値を補正せずに出力し、外部の情報処理装置がこのカウント値を入力して行ってもよい。

【 0 0 9 7 】

< 他の実施形態 >

また、本発明は、上述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路（例えば、A S I C）によっても実現可能である。

【 0 0 9 8 】

発明は上記実施形態に制限されるものではなく、発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、発明の範囲を公にするために請求項を添付する。

【符号の説明】

【 0 0 9 9 】

1 0 1 : アバランシェフォトダイオード、1 0 3 : コンパレータ、1 0 4 : カウンタ、
2 0 6 : 差有象素子、2 0 7 : 撮像信号処理回路、2 1 0 : 全体制御演算部、2 1 4 : 外部
インターフェース部、5 0 5 : 検出回路、5 1 3 : 補正部

10

20

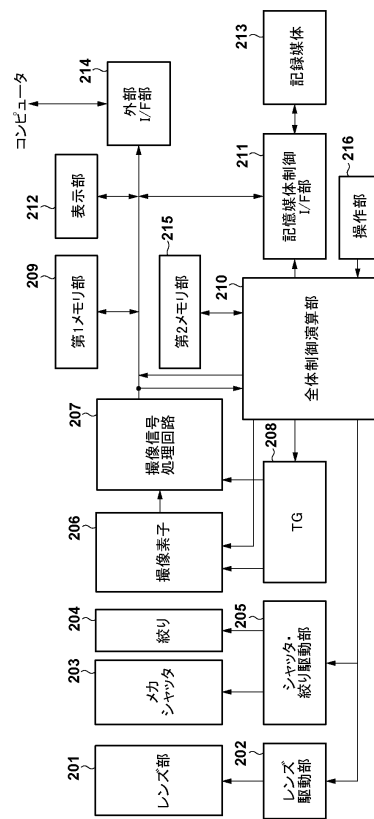
30

40

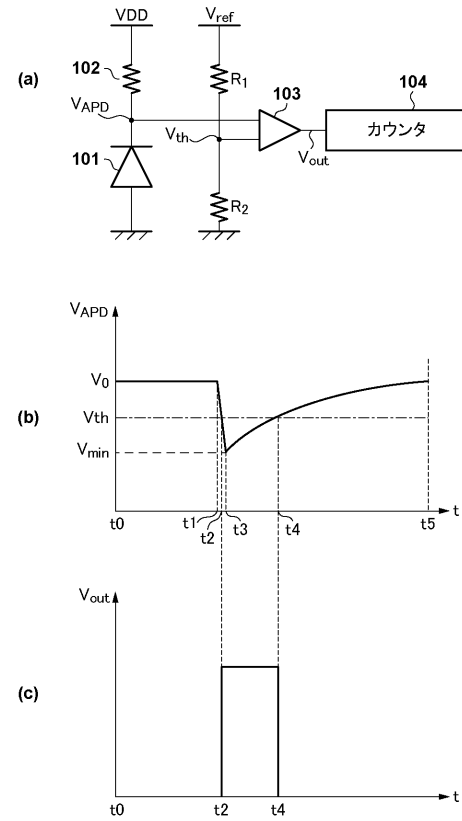
50

【 図面 】

【 図 1 】



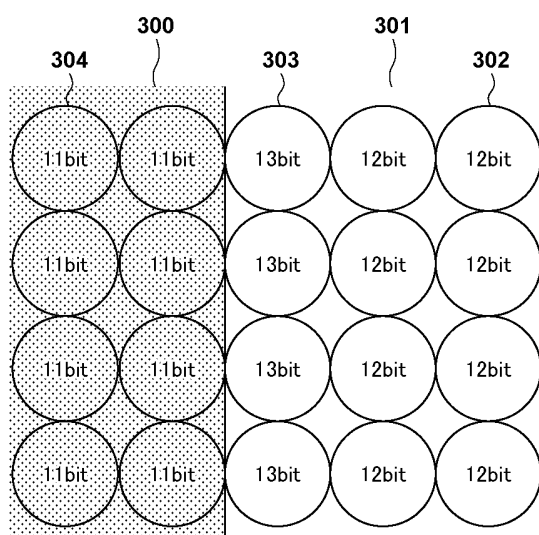
【 図 2 】



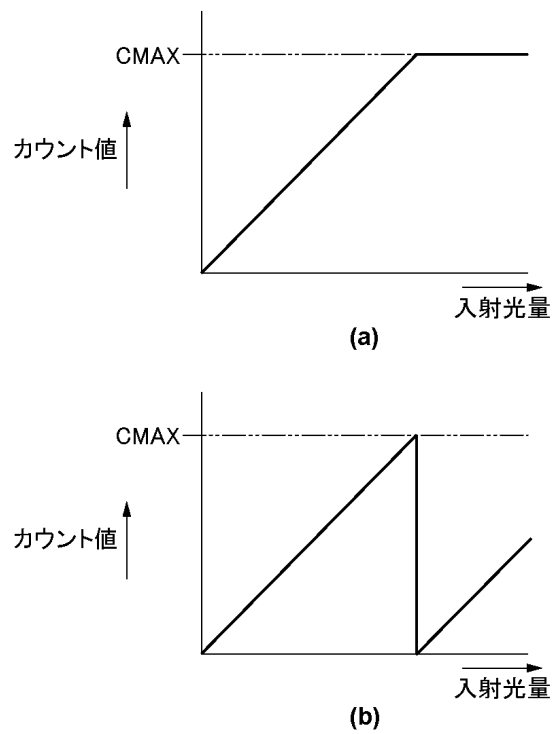
10

20

【 図 3 】



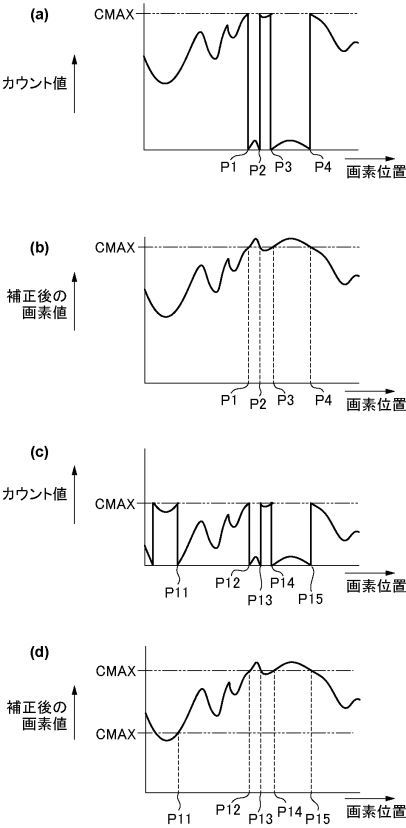
【 図 4 】



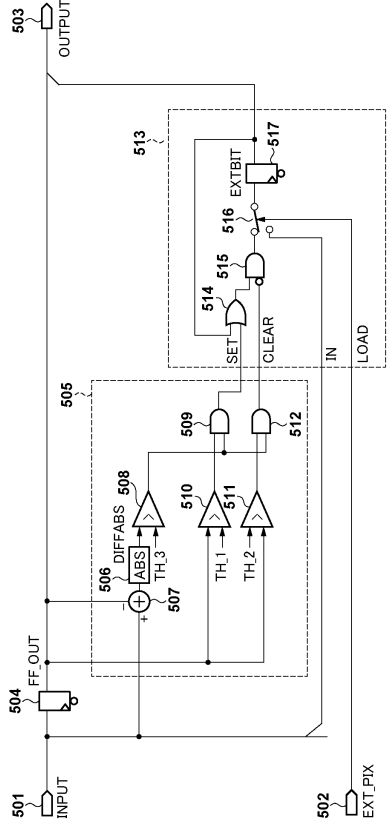
30

40

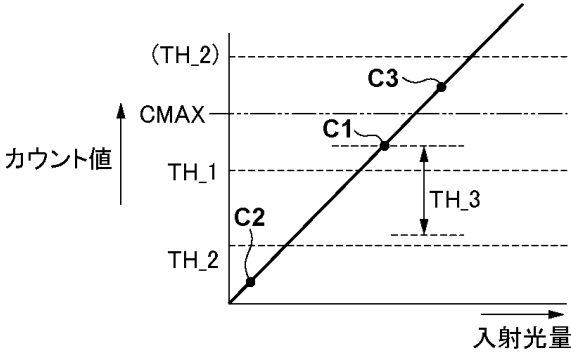
【図 5】



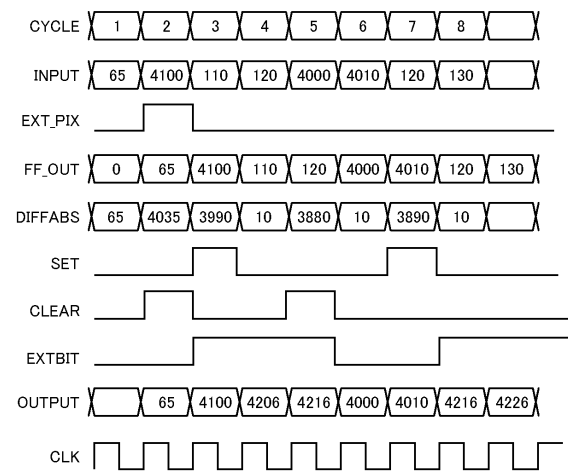
【図 6】



【図 7】



【図 8】



10

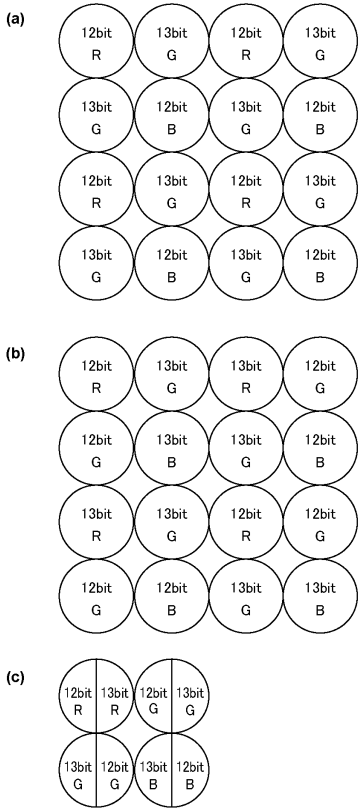
20

30

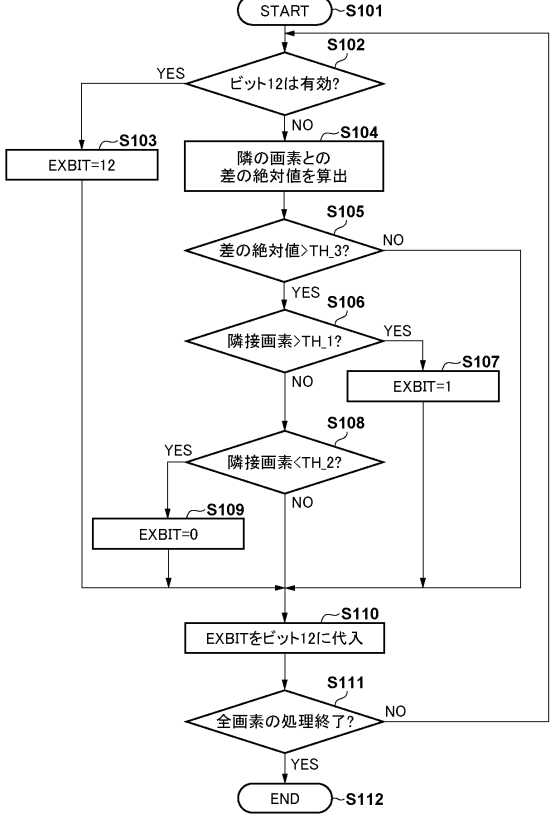
40

50

【図 9】



【図 10】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 0 8 - 2 5 6 7 0 0 (J P , A)
米国特許出願公開第 2 0 1 7 / 0 2 3 0 5 9 6 (U S , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 4 N 2 5 / 0 0 - 2 5 / 7 9