(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월06일
(11) 등록번호 10-0895813
(24) 등록일자 2009년04월24일

(51) Int. Cl.
H01L 23/12 (2006.01) *H01L 21/60* (2006.01)
H01L 23/48 (2006.01)
(21) 출원번호 10-2007-0060263
(22) 출원일자 2007년06월20일
심사청구일자 2007년06월20일
(65) 공개번호 10-2008-0111830
(43) 공개일자 2008년12월24일
(56) 선행기술조사문헌
KR1020050021078 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1
(72) 발명자
한권환
서울 중랑구 중화2동 207-14 가동 206호
박창준
경기 이천시 대월면 사동리 현대6차 아파트 603동 402호
(뒷면에 계속)
(74) 대리인
강성배

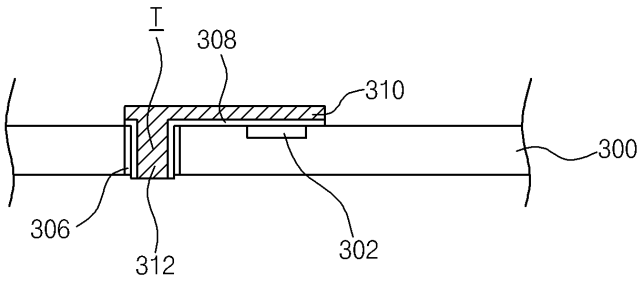
전체 청구항 수 : 총 19 항 심사관 : 박귀만

(54) 반도체 패키지의 제조 방법

(57) 요 약

본 발명에 따른 반도체 패키지의 제조 방법은, 상면에 본딩 패드가 구비된 반도체 칩의 상기 본딩 패드 외측 부분에 홈을 형성하는 단계; 상기 홈 측벽에 절연막을 형성하는 단계; 상기 측벽에 절연막이 형성된 홈을 매립하도록 상기 반도체 칩 상에 금속막을 형성하는 단계; 상기 금속막을 식각하여 홈을 매립하는 관통 실리콘 비아 및 상기 관통 실리콘 비아와 본딩 패드를 연결하는 재배선을 동시에 형성하는 단계; 및 상기 관통 실리콘 비아의 저면이 반도체 칩으로부터 돌출되도록 상기 반도체 칩의 후면을 제거하는 단계를 포함한다.

대 표 도 - 도3e



(72) 발명자

서민석

서울 중구 신당4동 삼성아파트 112동 203호

김성철

경남 진해시 석동 656 그린빌 308동 404호

김성민

서울 관악구 남현동 602-227 301호

양승택

서울 노원구 상계2동 581-606 대동황토방 아파트 103동 1703호

이승현

경기 화성시 봉담읍 수기리 59-16

김종훈

경기 이천시 대월면 사동리 465 사동6차 현대아파트 602동 201호

이하나

서울 송파구 송파1동 55-4, 502호

특허청구의 범위

청구항 1

상면에 본딩 패드가 구비된 반도체 칩의 상기 본딩 패드 외측 부분에 홈을 형성하는 단계;

상기 홈 측벽에 절연막을 형성하는 단계;

상기 측벽에 절연막이 형성된 홈을 포함한 반도체 칩 상에 금속 씨드막을 증착하는 단계;

상기 금속 씨드막 상에 상기 홈을 매립하도록 금속막을 도금하는 단계;

상기 금속막을 에치백하여 일부 두께를 제거하는 단계;

상기 에치백된 금속막을 식각하여 홈을 매립하는 관통 실리콘 비아 및 상기 관통 실리콘 비아와 본딩 패드를 연결하는 재배선을 동시에 형성하는 단계; 및

상기 관통 실리콘 비아의 저면이 반도체 칩으로부터 돌출되도록 상기 반도체 칩의 후면을 제거하는 단계;

를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 반도체 칩의 후면을 제거하는 단계 후, 상기 반도체 칩의 상면 및 하면 각각에 상기 관통 실리콘 비아의 상면 및 하면이 노출되게 몰드부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 금속 씨드막 및 상기 금속막은 구리(Cu), 알루미늄(Al) 및 금(Au) 중 적어도 어느 하나 또는 이들의 합금으로 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 관통 실리콘 비아과 재배선을 동시에 형성하는 단계는,

상기 금속막 상의 관통 실리콘 비아 및 재배선 형성 영역에 마스크를 형성하는 단계;

상기 마스크에 의해 가려지지 않은 금속막 부분을 식각하는 단계; 및

상기 마스크를 제거하는 단계;

를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 금속막의 식각은 습식 식각 공정으로 수행하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 반도체 칩의 후면을 제거하는 단계는 그라인딩 공정 및 식각 공정 중 적어도 어느 하나 이상의 공정으로

수행하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 홈을 형성하는 단계 내지 상기 반도체 칩의 후면을 제거하는 단계는 웨이퍼 레벨로 수행하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 웨이퍼 레벨로 반도체 칩의 후면을 제거하는 단계 후, 칩 레벨로 분리되도록 쏘잉하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 10

상면에 본딩 패드가 구비된 반도체 칩의 상기 본딩패드 외측 부분에 홈을 형성하는 단계;

상기 홈 측벽에 절연막을 형성하는 단계;

상기 측벽에 절연막이 형성된 홈을 포함한 반도체 칩 상에 금속 씨드막을 증착하는 단계;

상기 금속 씨드막 상에 상기 홈을 매립하도록 금속막을 도금하는 단계;

상기 금속막을 에치백하여 일부 두께를 제거하는 단계;

상기 에치백된 금속막을 식각하여 홈을 매립하는 관통 실리콘 비아 및 상기 관통 실리콘 비아와 본딩 패드를 연결하는 재배선을 동시에 형성하는 단계;

상기 관통 실리콘 비아의 저면이 반도체 칩으로부터 돌출되도록 상기 반도체 칩의 후면을 제거하는 단계; 및

상기 저면이 돌출된 관통 실리콘 비아를 갖는 적어도 둘 이상의 반도체 칩을 상기 관통 실리콘 비아들이 상호 연결되도록 스택하는 단계;

를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 반도체 칩의 후면을 제거하는 단계 후, 그리고, 상기 적어도 둘 이상의 반도체 칩을 스택하는 단계 전, 상기 반도체 칩의 상면 및 하면 각각에 상기 관통 실리콘 비아의 상면 및 하면이 노출되게 몰드부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 12

삭제

청구항 13

제 10 항에 있어서,

상기 금속 씨드막 및 상기 금속막은 구리(Cu), 알루미늄(Al) 및 금(Au) 중 적어도 어느 하나 또는 이들의 합금으로 형성하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 14

제 10 항에 있어서,

상기 관통 실리콘 비아와 재배선을 동시에 형성하는 단계는,

상기 금속막 상의 관통 실리콘 비아 및 재배선 형성 영역에 마스크를 형성하는 단계;

상기 마스크에 의해 가려지지 않은 금속막 부분을 식각하는 단계; 및

상기 마스크를 제거하는 단계;

를 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 15

제 10 항에 있어서,

상기 금속막의 식각은 습식 식각 공정으로 수행하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 16

제 10 항에 있어서,

상기 반도체 칩의 후면을 제거하는 단계는 그라인딩 공정 및 식각 공정 중 적어도 어느 하나 이상의 공정으로 수행하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 17

제 10 항에 있어서,

상기 홈을 형성하는 단계 내지 상기 반도체 칩의 후면을 제거하는 단계는 웨이퍼 레벨로 수행하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 웨이퍼 레벨로 반도체 칩의 후면을 제거하는 단계 후, 칩 레벨로 분리되도록 쏘잉하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 19

제 10 항에 있어서,

상기 반도체 칩의 후면을 제거하는 단계 후, 상기 반도체 칩을 기판 상에 부착하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 반도체 칩을 기판 상에 부착하는 단계 후, 상기 기판의 하면에 외부접속단자를 부착하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 외부접속단자는 솔더볼로 구성하는 것을 특징으로 하는 반도체 패키지의 제조 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<10> 본 발명은 반도체 패키지의 제조 방법에 관한 것으로, 보다 상세하게는, 공정을 단순화하고 제조 비용을 감소시킬 수 있는 반도체 패키지의 제조 방법에 관한 것이다.

<11> 반도체 집적 소자에 대한 패키징 기술은 소형화 및 고용량화에 대한 요구에 따라 지속적으로 발전되어 왔다, 최근에는 소형화 및 고용량화와 더불어 실장 효율성을 만족시킬 수 있는 스택형 반도체 패키지에 대한 다양한 기술들이 개발되고 있다.

<12> 반도체 산업에서 말하는 "스택"이란 적어도 2개 이상의 반도체 칩 또는 패키지를 수직으로 쌓아 올리는 기술로서, 메모리 소자의 경우, 반도체 집적 공정에서 구현 가능한 메모리 용량보다 큰 메모리 용량을 갖는 제품을 구현할 수 있고, 실장 면적 사용의 효율성을 높일 수 있다.

<13> 스택형 반도체 패키지는 크게 개별 반도체 칩들을 스택한 후에, 한번에 스택된 반도체 칩들을 패키징해주는 방법과, 패키징된 개별 반도체 패키지들을 스택하는 방법으로 제조할 수 있으며, 상기 스택 패키지는 금속 와이어 또는 관통 실리콘 비아 등을 통하여 전기적으로 연결된다.

<14> 도 1은 종래의 금속 와이어를 이용한 스택형 반도체 패키지를 도시한 단면도이다.

<15> 도시된 바와 같이, 금속 와이어를 이용한 스택형 반도체 패키지는 적어도 2개 이상의 반도체 칩(110)들이 기판(116) 상에 접착제(130)를 매개로해서 스택되고, 각 칩(110)과 기판(116)이 금속 와이어(122)를 통해 전기적으로 연결된 구조이다.

<16> 미설명된 도면부호 102는 본딩 패드를, 124는 접속 패드를, 126은 볼랜드를, 118은 외부접속단자를, 그리고, 128은 봉지제를 각각 나타낸다.

<17> 그러나, 종래의 금속 와이어를 이용한 스택형 반도체 패키지는 금속 와이어를 통하여 전기적인 신호 교환이 이루어지므로 속도가 느리고, 많은 수의 와이어가 사용되어 전기적 특성 열화가 발생한다. 또한, 금속 와이어를 형성하기 위해 기판에 추가 면적이 요구되어 패키지의 크기가 증가되고, 반도체 칩들 사이에 와이어 본딩을 하기 위한 갭(Gap)이 요구되므로 패키지의 높이가 높아진다.

<18> 이에, 금속 와이어를 이용한 스택형 반도체 패키지에서의 문제를 극복하기 위해 관통 실리콘 비아(Through silicon via : TSV)를 이용한 스택형 반도체 패키지가 제안되었다.

<19> 도 2는 종래의 관통 실리콘 비아를 이용한 스택형 반도체 패키지를 도시한 단면도이다.

<20> 도시된 바와 같이, 관통 실리콘 비아를 이용한 스택형 반도체 패키지는 기판(216) 상에 관통 실리콘 비아(212) 및 관통 실리콘 비아(212)와 본딩 패드(210) 사이를 연결하는 재배선(210)이 형성된 반도체 칩(200)들이 상기 관통 실리콘 비아(212)들이 상호 대응하도록 스택되어 구성된 구조이다.

<21> 미설명된 도면부호 206은 절연막을, 208a, 208b는 금속 씨드막을, 214는 매립재를, 218은 외부접속단자을 각각 나타낸다.

<22> 상기 관통 실리콘 비아를 이용한 스택형 반도체 패키지는 전기적인 연결이 관통 실리콘 비아를 통하여 이루어짐으로써, 전기적인 특성 열화가 방지되어 반도체 칩의 동작 속도를 향상시킬 수 있고 소형화가 가능하다.

<23> 그러나, 종래의 관통 실리콘 비아를 이용한 스택형 반도체 패키지는, 관통 실리콘 비아 형성 공정과 본딩 패드와 관통 실리콘 비아 간을 연결하는 재배선의 형성 공정을 각각 진행해야 함에 따라 공정이 복잡하고 제조 비용이 상승한다.

발명이 이루고자 하는 기술적 과제

<24> 본 발명은 공정을 단순화하고 제조 비용을 감소시킬 수 있는 반도체 패키지의 제조 방법을 제공한다.

발명의 구성 및 작용

<25> 본 발명에 따른 반도체 패키지의 제조 방법은, 상면에 본딩 패드가 구비된 반도체 칩의 상기 본딩 패드 외측 부분에 홈을 형성하는 단계; 상기 홈 측벽에 절연막을 형성하는 단계; 상기 측벽에 절연막이 형성된 홈을 매립하도록 상기 반도체 칩 상에 금속막을 형성하는 단계; 상기 금속막을 식각하여 홈을 매립하는 관통 실리콘 비아 및 상기 관통 실리콘 비아와 본딩 패드를 연결하는 재배선을 동시에 형성하는 단계; 및 상기 관통 실리콘 비아의 저면이 반도체 칩으로부터 돌출되도록 상기 반도체 칩의 후면을 제거하는 단계를 포함하는 것을 특징으로 한다.

<26> 상기 반도체 칩의 후면을 제거하는 단계 후, 상기 반도체 칩의 상면 및 하면 각각에 상기 관통 실리콘 비아의

상면 및 하면이 노출되게 몰드부를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<27> 상기 금속막을 형성하는 단계는, 상기 홈을 포함한 반도체 칩 상에 금속 씨드막을 증착하는 단계; 상기 금속 씨드막 상에 금속막을 도금하는 단계; 및 상기 금속막을 에치백하여 일부 두께를 제거하는 단계를 포함하는 것을 특징으로 한다.

<28> 상기 금속 씨드막 및 상기 금속막은 구리(Cu), 알루미늄(Al) 및 금(Au) 중 적어도 어느 하나 또는 이들의 합금으로 형성하는 것을 특징으로 한다.

<29> 상기 관통 실리콘 비아과 재배선을 동시에 형성하는 단계는, 상기 금속막 상의 관통 실리콘 비아 및 재배선 형성 영역에 마스크를 형성하는 단계; 상기 마스크에 의해 가려지지 않은 금속막 부분을 식각하는 단계; 및 상기 마스크를 제거하는 단계를 포함하는 것을 특징으로 한다.

<30> 상기 금속막의 식각은 습식 식각 공정으로 수행하는 것을 특징으로 한다.

<31> 상기 반도체 칩의 후면을 제거하는 단계는 그라인딩 공정 및 식각 공정 중 적어도 어느 하나 이상의 공정으로 수행하는 것을 특징으로 한다.

<32> 상기 홈을 형성하는 단계 내지 상기 반도체 칩의 후면을 제거하는 단계는 웨이퍼 레벨로 수행하는 것을 특징으로 한다.

<33> 상기 웨이퍼 레벨로 반도체 칩의 후면을 제거하는 단계 후, 칩 레벨로 분리되도록 쏘잉하는 단계를 더 포함하는 것을 특징으로 한다.

<34> 또한, 본 발명에 따른 반도체 패키지의 제조 방법은, 상면에 본딩 패드가 구비된 반도체 칩의 상기 본딩패드 외측 부분에 홈을 형성하는 단계; 상기 홈 측벽에 절연막을 형성하는 단계; 상기 측벽에 절연막이 형성된 홈을 매립하도록 상기 반도체 칩 상에 금속막을 형성하는 단계; 상기 금속막을 식각하여 홈을 매립하는 관통 실리콘 비아 및 상기 관통 실리콘 비아와 본딩 패드를 연결하는 재배선을 동시에 형성하는 단계; 상기 관통 실리콘 비아의 저면이 반도체 칩으로부터 돌출되도록 상기 반도체 칩의 후면을 제거하는 단계; 및 상기 저면이 돌출된 관통 실리콘 비아를 갖는 적어도 둘 이상의 반도체 칩을 상기 관통 실리콘 비아들이 상호 연결되도록 스택하는 단계를 포함하는 것을 특징으로 한다.

<35> 상기 반도체 칩의 후면을 제거하는 단계 후, 그리고, 상기 적어도 둘 이상의 반도체 칩을 스택하는 단계 전, 상기 반도체 칩의 상면 및 하면 각각에 상기 관통 실리콘 비아의 상면 및 하면이 노출되게 몰드부를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<36> 상기 금속막을 형성하는 단계는, 상기 홈을 포함한 반도체 칩 상에 금속 씨드막을 증착하는 단계; 상기 금속 씨드막 상에 금속막을 도금하는 단계; 및 상기 금속막을 에치백하여 일부 두께를 제거하는 단계를 포함하는 것을 특징으로 한다.

<37> 상기 금속 씨드막 및 상기 금속막은 구리(Cu), 알루미늄(Al) 및 금(Au) 중 적어도 어느 하나 또는 이들의 합금으로 형성하는 것을 특징으로 한다.

<38> 상기 관통 실리콘 비아와 재배선을 동시에 형성하는 단계는, 상기 금속막 상의 관통 실리콘 비아 및 재배선 형성 영역에 마스크를 형성하는 단계; 상기 마스크에 의해 가려지지 않은 금속막 부분을 식각하는 단계; 및 상기 마스크를 제거하는 단계를 포함하는 것을 특징으로 한다.

<39> 상기 금속막의 식각은 습식 식각 공정으로 수행하는 것을 특징으로 한다.

<40> 상기 반도체 칩의 후면을 제거하는 단계는 그라인딩 공정 및 식각 공정 중 적어도 어느 하나 이상의 공정으로 수행하는 것을 특징으로 한다.

<41> 상기 홈을 형성하는 단계 내지 상기 반도체 칩의 후면을 제거하는 단계는 웨이퍼 레벨로 수행하는 것을 특징으로 한다.

<42> 상기 웨이퍼 레벨로 반도체 칩의 후면을 제거하는 단계 후, 칩 레벨로 분리되도록 쏘잉하는 단계를 더 포함하는 것을 특징으로 한다.

<43> 상기 반도체 칩의 후면을 제거하는 단계 후, 상기 반도체 칩을 기판 상에 부착하는 단계를 더 포함하는 것을 특징으로 한다.

<44> 상기 반도체 칩을 기판 상에 부착하는 단계 후, 상기 기판의 하면에 외부접속단자를 부착하는 단계를 더 포함하는 것을 특징으로 한다.

<45> 상기 외부접속단자는 솔더볼로 구성하는 것을 특징으로 한다.

<46> (실시예)

<47> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세하게 설명하도록 한다.

<48> 본 발명은 반도체 칩에 형성되는 관통 실리콘 비아 및 본딩 패드와 관통 실리콘 비아 사이를 연결하는 재배선을 동시에 형성하는 방법으로 반도체 패키지를 제조한다.

<49> 또한, 본 발명은 관통 실리콘 비아 및 재배선이 형성된 반도체 패키지의 상하면에 몰드부를 형성한 후, 이러한 반도체 패키지들을 스택하여 스택형 반도체 패키지를 제조한다.

<50> 따라서, 본 발명은 반도체 칩에 관통 비아 및 재배선을 별도의 공정으로 형성하지 않고 동시에 형성함으로써, 공정의 단순화를 구현할 수 있고, 제조 비용을 감소시킬 수 있다.

<51> 또한, 상하면에 몰드부가 형성된 반도체 패키지로 스택된 형태의 반도체 패키지를 형성함으로써, 스택 과정에서 발생하는 기계적인 충격으로부터 반도체 칩을 보호할 수 있어, 반도체 패키지의 신뢰성 및 공정 수율을 향상시킬 수 있을 뿐만 아니라 별도의 매립재 형성 공정이 필요 없어 공정을 단순화할 수 있다.

<52> 이하에서는, 도 3a 내지 도 3e를 참조하여 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 상세하게 설명하도록 한다.

<53> 도 3a를 참조하면, 상면에 다수의 본딩 패드(302)를 구비한 반도체 칩(300) 상에 상기 본딩 패드(302) 외측의 관통 실리콘 비아 형성 영역을 노출시키는 제1마스크패턴(304a)을 형성한다. 상기 제1마스크패턴(304a)은 바람직하게 포토레지스트로 이루어진다. 그런 다음, 상기 노출된 관통 실리콘 비아 형성 영역을 상기 반도체 칩(300)이 관통되지 않는 깊이로 식각하여 홈(T)을 형성한다.

<54> 도 3b를 참조하면, 상기 홈(T)을 포함한 상기 제1마스크패턴(304a) 상에 후속 공정에서 형성되는 관통 실리콘 비아와 반도체 칩(300) 간의 절연을 위하여 절연막(306)을 형성한다. 그런 다음, 상기 절연막(306)을 에치백 하여 상기 홈(T)의 측면에만 상기 절연막(306)을 잔류시킨다.

<55> 도 3c를 참조하면, 상기 제1마스크패턴을 제거한 후, 상기 홈(T)의 측벽에 형성된 절연막(306)의 표면을 포함한 상기 반도체 칩(300) 상에 금속 씨드막(308)을 형성한다. 그런 다음, 상기 금속 씨드막(308)이 형성된 반도체 칩(300)에 대해 도금 공정을 진행하여, 상기 금속 씨드막(308) 상에 상기 홈(T)이 매립되도록 금속막(310a)을 형성한다. 여기서, 상기 금속 씨드막(308) 및 금속막(310a)은, 바람직하게, 구리(Cu), 알루미늄(Al) 및 금(Au) 중 적어도 어느 하나로 형성한다.

<56> 이어서, 스택 패키지 제조시의 전체 두께를 고려하여, 상기 금속막(310a)을 에치백 하여 상기 금속막(310a)의 일부 두께를 제거한다.

<57> 도 3d를 참조하면, 상기 금속막 상에 관통 실리콘 비아 및 상기 본딩 패드(302)와 관통 실리콘 비아를 연결하는 재배선 형성을 위한 제2마스크패턴(304b)을 형성한다. 상기 제2마스크패턴(304b)은 바람직하게 포토레지스트로 형성되며, 예컨데, 상기 제2마스크패턴(304b)은 상기 홈(T)의 상부로부터 상기 본딩 패드(302)의 상부까지를 가리는 형태로 형성된다. 상기 제2마스크패턴(304b)으로부터 노출된 금속막 및 그 하부의 금속 씨드막(308) 부분을 식각하고, 이를 통해, 상기 반도체 칩(300)의 내부에 관통 실리콘 비아(312) 및 상기 관통 실리콘 비아(312)와 본딩 패드(302)를 연결하는 재배선(310)을 형성한다. 여기서, 상기 금속막의 식각은 습식 식각 공정으로 진행한다.

<58> 도 3e를 참조하면, 상기 제2마스크패턴을 제거한 후, 상기 관통 실리콘 비아(312)의 하면이 외부로 노출되도록 상기 반도체 칩(300)의 후면 일부 두께를 제거하여 반도체 패키지의 제조를 완성한다. 상기 반도체 칩(300)의 후면 제거는 그라인딩(Grinding) 공정 및 식각 공정 중 적어도 어느 하나 이상의 공정으로 수행한다.

<59> 상술한 도 3a 내지 도 3e의 반도체 패키지 제조 과정은 바람직하게 웨이퍼 레벨에서 진행되며, 쏘잉 공정을 통해 칩 레벨로 분리한다.

<60> 이와 같이, 본 발명은 반도체 칩에 관통 실리콘 비아 및 본딩 패드와 관통 실리콘 비아 사이를 연결하는 재배선을 별도로 진행하지 않고 한번의 공정으로 동시에 형성함으로써 공정을 단순화시킬 수 있고, 제조 비용을 감소

시킬 수 있다.

<61> 한편, 상술한 방법으로 제조된 적어도 둘 이상의 반도체 패키지를 관통 실리콘 비아들이 서로 연결되도록 스택하여 스택형 반도체 패키지를 형성할 수 있다.

<62> 도 4는 본 발명의 다른 실시예에 따른 스택형 반도체 패키지를 도시한 단면도이다.

<63> 도시된 바와 같이, 도 3e의 구조를 갖는 적어도 둘 이상의 반도체 패키지를 상기 각 반도체 패키지들에 구비된 관통 실리콘 비아(412)가 상호 연결되도록, 즉, 상부 반도체 패키지의 관통 실리콘 비아(412)가 하부 반도체 칩(400)의 재배선(410) 상에 부착되도록 스택한다. 이때, 스택된 반도체 패키지들 간에는 연결 조인트 부의 신뢰성 향상 및 반도체 패키지를 보호하기 위하여 매립재(414)를 개재한다. 그런 다음, 상기 스택된 반도체 패키지를 기판(416) 상에 부착하고, 상기 기판(416)의 하면에 외부접속단자로서 솔더볼(418)을 부착하여 스택형의 반도체 패키지를 형성한다.

<64> 그리고, 도시하지는 않았지만, 상기 기판 상에는 상기 스택된 반도체 칩들의 보호를 위하여 상기 스택된 반도체 칩들을 덮도록 봉지부를 형성하거나, 또는, 상기 스택된 최상부 반도체 칩의 절연 및 보호를 위하여 상술한 봉지부 대신 스택된 최상부 반도체 칩 상면에 캡핑막을 형성할 수 있다.

<65> 아울러, 상술한 도 4에서 스택된 반도체 패키지들의 스택 공정은 바람직하게 웨이퍼 레벨에서 진행되며, 쏘잉 공정을 통해 칩 레벨로 분리한 후, 기판 상에 부착된다.

<66> 한편, 본 발명에 사용되는 관통 실리콘 비아 및 재배선이 형성된 다수의 반도체 칩을 포함하는 웨이퍼는 얇은 두께로 형성되기 때문에, 스택하는 과정에서 발생하는 기계적인 충격에 매우 취약하고, 스택된 구조의 반도체 패키지는 상기 스택된 반도체 칩 사이를 매립하는 매립재 또는 봉지부 형성 공정이 필수적으로 요구되며, 이들의 형성 공정은 매우 까다롭다.

<67> 따라서, 본 발명은 스택된 구조의 반도체 패키지를 형성함에 있어서, 공정을 단순화할 수 있고, 스택 과정에서 발생하는 기계적인 충격으로부터 반도체 칩을 보호하여 반도체 패키지의 신뢰성 및 공정 수율을 향상시킬 수 있는 스택 패키지의 제조 방법을 개시한다.

<68> 이하에서는, 도 5a 내지 도 5c를 참조하여, 반도체 패키지의 신뢰성 및 공정 수율을 향상시킬 수 있는 스택형 반도체 패키지의 제조 방법을 설명하도록 한다.

<69> 도 5a를 참조하면, 도 3e에서의 반도체 칩(500), 즉, 상면에 다수의 본딩 패드(502)를 구비하고, 상기 본딩 패드(502)의 외측으로 하면이 돌출되도록 관통 실리콘 비아(512)가 형성되며, 상면에 상기 관통 실리콘 비아(512)와 본딩 패드(502)를 연결하는 재배선(508)이 형성된 반도체 칩(500)에 상기 관통 실리콘 비아(512) 및 재배선(310)을 포함한 반도체 칩(500)의 상부 및 하부면을 감싸도록 몰드부(520)를 형성한다.

<70> 도 5b를 참조하면, 상기 반도체 칩(500)의 상하면 몰드부(520)에 그라인딩 공정 및 식각 공정 중 어느 하나 이상의 공정을 진행하여 상기 반도체 칩(500)의 상하면에 형성된 상기 재배선(510)의 상면 및 관통 실리콘 비아(512)의 하면을 노출시킨다.

<71> 도 5c를 참조하면, 상기 도 5b의 구조를 갖는 적어도 둘 이상의 반도체 칩(500)을 상기 각 반도체 칩(500)에 구비된 관통 실리콘 비아(512)가 상호 연결되도록, 즉, 상부 반도체 칩(500)의 관통 실리콘 비아(512)가 하부 반도체 칩(500)의 재배선(510) 상에 부착되도록 스택하여 스택형의 반도체 패키지를 형성한다. 그런 다음, 상기 스택된 반도체 칩(500)들을 기판(516) 상에 실장하고, 상기 기판(516)의 하면에 솔더볼(520)을 부착한다.

<72> 아울러, 상기 스택형의 반도체 패키지의 제조 과정은 바람직하게 웨이퍼 레벨로 진행되며, 상기 도 5b와 같은 구조를 갖는 반도체 칩이 다수 구비된 웨이퍼를 스택한 후, 쏘잉 공정을 진행하여 칩 레벨로 분리하거나 또는 칩 레벨로 쏘잉하고 반도체 칩을 스택한 후 기판 상에 부착한다.

<73> 한편, 본 발명의 반도체 패키지는 스택 패키지 형태 외에, 상기 도 5a와 같이 반도체 칩의 상하면에 몰드부를 형성시킨 후, 상기 반도체 칩 하면의 몰드부를 제거하고, 즉, 반도체 칩의 하면으로 관통 실리콘 비아를 노출시키고, 노출된 관통 실리콘 비아 부분에 외부접속단자를 형성하여 단품 패키지의 형태로 직접 외부회로에 부착할 수 있다.

<74> 상술한 바와 같이, 본 발명은 스택된 구조를 갖는 반도체 패키지 형성시, 상기 반도체 칩의 상하면에 몰드부를 형성한 후, 반도체 칩에 구비된 재배선 및 관통 실리콘 비아가 연결되도록 스택 공정을 진행함으로써, 공정을 단순화하고 스택 과정에서 발생하는 기계적인 충격으로부터 반도체 칩을 보호하여 반도체 패키지의 신뢰성 및

공정 수율을 향상시킬 수 있다.

<75> 이상, 여기에서는 본 발명을 특정 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

발명의 효과

<76> 이상에서와 같이, 본 발명은 반도체 칩에 관통 실리콘 비아 및 재배선을 별도의 공정으로 각각 형성하지 않고 동시에 형성함으로써, 공정의 단순화를 구현할 수 있고, 제조 비용을 감소시킬 수 있다.

<77> 또한, 상하면에 몰드부가 형성된 관통 비아 및 재배선이 구비된 반도체 칩으로 스택된 형태의 반도체 패키지를 형성함으로써, 스택 과정에서 발생하는 기계적인 충격으로부터 반도체 칩을 보호할 수 있어, 반도체 패키지의 신뢰성 및 공정 수율을 향상시킬 수 있을 뿐만 아니라 별도의 매립재 형성 공정이 필요 없어 공정을 단순화할 수 있다.

도면의 간단한 설명

<1> 도 1은 종래의 금속 와이어를 이용한 스택형 반도체 패키지를 도시한 단면도.

<2> 도 2는 종래의 관통 실리콘 비아를 이용한 스택형 반도체 패키지를 도시한 단면도.

<3> 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 반도체 패키지의 제조 방법을 설명하기 위한 공정별 단면도.

<4> 도 4는 본 발명의 다른 실시예에 따른 스택형 반도체 패키지를 도시한 단면도.

<5> 도 5a 내지 도 5c는 본 발명의 다른 실시예에 따른 스택형 반도체 패키지의 제조 방법을 설명하기 위한 공정별 단면도.

<6> * 도면의 주요 부분에 대한 부호의 설명 *

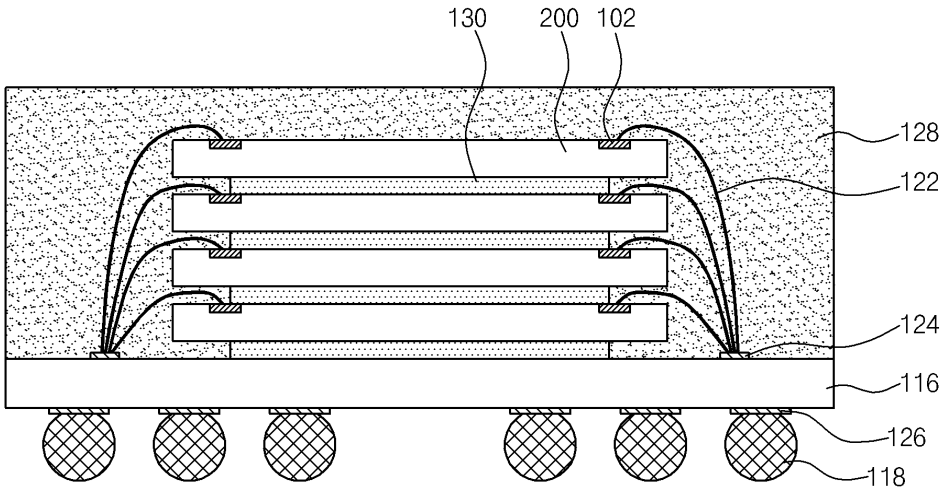
<7> 300 : 반도체 칩 302 : 본딩 패드

<8> 306 : 절연막 308 : 금속 씨드막

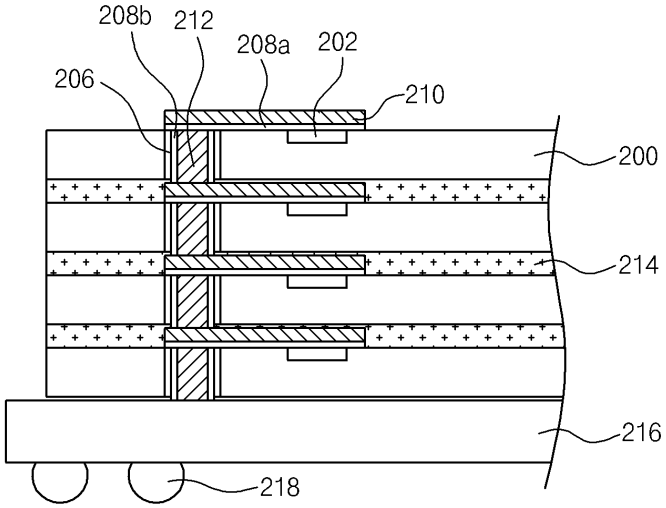
<9> 310 : 재배선 312 : 관통 실리콘 비아

도면

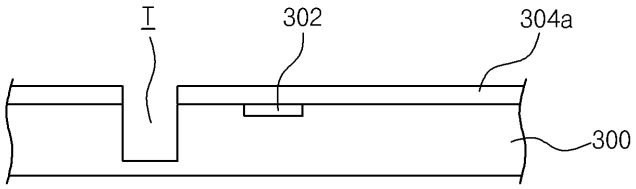
도면1



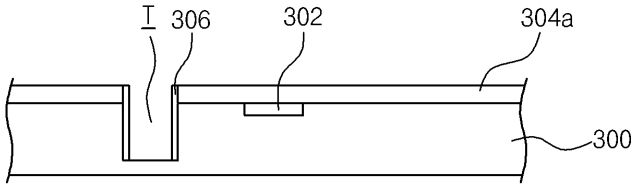
도면2



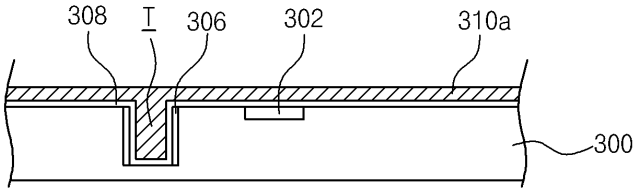
도면3a



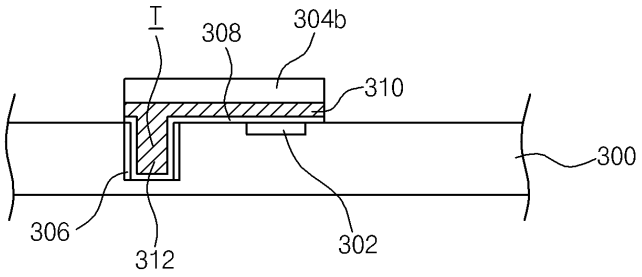
도면3b



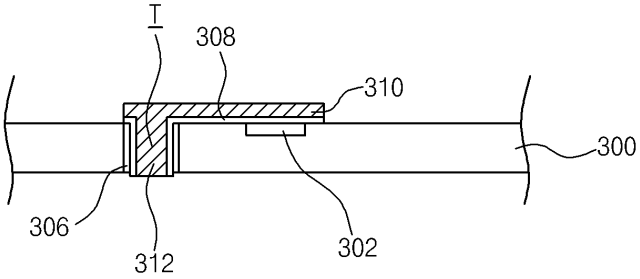
도면3c



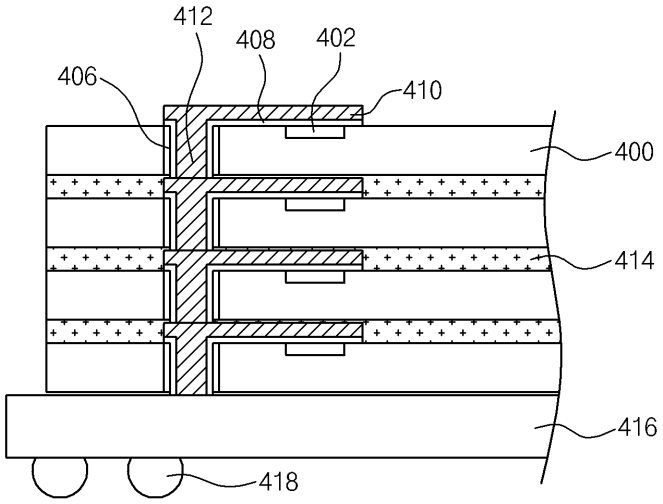
도면3d



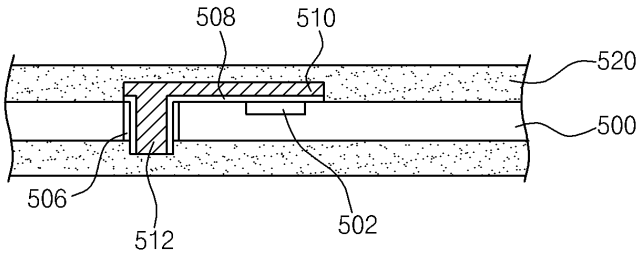
도면3e



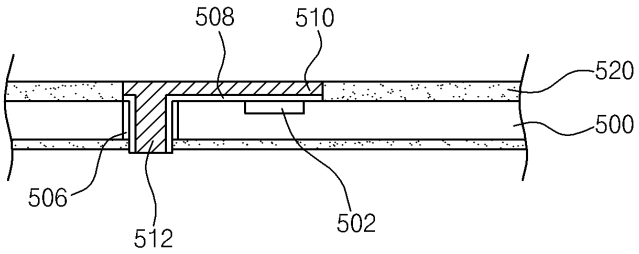
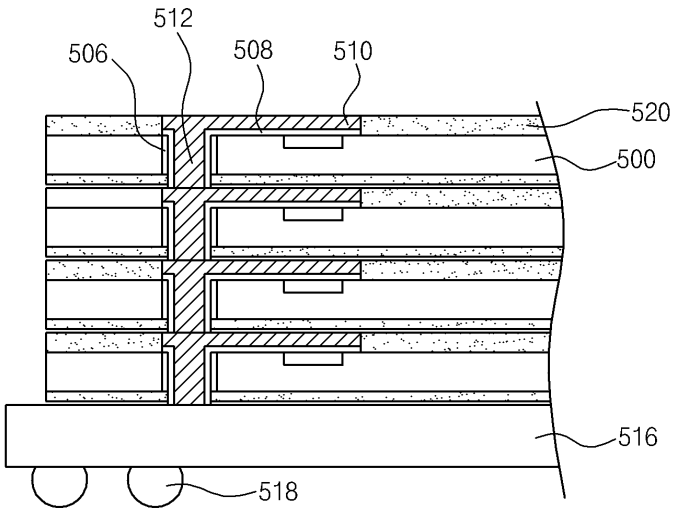
도면4



도면5a



도면5b



도면5c