

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成29年3月2日 (2017.3.2)

【公開番号】特開2015-111388(P2015-111388A)
 【公開日】平成27年6月18日 (2015.6.18)
 【年通号数】公開・登録公報2015-039
 【出願番号】特願2014-148529(P2014-148529)
 【国際特許分類】

G 0 6 F 12/16 (2006.01)

【F I】

G 0 6 F 12/16 3 2 0 M

G 0 6 F 12/16 3 2 0 B

【手続補正書】

【提出日】平成29年1月27日 (2017.1.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データ処理システムであって、

データセットを保持するように動作可能なメモリデバイスと、

データ復号化アルゴリズムの 1 回又は複数回の反復を前記メモリデバイスからアクセスされた前記データセットに適用して復号化出力を得、及び、前記データ復号化アルゴリズムが前記データセットに適用された反復の回数を示す反復カウントを提供するように動作可能なデータ復号化器回路と、

前記データセットに対応する読み出しデータを再利用するように動作可能な再利用制御回路であって、該再利用は、前記反復カウントに少なくとも部分的に基づいてトリガーされる、再利用制御回路と、
 を備える、データ処理システム。

【請求項 2】

メモリアクセス回路を更に備える請求項 1 に記載のデータ処理システムであって、

前記メモリアクセス回路は、前記メモリデバイスから前記データセットにアクセスし、及び、前記データセットに対応するアクセスの頻度を計算するように動作可能であり、

前記再利用は、前記反復カウント及び前記アクセスの頻度に少なくとも部分的に基づいてトリガーされる、データ処理システム。

【請求項 3】

請求項 1 または 2 に記載のデータ処理システムであって、前記再利用制御回路は、前記反復カウントを第 1 の閾値レベル又は第 2 の閾値レベルのうち的一方と比較するように動作可能な比較器回路を備える、データ処理システム。

【請求項 4】

請求項 2 を引用する請求項 3 に記載のデータ処理システムであって、前記第 1 の閾値レベルは、前記アクセスの頻度が第 3 の閾値レベルを超えているときに選択され、前記第 2 の閾値レベルは、前記アクセスの頻度が前記第 3 の閾値レベル未満であるときに選択される、データ処理システム。

【請求項 5】

請求項 4 に記載のデータ処理システムであって、前記第 1 の閾値レベル、前記第 2 の閾

値レベル、及び前記第 3 の閾値レベルのうちの少なくとも 1 つは、ユーザーがプログラム可能である、データ処理システム。

【請求項 6】

請求項 1 または 2 に記載のデータ処理システムであって、前記再利用制御回路は、前記反復カウンタを閾値レベルと比較するように動作可能な比較器回路を備える、データ処理システム。

【請求項 7】

請求項 6 に記載のデータ処理システムであって、前記閾値レベルはプログラム可能である、データ処理システム。

【請求項 8】

請求項 1 ～ 7 のいずれかに記載のデータ処理システムであって、前記データ復号化アルゴリズムは、低密度パリティ検査復号化アルゴリズムである、データ処理システム。

【請求項 9】

請求項 1 ～ 8 のいずれかに記載のデータ処理システムであって、少なくとも前記データ復号化器回路及び前記再利用制御回路は、集積回路に組み込まれている、データ処理システム。

【請求項 10】

請求項 1 ～ 9 のいずれかに記載のデータ処理システムであって、該データ処理システムは、集積回路に実装されている、データ処理システム。

【請求項 11】

請求項 1 ～ 10 のいずれかに記載のデータ処理システムであって、前記メモリデバイスはフラッシュメモリデバイスである、データ処理システム。

【請求項 12】

請求項 11 に記載のデータ処理システムであって、前記フラッシュメモリデバイスは、該フラッシュメモリデバイスの各メモリセルに複数のデータビットを保持することができる、データ処理システム。

【請求項 13】

メモリデバイスにおけるデータ再利用制御の方法であって、
前記メモリデバイスに保持されたデータセットを受け取ることと、
データ復号化器回路によってデータ復号化アルゴリズムの少なくとも 1 回の反復を前記データセットに適用して、復号化出力を得ることと、
前記データセットに適用された前記データ復号化アルゴリズムの反復の回数をカウントして、反復カウンタを得ることと、
前記メモリデバイスに対して前記データセットを再利用すること
を含み、
前記再利用することは、前記反復カウンタに少なくとも部分的に基づいてトリガーされることからなる、方法。

【請求項 14】

請求項 13 に記載の方法であって、
前記データセットに対応するアクセスの頻度を決定することを更に含み、
前記再利用は、前記反復カウンタ及び前記アクセスの頻度に少なくとも部分的に基づいてトリガーされる、方法。

【請求項 15】

請求項 14 に記載の方法であって、前記データセットを再利用することは、前記反復カウンタを反復カウンタ閾値と比較するように動作可能な比較器回路を備える再利用制御回路によって制御され、該方法は、前記アクセスの頻度に少なくとも部分的に基づいて前記反復カウンタ閾値を決定することを更に含む、方法。

【請求項 16】

請求項 15 に記載の方法であって、前記反復カウンタ閾値は、第 1 の閾値レベルと第 2 の閾値レベルからなるグループから選択される、方法。

【請求項 17】

請求項 16 に記載の方法であって、
前記第 1 の閾値レベル及び前記第 2 の閾値レベルのうちの少なくとも一方をプログラムすることを更に含む、方法。

【請求項 18】

請求項 13 または 14 に記載の方法であって、前記データセットを再利用することは、前記反復カウントを閾値レベルと比較するように動作可能な比較器回路を備える再利用制御回路によって制御される、方法。

【請求項 19】

請求項 13 ～ 18 のいずれかに記載の方法であって、前記データ復号化アルゴリズムは、低密度パリティ検査復号化アルゴリズムである、方法。

【請求項 20】

データセットを保持するように動作可能なフラッシュメモリデバイスと、
メモリアクセス回路と、
データ復号化器回路と、
再利用制御回路
を備えるデータ記憶デバイスであって、
前記メモリアクセス回路は、前記メモリデバイスの前記データセットにアクセスし、及び、前記データセットに対応するアクセスの頻度を計算するように動作可能であり、
前記データ復号化器回路は、データ復号化アルゴリズムの 1 回又は複数回の反復を前記メモリデバイスからアクセスした前記データセットに適用して復号化出力を得、及び、前記データ復号化アルゴリズムが前記データセットに適用された反復の回数を示す反復カウントを提供するように動作可能であり、
前記再利用制御回路は、前記アクセスの頻度を第 1 の閾値レベルと比較するように動作可能な第 1 の比較器回路と、前記反復カウントを第 2 の閾値レベルと比較するように動作可能な第 2 の比較器回路とを備え、
前記データセットの再利用は、前記反復カウント及び前記アクセスの頻度に少なくとも部分的に基づいてトリガーされることからなる、データ記憶デバイス。