

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2009/107271 A1

(43) 国際公開日

2009年9月3日(03.09.2009)

PCT

- (51) 国際特許分類:
G02F 1/1368 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2008/068472
- (22) 国際出願日: 2008年10月10日(10.10.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-046869 2008年2月27日(27.02.2008) JP
特願 2008-225080 2008年9月2日(02.09.2008) JP
- (71) 出願人(米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 津幡 俊英
(TSUBATA, Toshihide).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

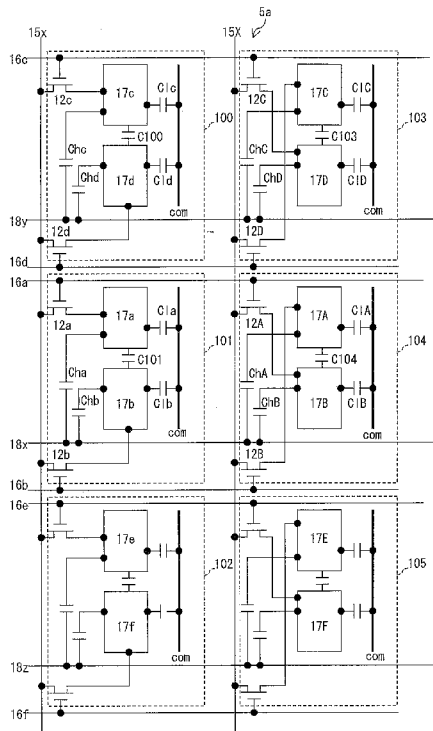
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: ACTIVE MATRIX SUBSTRATE, LIQUID CRYSTAL PANEL, LIQUID CRYSTAL DISPLAY DEVICE, LIQUID CRYSTAL DISPLAY UNIT, AND TELEVISION RECEIVER

(54) 発明の名称: アクティブマトリクス基板、液晶パネル、液晶表示装置、液晶表示ユニット、テレビジョン受像機

[図1]



(57) Abstract: Provided is a liquid crystal display device of a capacitive coupling type pixel dividing mode comprising a first data signal line (15x), first and second scanning signal lines (16a and 16b), a first transistor (12a) connected with the first data signal line (15x) and the first scanning signal line (16a), a second transistor (12b) connected with the first data signal line (15x) and the second scanning signal line (16b), and first and second pixel electrodes (17a and 17b) formed in one pixel region (101). The first and second pixel electrodes (17a and 17b) are connected through a coupling capacitor (C101). One (12a) of the first and second transistors is connected with the first pixel electrode (17a), whereas the other (12b) is connected with the second pixel electrode (17b). Thus, the liquid crystal display device can enhance its display quality (or its visibility angle characteristics).

(57) 要約: 第1のデータ信号線(15x)と、第1および第2の走査信号線(16a・16b)と、第1のデータ信号線(15x)および第1の走査信号線(16a)に接続された第1のトランジスタ(12a)と、第1のデータ信号線(15x)および第2の走査信号線(16b)に接続された第2のトランジスタ(12b)と、1つの画素領域(101)内に形成された第1および第2の画素電極(17a・17b)とを備え、第1および第2の画素電極(17a・17b)が結合容量(C101)を介して接続され、第1および第2のトランジスタの一方(12a)が第1の画素電極(17a)に接続されるとともに他方(12b)が第2の画素電極(17b)に接続されている。こうすれば、容量結合型画素分割方式の液晶表示装置において、その表示品位(視野角特性)を高めることができる。

WO 2009/107271 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

アクティブマトリクス基板、液晶パネル、液晶表示装置、液晶表示ユニット、テレビジョン受像機

技術分野

[0001] 本発明は、1画素領域に複数の画素電極を設けるアクティブマトリクス基板およびこれを用いた液晶表示装置(画素分割方式)に関する。

背景技術

[0002] 液晶表示装置の γ 特性の視野角依存性を向上させる(例えば、画面の白浮き等を抑制する)ため、1画素に設けた複数の副画素を異なる輝度に制御し、これら副画素の面積階調によって中間調を表示する液晶表示装置(画素分割方式、例えば特許文献1参照)が提案されている。

[0003] 特許文献1記載のアクティブマトリクス基板では、図59に示すように、隣り合う2本のゲートバスライン112の間に画素領域が設けられ、画素領域の上端(ゲートバスラインに隣接する部分)に画素電極121aが配され、中段に画素電極121bが配され、画素領域の下端(隣のゲートバスラインに隣接する部分)に画素電極121cが配され、画素電極121aおよび画素電極121cが、トランジスタ116のソース電極116sから引き出されたソース引き出し配線129に接続され、ソース引き出し配線129に接続する制御電極118が絶縁層を介して画素電極112bと重なっており、中段の画素電極121bは、画素電極121a・121cそれぞれに対して容量結合されている(容量結合型画素分割方式)。このアクティブマトリクス基板を用いた液晶表示装置では、画素電極121a・121cに対応する副画素それぞれを明副画素、画素電極121bに対応する副画素を暗副画素とすることができ、これら明副画素(2個)・暗副画素(1個)の面積階調によって中間調を表示することができる。

特許文献1: 日本国公開特許公報「特開2006-39290号公報(公開日: 2006年2月9日)」

発明の開示

[0004] しかしながら、図59のようなアクティブマトリクス基板を例えばMVA方式の液晶表

示装置に適用した場合、1つの副画素に1(明または暗)×4=4ドメインが形成される
と考えられ、視野角特性の点で改善の余地があった。

[0005] 本発明は、容量結合型画素分割方式の液晶表示装置において、その視野角特性
を高めることを目的とする。

[0006] 本液晶表示装置は、1つの画素領域に、容量を介して接続された2つの画素電極
が設けられ、1つの画素領域に対応して2本の走査信号線が設けられ、一方の走査
信号線に接続されたトランジスタが2つの画素電極の一方に接続され、他方の走査
信号線に接続されたトランジスタが2つの画素電極の他方に接続されていることを特
徴とする。

[0007] 本アクティブマトリクス基板を備えた液晶表示装置では、所定のフレームでは上記2
本の走査信号線の一方を走査することでトランジスタを介してこれに接続する画素電
極に信号電位を書き込み、所定のフレーム以外のフレームでは他方を走査すること
でトランジスタを介してこれに接続する画素電極に信号電位を書き込むことができる。
これにより、同一の副画素を、あるフレームでは明副画素(中間調表示時)とし、別の
フレームでは暗副画素(中間調表示時)とすることができ、液晶表示装置の視野角特
性を高めることができる。

[0008] 本アクティブマトリクス基板では、上記2本の走査信号線は、画素領域の両側に配さ
れているか、あるいは画素領域の両端部に重なるように配されている構成とすることも
できる。

[0009] 本アクティブマトリクス基板では、上記2つの画素電極の一方に接続されたトランジ
スタと他方に接続されたトランジスタとが同一のデータ信号線に接続されている構成
とすることもできる。

[0010] 本アクティブマトリクス基板では、上記2つの画素電極の一方と電氣的に接続された
結合容量電極を備え、該結合容量電極は、絶縁膜を介して上記2つの画素電極の
他方と重なっている構成とすることもできる。

[0011] 本アクティブマトリクス基板では、上記2つの画素電極の一方と電氣的に接続された
結合容量電極と、他方と電氣的に接続された結合容量電極とを備え、各結合容量電
極が、絶縁膜を介して上記2つの画素電極のうち電氣的に接続されていない方と重

なっている構成とすることもできる。

- [0012] 本アクティブマトリクス基板では、上記2つの画素電極、並びに一方の画素電極と電氣的に接続された結合容量電極および他方の画素電極と電氣的に接続された結合容量電極は、これらを上記2本の走査信号線の一方側から見たときの平面形状および平面配置が、これらを上記2本の走査信号線の他方側から見たときの平面形状および平面配置に一致するように設けられている構成とすることもできる。
- [0013] 本アクティブマトリクス基板では、各結合容量電極と保持容量を形成する保持容量配線を備える構成とすることもできる。
- [0014] アクティブマトリクス基板では、上記2つの画素電極の少なくとも一方が、前段の画素領域に対応して設けられた走査信号線と保持容量を形成している構成とすることもできる。
- [0015] 本アクティブマトリクス基板では、走査信号線の延伸方向を行方向とすれば、上記2本の走査信号線は行方向に並ぶ2つの画素領域に対応し、各画素領域には2つの画素電極が列方向に並べられ、行方向に隣接する2つの画素電極の一方に接続されるトランジスタが上記2本の走査信号線の一方に接続され、上記2つの画素電極の他方に接続されるトランジスタが上記2本の走査信号線の他方に接続されている構成とすることもできる。
- [0016] 本アクティブマトリクス基板では、1つの画素領域に形成された2つの画素電極の一方に接続されたトランジスタの導通電極およびこれに電氣的接続された導電部分と、該トランジスタに接続された走査信号線との重なり面積が、上記2つの画素電極の他方に接続されたトランジスタの導通電極およびこれに電氣的接続された導電部分と、該トランジスタに接続された走査信号線との重なり面積に等しくなっている構成とすることもできる。
- [0017] 本アクティブマトリクス基板は、1つの画素領域に、容量を介して接続された2つの画素電極が設けられ、隣接する2つの画素領域の間隙に対応して1本の走査信号線が設けられ、1つの画素領域の両側に位置する間隙の一方に対応して設けられた走査信号線に接続されたトランジスタが、該画素領域に設けられた2つの画素電極の一方に接続され、他方に対応して設けられた走査信号線に接続されたトランジスタが

、上記2つの画素電極の他方に接続されていることを特徴とする。

[0018] 本アクティブマトリクス基板では、上記2つの画素電極の一方に接続されたトランジスタと他方に接続されたトランジスタとが同一のデータ信号線に接続されている構成とすることもできる。

[0019] 本液晶表示装置は、上記アクティブマトリクス基板を備え、所定のフレームでは上記2本の走査信号線の一方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、所定のフレーム以外のフレームでは他方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込むことを特徴とする。

[0020] 本液晶表示装置は、上記アクティブマトリクス基板を備え、各フレームでは順次走査信号線を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、所定のフレームとそれ以外のフレームとで、走査方向を逆にすることを特徴とする。

[0021] 本液晶表示装置では、上記2本の走査信号線の一方を走査するフレームのうち、上記画素電極にプラス極性の信号電位を書き込むフレームと、マイナス極性の信号電位を書き込むフレームとが同数であり、上記2本の走査信号線の他方を走査するフレームのうち、上記画素電極にプラス極性の信号電位を書き込むフレームと、マイナス極性の信号電位を書き込むフレームとが同数であるようにすることもできる。

[0022] 本液晶表示装置では、上記2つの走査信号線の走査する方を、1フレームごとに切り替えるとともに同一画素に対応する信号電位の極性を2フレームごとに反転させるか、あるいは上記2つの走査信号線の走査する方を、連続する2フレームごとに切り替えるとともに同一画素に対応する信号電位の極性を1フレームごとに反転させることもできる。

[0023] 本液晶表示装置では、1つの画素に設けられた2つの画素電極の一方をディスチャージした後に、他方へ信号電位を書き込むこともできる。

[0024] 本液晶表示装置では、1つの画素に設けられた2つの画素電極に共通電極電位を供給した状態で一方の画素電極に接続するトランジスタをOFFし、その後に他方の画素電極に信号電位を書き込むこともできる。

- [0025] 本液晶表示装置では、1つの画素に設けられた2つの画素電極に共通電極電位を供給した状態で一方の画素電極に接続するトランジスタをOFFし、その後に他方の画素電極に信号電位を書き込むことを、同一水平走査期間内に行うこともできる。
- [0026] 本液晶表示装置では、1つの画素に設けられた2つの画素電極の一方に信号電位を書き込んでから1/2垂直走査期間～4/5垂直走査期間経過後に、上記2つの画素電極それぞれに共通電極電位を供給した状態でこれら画素電極に接続するトランジスタをOFFすることもできる。
- [0027] 本アクティブマトリクス基板は、第1データ信号線と、第1～第4走査信号線と、第1データ信号線および第1走査信号線に接続された第1トランジスタと、第1データ信号線および第2走査信号線に接続された第2トランジスタと、第1データ信号線および第3走査信号線に接続された第3トランジスタと、第1データ信号線および第4走査信号線に接続された第4トランジスタとを備え、第1データ信号線の延伸方向を列方向とすれば、第1画素領域に第1および第2画素電極が設けられ、第1画素領域と列方向に隣接する第2画素領域に、第3および第4画素電極が設けられ、第1および第2画素電極が容量を介して接続されるとともに、第3および第4画素電極が容量を介して接続され、第1および第2トランジスタの一方が第1の画素電極に接続されるとともに他方が第2画素電極に接続され、第3および第4トランジスタの一方が第3画素電極に接続されるとともに他方が第4画素電極に接続されていることを特徴とする。
- [0028] 本アクティブマトリクス基板を用いた液晶表示装置では、あるフレームで第1走査信号線を選択し、別のフレームで第2走査信号線を選択すれば、1つの副画素に含まれる1つの画素電極が、あるフレームでは(トランジスタを介して)データ信号線に接続され、別のフレームでは(トランジスタおよび他の画素電極を介して)データ信号線に容量結合されることになり、データ信号線に接続されるフレームでは該画素電極に引き込み電圧を考慮した信号電位を供給することができるため、該副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く)することができる。また、1つの副画素が、あるフレームでは明副画素、別のフレームでは暗副画素となるため、同一副画素が常に明副画素であったり常に暗副画素であったりする構成と比較して各副画素で輝度の時間的積分値を均一化でき、表示品位を向上させることができる。

- [0029] 本アクティブマトリクス基板では、第5および第6走査信号線と、第1データ信号線および第5走査信号線に接続された第5トランジスタと、第1データ信号線および第6走査信号線に接続された第6トランジスタとを備え、第1画素領域と列方向に隣接する第3画素領域に、第5および第6画素電極が設けられるとともに、該第5および第6画素電極が容量を介して接続され、第3画素電極、第4画素電極、第1画素電極、第2画素電極、第5画素電極、および第6画素電極がこの順で列方向に並び、第1画素電極と第4走査信号線との間に保持容量が形成されるとともに、第2画素電極と第5走査信号線との間に保持容量が形成される構成とすることもできる。
- [0030] 本アクティブマトリクス基板では、第1画素電極と第2走査信号線とが保持容量を形成するとともに、第2画素電極と第1走査信号線とが保持容量を形成している構成とすることもできる。
- [0031] 本アクティブマトリクス基板では、第2データ信号線と、第2データ信号線および第1走査信号線に接続された第7トランジスタと、第2データ信号線および上記第2走査信号線に接続された第8トランジスタとを備え、第1画素領域と行方向に隣接する第4画素領域に、第7および第8画素電極が設けられるとともに、上記第7および第8画素電極が容量を介して接続され、第1および第2画素電極が列方向に隣接するとともに、第7および第8画素電極が列方向に隣接し、第1および第7画素電極が行方向に隣接するとともに、第2および第8画素電極が行方向に隣接し、第1トランジスタが第1画素電極に接続されるとともに第2トランジスタが第2画素電極に接続され、第7トランジスタが第8画素電極に接続されるとともに第8トランジスタが第7画素電極に接続されている構成とすることもできる。
- [0032] 本アクティブマトリクス基板では、第2データ信号線と、第2データ信号線および第1走査信号線に接続された第7トランジスタと、第2データ信号線および上記第2走査信号線に接続された第8トランジスタとを備え、第1画素領域と行方向に隣接する第4画素領域に、第7および第8画素電極が設けられるとともに、該第7および第8画素電極が容量を介して接続され、第1および第2画素電極が列方向に隣接するとともに、第7および第8画素電極が列方向に隣接し、第1および第7画素電極が行方向に隣接するとともに、第2および第8画素電極が行方向に隣接し、第1トランジスタが第1画

素電極に接続されるとともに第2トランジスタが第2画素電極に接続され、第7トランジスタが第7画素電極に接続されるとともに第8トランジスタが第8画素電極に接続されている構成とすることもできる。

[0033] 本アクティブマトリクス基板は、第1および第2データ信号線と、第1および第2走査信号線と、第1データ信号線および第1走査信号線に接続された2つのトランジスタと、第1データ信号線および第2走査信号線に接続された2つのトランジスタと、第2データ信号線および第1走査信号線に接続された2つのトランジスタと、第2データ信号線および第2走査信号線に接続された2つのトランジスタとを備え、第1データ信号線の延伸方向を列方向とすれば、第1画素領域に第1および第2画素電極が設けられ、第1画素領域と列方向に隣接する第2画素領域に、第3および第4画素電極が設けられ、第1画素領域と列方向に隣接する第3画素領域に、第5および第6画素電極が設けられ、第1画素領域と行方向に隣接する第4画素領域に、第7および第8画素電極が設けられ、第1および第7画素電極が行方向に隣接するとともに、第2および第8画素電極が行方向に隣接し、第1データ信号線および第1走査信号線に接続された2つのトランジスタの一方が第1画素電極に接続されるとともに、他方が第4画素電極に接続され、第1データ信号線および第2走査信号線に接続された2つのトランジスタの一方が第2画素電極に接続されるとともに、他方が第5画素電極に接続され、第2データ信号線および第1走査信号線に接続された2つのトランジスタの一方が第8画素電極に接続され、第2データ信号線および第2走査信号線に接続された2つのトランジスタの一方が第7画素電極に接続されることを特徴とする。

[0034] 本アクティブマトリクス基板を用いた液晶表示装置では、連続する複数のフレームからなる第1期の各フレームでは第1走査信号線、第2走査信号線の順で選択し、第1期に続く、連続する複数フレームからなる第2期の各フレームでは第2走査信号線、第1走査信号線の順で選択すると、1つの副画素に含まれる1つの画素電極が、あるフレームでは(トランジスタを介して)データ信号線に接続され、別のフレームでは(トランジスタおよび他の画素電極を介して)データ信号線に容量結合されることになり、データ信号線に接続されるフレームでは該画素電極に引き込み電圧を考慮した信号電位を供給することができるため、該副画素の液晶層にDC電圧がかかり難く(該

副画素を焼き付き難く)することができる。また、1つの副画素が、あるフレームでは明副画素、別のフレームでは暗副画素となるため、同一副画素が常に明副画素であったり常に暗副画素であったりする構成と比較して各副画素で輝度の時間的積分値を均一化でき、表示品位を向上させることができる。

また、行方向に隣接する2つの画素に含まれる4つの画素電極につき、斜め向かいに配された2つの画素電極同士(第1画素電極と第8画素電極あるいは第2画素電極と第7画素電極)が同一の走査信号線に接続されるため、行方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗副画素となる。これにより、明副画素同士が行方向に隣接したり、暗副画素同士が行方向に隣接したりする構成と比較して表示ムラ(例えば、横縞状のムラ)やざらつき感(ジャギー感)を抑制することができる。

[0035] 本アクティブマトリクス基板では、保持容量配線を備え、該保持容量配線が第1および第2画素電極それぞれと保持容量を形成している構成とすることもできる。

[0036] 本アクティブマトリクス基板では、平面的に視れば、第1および第2走査信号線の間に、第1画素電極の全部またはエッジ部を除く部分と、第2画素電極の全部またはエッジ部を除く部分とが設けられている構成とすることもできる。

[0037] 本アクティブマトリクス基板は、第1トランジスタの導通電極およびこれに電氣的接続された導電部分と第1走査信号線との重なり面積が、第2トランジスタの導通電極およびこれに電氣的接続された導電部分と第2走査信号線との重なり面積に等しい構成とすることもできる。

[0038] 本アクティブマトリクス基板では、第1および第2トランジスタの導通電極と同層に形成された保持容量電極を備え、該保持容量電極が第1および第2画素電極の一方と電氣的に接続されるとともに、ゲート絶縁層を介して保持容量配線と重なっている構成とすることもできる。

[0039] 本アクティブマトリクス基板では、第1および第2トランジスタの導通電極と同層に形成された結合容量電極を備え、該結合容量電極が第1および第2画素電極の一方と電氣的に接続されるとともに、層間絶縁層を介して他方と重なっている構成とすることもできる。

- [0040] 本アクティブマトリクス基板では、第1および第2トランジスタの導通電極と同層に形成された結合容量電極を備え、該結合容量電極は、第1および第2画素電極の一方と電氣的に接続されるとともに層間絶縁層を介して他方と重なり、かつ、ゲート絶縁膜を介して上記保持容量配線と重なっている構成とすることもできる。
- [0041] 本アクティブマトリクス基板では、第1および第2トランジスタの導通電極と同層に形成された保持容量電極を備え、該保持容量電極は、第1および第2画素電極の一方と電氣的に接続されるとともにゲート絶縁層を介して上記各走査信号線のいずれか1本と重なっている構成とすることもできる。
- [0042] 本アクティブマトリクス基板では、層間絶縁層を介して第2画素電極と重なる第1結合容量電極と、層間絶縁層を介して第1画素電極と重なる第2結合容量電極とを備え、第1トランジスタの導通電極から引き出された第1引き出し配線と第1結合容量電極とが同層で接続されるとともに、第1引き出し配線と第1画素電極とがコンタクトホールを介して接続され、第2トランジスタの導通電極から引き出された第2引き出し配線と第2結合容量電極とが同層で接続されるとともに、第2引き出し配線と第2画素電極とがコンタクトホールを介して接続されている構成とすることもできる。この場合、平面的に視れば、第1および第2走査信号線の間に、第1画素電極の全部またはエッジ部を除く部分と、第2画素電極の全部またはエッジ部を除く部分とが設けられ、第1および第2画素電極、第1および第2結合容量電極、並びに第1および第2引き出し配線は、これらを第1走査信号線側および第2走査信号線側それぞれから見たときの平面形状および平面配置が一致するように設けられている構成とすることもできる。
- [0043] 本アクティブマトリクス基板では、層間絶縁層を介して第2画素電極と重なる第1結合容量電極と、層間絶縁層を介して第1画素電極と重なる第2結合容量電極とを備え、第1トランジスタの導通電極と第1画素電極とがコンタクトホールを介して接続されるとともに、第1画素電極と第1結合容量電極とがコンタクトホールを介して接続され、第2トランジスタの導通電極と第2画素電極とがコンタクトホールを介して接続されるとともに、第2画素電極と第2結合容量電極とがコンタクトホールを介して接続されている構成とすることもできる。この場合、平面的に視れば、第1および第2走査信号線の間に、第1画素電極の全部またはエッジ部を除く部分と、第2画素電極の全部または

エッジ部を除く部分とが設けられ、第1および第2画素電極並びに第1および第2結合容量電極は、これらを第1走査信号線側および第2走査信号線側それぞれから見たときの平面形状および平面配置が一致するように設けられている構成とすることもできる。

- [0044] 本アクティブマトリクス基板では、第1および第2画素電極が列方向に隣接しており、第1画素電極が有するエッジのうち第2画素電極と隣接するエッジが第2結合容量電極と重なり、第2画素電極が有するエッジのうち第1画素電極と隣接するエッジが第1結合容量電極と重なっている構成とすることもできる。
- [0045] 本アクティブマトリクス基板では、上記層間絶縁膜は、結合容量電極と重なる部分の少なくとも一部が薄くなっている構成とすることもできる。
- [0046] 本アクティブマトリクス基板では、上記ゲート絶縁膜は、保持容量電極と重なる部分の少なくとも一部が薄くなっている構成とすることもできる。
- [0047] 本アクティブマトリクス基板では、上記層間絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、結合容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されている構成とすることもできる。
- [0048] 本アクティブマトリクス基板では、上記ゲート絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、保持容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されている構成とすることもできる。
- [0049] 本アクティブマトリクス基板では、上記有機絶縁膜には、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも1つが含まれている構成とすることもできる。
- [0050] 本液晶表示装置は、上記アクティブマトリクス基板を備え、あるフレームでは第1走査信号線が選択され、別のフレームでは第2走査信号線が選択されることを特徴とする。
- [0051] 本液晶表示装置は、上記アクティブマトリクス基板を備え、連続する n (n は複数)フレームの各フレームでは第1および第2走査信号線の一方が選択されるとともに、次に連続する n フレームの各フレームでは他方が選択される構成とすることもできる。この場合、 n は偶数であり、上記第1および第2画素電極に供給される信号電位の極性

は、1フレーム単位で反転する構成とすることもできる。

[0052] 本液晶表示装置は、上記アクティブマトリクス基板を備え、連続する2つのフレームの一方で第1走査信号線が選択され、他方で第2走査信号線が選択される構成とすることもできる。この場合、上記第1および第2画素電極に供給される信号電位の極性は、連続する2フレーム単位で反転する構成とすることもできる。

[0053] 本液晶表示装置は、上記アクティブマトリクス基板を備え、連続する複数のフレームからなる第1期の各フレームでは第1および第2走査信号線の一方が選択されるとともに、第1期に続く、連続する複数フレームからなる第2期の各フレームでは他方が選択され、第1期と第2期では走査方向が逆になる構成とすることもできる。

[0054] 本液晶表示装置は、第1データ信号線と、第1および第2走査信号線と、第1データ信号線および第1走査信号線に接続された2つのトランジスタと、第1データ信号線および第2走査信号線に接続された2つのトランジスタと、第2データ信号線および第1走査信号線に接続された2つのトランジスタとを備え、第1データ信号線の延伸方向を列方向とすれば、第1画素領域に第1および第2画素電極が設けられ、第1画素領域と列方向に隣接する第2画素領域に、第3および第4画素電極が設けられ、第1画素領域と列方向に隣接する第3画素領域に、第5および第6画素電極が設けられ、第1データ信号線および第1走査信号線に接続された2つのトランジスタの一方が第1画素電極に接続されるとともに、他方が第4画素電極に接続され、第1データ信号線および第2走査信号線に接続された2つのトランジスタの一方が第2画素電極に接続されるとともに、他方が第5画素電極に接続され、連続する複数のフレームからなる第1期の各フレームでは、第1走査信号線、第2走査信号線の順で選択され、第1期に続く、連続する複数フレームからなる第2期の各フレームでは、第2走査信号線、第1走査信号線の順で選択されることを特徴とする。

[0055] 本液晶表示装置では、1つの副画素に含まれる1つの画素電極が、あるフレームでは(トランジスタを介して)データ信号線に接続され、別のフレームでは(トランジスタおよび他の画素電極を介して)データ信号線に容量結合されることになり、データ信号線に接続されるフレームでは該画素電極に引き込み電圧を考慮した信号電位を供給することができるため、該副画素の液晶層にDC電圧がかかり難く(該副画素を

焼き付き難く)することができる。また、1つの副画素が、あるフレームでは明副画素、別のフレームでは暗副画素となるため、同一副画素が常に明副画素であったり常に暗副画素であったりする構成と比較して各副画素で輝度の時間的積分値を均一化でき、表示品位を向上させることができる。

[0056] 本液晶表示装置では、第1データ信号線に供給される信号電位の極性が一水平走査期間ごとに反転する構成とすることもできる。また、同一水平走査期間においては、第1データ信号線およびこれに隣接するデータ信号線それぞれに、逆極性の信号電位が供給される構成とすることもできる。

[0057] 本液晶表示装置では、各走査信号線を駆動する走査信号線駆動回路を備え、上記第1および第2走査信号線それぞれに供給される選択信号は、上記走査信号線駆動回路が有する1つのシフトレジスタの同一段からの出力を用いて生成されている構成とすることもできる。

[0058] 本液晶パネルは、上記アクティブマトリクス基板を備えることを特徴とする。本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。本液晶表示装置は、上記液晶表示ユニットと光源装置とを備えることを特徴とする。本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

[0059] 以上のように、本アクティブマトリクス基板を用いた液晶表示装置では、所定のフレームでは上記2本の走査信号線の一方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、所定のフレーム以外のフレームでは他方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込むことができる。これにより、同一の副画素を、あるフレームでは明副画素(中間調表示時)とし、別のフレームでは暗副画素(中間調表示時)とすることができ、液晶表示装置の視野角特性を高めることができる。

図面の簡単な説明

[0060] [図1]液晶パネル5aの構成を示す回路図である。

[図2]液晶パネル5aの構成を示す平面図である。

[図3]図2のA-B断面の具体例を示す断面図である。

[図4]図2に示すA-B断面の他の具体例を示す断面図である。

[図5]液晶パネル5aの他の構成を示す平面図である。

[図6]液晶パネル5aを備えた液晶表示装置の駆動方法を示すタイミングチャートである。

[図7]図6の駆動方法を用いた場合のフレーム毎の表示状態を示す模式図である。

[図8]液晶パネル5aを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

[図9]図8の駆動方法を用いた場合のフレーム毎の表示状態を示す模式図である。

[図10]液晶パネル5bの構成を示す回路図である。

[図11]液晶パネル5bの構成を示す平面図である。

[図12]液晶パネル5bの他の構成を示す平面図である。

[図13]液晶パネル5bを備えた液晶表示装置の駆動方法を示すタイミングチャートである。

[図14]図13の駆動方法を用いた場合のフレーム毎の表示状態を示す模式図である。

[図15]液晶パネル5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

[図16]図15の駆動方法を用いた場合のフレーム毎の表示状態を示す模式図である。

[図17]液晶パネル5bを備えた液晶表示装置のさらに他の駆動方法を示すタイミングチャートである。

[図18]液晶パネル5bを備えた液晶表示装置のさらに他の駆動方法を示すタイミングチャートである。

[図19]液晶パネル5a・5bを駆動するゲートドライバの構成を示す回路図である。

[図20]図19のゲートドライバの駆動方法を示すタイミングチャートである。

[図21]液晶パネル5a・5bを駆動するゲートドライバの他の構成を示す回路図である。

[図22]図21のゲートドライバの駆動方法を示すタイミングチャートである。

[図23]液晶パネル5aの他の構成を示す平面図である。

[図24]液晶パネル5cの構成を示す回路図である。

[図25]液晶パネル5cの構成を示す平面図である。

[図26]図25の二点破線部の断面の具体例を示す断面図である。

[図27]図25の二点破線部で示す断面の他の具体例を示す断面図である。

[図28]液晶パネル5cの他の構成を示す平面図である。

[図29]液晶パネル5cのさらに他の構成を示す平面図である。

[図30]液晶パネル5cを備えた液晶表示装置の駆動方法を示すタイミングチャートである。

[図31]図30の駆動方法を用いた場合の各期の表示状態を示す模式図である。

[図32]液晶パネル5cを駆動するゲートドライバの構成を示す回路図である。

[図33]図32のゲートドライバの駆動方法を示すタイミングチャートである。

[図34]液晶パネル5dの構成を示す回路図である。

[図35]液晶パネル5dの構成を示す平面図である。

[図36]液晶パネル5eの構成を示す回路図である。

[図37]液晶パネル5eの構成を示す平面図である。

[図38]液晶パネル5eを備えた液晶表示装置の駆動方法を示すタイミングチャートである。

[図39]図38の駆動方法を用いた場合の各期の表示状態を示す模式図である。

[図40]液晶パネル5aのさらに他の構成を示す回路図である。

[図41]液晶パネル5bのさらに他の構成を示す回路図である。

[図42](a)は本液晶表示ユニットの構成を示す模式図であり、(b)は本液晶表示装置の構成を示す模式図である。

[図43](a) (b)はソースドライバの他の構成を示す回路図である。

[図44]ソースドライバのさらに他の構成を示す回路図である。

[図45]本液晶表示装置の全体構成を説明するブロック図である。

[図46]本液晶表示装置の機能を説明するブロック図である。

[図47]本テレビジョン受像機の機能を説明するブロック図である。

[図48]本テレビジョン受像機の構成を示す分解斜視図である。

[図49]液晶パネル5aをMVA方式とする場合の一構成例を示す平面図である。

[図50]液晶パネル5aを備えた液晶表示装置のさらに他の駆動方法を示すタイミングチャートである。

[図51]液晶パネル5aを備えた液晶表示装置のさらに他の駆動方法を示すタイミングチャートである。

[図52]液晶パネル5aを備えた液晶表示装置のさらに他の駆動方法を示すタイミングチャートである。

[図53]実施の形態3にかかる液晶パネルのさらに他の構成例を示す平面図である。

[図54]実施の形態3にかかる液晶パネルのさらに他の構成例を示す平面図である。

[図55]実施の形態2にかかる液晶パネルのさらに他の構成例を示す平面図である。

[図56]実施の形態3にかかる液晶パネルのさらに他の構成例を示す平面図である。

[図57]実施の形態5にかかる液晶パネルのさらに他の構成例を示す平面図である。

[図58]実施の形態2にかかる液晶パネルのさらに他の構成例を示す平面図である。

[図59]従来の液晶パネルの構成を示す平面図である。

符号の説明

- [0061] 5a～5e 液晶パネル
- 11a・11b・41A・41B コンタクトホール
- 12a～12f・12A～12F トランジスタ
- 15x 15X データ信号線
- 16a～16f 16p～16s走査信号線
- 17a～17f 画素電極
- 17A～17F 画素電極
- 18x～18z 保持容量配線
- 21 有機ゲート絶縁膜
- 22 無機ゲート絶縁膜
- 24 半導体層
- 25 無機層間絶縁膜
- 26 有機層間絶縁膜

37a・37b・37A・37B 結合容量電極

67a・67b・67A・67B 保持容量電極

77a・77b・77A・77B コンタクト電極

84 液晶表示ユニット

100・101 画素

601 テレビジョン受像機

800 液晶表示装置

C100・C101 結合容量

発明を実施するための最良の形態

[0062] 本発明にかかる実施の形態の例を、図1～58を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下では走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置(あるいはこれに用いられる液晶パネルやアクティブマトリクス基板)の利用(視聴)状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。

[0063] [実施の形態1]

図1は本液晶パネルの一部を示す等価回路図である。図1に示すように、液晶パネル5aは、列方向(図中上下方向)に延伸するデータ信号線(15x・15X)、行方向(図中左右方向)に延伸する走査信号線(16a～16f)、行および列方向に並べられた画素(100～105)、保持容量配線(18x～18z)、および共通電極(対向電極)comを備え、奇数番目の画素列に含まれる各画素の構造は同一であり、偶数番目の画素列に含まれる各画素の構造も同一であるが、奇数番目の画素列に含まれる各画素の構造と偶数番目の画素列に含まれる各画素の構造とが異なっている。なお、画素100～102が含まれる画素列と、画素103～105が含まれる画素列とが隣接している。

[0064] 液晶パネル5aでは、1つの画素に対応して1本のデータ信号線と2本の走査信号線とが設けられており、画素100に設けられた2つの画素電極17c・17d、画素101に設けられた2つの画素電極17a・17b、および画素102に設けられた2つの画素電極17e・17fが一行に配されるとともに、画素103に設けられた2つの画素電極17C・17D、画素104に設けられた2つの画素電極17A・17B、および画素105に設けられ

た2つの画素電極17E・17Fが一行に配され、画素電極17cと17C、画素電極17dと17D、画素電極17aと17A、画素電極17bと17B、および画素電極17eと17E、画素電極17fと17Fがそれぞれ行方向に隣接している。

[0065] 画素100では、画素電極17cおよび17dが結合容量C100を介して接続され、画素電極17cが、走査信号線16cに接続されたトランジスタ12cを介してデータ信号線15xに接続され、画素電極17dが、走査信号線16dに接続されたトランジスタ12dを介してデータ信号線15xに接続され、画素電極17cおよび保持容量配線18y間に保持容量Chcが形成され、画素電極17dおよび保持容量配線18y間に保持容量Chdが形成され、画素電極17cおよび共通電極com間に液晶容量C1cが形成され、画素電極17dおよび共通電極com間に液晶容量C1dが形成されている。

[0066] 一方、画素100と列方向に隣接する画素103では、画素電極17Cおよび17Dが結合容量C103を介して接続され、画素電極17Cが、走査信号線16dに接続されたトランジスタ12Dを介してデータ信号線15Xに接続され、画素電極17Dが、走査信号線16cに接続されたトランジスタ12Cを介してデータ信号線15Xに接続され、画素電極17Cおよび保持容量配線18y間に保持容量ChCが形成され、画素電極17Dおよび保持容量配線18y間に保持容量ChDが形成され、画素電極17Cおよび共通電極com間に液晶容量C1Cが形成され、画素電極17Dおよび共通電極com間に液晶容量C1Dが形成されている。

[0067] また、画素100と行方向に隣接する画素101では、画素電極17aおよび17bが結合容量C101を介して接続され、画素電極17aが、走査信号線16aに接続されたトランジスタ12aを介してデータ信号線15xに接続され、画素電極17bが、走査信号線16bに接続されたトランジスタ12bを介してデータ信号線15xに接続され、画素電極17aおよび保持容量配線18x間に保持容量Chaが形成され、画素電極17bおよび保持容量配線18x間に保持容量Chbが形成され、画素電極17aおよび共通電極com間に液晶容量C1aが形成され、画素電極17bおよび共通電極com間に液晶容量C1bが形成されている。

[0068] 一方、画素101と列方向に隣接する画素104では、画素電極17Aおよび17Bが結合容量C104を介して接続され、画素電極17Aが、走査信号線16bに接続されたト

ランジスタ12Bを介してデータ信号線15Xに接続され、画素電極17Bが、走査信号線16aに接続されたトランジスタ12Aを介してデータ信号線15Xに接続され、画素電極17Aおよび保持容量配線18x間に保持容量ChAが形成され、画素電極17Bおよび保持容量配線18x間に保持容量ChBが形成され、画素電極17Aおよび共通電極com間に液晶容量ClAが形成され、画素電極17Bおよび共通電極com間に液晶容量ClBが形成されている。

[0069] 液晶パネル5aを備えた液晶表示装置では、例えば、1つの画素に対応する2本の走査信号線について、連続する2つのフレームの前フレームで一方を選択し、後フレームで他方を選択する。具体的には、連続する2つのフレームの一方で走査信号線16c、16a、16eを順次選択し、他方で走査信号線16d・16b・16fを順次選択する。また、液晶パネル5aを備えた液晶表示装置では、連続するn(nは複数)フレームの各フレームでは一方を選択し、次に連続するnフレームの各フレームでは他方を選択してもよい。具体的には、連続するn(nは複数)フレームの各フレームでは走査信号線16c、16a、16eを順次選択する一方、次に連続するnフレームの各フレームでは走査信号線16d・16b・16fを順次選択してもよい。

[0070] 走査信号線16aが選択された場合には、画素電極17aがデータ信号線15xに(トランジスタ12aを介して)接続され、画素電極17bがデータ信号線15xに(トランジスタ12aおよび画素電極17aを介して)容量結合されるため、 Cl_a (容量値) = Cl_b (容量値) = Cl , Ch_a (容量値) = Ch_b (容量値) = Ch , $Co = Cl + Ch$, $C101$ の容量値を C_α , トランジスタ12aがOFFした後の画素電極17aの電位を V_a として、トランジスタ12aがOFFした後の画素電極17bの電位 = $V_a \times (C_\alpha / (C_\alpha + Co))$ となり、画素電極17aを含む副画素は明副画素、画素電極17bを含む副画素は暗副画素となる。一方、走査信号線16bが選択された場合には、画素電極17bがデータ信号線15xに(トランジスタ12bを介して)接続され、画素電極17aがデータ信号線15xに(トランジスタ12bおよび画素電極17bを介して)容量結合されるため、トランジスタ12bがOFFした後の画素電極17bの電位を V_b として、トランジスタ12bがOFFした後の画素電極17aの電位 = $V_b \times (C_\alpha / (C_\alpha + Co))$ となり、画素電極17bを含む副画素は明副画素、画素電極17aを含む副画素は暗副画素となる。

- [0071] このように、本液晶表示装置では、1つの副画素が、あるフレームでは明副画素、別のフレームでは暗副画素となるため、同一副画素が常に明副画素であったり常に暗副画素であったりする構成と比較して各副画素で輝度の時間的積分値を均一化でき、表示品位を向上させることができる。
- [0072] また、本液晶表示装置では、1つの副画素が明副画素であったり暗副画素であったりするため、例えば本液晶パネルを図49(後述)のようなMVA方式とし、これを液晶表示装置に適用した場合に、時間的にみて、1つの副画素に2(明および暗)×4=8ドメインが形成されることになる。これにより、液晶表示装置の視野角特性を高めることができる。
- [0073] ここで、連続する2つのフレームの前フレームで1つの画素に対応する2本の走査信号線の一方を選択し、後フレームで他方を選択する場合、この2本の走査信号線それぞれに接続する画素電極に供給される信号電位の極性を、連続する2フレーム単位で反転させるようにする。例えば、連続する2つのフレームの一方で走査信号線16aを選択し、他方で走査信号線16bを選択する場合には、画素電極17a・17bに供給される信号電位の極性を連続する2フレーム単位で反転させるようにする(後述)。また、連続するn(nは複数)フレームの各フレームで1つの画素に対応する2本の走査信号線の一方を選択し、次に連続するnフレームの各フレームで他方を選択する場合には、nを偶数とし、この2本の走査信号線それぞれに接続する画素電極に供給される信号電位の極性を、1フレーム単位で反転させるようにする。例えば、連続するn(nは偶数)フレームの各フレームでは走査信号線16aを選択する一方、次に連続するnフレームの各フレームでは走査信号線16bを選択する場合には、画素電極17a・17bに供給される信号電位の極性を1フレーム単位で反転させるようにする。こうすれば、各副画素およびその画素電極について、画素電極の電位がプラス極性で明副画素になるフレームの数(それらの合計期間)と、画素電極の電位がマイナス極性で明副画素になるフレームの数(それらの合計期間)とを等しく、かつ、画素電極の電位がプラス極性で暗副画素になるフレームの数(それらの合計期間)と、画素電極電位がマイナス極性で暗副画素になるフレームの数(それらの合計期間)とを等しくすることができ、各副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く

)することができる。

[0074] また、本液晶表示装置では、副画素内の画素電極が、あるフレームでは(トランジスタを介して)データ信号線に接続され、別のフレームでは(トランジスタおよび他の画素電極を介して)データ信号線に容量結合されることになり、データ信号線に接続されるフレームでは該画素電極に引き込み電圧を考慮した信号電位を供給することができるため、該副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く)することができる。

[0075] この点について以下に説明を加える。アクティブマトリクス型の液晶表示装置の各画素では、ゲートライン(走査信号線)に供給されるゲートオンパルス信号が立ち下がった(非アクティブ化した)ときに、トランジスタの導通電極のうち画素電極に接続する電極とゲートラインとの寄生容量に起因して、ソースライン(データ信号線)から書き込まれた画素電極の電位が引き込まれる現象が起こる。すなわち、画素を交流駆動する場合に、ある階調に対するプラスの信号電位とマイナスの信号電位とを対向電位(V_{com})に対して対称にすると、上記現象によって、プラスの信号電位を書き込んだときの画素電位とマイナスの信号電位を書き込んだときの画素電位の間電位が対向電位からずれ、画素の液晶層にDC電圧が印加(画素電極電位の時間的積分値が対向電位からずれる)ことになる。この液晶層へのDC電圧の印加は画素の焼き付きの原因となる。そこで一般には、ある階調に対するプラスおよびマイナスの信号電位を該階調での引き込み電圧を考慮して設定することで該引き込み電圧の影響を回避している。しかしながら、図49のような液晶表示装置において、トランジスタを介してソースラインに直接接続する画素電極(121a・121c)については上記のようにして引き込み電圧の影響を回避することが可能であるが、これら画素電極(121a・121c)と容量結合する画素電極(121b)については引き込み電圧の影響を適正に回避することが困難であり、これに起因して該画素電極(121b)を含む副画素が焼き付くおそれがある。

[0076] また、本液晶表示装置では、行方向に隣接する(2本の走査信号線を共有する)2つの画素に含まれる4つの画素電極につき、斜め向かいに配された2つの画素電極同士が同一の走査信号線に接続されるため、行方向に隣接する2つの副画素の一

方が明副画素となるフレームでは他方が暗副画素となる。これにより、明副画素同士が行方向に隣接したり、暗副画素同士が行方向に隣接したりする構成と比較して表示ムラ(例えば、横縞状のムラ)やざらつき感(ジャギー感)を抑制することができる。また、列方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗画素となるため、明画素同士が列方向に隣接したり、暗画素同士が列方向に隣接したりする構成と比較して表示ムラ(例えば、縦縞状のムラ)やざらつき感(ジャギー感)を抑制することができる。

[0077] なお、各データ信号線(15x・15X)に供給する信号電位の極性を一水平走査期間(1H)ごとに反転させることで、列方向に隣接する2つの画素間においてトランジスタOFF時の電位の引き込み方向が逆となり、チラツキ感を抑制することができる(後述)。また、同一水平走査期間において、隣接する2本のデータ信号線(15x・15X)それぞれに逆極性の信号電位を供給することで、行方向に隣接する2つの画素間においてトランジスタOFF時の電位の引き込み方向が逆となり、チラツキ感を抑制することができる(後述)。

[0078] 液晶パネル5aの一具体例を図2に示す。図2の液晶パネルでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられ、保持容量配線18yが画素100・103それぞれの中央を横切り、保持容量配線18xが画素101・104それぞれの中央を横切っている。

[0079] ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび16d間に画素電極17c・17dが列方向に並べられている。また、走査信号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なりとともに、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび16d間に画素電極17C・17Dが列方向に並べられている。

[0080] また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび16b間に画素電極17a・17bが列方向に並べられている。また、走

査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび16b間に画素電極17A・17Bが列方向に並べられている。

[0081] 画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aはコンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続されるとともに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図1参照)が形成される。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bに接続され、ドレイン引き出し配線27bはコンタクト電極77bおよび結合容量電極37bに接続され、コンタクト電極77bはコンタクトホール11bを介して画素電極17bに接続されるとともに、結合容量電極37bは層間絶縁膜を介して画素電極17aと重なっている。これにより、結合容量電極37bおよび画素電極17aの重なり部分に、画素電極17a・17b間の結合容量C101(図1参照)が形成される。さらに、結合容量電極37a・37bそれぞれがゲート絶縁膜を介して保持容量配線18xと重なっている。これにより、結合容量電極37aおよび保持容量配線18xの重なり部分に保持容量Cha(図1参照)が形成され、結合容量電極37bおよび保持容量配線18xの重なり部分に保持容量Chb(図1参照)が形成される。

[0082] なお、図2に示されるように、上記画素電極17a・17b、ドレイン引き出し配線27a・27b、コンタクト電極77a・77b、コンタクトホール11a・11b、および結合容量電極37a・37bは、これらを走査信号線16a側および走査信号線16b側それぞれから視たときの平面形状および平面配置が一致するように画素101内に設けられている。また、ドレイン電極9aおよびドレイン引き出し配線27aと走査信号線16aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9bおよびドレイン引き出し配線27bと走査信号線16bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こう

すれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。

- [0083] また、液晶パネル5aの画素101では、結合容量電極を2つ(37a・37b)設けて結合容量を並列化している。したがって、ドレイン引き出し配線27aが先端部分(コンタクトホール11a・結合容量電極37a間)で断線しても、走査信号線16a・16bそれぞれが選択されるフレームで画素101を駆動すること(明・暗副画素の形成)が可能となる。また、ドレイン引き出し配線27aが根元部分(コンタクトホール11a・ドレイン電極9a間)で断線しても、走査信号線16bが選択されるフレームでは画素101を駆動すること(明・暗副画素の形成)が可能となる。また、保持容量配線18xと結合容量電極37aとが短絡しても、ドレイン引き出し配線27aを先端部分(例えば、画素電極17a・17bの間隙下)で切断(修正切断)すれば、走査信号線16a・16bそれぞれが選択されるフレームで画素101を駆動すること(明・暗副画素の形成)が可能となるし、切断しなくても、走査信号線16bが選択されるフレームで画素101を不完全ながら駆動することが可能となる(明副画素と黒副画素が形成される)。また、画素電極17bと結合容量電極37aとが短絡しても、ドレイン引き出し配線27aを先端部分(例えば、画素電極17a・17bの間隙下)で切断(修正切断)すれば、走査信号線16a・16bそれぞれが選択されるフレームで画素101を駆動すること(明・暗副画素の形成)が可能となるし、切断しなくても、画素101を不完全ながら駆動することができる(画素全体が明副画素になる)。また、液晶パネル5aの画素104では、結合容量電極を2つ(37A・37B)設けて結合容量を並列化している。したがって、ドレイン引き出し配線27Aが断線しても、走査信号線16Bが選択されるフレームでは画素104を駆動すること(明・暗副画素の形成)が可能となる。また、画素電極17Aと結合容量電極37Aとが短絡しても、画素104を不完全ながら駆動することができる(画素全体が明副画素になる)。また、保持容量配線18xとコンタクト電極77Aとが短絡しても、走査信号線16bが選択されるフレームで画素104を不完全ながら駆動することが可能となる(明副画素と黒副画素が形成される)。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0084] また、画素104では、走査信号線16a上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16b上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8Aはデータ信号線15Xに接続され、ドレイン電極9Aは、ドレイン引き出し配線27Aに接続され、このドレイン引き出し配線27Aは結合容量電極37Aおよびコンタクト電極77Aに接続され、コンタクト電極77Aはコンタクトホール11Aを介して画素電極17Bに接続されるとともに、結合容量電極37Aは層間絶縁膜を介して画素電極17Aと重なっており、これによって画素電極17A・17B間の結合容量C104(図1参照)が形成される。また、ソース電極8Bはデータ信号線15Xに接続される。ドレイン電極9Bはドレイン引き出し配線27Bに接続され、このドレイン引き出し配線27Bは結合容量電極37Bおよびコンタクト電極77Bに接続され、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Aに接続されるとともに、結合容量電極37Bは層間絶縁膜を介して画素電極17Bと重なっており、これによって画素電極17A・17B間の結合容量C104(図1参照)が形成される。さらに、コンタクト電極77A・77Bそれぞれがゲート絶縁膜を介して保持容量配線18xと重なっており、これによって、保持容量ChA・ChBが形成される。

[0085] なお、図2に示されるように、上記画素電極17A・17B、ドレイン引き出し配線27A・27B、コンタクト電極77A・77B、コンタクトホール11A・11B、および結合容量電極37A・37Bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素104内に設けられている。また、ドレイン電極9Aおよびドレイン引き出し配線27Aと走査信号線16aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9Bおよびドレイン引き出し配線27Bと走査信号線16bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0086] 図3は図2のA-B断面図である。同図に示すように、液晶パネル5aは、アクティブ

マトリクス基板3と、これに対向するカラーフィルタ基板30と、両基板(3・30)間に配される液晶層40とを備える。

[0087] アクティブマトリクス基板5では、ガラス基板31上に走査信号線16aおよび保持容量配線18xが形成され、これらを覆うように無機ゲート絶縁膜22が形成されている。無機ゲート絶縁膜22上には、半導体層24(i層およびn+層)、n+層に接するソース電極8a、ドレイン電極9a、ドレイン引き出し配線27a・27b、コンタクト電極77aおよび結合容量電極37aが形成され、これらを覆うように無機層間絶縁膜25が形成されている。無機層間絶縁膜25上には画素電極17a・17bが形成され、さらに、これら(画素電極17a・17b)を覆うように配向膜(図示せず)が形成されている。ここで、コンタクトホール11aでは、無機層間絶縁膜25が切り貫かれており、これによって、画素電極17aとコンタクト電極77aとが接続される。また、ドレイン引き出し配線27aに繋がる結合容量電極37aは無機層間絶縁膜25を介して画素電極17bと重なっており、これによって、結合容量C101(図1参照)が形成される。また、結合容量電極37aは無機ゲート絶縁膜22を介して保持容量配線18xと重なっており、これによって、保持容量Cha(図1参照)が形成される。

[0088] 一方、カラーフィルタ基板30では、ガラス基板32上にブラックマトリクス13および着色層14が形成され、その上層に共通電極(com)28が形成され、さらにこれを覆うように配向膜(図示せず)が形成されている。

[0089] なお、図2の液晶パネルをMVA(マルチドメインバーティカルアライメント)方式とした構成を図49に示す。同図に示すように、MVA方式の液晶パネルでは、例えば、アクティブマトリクス基板の各画素電極に配向規制用のスリットSLが設けられ、カラーフィルタ基板に配向規制用のリブ(線状突起)Liが設けられる。なお、リブの代わりに、カラーフィルタ基板の共通電極に配向規制用のスリットを設けることもできる。

[0090] 図3のA-B断面を図4のように構成することもできる。すなわち、基板上に厚い有機ゲート絶縁膜21と薄い無機ゲート絶縁膜22とを形成し、また、画素電極の下層に薄い無機層間絶縁膜25と厚い有機層間絶縁膜26とを形成する。こうすれば、各種寄生容量の低減や配線同士の短絡防止の効果が得られる。なおこの場合には、図4に示すように、有機ゲート絶縁膜21については結合容量電極37a下に位置する部

分を削り貫いておき、有機層間絶縁膜26については結合容量電極上に位置する部分を削り貫いておくことが好ましい。こうすれば、結合容量C101の容量値および保持容量Chaの容量値を大きくすることができる。

[0091] 図4の無機層間絶縁膜25、有機層間絶縁膜26およびコンタクトホール11aは例えば、以下のようにして形成することができる。すなわち、トランジスタ(TFT)を形成した後、 SiH_4 ガスと NH_3 ガスと N_2 ガスとの混合ガスを用い、基板全面を覆うように、厚さ約3000 Åの SiN_x からなる無機層間絶縁膜25(パッシベーション膜)をCVDにて形成する。その後、厚さ約3 μmのポジ型感光性アクリル樹脂からなる有機層間絶縁膜26をスピコートやダイコートにて形成する。続いて、フォトリソグラフィを行って有機層間絶縁膜26の削り貫き部分および各種のコンタクト用パターンを形成し、さらに、パターニングされた有機層間絶縁膜26をマスクとし、 CF_4 ガスと O_2 ガスとの混合ガスを用いて、無機層間絶縁膜25および無機ゲート絶縁膜22を連続してドライエッチングする。なお、有機ゲート絶縁膜21や有機層間絶縁膜26は、例えば、SOG(スピノンガラス)材料からなる絶縁膜であってもよく、また、有機ゲート絶縁膜21や有機層間絶縁膜26に、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも1つが含まれていてもよい。

[0092] 液晶パネル5aの他の具体例を図5に示す。図5の液晶パネルでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられ、保持容量配線18yが画素100・103それぞれの中央を横切り、保持容量配線18xが画素101・104それぞれの中央を横切っている。

[0093] ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび保持容量配線18y間に画素電極17cが配されるとともに、走査信号線16dおよび保持容量配線18y間に画素電極17dが配されている。また、走査信号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび保持容量配線18y間に画素電極17Cが配されるとともに、走査信号線16dおよび保持容量配線18y間

に画素電極17Dが配されている。

[0094] また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび保持容量配線18x間に画素電極17aが配されるとともに、走査信号線16bおよび保持容量配線18x間に画素電極17bが配されている。また、走査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび保持容量配線18x間に画素電極17Aが配されるとともに、走査信号線16bおよび保持容量配線18x間に画素電極17Bが配されている。

[0095] 画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよび2つのドレイン電極9a・10aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよび2つのドレイン電極9b・10bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aを介してコンタクト電極77aに繋がり、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続され、ドレイン電極10aはドレイン引き出し配線19aを介して結合容量電極37aに接続され、さらに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図1参照)が形成される。なお、ドレイン引き出し配線19aは、平面的に視て画素電極17aおよびデータ信号線15x間に配されている。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bを介してコンタクト電極77bに繋がり、コンタクト電極77bはコンタクトホール11bを介して画素電極17bに接続され、ドレイン電極10bはドレイン引き出し配線19bを介して結合容量電極37bに接続され、さらに、結合容量電極37bは層間絶縁膜を介して画素電極17aと重なっている。これにより、結合容量電極37bおよび画素電極17aの重なり部分に、画素電極17a・17b間の結合容量C101(図1参照)が形成される。なお、ドレイン引き出し配線19bは、平面的に視て画素電極17bおよびデータ信号線15X間に配されている。また、保持容量配線18x上にはゲート絶縁膜を介して保持容量電極67aが配されるとともに、保持容量電極67aと画素電

極17aとがコンタクトホール41aを介して接続されており、これによって、保持容量Ch_a(図1参照)が形成される。また、保持容量配線18x上にはゲート絶縁膜を介して保持容量電極67bが配されるとともに、保持容量電極67bと画素電極17bとがコンタクトホール41bを介して接続されており、これによって、保持容量Ch_b(図1参照)が形成される。

[0096] なお、図5に示されるように、上記画素電極17a・17b、ドレイン引き出し配線19a・19b・27a・27b、コンタクト電極77a・77b、コンタクトホール11a・11b・41a・41b、保持容量電極67a・67b、および結合容量電極37a・37bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素101内に設けられている。また、ドレイン電極9aおよびドレイン引き出し配線19a・27aと走査信号線16aとの重なり面積(両者間の寄生容量C_{gd})は、ドレイン電極9bおよびドレイン引き出し配線19b・27bと走査信号線16bとの重なり面積(両者間の寄生容量C_{gd})に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0097] 画素104では、走査信号線16a上に、トランジスタ12Aのソース電極8Aおよび2つのドレイン電極9A、10Aが形成され、走査信号線16b上に、トランジスタ12Bのソース電極8Bおよび2つのドレイン電極9B・10Bが形成されている。ソース電極8Aはデータ信号線15Xに接続される。ドレイン電極10Aはドレイン引き出し配線27Aを介してコンタクト電極77Aに繋がり、コンタクト電極77Aはコンタクトホール11Aを介して画素電極17Bに接続され、ドレイン電極9Aはドレイン引き出し配線19Aを介して結合容量電極37Aに接続され、さらに、結合容量電極37Aは層間絶縁膜を介して画素電極17Aと重なっており、これによって、画素電極17A・17B間の結合容量C₁₀₄(図1参照)が形成される。なお、ドレイン引き出し配線27Aは、平面的に視て画素電極17Aおよびデータ信号線15X間に配されている。また、ソース電極8Bはデータ信号線15Xに接続される。ドレイン電極10Bはドレイン引き出し配線27Bを介してコンタ

ト電極77Bに繋がり、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Aに接続され、ドレイン電極9Bはドレイン引き出し配線19Bを介して結合容量電極37Bに接続され、さらに、結合容量電極37Bは層間絶縁膜を介して画素電極17Bと重なっており、これによって、画素電極17A・17B間の結合容量C104(図1参照)が形成される。なお、ドレイン引き出し配線19Bは、平面的に視て、画素電極17Bとデータ信号線15Xの右側に隣接するデータ信号線との間に配されている。また、保持容量配線18x上にはゲート絶縁膜を介して保持容量電極67Aが配されるときともに、保持容量電極67Aと画素電極17Aとがコンタクトホール41Aを介して接続されており、これによって、保持容量ChA(図1参照)が形成される。また、保持容量配線18x上にはゲート絶縁膜を介して保持容量電極67Bが配されるときともに、保持容量電極67Bと画素電極17Bとがコンタクトホール41Bを介して接続されており、これによって、保持容量ChB(図1参照)が形成される。

[0098] なお、図5に示されるように、上記画素電極17A・17B、ドレイン引き出し配線19A・19B・27A・27B、コンタクト電極77A・77B、コンタクトホール11A・11B・41A・41B、保持容量電極67A・67B、および結合容量電極37A・37Bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素104内に設けられている。また、ドレイン電極9Aおよびドレイン引き出し配線19A・27Aと走査信号線16aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9Bおよびドレイン引き出し配線19B・27Bと走査信号線16bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。また、図5の液晶パネル5aは、ドレイン引き出し配線19a・19b・27A・27Bが画素電極に重ならないため、例えば図3のように比較的薄い層間絶縁膜を用いながら結合容量の値を大きくし過ぎないようにする場合に好適である。

[0099] 液晶パネル5aのさらに他の具体例を図23に示す。図23の液晶パネルにおける画

素配置、データ信号線、および走査信号線の配置は、図5の液晶パネルのそれらと同様である。

[0100] 図23に示すように、画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aを介してコンタクト電極77aに繋がり、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続され、画素電極17aはコンタクトホール41aを介して保持容量電極67aに接続され、保持容量電極67aは結合容量電極37に繋がり、さらに、結合容量電極37は層間絶縁膜を介して画素電極17bと重なっており、これによって、画素電極17a・17b間の結合容量C101(図1参照)が形成される。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bを介してコンタクト電極77bに繋がり、コンタクト電極77bはコンタクトホール11bを介して画素電極17bに接続され、画素電極17bはコンタクトホール41bを介して保持容量電極67bに接続されている。なお、保持容量電極67a・67bはそれぞれ、ゲート絶縁膜を介して保持容量配線18xと重なっており、これによって、保持容量 $C_{ha} \cdot C_{hb}$ (図1参照)が形成される。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0101] 画素104では、走査信号線16a上に、トランジスタ12Aのソース電極8Aおよび2つのドレイン電極9A、10Aが形成され、走査信号線16b上に、トランジスタ12Bのソース電極8Bおよび2つのドレイン電極9B・10Bが形成されている。ソース電極8Aはデータ信号線15Xに接続される。ドレイン電極10Aはドレイン引き出し配線27Aを介してコンタクト電極77Aに繋がり、コンタクト電極77Aはコンタクトホール11Aを介して画素電極17Bに接続され、ドレイン電極9Aはドレイン引き出し配線19Aを介して結合容量電極37Aに接続され、さらに、結合容量電極37Aは層間絶縁膜を介して画素電極17Aと重なっており、これによって、画素電極17A・17B間の結合容量C104(図1参照)が形成される。なお、ドレイン引き出し配線27Aは、平面的に視て画素電極17Aおよびデータ信号線15X間に配されている。また、ソース電極8Bはデータ信

号線15Xに接続される。ドレイン電極10Bはドレイン引き出し配線27Bを介してコンタクト電極77Bに繋がり、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Aに接続され、ドレイン電極9Bはドレイン引き出し配線19Bを介して結合容量電極37Bに接続され、さらに、結合容量電極37Bは層間絶縁膜を介して画素電極17Bと重なっており、これによって、画素電極17A・17B間の結合容量C104(図1参照)が形成される。なお、ドレイン引き出し配線19Bは、平面的に視て、画素電極17Bとデータ信号線15Xの右側に隣接するデータ信号線との間に配されている。また、保持容量配線18x上にはゲート絶縁膜を介して保持容量電極67Aが配されるとともに、保持容量電極67Aがドレイン引き出し配線27Bに繋がっており、これによって、保持容量ChA(図1参照)が形成される。また、保持容量配線18x上にはゲート絶縁膜を介して保持容量電極67Bが配されるとともに、保持容量電極67Bがドレイン引き出し配線27Aに繋がっており、これによって、保持容量ChB(図1参照)が形成される。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0102] なお、液晶パネル5aから保持容量配線(18x~18z)を除くことも可能であり、この場合、図40のような構成となる。この構成は遮光性の保持容量配線がない分、開口率の点で有利である。

[0103] 図6は図1・40に示す液晶パネルを備えた本液晶表示装置(ノーマリブラックモードの液晶表示装置)の駆動方法を示すタイミングチャートである。なお、SVおよびsvは、隣接する2本のデータ信号線(例えば、15x・15X)それぞれに供給される信号電位を示し、Ga~Gfは走査信号線16a~16fに供給されるゲートオンパルス信号、Vc・Vd・Va・Vb・VC・VDはそれぞれ、画素電極17c・17d・17a・17b・17C・17Dの電位を示し、shはチャージシェア信号を示している。なお、チャージシェア信号がアクティブ(「H」)の期間(チャージシェア期間)は、全データ信号線が互いに短絡されたり、外部から全データ信号線に同一電位が供給されたりすることによってチャージシェアが行われる。

[0104] この駆動方法では、図6に示されるように、1画素に対応する2本の走査信号線を1フレーム単位で交互に選択し、データ信号線に供給する信号電位の極性を1水平走

査期間(1H)ごとに反転させるとともに、各フレームにおける同一番目の水平走査期間に供給される信号電位の極性を2フレーム単位で反転させ、かつ同一水平走査期間においては隣接する2本のデータ信号線に逆極性の信号電位を供給し、各水平走査期間の冒頭にはチャージシェアを行う。

[0105] 具体的には、連続するフレームF1～フレームF4において、F1では、1画素に対応する上下2本の走査信号線(図1参照)のうち上側(例えば、走査信号線16c・16a・16e)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17cの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17aの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17eの書き込み期間含む)にプラス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Cの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Aの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Eの書き込み期間含む)にマイナス極性の信号電位を供給する。これにより、図6に示すように、画素電極17c(プラス極性)を含む副画素は明副画素(以下、「明」)、画素電極17d(プラス極性)を含む副画素は暗副画素(以下、「暗」)、画素電極17C(マイナス極性)を含む副画素は「暗」、画素電極17D(マイナス極性)を含む副画素は「明」、画素電極17a(マイナス極性)を含む副画素は「明」、画素電極17b(マイナス極性)を含む副画素は「暗」となり、全体としては、図7(a)のようになる。

[0106] また、F2では、1画素に対応する上下2本の走査信号線のうち下側(例えば、走査信号線16d・16b・16f)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17dの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17bの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17fの書き込み期間含む)にプラス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の

水平走査期間(例えば、画素電極17Dの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Bの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Fの書き込み期間含む)にマイナス極性の信号電位を供給する。これにより、図6に示すように、画素電極17c(プラス極性)を含む副画素は「暗」、画素電極17d(プラス極性)を含む副画素は「明」、画素電極17C(マイナス極性)を含む副画素は「明」、画素電極17D(マイナス極性)を含む副画素は「暗」、画素電極17a(マイナス極性)を含む副画素は「暗」、画素電極17b(マイナス極性)を含む副画素は「明」となり、全体としては、図7(b)のようになる。

[0107] また、F3では、1画素に対応する上下2本の走査信号線のうち上側(例えば、走査信号線16c・16a・16e)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17cの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17aの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17eの書き込み期間含む)にマイナス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Cの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Aの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Eの書き込み期間含む)にプラス極性の信号電位を供給する。これにより、図6に示すように、画素電極17c(マイナス極性)を含む副画素は「明」、画素電極17d(マイナス極性)を含む副画素は「暗」、画素電極17C(プラス極性)を含む副画素は「暗」、画素電極17D(プラス極性)を含む副画素は「明」、画素電極17a(プラス極性)を含む副画素は「明」、画素電極17b(プラス極性)を含む副画素は「暗」となり、全体としては、図7(c)のようになる。

[0108] また、F4では、1画素に対応する上下2本の走査信号線(図1参照)のうち下側(例えば、走査信号線16d・16b・16f)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17dの

書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17bの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17fの書き込み期間含む)にマイナス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Dの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Bの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Fの書き込み期間含む)にプラス極性の信号電位を供給する。これにより、図6に示すように、画素電極17c(マイナス極性)を含む副画素は「暗」、画素電極17d(マイナス極性)を含む副画素は「明」、画素電極17C(プラス極性)を含む副画素は「明」、画素電極17D(プラス極性)を含む副画素は「暗」、画素電極17a(プラス極性)を含む副画素は「暗」、画素電極17b(プラス極性)を含む副画素は「明」となり、全体としては、図7(d)のようになる。このように、本駆動方法によれば、各フレームにおいて明副画素と暗副画素とを市松状に配するとともに、明副画素と暗副画素とを1フレーム単位で入れ替えることができるため、表示品位の向上が可能となる。

- [0109] 図50は図1・40に示す液晶パネルを備えた本液晶表示装置の他の駆動方法を示すタイミングチャートである。この駆動方法では、図50に示されるように、一水平走査期間内に、まず、1つの画素に設けられた2つの画素電極に共通電極電位を供給した状態で一方の画素電極に接続するトランジスタをOFFし、ついで他方の画素電極に信号電位を書き込む。例えば、走査信号線16aの水平走査期間冒頭のチャージシェア期間に走査信号線16bをON・OFFする。こうすれば、チャージシェア期間に、画素電極17a・17bに共通電極電位を供給した状態で画素電極17bに接続するトランジスタ12bをOFFすることができ、この時点で画素電極17bをディスチャージすることができる。すなわち、一水平走査期間に、まず画素電極17bをディスチャージし、引き続き画素電極17aに信号電位を書き込むことができる。これにより、走査信号線16aがOFFした後の画素電極17bの電位(すなわち暗副画素の輝度)を、1フレーム前に画素電極17bに書き込まれた信号電位に影響されない所望の値とすることができる。

[0110] なお、図50の駆動方法では一水平走査期間内に一方の画素電極のディスチャージと他方の画素電極への信号電位の書き込みとを行っているがこれに限定されない。一方の画素電極のディスチャージと他方の画素電極への信号電位の書き込みとを別の水平走査期間に行ってもよい。例えば図51に示すように、走査信号線16aの水平走査期間の1つ前(1H前)にあたる水平走査期間のチャージシェア期間に、走査信号線16a・16bを同期してON・OFFする(これにより画素電極17bをディスチャージする)こともできる。なお、2H前や3H前にこれを行っても構わない。

[0111] さらに、図52に示すように、いわゆる黒挿入によって画素電極のディスチャージを行うこともできる。例えば、走査信号線16aの水平走査期間の1/3V(垂直走査期間)程度前にあたる複数の水平走査期間それぞれのチャージシェア期間に、走査信号線16a・16bを同期してON・OFFする。こうすれば、画素電極17a・17bに黒書き込みを行うと同時に画素電極17bをディスチャージすることができる。この場合、2/3Vはデータ表示で1/3Vの期間は黒表示となり、動画表示時の尾引き等を抑制することができる。なお、黒挿入によるディスチャージは、信号電位の書き込みより1/3V程度前に行うことが望ましいが、書き込みより1/5V前～1/2V前(書き込みの1/2V後～4/5V後)に行えばよい。

[0112] 図8は図1・40に示す液晶パネルを備えた本液晶表示装置のさらに他の駆動方法を示すタイミングチャートである。この駆動方法では、図8に示されるように、1画素に対応する2本の走査信号線につき、連続する2フレームの各フレームでは一方を選択し、次に連続する2フレームの各フレームでは他方を選択し、データ信号線に供給する信号電位の極性を1水平走査期間(1H)ごとに反転させるとともに、各フレームにおける同一番目の水平走査期間に供給される信号電位の極性を1フレーム単位で反転させ、かつ同一水平走査期間においては隣接する2本のデータ信号線に逆極性の信号電位を供給し、各水平走査期間の冒頭にはチャージシェアを行ってもよい。

[0113] 具体的には、連続するフレームF1～フレームF4において、F1では、1画素に対応する上下2本の走査信号線(図1参照)のうち上側(例えば、走査信号線16c・16a・16e)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)に

は、1番目の水平走査期間(例えば、画素電極17cの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17aの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17eの書き込み期間含む)にプラス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Cの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Aの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Eの書き込み期間含む)にマイナス極性の信号電位を供給する。これにより、図8に示すように、画素電極17c(プラス極性)を含む副画素は明副画素(以下、「明」)、画素電極17d(プラス極性)を含む副画素は暗副画素(以下、「暗」)、画素電極17C(マイナス極性)を含む副画素は「暗」、画素電極17D(マイナス極性)を含む副画素は「明」、画素電極17a(マイナス極性)を含む副画素は「明」、画素電極17b(マイナス極性)を含む副画素は「暗」となり、全体としては、図9(a)のようになる。

- [0114] また、F2では、1画素に対応する上下2本の走査信号線(図1参照)のうち上側(例えば、走査信号線16c・16a・16e)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17cの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17aの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17eの書き込み期間含む)にマイナス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Cの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Aの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Eの書き込み期間含む)にプラス極性の信号電位を供給する。これにより、図8に示すように、画素電極17c(マイナス極性)を含む副画素は「明」、画素電極17d(マイナス極性)を含む副画素は「暗」、画素電極17C(プラス極性)を含む副画素は「暗」、画素電極17D(プラス極性)を含む副画素は「明」、画素電極17a(プラス

極性)を含む副画素は「明」、画素電極17b(プラス極性)を含む副画素は「暗」となり、全体としては、図9(b)のようになる。

[0115] また、F3では、1画素に対応する上下2本の走査信号線(図1参照)のうち下側(例えば、走査信号線16d・16b・16f)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17cの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17aの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17eの書き込み期間含む)にプラス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Cの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Aの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17Eの書き込み期間含む)にマイナス極性の信号電位を供給する。これにより、図8に示すように、画素電極17c(プラス極性)を含む副画素は「暗」、画素電極17d(プラス極性)を含む副画素は「明」、画素電極17C(マイナス極性)を含む副画素は「明」、画素電極17D(マイナス極性)を含む副画素は「暗」、画素電極17a(マイナス極性)を含む副画素は「暗」、画素電極17b(マイナス極性)を含む副画素は「明」となり、全体としては、図9(c)のようになる。

[0116] また、F4では、1画素に対応する上下2本の走査信号線(図1参照)のうち下側(例えば、走査信号線16d・16b・16f)を選択し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17cの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17aの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17eの書き込み期間含む)にマイナス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17Cの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17Aの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、

画素電極17Eの書き込み期間含む)にプラス極性の信号電位を供給する。これにより、図8に示すように、画素電極17c(マイナス極性)を含む副画素は「暗」、画素電極17d(マイナス極性)を含む副画素は「明」、画素電極17C(プラス極性)を含む副画素は「明」、画素電極17D(プラス極性)を含む副画素は「暗」、画素電極17a(プラス極性)を含む副画素は「暗」、画素電極17b(プラス極性)を含む副画素は「明」となり、全体としては、図9(d)のようになる。このように、本駆動方法によれば、各フレームにおいて明副画素と暗副画素とを市松状に配するとともに、明副画素と暗副画素とを2フレーム単位で入れ替えることができるため、表示品位の向上が可能となる。

[0117] なお、図6の駆動方法においては、図17に示すようにチャージシェアを行わないことも可能である。また、図6の駆動方法においては、図18に示すように列方向に隣接する2画素の一方の書き込み期間と他方の書き込み期間との間隔をなくす(Gc、Ga、およびGeを、間隔をおかずに順次アクティブとし、Gd、Gb、およびGfを、間隔をおかずに順次アクティブとする)ことも可能である。

[0118] 図19は本液晶表示装置のゲートドライバの構成を示す回路図である。図19に示されるように、ゲートドライバGDはシフトレジスタ45、列方向に並ぶ複数のAND回路(66a~66f)、および出力回路46を備える。シフトレジスタ45には、ゲートスターとパルス信号GSPとゲートクロック信号GCKとが入力される。シフトレジスタ45の各段の出力は2系統に分かれ、その一方が奇数番目のAND回路に入力され、これと隣り合う偶数番目のAND回路に他方が入力される。また、ゲートドライバ出力制御信号GOEは2系統の信号(OEx・OEy)からなり、奇数番目のAND回路に信号OEyの反転信号が入力され、偶数番目のAND回路に信号OExの反転信号が入力される。そして、1つのAND回路の出力は出力回路46を経てゲートオンパルス信号となり、1本の走査信号線に供給される。

[0119] 例えば、シフトレジスタ45のある段からの出力が2系統に分かれており、その一方QcがAND回路66cに入力され、他方QdがAND回路66dに入力される。また、AND回路66cには信号OEyが入力され、AND回路66dには信号OExが入力される。そして、AND回路66cの出力は出力回路46を経てゲートオンパルス信号Gcとなり、走査信号線16cに供給される。また、AND回路66dの出力は出力回路46を経てゲート

トオンパルス信号Gdとなり、走査信号線16dに供給される。同様に、シフトレジスタ45の他段からの出力が2系統に分かれており、その一方QaがAND回路66aに入力され、他方QbがAND回路66bに入力される。また、AND回路66aには信号OEyが入力され、AND回路66bには信号OExが入力される。そして、AND回路66aの出力は出力回路46を経てゲートオンパルス信号Gaとなり、走査信号線16aに供給される。また、AND回路66bの出力は出力回路46を経てゲートオンパルス信号Gbとなり、走査信号線16bに供給される。

[0120] 図20は図19のゲートドライバの動作を示すタイミングチャートである。同図に示されるように、例えば、信号OExは、奇数フレームでは常に「H」、偶数フレームでは各水平走査期間の後端部で「H」となる一方、信号OEyは、偶数フレームでは常に「L」、奇数フレームでは各水平走査期間の後端部で「H」となる。これにより、奇数フレームでは、ゲートオンパルス信号Gc、Ga、およびGeを、間隔をおいて順次「H」（アクティブ）とし、偶数フレームでは、ゲートオンパルス信号Gd、Gb、およびGfを、間隔をおいて順次「H」（アクティブ）とすることができ、図6に示すような駆動が実現される。なお、上記ゲートドライバにおいては、図21に示すように、ゲートドライバ出力制御信号GOEが奇数番目のAND回路に入力され、これと隣り合う偶数番目のAND回路にGOEの反転信号が入力される構成でも構わない。図22は図21のゲートドライバの動作を示すタイミングチャートであり、例えばGOEは、奇数フレームでは常に「L」、偶数フレームでは常に「H」となる。これにより、奇数フレームでは、ゲートオンパルス信号Gc、Ga、およびGeを、間隔をおかずに順次「H」（アクティブ）とし、偶数フレームでは、ゲートオンパルス信号Gd、Gb、およびGfを、間隔をおかずに順次「H」（アクティブ）とすることができ、図18に示すような駆動が実現される。なお、図19の構成では、ゲートオンパルス（書き込みパルス）の幅を適宜設定できるというメリットがあるし、図21の構成では、GOE信号を1系統にすることができるというメリットがある。さらに、図19や図21の構成では、1画素に対応する2つの走査信号線それぞれに供給するゲートオンパルス信号を1つのシフトレジスタの同一段からの出力を用いて生成することができ、ドライバ構成を簡略化することができるというメリットがある。

[0121] 〔実施の形態2〕

本液晶パネルを図10のように構成することもできる。図10の液晶パネル5bでは、図1の液晶パネル5aと異なり、全ての画素が同一構造となっている。すなわち、液晶パネル5aでは行方向に隣接する(2本の走査信号線を共有する)2つの画素に含まれる4つの画素電極につき、斜め向かいに配された2つの画素電極同士が同一の走査信号線に接続されるが、液晶パネル5bでは、該4つの画素電極につき、行方向に隣接して配された2つの画素電極同士が同一の走査信号線に接続される。

[0122] 液晶パネル5bでは、1つの画素に対応して1本のデータ信号線と2本の走査信号線とが設けられており、画素100に設けられた2つの画素電極17c・17d、画素101に設けられた2つの画素電極17a・17b、および画素102に設けられた2つの画素電極17e・17fが一行に配されるとともに、画素103に設けられた2つの画素電極17C・17D、画素104に設けられた2つの画素電極17A・17B、および画素105に設けられた2つの画素電極17E・17Fが一行に配され、画素電極17cと17C、画素電極17dと17D、画素電極17aと17A、画素電極17bと17B、および画素電極17eと17E、画素電極17fと17Fがそれぞれ行方向に隣接している。

[0123] 例えば、画素101では、画素電極17aおよび17bが結合容量C101を介して接続され、画素電極17aが、走査信号線16aに接続されたトランジスタ12aを介してデータ信号線15xに接続され、画素電極17bが、走査信号線16bに接続されたトランジスタ12bを介してデータ信号線15xに接続され、画素電極17aおよび保持容量配線18x間に保持容量Chaが形成され、画素電極17bおよび保持容量配線18x間に保持容量Chbが形成され、画素電極17aおよび共通電極com間に液晶容量Claが形成され、画素電極17bおよび共通電極com間に液晶容量Clbが形成されている。

[0124] また、画素101と行方向に隣接する画素104では、画素電極17Aおよび17Bが結合容量C104を介して接続され、画素電極17Aが、走査信号線16aに接続されたトランジスタ12Aを介してデータ信号線15Xに接続され、画素電極17Bが、走査信号線16bに接続されたトランジスタ12Bを介してデータ信号線15Xに接続され、画素電極17Aおよび保持容量配線18x間に保持容量ChAが形成され、画素電極17Bおよび保持容量配線18x間に保持容量ChBが形成され、画素電極17Aおよび共通電極com間に液晶容量ClAが形成され、画素電極17Bおよび共通電極com間に液晶容

量CIBが形成されている。

[0125] 液晶パネル5bを備えた液晶表示装置(ノーマリブラックモードの液晶表示装置)の各走査信号線(16a~16f)およびデータ信号線(15x・15X)の駆動方法は、液晶パネル5aを備えた液晶表示装置のそれと同様である。これにより、1つの副画素が、あるフレームでは明副画素、別のフレームでは暗副画素となるため、同一副画素が常に明副画素であったり常に暗副画素であったりする構成と比較して各副画素で輝度の時間的積分値を均一化でき、表示品位を向上させることができる。また、列方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗画素となるため、明画素同士が列方向に隣接したり、暗画素同士が列方向に隣接したりする構成と比較してざらつき感(ジャギー感)を抑制することができる。また、明画素同士が行方向に隣接したり、暗画素同士が行方向に隣接したりしつつ、同一副画素が常に明副画素であったり常に暗副画素であったりする構成と比較して表示ムラ(例えば、横縞状のムラ)やざらつき感(ジャギー感)を抑制することができる。

[0126] 液晶パネル5bの一具体例を図11に示す。なお、図11の液晶パネルにおける画素配置、データ信号線、および走査信号線の配置は、図2の液晶パネルのそれらと同様である。図11に示すように、画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aはコンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続されるとともに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図10参照)が形成される。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bに接続され、ドレイン引き出し配線27bはコンタクト電極77bおよび結合容量電極37bに接続され、コンタクト電極77bはコンタクトホール11bを介して画素電極17bに接続されるとともに、結合容量電極37bは層間絶縁膜を介して画素電極17aと重なっている。これにより、結合容

量電極37bおよび画素電極17aの重なり部分に、画素電極17a・17b間の結合容量C101(図10参照)が形成される。さらに、結合容量電極37a・37bそれぞれがゲート絶縁膜を介して保持容量配線18xと重なっている。これにより、結合容量電極37aおよび保持容量配線18xの重なり部分に保持容量Cha(図10参照)が形成され、結合容量電極37bおよび保持容量配線18xの重なり部分に保持容量Chb(図10参照)が形成される。

[0127] なお、図11に示されるように、上記画素電極17a・17b、ドレイン引き出し配線27a・27b、コンタクト電極77a・77b、コンタクトホール11a・11b、および結合容量電極37a・37bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素101内に設けられている。また、ドレイン電極9aおよびドレイン引き出し配線27aと走査信号線16aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9bおよびドレイン引き出し配線27bと走査信号線16bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0128] また、画素104では、走査信号線16a上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16b上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8Aはデータ信号線15Xに接続される。ドレイン電極9Aはドレイン引き出し配線27Aに接続され、ドレイン引き出し配線27Aはコンタクト電極77Aおよび結合容量電極37Aに接続され、コンタクト電極77Aはコンタクトホール11Aを介して画素電極17Aに接続されるとともに、結合容量電極37Aは層間絶縁膜を介して画素電極17Bと重なっており、これによって画素電極17A・17B間の結合容量C101(図10参照)が形成される。また、ソース電極8Bはデータ信号線15Xに接続される。ドレイン電極9Bはドレイン引き出し配線27Bに接続され、ドレイン引き出し配線27Bはコンタクト電極77Bおよび結合容量電極37B

に接続され、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Bに接続されるとともに、結合容量電極37Bは層間絶縁膜を介して画素電極17Aと重なっており、これによって画素電極17A・17B間の結合容量C101(図10参照)が形成される。さらに、結合容量電極37A・37Bそれぞれがゲート絶縁膜を介して保持容量配線18xと重なっており、これによって、保持容量ChA・ChB(図1参照)が形成される。

[0129] なお、図11に示されるように、上記画素電極17A・17B、ドレイン引き出し配線27A・27B、コンタクト電極77A・77B、コンタクトホール11A・11B、および結合容量電極37A・37Bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素104内に設けられている。また、ドレイン電極9Aおよびドレイン引き出し配線27Aと走査信号線16Aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9Bおよびドレイン引き出し配線27Bと走査信号線16Bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0130] 液晶パネル5bのさらに他の具体例を図12に示す。図12の液晶パネルにおける画素配置、データ信号線、および走査信号線の配置は、図2の液晶パネルのそれらと同様である。図12に示すように、画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線およびコンタクトホール11aを介して画素電極17aに接続され、画素電極17aはコンタクトホール41aを介して保持容量電極67aに接続され、保持容量電極67aは結合容量電極37aに繋がり、さらに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっており、これによって、画素電極17a・17b間の結合容量C101(図10参照)が形成される。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン

引き出し配線およびコンタクトホール11bを介して画素電極17bに接続され、画素電極17bはコンタクトホール41bを介して保持容量電極67bに接続され、保持容量電極67bは結合容量電極37bに繋がり、さらに、結合容量電極37bは層間絶縁膜を介して画素電極17aと重なっており、これによって、画素電極17a・17b間の結合容量C101 (図10参照)が形成される。

[0131] 図12の液晶パネル5bでは、結合容量電極37bが保持容量電極67bの走査信号線16a側に配されて画素電極17aと重なり、結合容量電極37aが保持容量電極67aの走査信号線16b側に配されて画素電極17bと重なっているため、結合容量電極37a・37bのアライメントが列方向にずれても両者間で結合容量の値を補償し合うというメリットがある。

なお、保持容量電極67a・67bはそれぞれ、ゲート絶縁膜を介して保持容量配線18xと重なっており、これによって、保持容量 $Cha \cdot Chb$ (図10参照)が形成される。なお、画素100・103・104の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0132] なお、液晶パネル5bから保持容量配線(18x~18z)を除くことも可能であり、この場合、図41のような構成となる。この構成は遮光性の保持容量配線がない分、開口率の点で有利である。

[0133] 図13は図10・41に示す液晶パネルを備えた本液晶表示装置(ノーマリブラックモードの液晶表示装置)の駆動方法を示すタイミングチャートである。なお、SVおよびsvは、隣接する2本のデータ信号線(例えば、15x・15X)それぞれに供給される信号電位を示し、Ga~Gfは走査信号線16a~16fに供給されるゲートオンパルス信号、Vc・Vd・Va・Vb・VC・VDはそれぞれ、画素電極17c・17d・17a・17b・17C・17Dの電位を示し、shはチャージシェア信号を示している。なお、チャージシェア信号がアクティブ(「H」)の期間は、全データ信号線が互いに短絡されたり、外部から全データ信号線に同一電位が供給されたりすることによってチャージシェアが行われる。図13に示すように、各フレーム(F1~F4)におけるデータ信号線(15x・15X)、および走査信号線(16a~16f)の駆動方法は図6のそれらと同一であり、これによってF1では図14(a)のような表示が、F2では図14(b)のような表示が、F3では図14(c)のような

表示が、F4では図14(d)のような表示が得られる。

[0134] 図15は図10・41に示す液晶パネルを備えた本液晶表示装置の他の駆動方法を示すタイミングチャートである。図15に示すように、各フレーム(F1～F4)におけるデータ信号線(15x・15X)、および走査信号線(16a～16f)の駆動方法は図8のそれらと同一であり、これによってF1では図16(a)のような表示が、F2では図16(b)のような表示が、F3では図16(c)のような表示が、F4では図16(d)のような表示が得られる。

[0135] 本実施の形態のさらに他の構成を図55に示す。図55に示す液晶パネルでは、画素101に対応する2つの走査信号線16a・16bが、画素101の両端に配され、該画素を横切るように保持容量配線18xが設けられる。また、画素101に、列方向(データ信号線15xの延伸方向)に視てZ字形状をなす画素電極17bと、これと嵌め合うようにその両側に配された2つの画素電極17a・17uと、層間絶縁膜を介して画素電極17bと重なる結合容量電極37aとが設けられている。なお、走査信号線16a上にトランジスタ12aが形成され、走査信号線16b上にトランジスタ12bが形成され、トランジスタ12aのドレイン電極はドレイン引き出し配線27aおよびコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極はコンタクトホール11bを介して画素電極17bに接続され、トランジスタTr12a・12bのソース電極はデータ信号線15xに接続されている。

[0136] 結合容量電極37a(層間絶縁膜を介して画素電極17bと重なる)は平行四辺形形状であり、その両側に連結配線119a・119uが接続され、さらに、連結配線119aはコンタクトホール11aiを介して画素電極17aに接続され、連結配線119uはコンタクトホール11uiを介して画素電極17uに接続されている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17uおよび画素電極17b間の結合容量が形成される。

[0137] また、画素101には、ゲート絶縁膜を介して保持容量配線18xと重なるように、保持容量電極67b・67uが行方向(走査信号線の延伸方向)に並べられており、画素電極17bはコンタクトホール11bjを介して保持容量電極67bに接続されるとともに、画素電極17uはコンタクトホール11ujを介して保持容量電極67uに接続されている。こ

れにより、保持容量電極67bおよび保持容量配線18xの重なり部分に画素電極17bおよび保持容量配線18x間の保持容量が形成され、保持容量電極67uおよび保持容量配線18xの重なり部分に画素電極17a・17uおよび保持容量配線18x間の保持容量が形成される。

[0138] 図55の液晶パネルでは画素電極17bと画素電極17aとの間隙、および画素電極17bと画素電極17uとの間隙を配向規制用構造物として機能させることができる。なお、本液晶パネルを備えた液晶表示装置でも、所定のフレームでは走査信号線16aが走査される一方、それ以外のフレームで走査信号線16bが走査され、走査信号線16aが走査されるフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが明副画素、画素電極17bを含む副画素が暗副画素となり、走査信号線16bが走査されるフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが暗副画素、画素電極17bを含む副画素が明副画素となる。

[0139] 本実施の形態のさらに他の構成を図58に示す。図58に示す液晶パネルでは、画素101に対応する2つの走査信号線16a・16bが、画素101の両端に配され、該画素を横切るように保持容量配線18xが設けられる。また、画素101に、列方向(データ信号線15xの延伸方向)に視てZ字形状をなす画素電極17bと、これと嵌め合うようにその両側に配された2つの画素電極17a・17uと、層間絶縁膜を介して画素電極17a・17b・17uそれぞれと重なる結合容量電極37iと、層間絶縁膜を介して画素電極17a・17b・17uそれぞれと重なる結合容量電極37jとが設けられている。なお、走査信号線16a上にトランジスタ12aが形成され、走査信号線16b上にトランジスタ12bが形成され、トランジスタ12aのドレイン電極はドレイン引き出し配線27aおよびコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極はコンタクトホール11bを介して画素電極17bに接続され、トランジスタTr12a・12bのソース電極はデータ信号線15xに接続されている。

[0140] 結合容量電極37i・37jはともに行方向を長手方向とする長方形形状であり、保持容量配線18x上に列方向に並べられている。このため、結合容量電極37iの全体および結合容量電極37jの全体がゲート絶縁膜を介して保持容量配線18xと重なっている。さらに、結合容量電極37iは、コンタクトホール11aiを介して画素電極17aに接

続されるとともに、コンタクトホール11uiを介して画素電極17uに接続されている。また、結合容量電極37jは、コンタクトホール11bjを介して画素電極17bに接続されている。

[0141] したがって、結合容量電極37iおよび画素電極17bの重なり部分に第1結合容量が形成され、結合容量電極37jおよび画素電極17aの重なり部分と結合容量電極37jおよび画素電極17uの重なり部分とに第2結合容量が形成され、第1および第2結合容量が並列接続された構成となる。加えて、結合容量電極37iおよび保持容量配線18xの重なり部分に、画素電極17a・17uおよび保持容量配線18x間の保持容量が形成され、結合容量電極37jおよび保持容量配線18xの重なり部分に、画素電極17bおよび保持容量配線18x間の保持容量が形成される。

[0142] 図58の液晶パネルでは画素電極17bと画素電極17aとの間隙、および画素電極17bと画素電極17uとの間隙を配向規制用構造物として機能させることができる。なお、本液晶パネルを備えた液晶表示装置でも、所定のフレームでは走査信号線16aが走査される一方、それ以外のフレームで走査信号線16bが走査され、走査信号線16aが走査されるフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが明副画素、画素電極17bを含む副画素が暗副画素となり、走査信号線16bが走査されるフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが暗副画素、画素電極17bを含む副画素が明副画素となる。

[0143] 〔実施の形態3〕

図24は本液晶パネルの一部を示す等価回路図である。図24に示すように、液晶パネル5cは、列方向(図中上下方向)に延伸するデータ信号線(15x・15X)、行方向(図中左右方向)に延伸する走査信号線(16a～16f)、行および列方向に並べられた画素(100～105)、および共通電極(対向電極)comを備え、奇数番目の画素列に含まれる各画素の構造は同一であり、偶数番目の画素列に含まれる各画素の構造も同一であるが、奇数番目の画素列に含まれる各画素の構造と偶数番目の画素列に含まれる各画素の構造とが異なっている。液晶パネル5cはCsオンゲート構造であるため、図1の液晶パネル5aに設けられるような保持容量配線(18x～18z)が不要になるというメリットがある。なお、画素100～102が含まれる画素列と、画素103～

105が含まれる画素列とが隣接している。

[0144] 液晶パネル5cでは、1つの画素に対応して1本のデータ信号線と2本の走査信号線とが設けられており、画素100に設けられた2つの画素電極17c・17d、画素101に設けられた2つの画素電極17a・17b、および画素102に設けられた2つの画素電極17e・17fが一行に配されるとともに、画素103に設けられた2つの画素電極17C・17D、画素104に設けられた2つの画素電極17A・17B、および画素105に設けられた2つの画素電極17E・17Fが一行に配され、画素電極17cと17C、画素電極17dと17D、画素電極17aと17A、画素電極17bと17B、および画素電極17eと17E、画素電極17fと17Fがそれぞれ行方向に隣接している。

[0145] そして、例えば画素101では、画素電極17aおよび17bが結合容量C101を介して接続され、画素電極17aが、走査信号線16aに接続されたトランジスタ12aを介してデータ信号線15xに接続され、画素電極17bが、走査信号線16bに接続されたトランジスタ12bを介してデータ信号線15xに接続され、画素電極17aおよび走査信号線16d間に保持容量Chaが形成され、画素電極17bおよび走査信号線16e間に保持容量Chbが形成され、画素電極17aおよび共通電極com間に液晶容量Claが形成され、画素電極17bおよび共通電極com間に液晶容量Cibが形成されている。

[0146] 一方、画素101と行方向に隣接する画素104では、画素電極17Aおよび17Bが結合容量C104を介して接続され、画素電極17Aが、走査信号線16bに接続されたトランジスタ12Bを介してデータ信号線15Xに接続され、画素電極17Bが、走査信号線16aに接続されたトランジスタ12Aを介してデータ信号線15Xに接続され、画素電極17Aおよび走査信号線16d間に保持容量ChAが形成され、画素電極17Bおよび走査信号線16e間に保持容量ChBが形成され、画素電極17Aおよび共通電極com間に液晶容量ClAが形成され、画素電極17Bおよび共通電極com間に液晶容量ClBが形成されている。

[0147] 液晶パネル5cを備えた液晶表示装置では、1つの画素に対応する2本の走査信号線について、連続するn(nは複数)フレームの各フレームでは一方を選択し、次に連続するnフレームの各フレームでは他方を選択し、かつ前半のnフレームと後半のnフレームとで走査方向を逆向きにする。具体的には、連続するn(例えば、n=60)フレ

ームの各フレームでは走査信号線16d・16b・16fをこの順に選択する一方、次に連続するnフレームの各フレームでは走査信号線16e、16a、16cをこの順に選択する。例えば、走査信号線16dに続いて走査信号線16bが選択された場合、画素電極17bはデータ信号線15xに(トランジスタ12bを介して)接続されるとともに、画素電極17bと該フレームでは選択されない走査信号線16eとの間に保持容量Chbが形成され、画素電極17bを含む副画素は「明」副画素となる一方、画素電極17aはデータ信号線15xに(トランジスタ12bおよび画素電極17bを介して)容量結合されるとともに、画素電極17aと直前に走査が終了した走査信号線16dとの間に保持容量Chaが形成され、画素電極17aを含む副画素は「暗」副画素となる。また、走査信号線16eに続いて走査信号線16aが選択された場合、画素電極17aはデータ信号線15xに(トランジスタ12aを介して)接続されるとともに、画素電極17aと該フレームでは選択されない走査信号線16dとの間に保持容量Chaが形成され、画素電極17aを含む副画素は「明」副画素となる一方、画素電極17bはデータ信号線15xに(トランジスタ12aおよび画素電極17aを介して)容量結合されるとともに、画素電極17bと直前に走査が終了した走査信号線16eとの間に保持容量Chbが形成され、画素電極17bを含む副画素は「暗」副画素となる。

[0148] このように、本液晶表示装置では、副画素内の画素電極が、あるフレームでは(トランジスタを介して)データ信号線に接続され、別のフレームでは(トランジスタおよび他の画素電極を介して)データ信号線に容量結合されることになり、データ信号線に接続されるフレームでは該画素電極に引き込み電圧を考慮した信号電位を供給することができるため、該副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く)することができる。

[0149] 本構成では、nを偶数とし、上記2本の走査信号線それぞれに接続する画素電極に供給される信号電位の極性を、1フレーム単位で反転させるようにする。例えば、連続するn(nは偶数)フレームの各フレームでは走査信号線16aを選択し、次に連続するnフレームの各フレームでは走査信号線16bを選択する場合には、画素電極17a・17bに供給される信号電位の極性を1フレーム単位で反転させるようにする。こうすれば、各副画素およびその画素電極について、画素電極の電位がプラス極性で明副

画素になるフレームの数(それらの合計期間)と、画素電極の電位がマイナス極性で明副画素になるフレームの数(それらの合計期間)とを等しく、かつ、画素電極の電位がプラス極性で暗副画素になるフレームの数(それらの合計期間)と、画素電極電位がマイナス極性で暗副画素になるフレームの数(それらの合計期間)とを等しくすることができ、各副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く)することができる。

[0150] また、行方向に隣接する(2本の走査信号線を共有する)2つの画素に含まれる4つの画素電極につき、斜め向かいに配された2つの画素電極同士が同一の走査信号線に接続されるため、行方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗副画素となる。これにより、明副画素同士が行方向に隣接したり、暗副画素同士が行方向に隣接したりする構成と比較して表示ムラ(例えば、横縞状のムラ)やざらつき感(ジャギー感)を抑制することができる。また、列方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗画素となるため、明画素同士が列方向に隣接したり、暗画素同士が列方向に隣接したりする構成と比較してざらつき感(ジャギー感)を抑制することができる。

[0151] なお、各データ信号線(15x・15X)に供給する信号電位の極性を一水平走査期間(1H)ごとに反転させることで、列方向に隣接する2つの画素間においてトランジスタOFF時の電位の引き込み方向が逆となり、チラツキ感を抑制することができる。また、同一水平走査期間において、隣接する2本のデータ信号線(15x・15X)それぞれに逆極性の信号電位を供給することで、行方向に隣接する2つの画素間においてトランジスタOFF時の電位の引き込み方向が逆となり、チラツキ感を抑制することができる。

[0152] 液晶パネル5cの一具体例を図25に示す。図25の液晶パネルでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられている。

[0153] ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび16d間に画素電極17c・17dが列方向に並べられている。また、走査信

号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なり、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび16d間に画素電極17C・17Dが列方向に並べられている。

[0154] また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび16b間に画素電極17a・17bが列方向に並べられている。また、走査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なり、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび16b間に画素電極17A・17Bが列方向に並べられている。

[0155] 画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aはコンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続されるとともに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図24参照)が形成される。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bに接続され、ドレイン引き出し配線27bはコンタクト電極77bおよび結合容量電極37bに接続され、コンタクト電極77bはコンタクトホール11bを介して画素電極17bに接続されるとともに、結合容量電極37bは層間絶縁膜を介して画素電極17aと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図24参照)が形成される。さらに、画素電極17aと電氣的に接続するドレイン電極9aがドレイン引き出し配線19aを介して保持容量電極67aに接続され、保持容量電極67aがゲート絶縁膜を介して走査信号線16dと重なっている。これにより、保持容量電極67aおよび走査信号線16dの重なり部分に保持容量Cha(図24参照)が形成される。また、画素電極17bと電氣的に接続するドレイン電極9bがドレイン引き出し配線19bを介して保持

容量電極67bに接続され、保持容量電極67bがゲート絶縁膜を介して走査信号線16eと重なっている。これにより、保持容量電極67bおよび走査信号線16eの重なり部分に保持容量Chb(図24参照)が形成される。

[0156] なお、図25に示されるように、上記画素電極17a・17b、ドレイン引き出し配線27a・27b、コンタクト電極77a・77b、コンタクトホール11a・11b、および結合容量電極37a・37bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素101内に設けられている。また、ドレイン電極9aおよびドレイン引き出し配線19a・27aと走査信号線16aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9bおよびドレイン引き出し配線19b・27bと走査信号線16bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0157] また、画素104では、走査信号線16a上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16b上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8Aはデータ信号線15Xに接続され、ドレイン電極9Aは、ドレイン引き出し配線27Aに接続され、このドレイン引き出し配線27Aは結合容量電極37Aおよびコンタクト電極77Aに接続され、コンタクト電極77Aはコンタクトホール11Aを介して画素電極17Bに接続されるとともに、結合容量電極37Aは層間絶縁膜を介して画素電極17Aと重なっており、これによって画素電極17A・17B間の結合容量C104(図24参照)が形成される。また、ソース電極8Bはデータ信号線15Xに接続される。ドレイン電極9Bはドレイン引き出し配線27Bに接続され、このドレイン引き出し配線27Bは結合容量電極37Bおよびコンタクト電極77Bに接続され、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Aに接続されるとともに、結合容量電極37Bは層間絶縁膜を介して画素電極17Bと重なっており、これによって画素電極17A・17B間の結合容量C104(図24参照)が

形成される。さらに、画素電極17Bと電氣的に接続するドレイン電極9Aがドレイン引き出し配線19Aを介して保持容量電極67Aに接続され、保持容量電極67Aがゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量ChA(図24参照)が形成される。また、画素電極17Aと電氣的に接続するドレイン電極9Bがドレイン引き出し配線19Bを介して保持容量電極67Bに接続され、保持容量電極67Bがゲート絶縁膜を介して走査信号線16eと重なっており、これによって、保持容量ChB(図24参照)が形成される。

[0158] なお、図25に示されるように、上記画素電極17A・17B、ドレイン引き出し配線27A・27B、コンタクト電極77A・77B、コンタクトホール11A・11B、および結合容量電極37A・37Bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素104内に設けられている。また、ドレイン電極9Aおよびドレイン引き出し配線19A・27Aと走査信号線16aとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9Bおよびドレイン引き出し配線19B・27Bと走査信号線16bとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0159] 図26は図25の二点破線部の矢視断面図である。同図に示すように、液晶パネル5cは、アクティブマトリクス基板3と、これに対向するカラーフィルタ基板30と、両基板(3・30)間に配される液晶層40とを備える。

[0160] アクティブマトリクス基板3では、ガラス基板31上に走査信号線16a・16dが形成され、これらを覆うように無機ゲート絶縁膜22が形成されている。無機ゲート絶縁膜22上には、ドレイン電極9a、ドレイン引き出し配線19a・27aおよび保持容量電極67aが形成され、これらを覆うように無機層間絶縁膜25が形成されている。無機層間絶縁膜25上には画素電極17aが形成され、さらに、これを覆うように配向膜(図示せず)が形成されている。ここで、保持容量電極67aは無機ゲート絶縁膜22を介して走査信

号線16dと重なっており、これによって、保持容量 C_{ha} (図1参照)が形成される。一方、カラーフィルタ基板30では、ガラス基板32上にブラックマトリクス13および着色層14が形成され、その上層に共通電極(com)28が形成され、さらにこれを覆うように配向膜(図示せず)が形成されている。

[0161] 図25の二点破線部の断面を図27のように構成することもできる。すなわち、基板上に厚い有機ゲート絶縁膜21と薄い無機ゲート絶縁膜22とを形成し、また、画素電極の下層に薄い無機層間絶縁膜25と厚い有機層間絶縁膜26とを形成する。こうすれば、各種寄生容量の低減や配線同士の短絡防止の効果が得られる。なおこの場合には、図27に示すように、有機ゲート絶縁膜21については保持容量電極67a下に位置する部分を削り貫いておくことが好ましい。こうすれば、保持容量 C_{ha} の容量値を大きくすることができる。また、図示していないが、厚い無機層間絶縁膜については結合容量電極上に位置する部分を削り貫いておくことが好ましい。こうすれば、結合容量の容量値を大きくすることができる。なお、有機ゲート絶縁膜21や有機層間絶縁膜26は、例えば、SOG(スピノンガラス)材料からなる絶縁膜であってもよく、また、有機ゲート絶縁膜21や有機層間絶縁膜26に、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも1つが含まれていてもよい。

[0162] 液晶パネル5cの他の具体例を図28に示す。図28の液晶パネルにおける画素配置、データ信号線、および走査信号線の配置は、図25の液晶パネルのそれらと同様である。

[0163] 図28に示すように、画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8a・8bはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aは結合容量電極37aに繋がるとともにコンタクトホール11aを介して画素電極17aに接続され、ドレイン電極9bはコンタクトホール11bを介して画素電極17bに接続され、さらに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっており、これによって、画素電極17a・17b間の結合容量 C_{101} (図24参

照)が形成される。さらに、画素電極17aと電氣的に接続するドレイン電極9aがドレイン引き出し配線19aを介して保持容量電極67aに接続され、保持容量電極67aがゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量Ch_a(図24参照)が形成される。また、画素電極17bと電氣的に接続するドレイン電極9bがドレイン引き出し配線19bを介して保持容量電極67bに接続され、保持容量電極67bがゲート絶縁膜を介して走査信号線16eと重なっており、これによって、保持容量Ch_b(図24参照)が形成される。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0164] また、画素104では、走査信号線16A上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16B上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8A・8Bはデータ信号線15Xに接続される。ドレイン電極9Aはコンタクトホール11Aを介して画素電極17Aに接続され、ドレイン電極9Bはドレイン引き出し配線27Bに接続され、ドレイン引き出し配線27Bは結合容量電極37Bに繋がるとともにコンタクトホール11Bを介して画素電極17Bに接続され、さらに、結合容量電極37Bは層間絶縁膜を介して画素電極17Aと重なっており、これによって、画素電極17A・17B間の結合容量C₁₀₄(図24参照)が形成される。さらに、画素電極17Aと電氣的に接続するドレイン電極9Aがドレイン引き出し配線19Aを介して保持容量電極67Aに接続され、保持容量電極67Aがゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量Ch_A(図24参照)が形成される。また、画素電極17Bと電氣的に接続するドレイン電極9Bがドレイン引き出し配線19Bを介して保持容量電極67Bに接続され、保持容量電極67Bがゲート絶縁膜を介して走査信号線16eと重なっており、これによって、保持容量Ch_B(図24参照)が形成される。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0165] 液晶パネル5cのさらに他の具体例を図29に示す。図29の液晶パネルにおける画素配置、データ信号線、および走査信号線の配置は、図25の液晶パネルのそれらと同様である。

[0166] 図29に示すように、画素101では、走査信号線16a上に、トランジスタ12aのソース

電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8a・8bはデータ信号線15xに接続される。ドレイン電極9aはコンタクトホール11aを介して画素電極17aに接続され、ドレイン電極9bはコンタクトホール11bを介して画素電極17bに接続され、コンタクト電極77aと画素電極17aとがコンタクトホール41aを介して接続され、コンタクト電極77aが結合容量電極37aに繋がり、さらに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっており、これによって、画素電極17a・17b間の結合容量C101(図24参照)が形成される。さらに、画素電極17aと電氣的に接続するドレイン電極9aがドレイン引き出し配線19aを介して保持容量電極67aに接続され、保持容量電極67aがゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量Cha(図24参照)が形成される。また、画素電極17bと電氣的に接続するドレイン電極9bがドレイン引き出し配線19bを介して保持容量電極67bに接続され、保持容量電極67bがゲート絶縁膜を介して走査信号線16eと重なっており、これによって、保持容量Chb(図24参照)が形成される。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

- [0167] また、画素104では、走査信号線16A上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16B上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8A・8Bはデータ信号線15Xに接続される。ドレイン電極9Aはコンタクトホール11Aを介して画素電極17Aに接続され、ドレイン電極9Bはコンタクトホール11Bを介して画素電極17Bに接続され、コンタクト電極77Bと画素電極17Bとがコンタクトホール41Bを介して接続され、コンタクト電極77Bが結合容量電極37Bに繋がり、さらに、結合容量電極37Bは層間絶縁膜を介して画素電極17Aと重なっており、これによって、画素電極17A・17B間の結合容量C104(図24参照)が形成される。さらに、画素電極17Aと電氣的に接続するドレイン電極9Aがドレイン引き出し配線19Aを介して保持容量電極67Aに接続され、保持容量電極67Aがゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量ChA(図24参照)が形成される。また、画素電極17Bと電氣的に接続するドレイン電極9Bがドレイン引き出し配線19Bを介して保持容量電極67Bに

接続され、保持容量電極67Bがゲート絶縁膜を介して走査信号線16eと重なっており、これによって、保持容量ChB(図24参照)が形成される。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0168] 図30は液晶パネル5cを備えた本液晶表示装置(ノーマリブラックモードの液晶表示装置)の駆動方法を示すタイミングチャートである。なお、Ga~Gfは走査信号線16a~16fに供給されるゲートオンパルス信号、Ka~Kfはそれぞれ、画素電極17a~17fを含む副画素の輝度を示している。

[0169] この駆動方法では、図30に示されるように、第1期(例えば、連続する60フレーム)の各フレームでは、走査信号線16e、16a、16cをこの順に選択する。これにより、画素電極17eを含む副画素は「明」、画素電極17fを含む副画素は「暗」、画素電極17aを含む副画素は「明」、画素電極17bを含む副画素は「暗」、画素電極17cを含む副画素は「明」、画素電極17dを含む副画素は「暗」となり、全体としては図31(a)のようになる。そして、第1期に続く第2期(例えば、連続する60フレーム)の各フレームでは走査信号線16d、16b、16fをこの順に選択する。これにより、画素電極17cを含む副画素は「暗」、画素電極17dを含む副画素は「明」、画素電極17aを含む副画素は「暗」、画素電極17bを含む副画素は「明」、画素電極17eを含む副画素は「暗」、画素電極17fを含む副画素は「明」となり、全体としては図31(b)のようになる。同様に、第3期(例えば、連続する60フレーム)の各フレームでは、走査信号線16e、16a、16cをこの順に選択する。これにより、画素電極17eを含む副画素は「明」、画素電極17fを含む副画素は「暗」、画素電極17aを含む副画素は「明」、画素電極17bを含む副画素は「暗」、画素電極17cを含む副画素は「明」、画素電極17dを含む副画素は「暗」となり、全体としては図31(c)のようになる。そして、第3期に続く第4期(例えば、連続する60フレーム)の各フレームでは走査信号線16d、16b、16fをこの順に選択する。これにより、画素電極17cを含む副画素は「暗」、画素電極17dを含む副画素は「明」、画素電極17aを含む副画素は「暗」、画素電極17bを含む副画素は「明」、画素電極17eを含む副画素は「暗」、画素電極17fを含む副画素は「明」となり、全体としては図31(d)のようになる。なお、図31における第1~第4期の各期は、上記のように連続するn(例えば、n=60)フレーム期間としてもよいし、液晶表示装置の電源

がオンされたときからオフされるまでの期間としてもよい。また、液晶表示装置が液晶テレビに適用された場合には、上記各期の切り替えをチャンネルの切り替えに対応させることもできる。

[0170] 図32は液晶パネル5cを備えた液晶表示装置のゲートドライバの一構成例を示す回路図である。図32に示されるように、ゲートドライバGDは2つのシフトレジスタ44・45、列方向に並ぶ複数のAND回路(66a～66f)、および出力回路46を備える。シフトレジスタ44には、ゲートスターとパルス信号GSP_yとゲートクロック信号GCKとが入力され、シフトレジスタ45には、ゲートスターとパルス信号GSP_xとゲートクロック信号GCKとが入力される。そして、シフトレジスタ44の1段の出力が奇数番目のAND回路に入力され、これと隣り合う偶数番目のAND回路に、シフトレジスタ45の1段の出力が入力される。また、ゲートドライバ出力制御信号GOEは2系統の信号(OE_x・OE_y)からなり、奇数番目のAND回路に信号OE_yの反転信号が入力され、偶数番目のAND回路に信号OE_xの反転信号が入力される。そして、1つのAND回路の出力は出力回路46を経てゲートオンパルス信号となり、1本の走査信号線に供給される。

[0171] 例えば、シフトレジスタ44のある段からの出力Q_cがAND回路66cに入力され、シフトレジスタ45のある段からの出力Q_dがAND回路66dに入力される。また、AND回路66cには信号OE_yが入力され、AND回路66dには信号OE_xが入力される。そして、AND回路66cの出力は出力回路46を経てゲートオンパルス信号G_cとなり、走査信号線16cに供給される。また、AND回路66dの出力は出力回路46を経てゲートオンパルス信号G_dとなり、走査信号線16dに供給される。

[0172] 図33は図32のゲートドライバの動作を示すタイミングチャートである。同図に示されるように、例えば、信号OE_xは、第1期では常に「H」、第1期に続く第2期では各水平走査期間の後端部で「H」となり、第2期に続く第3期では常に「H」、第3期に続く第4期では各水平走査期間の後端部で「H」となる。一方、信号OE_yは、第1期では各水平走査期間の後端部で「H」となり、第2期では常に「H」となり、第3期では各水平走査期間の後端部で「H」となり、第4期では常に「H」となる。これにより、第1期では、ゲートオンパルス信号G_e、G_a、およびG_cをこの順に「H」(アクティブ)とし、第2期では、ゲートオンパルス信号G_d、G_b、およびG_fをこの順に「H」(アクティブ)とすることが

でき、第3期では、ゲートオンパルス信号Ge、Ga、およびGcをこの順に「H」(アクティブ)とし、第4期では、ゲートオンパルス信号Gd、Gb、およびGfをこの順に「H」(アクティブ)とすることができ、図30に示すような駆動が実現される。

[0173] 本実施の形態のさらに他構成を図53に示す。図53に示す液晶パネルの画素101では、画素101に対応して設けられる2つの走査信号線16a・16bが、画素中央および画素の一方の側それぞれに配される。平面的に視ると、走査信号線16aの両側に画素電極17a・17bが配される。そして、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8a・8bはデータ信号線15xに接続される。ドレイン電極9aは、コンタクトホール11aを介して画素電極17aに接続されるとともに、ドレイン引き出し配線27aを介して結合容量電極37aに接続され、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量が形成される。また、ドレイン電極9bはドレイン引き出し配線27bおよびコンタクトホール11bを介して画素電極17bに接続されている。

[0174] また、ドレイン電極9aは、ドレイン引き出し配線19aを介して保持容量電極67aに接続され、保持容量電極67aは、ゲート絶縁膜を介して前段の走査信号線16dと重なっている。これにより、保持容量電極67aおよび走査信号線16dの重なり部分に画素電極17aおよび走査信号線16d間の保持容量が形成される。

[0175] 図53の液晶パネルを備えた液晶表示装置では、各フレームにおいて、図中矢印の向き(走査信号線16dから走査信号線16bに向かう向き)に走査が行われ、所定のフレームでは走査信号線16aが走査される一方、それ以外のフレームで走査信号線16bが走査される。そして、走査信号線16aが走査されるフレームでは、画素電極17aを含む副画素が明副画素、画素電極17bを含む副画素が暗副画素となり、走査信号線16bが走査されるフレームでは、画素電極17aを含む副画素が暗副画素、画素電極17bを含む副画素が明副画素となる。

[0176] 図53の液晶パネルを図54のように変形してもよい。図54の液晶パネルは、図53の構成に加え、ゲート絶縁膜を介して前段の走査信号線16dと重なる保持容量電極6

7bと、保持容量電極67bに繋がる中継配線119bとが設けられ、中継配線119bがコンタクトホール121bを介して画素電極17bに接続されている。こうすれば、画素電極17aおよび走査信号線16d間の保持容量に加え、画素電極17bおよび走査信号線16d間にも保持容量を形成することができる。

[0177] 本実施の形態のさらに他の構成を図56に示す。図56に示す液晶パネルの画素101では、画素101に対応して設けられる2つの走査信号線16a・16bが、画素の両側に配される。また、1つの画素に、列方向(データ信号線15xの延伸方向)に視てZ字形状をなす画素電極17bと、これと嵌め合うようにその両側に配された2つの画素電極17a・17uと、層間絶縁膜を介して画素電極17bと重なる結合容量電極37aとが設けられている。なお、走査信号線16a上にトランジスタ12aが形成され、走査信号線16b上にトランジスタ12bが形成され、トランジスタ12aのドレイン電極はコンタクトホール11aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極はコンタクトホール11bを介して画素電極17bに接続され、トランジスタTr12a・12bのソース電極はデータ信号線15xに接続されている。

[0178] 結合容量電極37a(層間絶縁膜を介して画素電極17bと重なる)は平行四辺形状であり、その両側に連結配線119a・119uが接続され、さらに、連結配線119aはコンタクトホール11aiを介して画素電極17aに接続され、連結配線119uはコンタクトホール11uiを介して画素電極17uに接続されている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17uおよび画素電極17b間の結合容量が形成される。

[0179] また、図56の液晶パネルでは、1画素電極に対応して2個の保持容量電極67a・67bが、ゲート絶縁膜を介して走査信号線16d(前段の走査信号線)に重なるように設けられ、保持容量電極67aはドレイン引き出し配線19aを介してトランジスタ12aのドレイン電極に接続され、保持容量電極67bは中継配線119bおよびコンタクトホール11bjを介して画素電極17bに接続されている。これにより、保持容量電極67aおよび走査信号線16dの重なり部分に画素電極17a・17uおよび保持容量配線18x間の保持容量が形成され、保持容量電極67bおよび走査信号線16dの重なり部分に画素電極17bおよび保持容量配線18x間の保持容量が形成される。このように図56の液

晶パネルの画素構成では、保持容量を形成するための各種配線の引き回しを簡略化することができるという利点がある。

- [0180] 図56の液晶パネルでは画素電極17bと画素電極17aとの間隙、および画素電極17bと画素電極17uとの間隙を配向規制用構造物として機能させることができる。また、本液晶パネルを備えた液晶表示装置では、図中矢印の向き(走査信号線16dから走査信号線16bに向かう向き)に走査が行われ、所定のフレームでは走査信号線16aが走査される一方、それ以外のフレームで走査信号線16bが走査される。そして、走査信号線16aが走査されるフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが明副画素、画素電極17bを含む副画素が暗副画素となり、走査信号線16bが走査されるフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが暗副画素、画素電極17bを含む副画素が明副画素となる。

- [0181] [実施の形態4]

図34は本液晶パネルの一部を示す等価回路図である。図34に示すように、液晶パネル5dは、列方向(図中上下方向)に延伸するデータ信号線(15x・15X)、行方向(図中左右方向)に延伸する走査信号線(16a～16f)、行および列方向に並べられた画素(100～105)、および共通電極(対向電極)comを備え、奇数番目の画素列に含まれる各画素の構造は同一であり、偶数番目の画素列に含まれる各画素の構造も同一であるが、奇数番目の画素列に含まれる各画素の構造と偶数番目の画素列に含まれる各画素の構造とが異なっている。液晶パネル5dはCsオンゲート構造(後述)であるため、図1の液晶パネル5aに設けられるような保持容量配線(18x～18z)が不要になるというメリットがある。なお、画素100～102が含まれる画素列と、画素103～105が含まれる画素列とが隣接している。

- [0182] 液晶パネル5dでは、1つの画素に対応して1本のデータ信号線と2本の走査信号線とが設けられており、画素100に設けられた2つの画素電極17c・17d、画素101に設けられた2つの画素電極17a・17b、および画素102に設けられた2つの画素電極17e・17fが一行に配されるとともに、画素103に設けられた2つの画素電極17C・17D、画素104に設けられた2つの画素電極17A・17B、および画素105に設けられた2つの画素電極17E・17Fが一行に配され、画素電極17cと17C、画素電極17dと

17D、画素電極17aと17A、画素電極17bと17B、および画素電極17eと17E、画素電極17fと17Fがそれぞれ行方向に隣接している。

[0183] そして、例えば画素101では、画素電極17aおよび17bが結合容量C101を介して接続され、画素電極17aが、走査信号線16aに接続されたトランジスタ12aを介してデータ信号線15xに接続され、画素電極17bが、走査信号線16bに接続されたトランジスタ12bを介してデータ信号線15xに接続され、画素電極17aおよび走査信号線16b間に保持容量Chaが形成され、画素電極17bおよび走査信号線16a間に保持容量Chbが形成され、画素電極17aおよび共通電極com間に液晶容量Claが形成され、画素電極17bおよび共通電極com間に液晶容量Clbが形成されている。

[0184] 一方、画素101と行方向に隣接する画素104では、画素電極17Aおよび17Bが結合容量C104を介して接続され、画素電極17Aが、走査信号線16bに接続されたトランジスタ12Bを介してデータ信号線15Xに接続され、画素電極17Bが、走査信号線16aに接続されたトランジスタ12Aを介してデータ信号線15Xに接続され、画素電極17Aおよび走査信号線16b間に保持容量ChAが形成され、画素電極17Bおよび走査信号線16a間に保持容量ChBが形成され、画素電極17Aおよび共通電極com間に液晶容量ClAが形成され、画素電極17Bおよび共通電極com間に液晶容量ClBが形成されている。

[0185] 液晶パネル5dを備えた液晶表示装置の各走査信号線(16a~16f)およびデータ信号線(15x・15X)の駆動方法は、液晶パネル5aを備えた液晶表示装置のそれと同様であり、データ信号線に容量結合される画素電極が該画素電極と保持容量を形成する走査信号線の電位変動の影響を受けるデメリットを除いてこれと同様の効果を得ることができる。

[0186] 液晶パネル5dの一具体例を図35に示す。図35の液晶パネルでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられている。

[0187] ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび16d間に画素電極17c・17dが列方向に並べられている。また、走査信

号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なり、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび16d間に画素電極17C・17Dが列方向に並べられている。

[0188] また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび16b間に画素電極17a・17bが列方向に並べられている。また、走査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なり、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび16b間に画素電極17A・17Bが列方向に並べられている。

[0189] 画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8a・8bはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27xに接続され、ドレイン電極9bはコンタクトホール11bを介して画素電極17bに接続され、ドレイン引き出し配線27xはコンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続されるとともに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図34参照)が形成される。さらに、画素電極17aと電氣的に接続するドレイン引き出し配線27xが保持容量電極67aに接続され、保持容量電極67aがゲート絶縁膜を介して走査信号線16bと重なっている。これにより、保持容量電極67aおよび走査信号線16bの重なり部分に保持容量Cha(図34参照)が形成される。また、画素電極17bから走査信号線16aに向かって延伸する画素電極延伸部17zが、画素電極17aのエッジに沿うように配され、画素電極17aから走査信号線16bに向かって延伸する画素電極延伸部17wが、画素電極17bのエッジに沿うように配されており、画素電極延伸部17zがコンタクトホール41bを介して保持容量電極67bに接続されるとともに、保持容量電極67bがゲート絶縁膜を介して走査信号線16aと重なっている。これにより、保持容量電極67bおよび走査信号線16aの重なり部分に保持容量Chb(図34参照)が形成される。

。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0190] また、画素104では、走査信号線16A上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16B上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8A・8Bはデータ信号線15Xに接続される。ドレイン電極9Aはコンタクトホール11Aを介して画素電極17Aに接続され、ドレイン電極9Bはドレイン引き出し配線27Xに接続され、ドレイン引き出し配線27Xはコンタクト電極77Bおよび結合容量電極37Bに接続され、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Bに接続されるとともに、結合容量電極37Bは層間絶縁膜を介して画素電極17Aと重なっており、これによって画素電極17A・17B間の結合容量C101(図34参照)が形成される。さらに、画素電極17Aから走査信号線16bに向かって延伸する画素電極延伸部17Zが、画素電極17Bのエッジに沿うように配され、画素電極17Bから走査信号線16aに向かって延伸する画素電極延伸部17Wが、画素電極17aのエッジに沿うように配されており、画素電極延伸部17Zがコンタクトホール41Aを介して保持容量電極67Aに接続されるとともに、保持容量電極67Aがゲート絶縁膜を介して走査信号線16bと重なっており、これによって、保持容量Cha(図34参照)が形成される。また、画素電極17Bと電氣的に接続するドレイン引き出し配線27Xが保持容量電極67Bに接続され、保持容量電極67Bがゲート絶縁膜を介して走査信号線16aと重なっており、これによって、保持容量Chb(図34参照)が形成される。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0191] [実施の形態5]

図36は本液晶パネルの一部を示す等価回路図である。図36に示すように、液晶パネル5eは、列方向(図中上下方向)に延伸するデータ信号線(15x・15X)、行方向(図中左右方向)に延伸する走査信号線(16p~16s)、保持容量配線(18x~18z)、行および列方向に並べられた画素(100~105)、および共通電極(対向電極)c_{om}を備え、奇数番目の画素列に含まれる各画素の構造は同一であり、偶数番目の画素列に含まれる各画素の構造も同一であるが、奇数番目の画素列に含まれる各

画素の構造と偶数番目の画素列に含まれる各画素の構造とが異なっている。なお、画素100～102が含まれる画素列と、画素103～105が含まれる画素列とが隣接している。

[0192] 液晶パネル5eでは、1つの画素に対応して1本のデータ信号線が設けられるとともに、2つの画素の間隙に対応して1本の走査信号線が設けられており、画素100に設けられた2つの画素電極17c・17d、画素101に設けられた2つの画素電極17a・17b、および画素102に設けられた2つの画素電極17e・17fが一行に配されるとともに、画素103に設けられた2つの画素電極17C・17D、画素104に設けられた2つの画素電極17A・17B、および画素105に設けられた2つの画素電極17E・17Fが一行に配され、画素電極17cと17C、画素電極17dと17D、画素電極17aと17A、画素電極17bと17B、および画素電極17eと17E、画素電極17fと17Fがそれぞれ行方向に隣接している。

[0193] そして、例えば画素101では、画素電極17aおよび17bが結合容量C101を介して接続され、画素電極17aが、走査信号線16qに接続されたトランジスタ12aを介してデータ信号線15xに接続され、画素電極17bが、走査信号線16rに接続されたトランジスタ12bを介してデータ信号線15xに接続され、画素電極17aおよび保持容量配線18x間に保持容量Chaが形成され、画素電極17bおよび保持容量配線18x間に保持容量Chbが形成され、画素電極17aおよび共通電極com間に液晶容量Claが形成され、画素電極17bおよび共通電極com間に液晶容量Clbが形成されている。

[0194] 一方、画素101と行方向に隣接する画素104では、画素電極17Aおよび17Bが結合容量C104を介して接続され、画素電極17Aが、走査信号線16rに接続されたトランジスタ12Bを介してデータ信号線15Xに接続され、画素電極17Bが、走査信号線16qに接続されたトランジスタ12Aを介してデータ信号線15Xに接続され、画素電極17Aおよび保持容量配線18x間に保持容量ChAが形成され、画素電極17Bおよび保持容量配線18x間に保持容量ChBが形成され、画素電極17Aおよび共通電極com間に液晶容量ClAが形成され、画素電極17Bおよび共通電極com間に液晶容量ClBが形成されている。

[0195] 液晶パネル5eを備えた液晶表示装置では、第1期(例えば、連続するnフレーム)

の各フレームと、第1期に続く第2期(例えば、連続するnフレーム)の各フレームとで走査方向を逆にする。具体的には、第1期(例えば、連続する60フレーム)の各フレームでは走査信号線16s・16r・16q・16pをこの順に選択する一方、第1期に続く第2期(例えば、連続する60フレーム)の各フレームでは走査信号線16p、16q、16r、16sをこの順に選択する。例えば、走査信号線16rに続いて走査信号線16qが選択された場合、画素電極17aはデータ信号線15xに(トランジスタ12aを介して)接続されて画素電極17aを含む副画素は「明」副画素となる一方、画素電極17bはデータ信号線15xに(トランジスタ12aおよび画素電極17aを介して)容量結合されて画素電極17bを含む副画素は「暗」副画素となる。この場合、画素電極17a・17bには、走査信号線16rが選択されたときに画素102に対応する信号電位が供給されるが、1水平走査期間後の走査信号線16qが選択されたときに画素101に対応する信号電位が供給され、正規の書き込みが行われる。また、走査信号線16qに続いて走査信号線16rが選択された場合、画素電極17bはデータ信号線15xに(トランジスタ12bを介して)接続されて画素電極17bを含む副画素は「明」副画素となる一方、画素電極17aはデータ信号線15xに(トランジスタ12bおよび画素電極17bを介して)容量結合されて画素電極17aを含む副画素は「暗」副画素となる。この場合、画素電極17a・17bには、走査信号線16qが選択されたときに画素100に対応する信号電位が供給されるが、1水平走査期間後の走査信号線16rが選択されたときに画素101に対応する信号電位が供給され、正規の書き込みが行われる。

[0196] このように、本液晶表示装置では、副画素内の画素電極が、あるフレームでは(トランジスタを介して)データ信号線に接続され、別のフレームでは(トランジスタおよび他の画素電極を介して)データ信号線に容量結合されることになり、データ信号線に接続されるフレームでは該画素電極に引き込み電圧を考慮した信号電位を供給することができるため、該副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く)することができる。

[0197] 本構成では、各期のフレーム数(n)を偶数とし、同一画素の2つの画素電極に供給される信号電位の極性を、1フレーム単位で反転させるようにする。こうすれば、各副画素およびその画素電極について、画素電極の電位がプラス極性で明副画素にな

るフレームの数(それらの合計期間)と、画素電極の電位がマイナス極性で明副画素になるフレームの数(それらの合計期間)とを等しく、かつ、画素電極の電位がプラス極性で暗副画素になるフレームの数(それらの合計期間)と、画素電極電位がマイナス極性で暗副画素になるフレームの数(それらの合計期間)とを等しくすることができ、各副画素の液晶層にDC電圧がかかり難く(該副画素を焼き付き難く)することができる。

[0198] また、行方向に隣接する(2本の走査信号線を共有する)2つの画素に含まれる4つの画素電極につき、斜め向かいに配された2つの画素電極同士が同一の走査信号線に接続されるため、行方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗副画素となる。これにより、明副画素同士が行方向に隣接したり、暗副画素同士が行方向に隣接したりする構成と比較して表示ムラ(例えば、横縞状のムラ)やざらつき感(ジャギー感)を抑制することができる。また、列方向に隣接する2つの副画素の一方が明副画素となるフレームでは他方が暗画素となるため、明画素同士が列方向に隣接したり、暗画素同士が列方向に隣接したりする構成と比較してざらつき感(ジャギー感)を抑制することができる。

[0199] なお、各データ信号線(15x・15X)に供給する信号電位の極性を一水平走査期間(1H)ごとに反転させることで、列方向に隣接する2つの画素間においてトランジスタOFF時の電位の引き込み方向が逆となり、チラツキ感を抑制することができる。また、同一水平走査期間において、隣接する2本のデータ信号線(15x・15X)それぞれに逆極性の信号電位を供給することで、行方向に隣接する2つの画素間においてトランジスタOFF時の電位の引き込み方向が逆となり、チラツキ感を抑制することができる。

[0200] 液晶パネル5eの一具体例を図37に示す。図37の液晶パネルでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられている。

[0201] 液晶パネル5eの一具体例を図37に示す。図37の液晶パネルでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられ、保持容量配線18yが画素100・103それぞれ

れの中央を横切り、保持容量配線18xが画素101・104それぞれの中央を横切っている。

[0202] ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16pが配され、他方と重なるように走査信号線16qが配され、平面的に視て、走査信号線16pおよび16q間に画素電極17c・17dが列方向に並べられている。また、走査信号線16pは画素103の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16qは他方と重なっており、平面的に視て、走査信号線16pおよび16q間に画素電極17C・17Dが列方向に並べられている。

[0203] また、画素101の行方向に沿う2つのエッジ部の一方と重なるように上記走査信号線16qが形成され、他方と重なるように走査信号線16rが形成され、平面的に視て、走査信号線16qおよび16r間に画素電極17a・17bが列方向に並べられている。また、走査信号線16qは画素104の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16rは他方と重なっており、平面的に視て、走査信号線16qおよび16r間に画素電極17A・17Bが列方向に並べられている。

[0204] 画素101では、走査信号線16q上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16r上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aはコンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aはコンタクトホール11aを介して画素電極17aに接続されるとともに、結合容量電極37aは層間絶縁膜を介して画素電極17bと重なっている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17b間の結合容量C101(図36参照)が形成される。また、ソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bに接続され、ドレイン引き出し配線27bはコンタクト電極77bおよび結合容量電極37bに接続され、コンタクト電極77bはコンタクトホール11aを介して画素電極17bに接続されるとともに、結合容量電極37bは層間絶縁膜を介して画素電極17aと重なっている。これにより、結合容量電極37bおよび画素電極17aの重なり部分に、画素電極17a・17b間の結合容量C101(図36参照)が形

成される。さらに、結合容量電極37a・37bそれぞれがゲート絶縁膜を介して保持容量配線18xと重なっている。これにより、結合容量電極37aおよび保持容量配線18xの重なり部分に保持容量Cha(図36参照)が形成され、結合容量電極37bおよび保持容量配線18xの重なり部分に保持容量Chb(図36参照)が形成される。

[0205] なお、図37に示されるように、上記画素電極17a・17b、ドレイン引き出し配線27a・27b、コンタクト電極77a・77b、コンタクトホール11a・11b、および結合容量電極37a・37bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素101内に設けられている。また、ドレイン電極9aおよびドレイン引き出し配線27aと走査信号線16qとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9bおよびドレイン引き出し配線27bと走査信号線16rとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素100の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

[0206] また、画素104では、走査信号線16q上に、トランジスタ12Aのソース電極8Aおよびドレイン電極9Aが形成され、走査信号線16r上に、トランジスタ12Bのソース電極8Bおよびドレイン電極9Bが形成されている。ソース電極8Aはデータ信号線15Xに接続され、ドレイン電極9Aは、ドレイン引き出し配線27Aに接続され、このドレイン引き出し配線27Aは結合容量電極37Aおよびコンタクト電極77Aに接続され、コンタクト電極77Aはコンタクトホール11Aを介して画素電極17Bに接続されるとともに、結合容量電極37Aは層間絶縁膜を介して画素電極17Aと重なっており、これによって画素電極17A・17B間の結合容量C104(図36参照)が形成される。また、ソース電極8Bはデータ信号線15Xに接続される。ドレイン電極9Bはドレイン引き出し配線27Bに接続され、このドレイン引き出し配線27Bは結合容量電極37Bおよびコンタクト電極77Bに接続され、コンタクト電極77Bはコンタクトホール11Bを介して画素電極17Aに接続されるとともに、結合容量電極37Bは層間絶縁膜を介して画素電極17Bと

重なっており、これによって画素電極17A・17B間の結合容量C104(図36参照)が形成される。さらに、コンタクト電極77A・77Bそれぞれがゲート絶縁膜を介して保持容量配線18xと重なっており、これによって、保持容量ChA・ChBが形成される。

[0207] なお、図37に示されるように、上記画素電極17A・17B、ドレイン引き出し配線27A・27B、コンタクト電極77A・77B、コンタクトホール11A・11B、および結合容量電極37A・37Bは、これらを走査信号線16a側および走査信号線16b側それぞれから見たときの平面形状および平面配置が一致するように画素104内に設けられている。また、ドレイン電極9Aおよびドレイン引き出し配線27Aと走査信号線16qとの重なり面積(両者間の寄生容量Cgd)は、ドレイン電極9Bおよびドレイン引き出し配線27Bと走査信号線16rとの重なり面積(両者間の寄生容量Cgd)に実質的に等しくなっている。こうすれば、画素電極17aを含む副画素が明副画素となる場合の引き込み電圧と、画素電極17bを含む副画素が明副画素となったときの引き込み電圧とが揃うため、両者の相異に起因して明副画素が焼き付いてしまうおそれを低減することができる。なお、画素103の構成(各部材の形状および配置並びに接続関係)は画素104のそれと同じである。

[0208] 図38は液晶パネル5eを備えた本液晶表示装置(ノーマリブラックモードの液晶表示装置)の駆動方法を示すタイミングチャートである。なお、Gp~Gsは走査信号線16p~16sに供給されるゲートオンパルス信号、Ka~Kfはそれぞれ、画素電極17a~17fを含む副画素の輝度を示している。

[0209] この駆動方法では、図38に示されるように、第1期(例えば、連続する60フレーム)の各フレームでは、走査信号線16s、16r、16q、16pをこの順に選択する。これにより、画素電極17eを含む副画素は「明」、画素電極17fを含む副画素は「暗」、画素電極17aを含む副画素は「明」、画素電極17bを含む副画素は「暗」、画素電極17cを含む副画素は「明」、画素電極17dを含む副画素は「暗」となり、全体としては図39(a)のようになる。そして、第1期に続く第2期(例えば、連続する60フレーム)の各フレームでは走査信号線16p、16q、16r、16sをこの順に選択する。これにより、画素電極17cを含む副画素は「暗」、画素電極17dを含む副画素は「明」、画素電極17aを含む副画素は「暗」、画素電極17bを含む副画素は「明」、画素電極17eを含む副画

素は「暗」、画素電極17fを含む副画素は「明」となり、全体としては図39(b)のようになる。同様に、第3期(例えば、連続する60フレーム)の各フレームでは、走査信号線16s、16r、16q、16pをこの順に選択する。これにより、画素電極17eを含む副画素は「明」、画素電極17fを含む副画素は「暗」、画素電極17aを含む副画素は「明」、画素電極17bを含む副画素は「暗」、画素電極17cを含む副画素は「明」、画素電極17dを含む副画素は「暗」となり、全体としては図39(c)のようになる。そして、第3期に続く第4期(例えば、連続する60フレーム)の各フレームでは走査信号線16p、16q、16r、16sをこの順に選択する。これにより、画素電極17cを含む副画素は「暗」、画素電極17dを含む副画素は「明」、画素電極17aを含む副画素は「暗」、画素電極17bを含む副画素は「明」、画素電極17eを含む副画素は「暗」、画素電極17fを含む副画素は「明」となり、全体としては図39(d)のようになる。なお、図38における第1～第4期の各期は、上記のように連続するn(例えば、 $n=60$)フレーム期間としてもよいし、液晶表示装置の電源がオンされたときからオフされるまでの期間としてもよい。また、液晶表示装置が液晶テレビに適用された場合には、上記各期の切り替えをチャンネルの切り替えに対応させることもできる。

- [0210] 本実施の形態のさらに他の構成を図57に示す。図57に示す液晶パネルでは、隣接する2つの画素領域の間隙に対応して1本の走査信号線が設けられ、1つの画素領域の両側に位置する間隙の一方に対応して設けられた走査信号線に接続されたトランジスタが、該画素領域に設けられた2つの画素電極の一方に接続され、他方に対応して設けられた走査信号線に接続されたトランジスタが、上記2つの画素電極の他方に接続されている。例えば、画素100・101の間隙に対応して走査信号線16qが設けられ、画素101・102の間隙に対応して走査信号線16rが設けられ、画素101を横切るように保持容量配線18xが設けられる。また、画素101に、列方向(データ信号線15xの延伸方向)に視てZ字形状をなす画素電極17bと、これと嵌め合うようにその両側に配された2つの画素電極17a・17uと、層間絶縁膜を介して画素電極17bと重なる結合容量電極37aとが設けられている。なお、走査信号線16q上にトランジスタ12a・12dが形成され、走査信号線16r上にトランジスタ12b・12eが形成され、トランジスタ12aのドレイン電極はドレイン引き出し配線27aおよびコンタクトホール11

aを介して画素電極17aに接続され、トランジスタ12bのドレイン電極はコンタクトホール11bを介して画素電極17bに接続され、トランジスタTr12a・12bのソース電極はデータ信号線15xに接続されている。

[0211] 結合容量電極37a(層間絶縁膜を介して画素電極17bと重なる)は平行四辺形形状であり、その両側に連結配線119a・119uが接続され、さらに、連結配線119aはコンタクトホール11aiを介して画素電極17aに接続され、連結配線119uはコンタクトホール11uiを介して画素電極17uに接続されている。これにより、結合容量電極37aおよび画素電極17bの重なり部分に、画素電極17a・17uおよび画素電極17b間の結合容量が形成される。

[0212] また、画素101には、ゲート絶縁膜を介して保持容量配線18xと重なるように、保持容量電極67b・67uが行方向(走査信号線の延伸方向)に並べられており、画素電極17bはコンタクトホール11bjを介して保持容量電極67bに接続されるとともに、画素電極17uはコンタクトホール11ujを介して保持容量電極67uに接続されている。これにより、これにより、保持容量電極67bおよび保持容量配線18xの重なり部分に画素電極17bおよび保持容量配線18x間の保持容量が形成され、保持容量電極67uおよび保持容量配線18xの重なり部分に画素電極17a・17uおよび保持容量配線18x間の保持容量が形成される。このような画素構成によれば、例えば図37の構成に比べ、ドレイン引き出し配線の短縮化が可能となる。

[0213] 図57の液晶パネルでは画素電極17bと画素電極17aとの間隙、および画素電極17bと画素電極17uとの間隙を配向規制用構造物として機能させることができる。なお、本液晶パネルを備えた液晶表示装置では、所定のフレームでは図中下方向(走査信号線16qから16rへ向かう向き)に走査し、それ以外のフレームでは図中上方向(走査信号線16rから16qへ向かう向き)に走査する。図中下方向に走査するフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが暗副画素、画素電極17bを含む副画素が明副画素となり、図中上方向に走査するフレームでは、画素電極17aを含む副画素と画素電極17uを含む副画素とが明副画素、画素電極17bを含む副画素が暗副画素となる。

[0214] 本実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を

構成する。すなわち、液晶パネル(5a～5e)の両面に、2枚の偏光板A・Bを、偏光板Aの偏光軸と偏光板Bの偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図42(a)に示すように、ドライバ(ゲートドライバ202、ソースドライバ201)を接続する。ここでは、一例として、ドライバをTCP(TapeCareerPackage)方式による接続について説明する。まず、液晶パネルの端子部にACF(AnisotoropiConduktiveFilm)を仮圧着する。ついで、ドライバが乗せられたTCPをキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバTCP同士を連結するための回路基板203(PWB:Printed wiring board)とTCPの入力端子とをACFで接続する。これにより、液晶表示ユニット200が完成する。その後、図42(b)に示すように、液晶表示ユニットの各ドライバ(201・202)に、回路基板203を介して表示制御回路209を接続し、照明装置(バックライトユニット)204と一体化することで、液晶表示装置210となる。

[0215] 図43(a)に、本液晶表示装置において、リフレッシュ期間を設ける場合のソースドライバの構成を示す。図43(a)に示すように、この場合のソースドライバには、各データ信号線に対応してバッファ31と、データ出力用スイッチSWaと、リフレッシュ用スイッチSWbとが設けられる。バッファ31には対応するデータdが入力され、バッファ31の出力は、データ出力用スイッチSWaを介してデータ信号線への出力端に接続されている。また、隣り合う2本のデータ信号線それぞれに対応する出力端は、リフレッシュ用スイッチSWbを介して互いに接続されている。すなわち、各リフレッシュ用スイッチSWbは直列に接続され、その一端がリフレッシュ電位供給源35(Vcom)に接続されている。ここで、データ出力用スイッチSWaのゲート端子には、チャージシェア信号(sh)がインバータ33を介して入力され、リフレッシュ用スイッチSWbのゲート端子には、sh信号が入力される。

[0216] なお、図43(a)に示すソースドライバを図43(b)のように構成してもよい。すなわち、リフレッシュ用スイッチSWcを、対応するデータ信号線とリフレッシュ電位供給源35(Vcom)にのみに接続し、各リフレッシュ用スイッチSWcを直列に接続しない構成とする。こうすれば、各データ信号線に速やかにリフレッシュ電位を供給することができ

る。

[0217] ここで、上記したソースドライバの構成ではリフレッシュ電位をVcomとしているがこれに限定されない。例えば、同一データ信号線に1水平走査期間前に供給された信号電位のレベルと現水平走査期間に供給すべき信号電位とに基づいて適切なリフレッシュ電位を算出しておき、このリフレッシュ電位を該データ信号線に供給してもよい。この場合のソースドライバの構成を図44に示す。該構成では、各データ信号線に対応して、データ出力用バッファ110と、リフレッシュ用バッファ111と、データ出力用スイッチSWaと、リフレッシュ用スイッチSWeとが設けられる。データ出力用バッファ110には対応するデータdが入力され、データ出力用バッファ110の出力は、データ出力用スイッチSWaを介してデータ信号線への出力端に接続されている。リフレッシュ用バッファ111には、対応する非画像データN(1水平走査期間前に供給された信号電位のレベルと現水平走査期間に供給すべき信号電位とに基づいて決定された最適なリフレッシュ電位に対応するデータ)が入力され、リフレッシュ用バッファ111の出力は、リフレッシュ用スイッチSWeを介してデータ信号線への出力端に接続されている。

[0218] このように、各水平走査期間の冒頭にリフレッシュ期間(例えば、チャージシェアが行われる期間)を設け、このリフレッシュ期間に各データ信号線へリフレッシュ電位(例えばVcom)を供給すれば、大型、高精細あるいは高速駆動等、フル充電が難しい液晶表示装置において、一水平走査期間前に同一データ信号線に供給された信号電位のレベル相異に起因する現水平走査期間の到達電位(充電率)のばらつきを抑制することができる。それゆえ、本実施の形態にかかる液晶表示装置は、走査信号線が2160本のデジタルシネマ規格の液晶表示装置や走査信号線4320本のスーパーハイビジョン規格の液晶表示装置にも好適である。

[0219] 本願でいう「電位の極性」とは、基準となる電位に対する高(プラス)・低(マイナス)を意味する。ここで、基準となる電位は、共通電極(対向電極)の電位であるVcom(コモン電位)であってもその他任意の電位であってもよい。

[0220] 図45は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部(液晶パネル)と、ソースドライバ(SD)と、ゲートドライバ(

GD)と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。

[0221] 表示制御回路は、外部の信号源(例えばチューナー)から、表示すべき画像を表すデジタルビデオ信号Dvと、当該デジタルビデオ信号Dvに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号Dcとを受け取る。また、表示制御回路は、受け取ったこれらの信号Dv, HSY, VSY, Dcに基づき、そのデジタルビデオ信号Dvの表す画像を表示部に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、チャージシェア信号shと、表示すべき画像を表すデジタル画像信号DA(ビデオ信号Dvに対応する信号)と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号(走査信号出力制御信号)GOEとを生成し、これらを出力する。

[0222] より詳しくは、ビデオ信号Dvを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル(Hレベル)となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間(1垂直走査期間)毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSYおよび制御信号Dcに基づきチャージシェア信号sh、ならびにゲートドライバ出力制御信号GOEを生成する。

[0223] 上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号DA、チャージシェア信号sh、信号電位(データ信号電位)の極性を制御する信号POL、データスタートパルス信号SSP、およびデータクロック信号SCKは、ソースドライバに入力され、ゲートスタートパルス信号GSPとゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバに入力される。

[0224] ソースドライバは、デジタル画像信号DA、データクロック信号SCK、チャージシェア信号sh、データスタートパルス信号SSP、および極性反転信号POLに基づき、デ

デジタル画像信号DAの表す画像の各走査信号線における画素値に相当するアナログ電位(信号電位)を1水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線(例えば、15x・15X)に出力する。

- [0225] ゲートドライバは、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとに基づき、ゲートオンパルス信号を生成し、これらを走査信号線に出力し、これによって走査信号線を選択的に駆動する。
- [0226] 上記のようにソースドライバおよびゲートドライバにより表示部(液晶パネル)のデータ信号線および走査信号線が駆動されることで、選択された走査信号線に接続されたトランジスタ(TFT)を介して、データ信号線から画素電極に信号電位が書き込まれる。これにより各副画素の液晶層に電圧が印加され、これによってバックライトからの光の透過量が制御され、デジタルビデオ信号Dvの示す画像が各副画素に表示される。
- [0227] 次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図46は、テレビジョン受信機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイコン(マイクロコンピュータ)87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。
- [0228] 上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号Scvが外部からY/C分離回路80に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に入力される。また、Y/C分離回路80では、外部から入力された複合カラー映像信号Scvから水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に入力される。
- [0229] 液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期

信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路88では、カラー表示の3原色R, G, Bそれぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット84に供給される。液晶表示ユニット84では、これらのRGB信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号(データ信号=信号電位、走査信号等)が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット84によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある、この液晶表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号(複合カラー映像信号)としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置800では、様々な映像信号に基づいた画像表示が可能である。

[0230] 液晶表示装置800でテレビジョン放送に基づく画像を表示する場合には、図47に示すように、液晶表示装置800にチューナー部90が接続され、これによって本テレビジョン受像機601が構成される。このチューナー部90は、アンテナ(不図示)で受信した受信波(高周波信号)の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように液晶表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が該液晶表示装置800によって表示される。

[0231] 図48は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機601は、その構成要素として、液晶表示装置800の他に第1筐体801および第2筐体806を有しており、液晶表示装置800を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801には、液晶表示装置800で表示される画像を透過させる開口部801aが形成されている。また、第2筐体806は、液晶表示装置800の背面側を覆うものであり、当該表示装置

800を操作するための操作用回路805が設けられると共に、下方に支持用部材808が取り付けられている。

[0232] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

産業上の利用可能性

[0233] 本発明の液晶パネルおよび液晶表示装置は、例えば液晶テレビに好適である。

請求の範囲

- [1] 1つの画素領域に、容量を介して接続された2つの画素電極が設けられ、
1つの画素領域に対応して2本の走査信号線が設けられ、一方の走査信号線に接続されたトランジスタが上記2つの画素電極の一方に接続され、他方の走査信号線に接続されたトランジスタが2つの画素電極の他方に接続されていることを特徴とするアクティブマトリクス基板。
- [2] 上記2本の走査信号線は、画素領域の両側に配されているか、あるいは画素領域の両端部に重なるように配されていることを特徴とする請求項1に記載のアクティブマトリクス基板。
- [3] 上記2つの画素電極の一方に接続されたトランジスタと他方に接続されたトランジスタとが同一のデータ信号線に接続されていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。
- [4] 上記2つの画素電極の一方と電氣的に接続された結合容量電極を備え、該結合容量電極は、絶縁膜を介して上記2つの画素電極の他方と重なっていることを特徴とする請求項1～3のいずれか1項に記載のアクティブマトリクス基板。
- [5] 上記2つの画素電極の一方と電氣的に接続された結合容量電極と、他方と電氣的に接続された結合容量電極とを備え、各結合容量電極が、絶縁膜を介して上記2つの画素電極のうち電氣的に接続されていない方と重なっていることを特徴とする請求項2に記載のアクティブマトリクス基板。
- [6] 上記2つの画素電極、並びに一方の画素電極と電氣的に接続された結合容量電極および他方の画素電極と電氣的に接続された結合容量電極は、これらを上記2本の走査信号線の一方側から見たときの平面形状および平面配置が、これらを上記2本の走査信号線の他方側から見たときの平面形状および平面配置に一致するように設けられていることを特徴とする請求項5に記載のアクティブマトリクス基板。
- [7] 各結合容量電極と保持容量を形成する保持容量配線を備えることを特徴とする請求項4に記載のアクティブマトリクス基板。
- [8] 上記2つの画素電極の少なくとも一方が、前段の画素領域に対応して設けられた走査信号線と保持容量を形成していることを特徴とする請求項1～3のいずれか1項に

記載のアクティブマトリクス基板。

- [9] 走査信号線の延伸方向を行方向とすれば、上記2本の走査信号線は行方向に並ぶ2つの画素領域に対応し、各画素領域には2つの画素電極が列方向に並べられ、行方向に隣接する2つの画素電極の一方に接続されるトランジスタが上記2本の走査信号線の一方に接続され、上記2つの画素電極の他方に接続されるトランジスタが上記2本の走査信号線の他方に接続されていることを特徴とする請求項1～8のいずれか1項に記載のアクティブマトリクス基板。
- [10] 1つの画素領域に形成された2つの画素電極の一方に接続されたトランジスタの導通電極およびこれに電気的接続された導電部分と、該トランジスタに接続された走査信号線との重なり面積が、上記2つの画素電極の他方に接続されたトランジスタの導通電極およびこれに電気的接続された導電部分と、該トランジスタに接続された走査信号線との重なり面積に等しくなっていることを特徴とする請求項1～9のいずれか1項に記載のアクティブマトリクス基板。
- [11] 1つの画素領域に、容量を介して接続された2つの画素電極が設けられ、隣接する2つの画素領域の間隙に対応して1本の走査信号線が設けられ、1つの画素領域の両側に位置する間隙の一方に対応して設けられた走査信号線に接続されたトランジスタが、該画素領域に設けられた2つの画素電極の一方に接続され、他方に対応して設けられた走査信号線に接続されたトランジスタが、上記2つの画素電極の他方に接続されていることを特徴とするアクティブマトリクス基板。
- [12] 上記2つの画素電極の一方に接続されたトランジスタと他方に接続されたトランジスタとが同一のデータ信号線に接続されていることを特徴とする請求項11に記載のアクティブマトリクス基板。
- [13] 請求項1記載のアクティブマトリクス基板を備え、
所定のフレームでは上記2本の走査信号線の一方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、
所定のフレーム以外のフレームでは他方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込むことを特徴とする液晶表示装置。
- [14] 請求項11記載のアクティブマトリクス基板を備え、

各フレームでは順次走査信号線を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、

所定のフレームとそれ以外のフレームとで、走査方向を逆にすることを特徴とする液晶表示装置。

- [15] 上記2本の走査信号線の一方を走査するフレームのうち、上記画素電極にプラス極性の信号電位を書き込むフレームと、マイナス極性の信号電位を書き込むフレームとが同数であり、上記2本の走査信号線の他方を走査するフレームのうち、上記画素電極にプラス極性の信号電位を書き込むフレームと、マイナス極性の信号電位を書き込むフレームとが同数であることを特徴とする請求項13記載の液晶表示装置。
- [16] 上記2つの走査信号線の走査する方を、1フレームごとに切り替えるとともに同一画素に対応する信号電位の極性を2フレームごとに反転させるか、あるいは上記2つの走査信号線の走査する方を、連続する2フレームごとに切り替えるとともに同一画素に対応する信号電位の極性を1フレームごとに反転させることを特徴とする請求項15記載の液晶表示装置。
- [17] 1つの画素に設けられた2つの画素電極の一方をディスチャージした後に、他方へ信号電位を書き込むことを特徴とする請求項13または14記載の液晶表示装置。
- [18] 1つの画素に設けられた2つの画素電極に共通電極電位を供給した状態で一方の画素電極に接続するトランジスタをOFFし、その後に他方の画素電極に信号電位を書き込むことを特徴とする請求項13または14記載の液晶表示装置。
- [19] 1つの画素に設けられた2つの画素電極に共通電極電位を供給した状態で一方の画素電極に接続するトランジスタをOFFし、その後に他方の画素電極に信号電位を書き込むことを、同一水平走査期間内に行うことを特徴とする請求項18記載の液晶表示装置。
- [20] ノーマリブラックの液晶表示装置であって、1つの画素に設けられた2つの画素電極の一方に信号電位を書き込んでから1/2垂直走査期間～4/5垂直走査期間経過後に、
上記2つの画素電極それぞれに共通電極電位を供給した状態でこれら画素電極に接続するトランジスタをOFFすることを特徴とする請求項18記載の液晶表示装置。

[21] 第1データ信号線と、第1～第4走査信号線と、第1データ信号線および第1走査信号線に接続された第1トランジスタと、第1データ信号線および第2走査信号線に接続された第2トランジスタと、第1データ信号線および第3走査信号線に接続された第3トランジスタと、第1データ信号線および第4走査信号線に接続された第4トランジスタとを備え、

第1データ信号線の延伸方向を列方向とすれば、第1画素領域に第1および第2画素電極が設けられ、第1画素領域と列方向に隣接する第2画素領域に、第3および第4画素電極が設けられ、

第1および第2画素電極が容量を介して接続されるとともに、第3および第4画素電極が容量を介して接続され、第1および第2トランジスタの一方が第1の画素電極に接続されるとともに他方が第2画素電極に接続され、第3および第4トランジスタの一方が第3画素電極に接続されるとともに他方が第4画素電極に接続されていることを特徴とするアクティブマトリクス基板。

[22] 第5および第6走査信号線と、第1データ信号線および第5走査信号線に接続された第5トランジスタと、第1データ信号線および第6走査信号線に接続された第6トランジスタとを備え、

第1画素領域と列方向に隣接する第3画素領域に、第5および第6画素電極が設けられるとともに、該第5および第6画素電極が容量を介して接続され、

第3画素電極、第4画素電極、第1画素電極、第2画素電極、第5画素電極、および第6画素電極がこの順で列方向に並び、

第1画素電極と第4走査信号線との間に保持容量が形成されるとともに、第2画素電極と第5走査信号線との間に保持容量が形成されることを特徴とする請求項21記載のアクティブマトリクス基板。

[23] 第1画素電極と第2走査信号線とが保持容量を形成するとともに、第2画素電極と第1走査信号線とが保持容量を形成していることを特徴とする請求項21記載のアクティブマトリクス基板。

[24] 第2データ信号線と、第2データ信号線および第1走査信号線に接続された第7トランジスタと、第2データ信号線および上記第2走査信号線に接続された第8トランジスタ

タとを備え、

第1画素領域と行方向に隣接する第4画素領域に、第7および第8画素電極が設けられるとともに、上記第7および第8画素電極が容量を介して接続され、

第1および第2画素電極が列方向に隣接するとともに、第7および第8画素電極が列方向に隣接し、第1および第7画素電極が行方向に隣接するとともに、第2および第8画素電極が行方向に隣接し、

第1トランジスタが第1画素電極に接続されるとともに第2トランジスタが第2画素電極に接続され、第7トランジスタが第8画素電極に接続されるとともに第8トランジスタが第7画素電極に接続されていることを特徴とする請求項21記載のアクティブマトリクス基板。

- [25] 第2データ信号線と、第2データ信号線および第1走査信号線に接続された第7トランジスタと、第2データ信号線および上記第2走査信号線に接続された第8トランジスタとを備え、

第1画素領域と行方向に隣接する第4画素領域に、第7および第8画素電極が設けられるとともに、該第7および第8画素電極が容量を介して接続され、

第1および第2画素電極が列方向に隣接するとともに、第7および第8画素電極が列方向に隣接し、第1および第7画素電極が行方向に隣接するとともに、第2および第8画素電極が行方向に隣接し、

第1トランジスタが第1画素電極に接続されるとともに第2トランジスタが第2画素電極に接続され、第7トランジスタが第7画素電極に接続されるとともに第8トランジスタが第8画素電極に接続されていることを特徴とする請求項21記載のアクティブマトリクス基板。

- [26] 第1および第2データ信号線と、第1および第2走査信号線と、第1データ信号線および第1走査信号線に接続された2つのトランジスタと、第1データ信号線および第2走査信号線に接続された2つのトランジスタと、第2データ信号線および第1走査信号線に接続された2つのトランジスタと、第2データ信号線および第2走査信号線に接続された2つのトランジスタとを備え、

第1データ信号線の延伸方向を列方向とすれば、第1画素領域に第1および第2画

素電極が設けられ、第1画素領域と列方向に隣接する第2画素領域に、第3および第4画素電極が設けられ、第1画素領域と列方向に隣接する第3画素領域に、第5および第6画素電極が設けられ、第1画素領域と行方向に隣接する第4画素領域に、第7および第8画素電極が設けられ、第1および第7画素電極が行方向に隣接するとともに、第2および第8画素電極が行方向に隣接し、

第1データ信号線および第1走査信号線に接続された2つのトランジスタの一方が第1画素電極に接続されるとともに、他方が第4画素電極に接続され、第1データ信号線および第2走査信号線に接続された2つのトランジスタの一方が第2画素電極に接続されるとともに、他方が第5画素電極に接続され、

第2データ信号線および第1走査信号線に接続された2つのトランジスタの一方が第8画素電極に接続され、第2データ信号線および第2走査信号線に接続された2つのトランジスタの一方が第7画素電極に接続されることを特徴とするアクティブマトリクス基板。

[27] 保持容量配線を備え、該保持容量配線が第1および第2画素電極それぞれと保持容量を形成していることを特徴とする請求項1または請求項24～26のいずれか1項に記載のアクティブマトリクス基板。

[28] 平面的に視れば、第1および第2走査信号線の間に、第1画素電極の全部またはエッジ部を除く部分と、第2画素電極の全部またはエッジ部を除く部分とが設けられていることを特徴とする請求項21～27のいずれか1項に記載のアクティブマトリクス基板。

[29] 第1トランジスタの導通電極およびこれに電氣的接続された導電部分と第1走査信号線との重なり面積が、第2トランジスタの導通電極およびこれに電氣的接続された導電部分と第2走査信号線との重なり面積に等しいことを特徴とする請求項21～28のいずれか1項に記載のアクティブマトリクス基板。

[30] 第1および第2トランジスタの導通電極と同層に形成された保持容量電極を備え、該保持容量電極が第1および第2画素電極の一方と電氣的に接続されるとともに、ゲート絶縁層を介して保持容量配線と重なっていることを特徴とする請求項27に記載のアクティブマトリクス基板。

- [31] 第1および第2トランジスタの導通電極と同層に形成された結合容量電極を備え、該結合容量電極が第1および第2画素電極の一方と電氣的に接続されるとともに、層間絶縁層を介して他方と重なっていることを特徴とする請求項21～30のいずれか1項に記載のアクティブマトリクス基板。
- [32] 第1および第2トランジスタの導通電極と同層に形成された結合容量電極を備え、該結合容量電極は、第1および第2画素電極の一方と電氣的に接続されるとともに層間絶縁層を介して他方と重なり、かつ、ゲート絶縁膜を介して上記保持容量配線と重なっていることを特徴とする請求項27に記載のアクティブマトリクス基板。
- [33] 第1および第2トランジスタの導通電極と同層に形成された保持容量電極を備え、該保持容量電極は、第1および第2画素電極の一方と電氣的に接続されるとともにゲート絶縁層を介して上記各走査信号線のいずれか1本と重なっていることを特徴とする請求項22または23に記載のアクティブマトリクス基板。
- [34] 層間絶縁層を介して第2画素電極と重なる第1結合容量電極と、層間絶縁層を介して第1画素電極と重なる第2結合容量電極とを備え、
第1トランジスタの導通電極から引き出された第1引き出し配線と第1結合容量電極とが同層で接続されるとともに、第1引き出し配線と第1画素電極とがコンタクトホールを介して接続され、
第2トランジスタの導通電極から引き出された第2引き出し配線と第2結合容量電極とが同層で接続されるとともに、第2引き出し配線と第2画素電極とがコンタクトホールを介して接続されていることを特徴とする請求項21～30のいずれか1項に記載のアクティブマトリクス基板。
- [35] 層間絶縁層を介して第2画素電極と重なる第1結合容量電極と、層間絶縁層を介して第1画素電極と重なる第2結合容量電極とを備え、
第1トランジスタの導通電極と第1画素電極とがコンタクトホールを介して接続されるとともに、第1画素電極と第1結合容量電極とがコンタクトホールを介して接続され、
第2トランジスタの導通電極と第2画素電極とがコンタクトホールを介して接続されるとともに、第2画素電極と第2結合容量電極とがコンタクトホールを介して接続されていることを特徴とする請求項21～30のいずれか1項に記載のアクティブマトリクス基

板。

- [36] 平面的に視れば、第1および第2走査信号線の間、第1画素電極の全部またはエッジ部を除く部分と、第2画素電極の全部またはエッジ部を除く部分とが設けられ、第1および第2画素電極、第1および第2結合容量電極、並びに第1および第2引き出し配線は、これらを第1走査信号線側および第2走査信号線側それぞれから見たときの平面形状および平面配置が一致するように設けられていることを特徴とする請求項34に記載のアクティブマトリクス基板。
- [37] 平面的に視れば、第1および第2走査信号線の間、第1画素電極の全部またはエッジ部を除く部分と、第2画素電極の全部またはエッジ部を除く部分とが設けられ、第1および第2画素電極並びに第1および第2結合容量電極は、これらを第1走査信号線側および第2走査信号線側それぞれから見たときの平面形状および平面配置が一致するように設けられていることを特徴とする請求項35に記載のアクティブマトリクス基板。
- [38] 第1および第2画素電極が列方向に隣接しており、第1画素電極が有するエッジのうち第2画素電極と隣接するエッジが第2結合容量電極と重なり、第2画素電極が有するエッジのうち第1画素電極と隣接するエッジが第1結合容量電極と重なっていることを特徴とする請求項34または35に記載のアクティブマトリクス基板。
- [39] 上記層間絶縁膜は、結合容量電極と重なる部分の少なくとも一部が薄くなっていることを特徴とする請求項31または32に記載のアクティブマトリクス基板。
- [40] 上記ゲート絶縁膜は、保持容量電極と重なる部分の少なくとも一部が薄くなっていることを特徴とする請求項30または33に記載のアクティブマトリクス基板。
- [41] 上記層間絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、結合容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されていることを特徴とする請求項39に記載のアクティブマトリクス基板。
- [42] 上記ゲート絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、保持容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されていることを特徴とする請求項40に記載のアクティブマトリクス基板。
- [43] 上記有機絶縁膜には、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹

脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも1つが含まれていることを特徴とする請求項41または42に記載のアクティブマトリクス基板。

[44] 請求項21～25のいずれか1項に記載のアクティブマトリクス基板を備え、
あるフレームでは第1走査信号線が選択され、別のフレームでは第2走査信号線が
選択されることを特徴とする液晶表示装置。

[45] 請求項21～25のいずれか1項に記載のアクティブマトリクス基板を備え、
連続する n (n は複数) フレームの各フレームでは第1および第2走査信号線の一方
が選択されるとともに、次に連続する n フレームの各フレームでは他方が選択されるこ
とを特徴とする液晶表示装置。

[46] 請求項21、23～25のいずれか1項に記載のアクティブマトリクス基板を備え、
連続する2つのフレームの一方で第1走査信号線が選択され、他方で第2走査信
号線が選択されることを特徴とする液晶表示装置。

[47] n は偶数であり、上記第1および第2画素電極に供給される信号電位の極性は、1フ
レーム単位で反転することを特徴とする請求項45記載の液晶表示装置。

[48] 上記第1および第2画素電極に供給される信号電位の極性は、連続する2フレーム
単位で反転することを特徴とする請求項46記載の液晶表示装置。

[49] 請求項22に記載のアクティブマトリクス基板を備え、
連続する複数のフレームからなる第1期の各フレームでは第1および第2走査信号
線の一方が選択されるとともに、第1期に続く、連続する複数フレームからなる第2期
の各フレームでは他方が選択され、第1期と第2期では走査方向が逆になることを特
徴とする液晶表示装置。

[50] 第1データ信号線と、第1および第2走査信号線と、第1データ信号線および第1走
査信号線に接続された2つのトランジスタと、第1データ信号線および第2走査信号
線に接続された2つのトランジスタと、第2データ信号線および第1走査信号線に接
続された2つのトランジスタとを備え、

第1データ信号線の延伸方向を列方向とすれば、第1画素領域に第1および第2画
素電極が設けられ、第1画素領域と列方向に隣接する第2画素領域に、第3および
第4画素電極が設けられ、第1画素領域と列方向に隣接する第3画素領域に、第5お

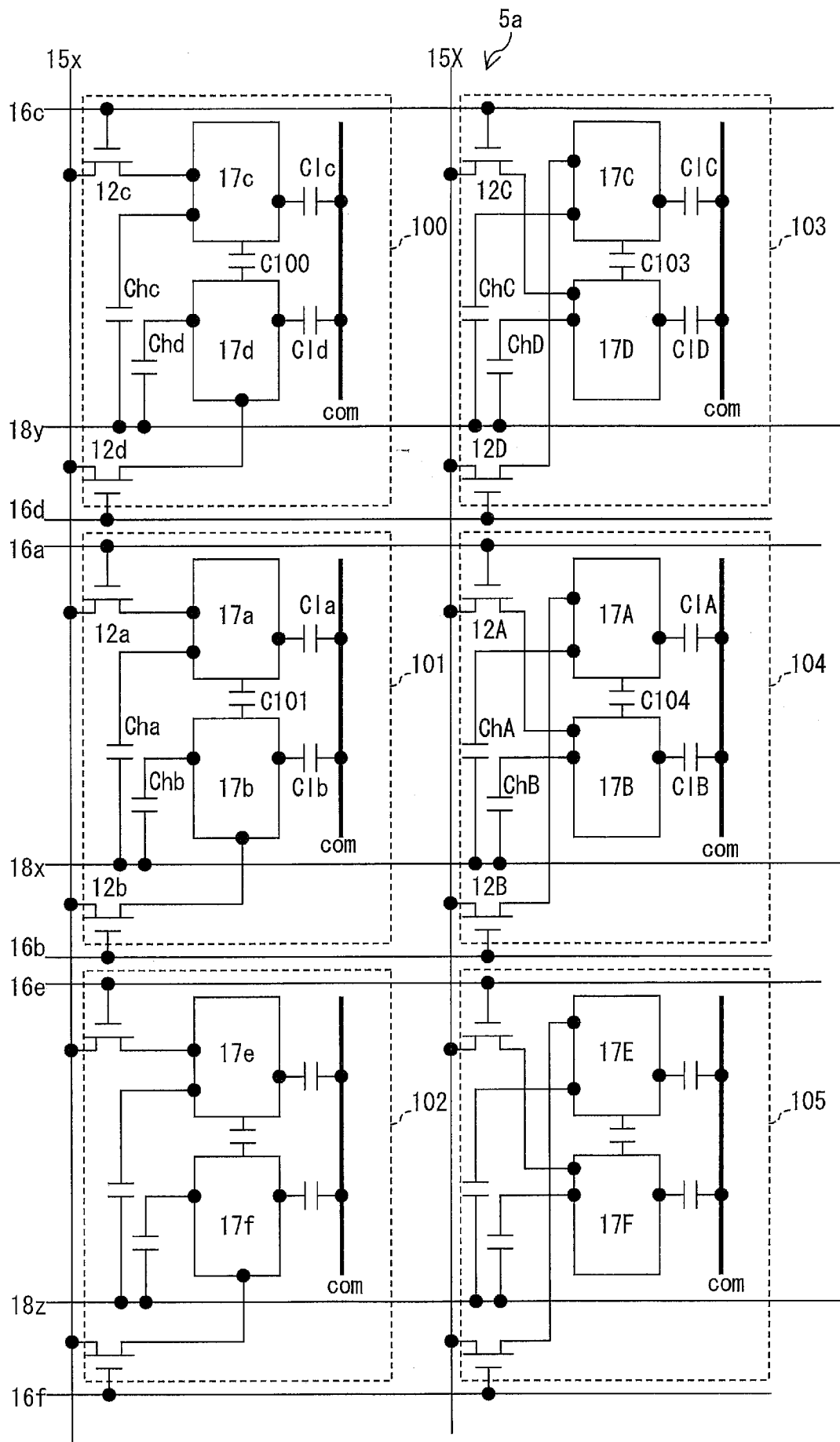
よび第6画素電極が設けられ、

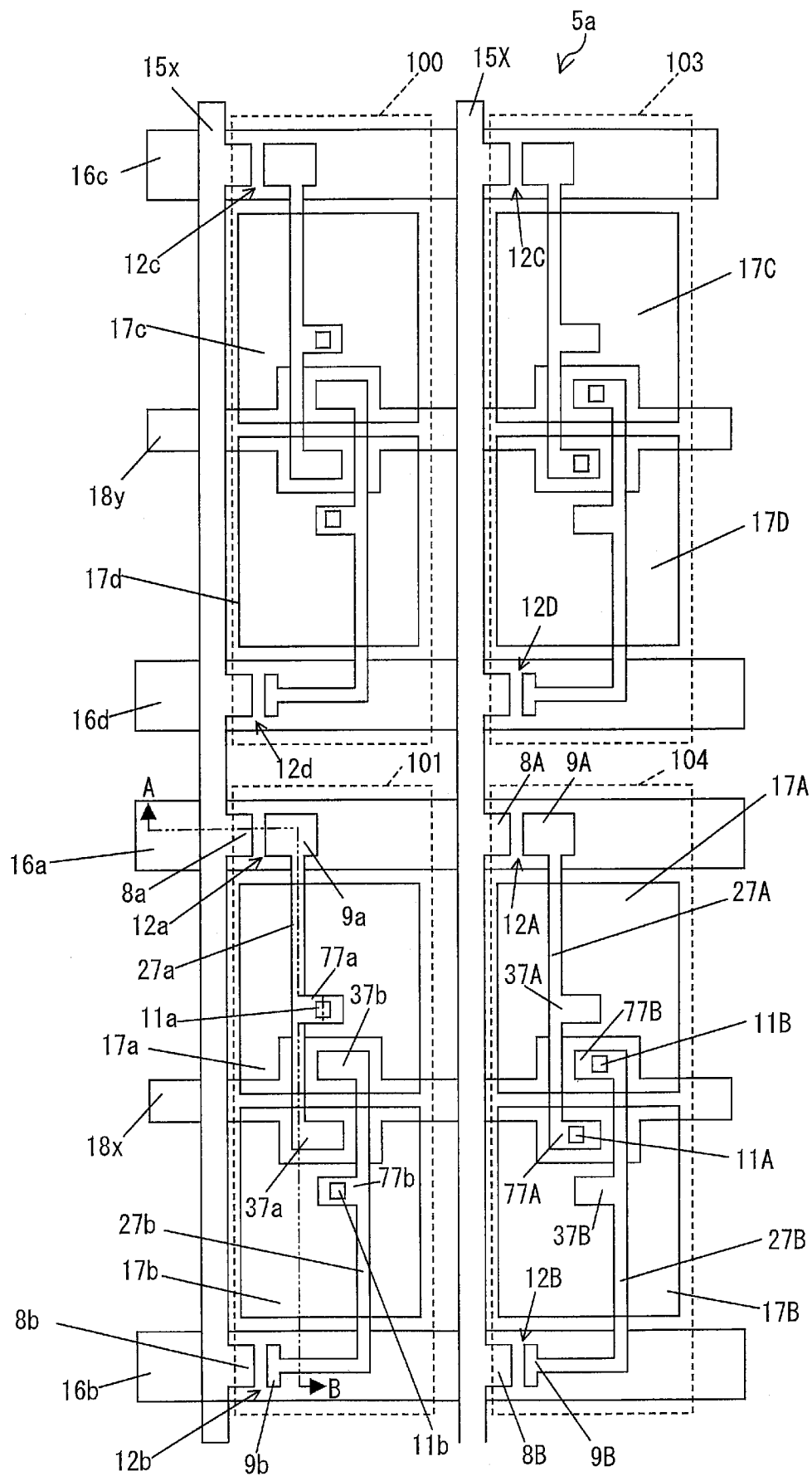
第1データ信号線および第1走査信号線に接続された2つのトランジスタの一方が第1画素電極に接続されるとともに、他方が第4画素電極に接続され、第1データ信号線および第2走査信号線に接続された2つのトランジスタの一方が第2画素電極に接続されるとともに、他方が第5画素電極に接続され、

連続する複数のフレームからなる第1期の各フレームでは、第1走査信号線、第2走査信号線の順で選択され、第1期に続く、連続する複数フレームからなる第2期の各フレームでは、第2走査信号線、第1走査信号線の順で選択されることを特徴とする液晶表示装置。

- [51] 第1データ信号線に供給される信号電位の極性が一水平走査期間ごとに反転することを特徴とする請求項44～50のいずれか1項に記載の液晶表示装置。
- [52] 同一水平走査期間においては、第1データ信号線およびこれに隣接するデータ信号線それぞれに、逆極性の信号電位が供給されることを特徴とする請求項44～51のいずれか1項に記載の液晶表示装置。
- [53] 各走査信号線を駆動する走査信号線駆動回路を備え、上記第1および第2走査信号線それぞれに供給される選択信号は、上記走査信号線駆動回路が有する1つのシフトレジスタの同一段からの出力を用いて生成されていることを特徴とする請求項44～52のいずれか1項に記載の液晶表示装置。
- [54] 請求項1～12および請求項21～43のいずれか1項に記載のアクティブマトリクス基板を備えた液晶パネル。
- [55] 請求項54記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット。
- [56] 請求項55記載の液晶表示ユニットと光源装置とを備えることを特徴とする液晶表示装置。
- [57] 請求項13～20、請求項44～53、および請求項56のいずれか1項に記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

[図1]





32 13 28 14

30

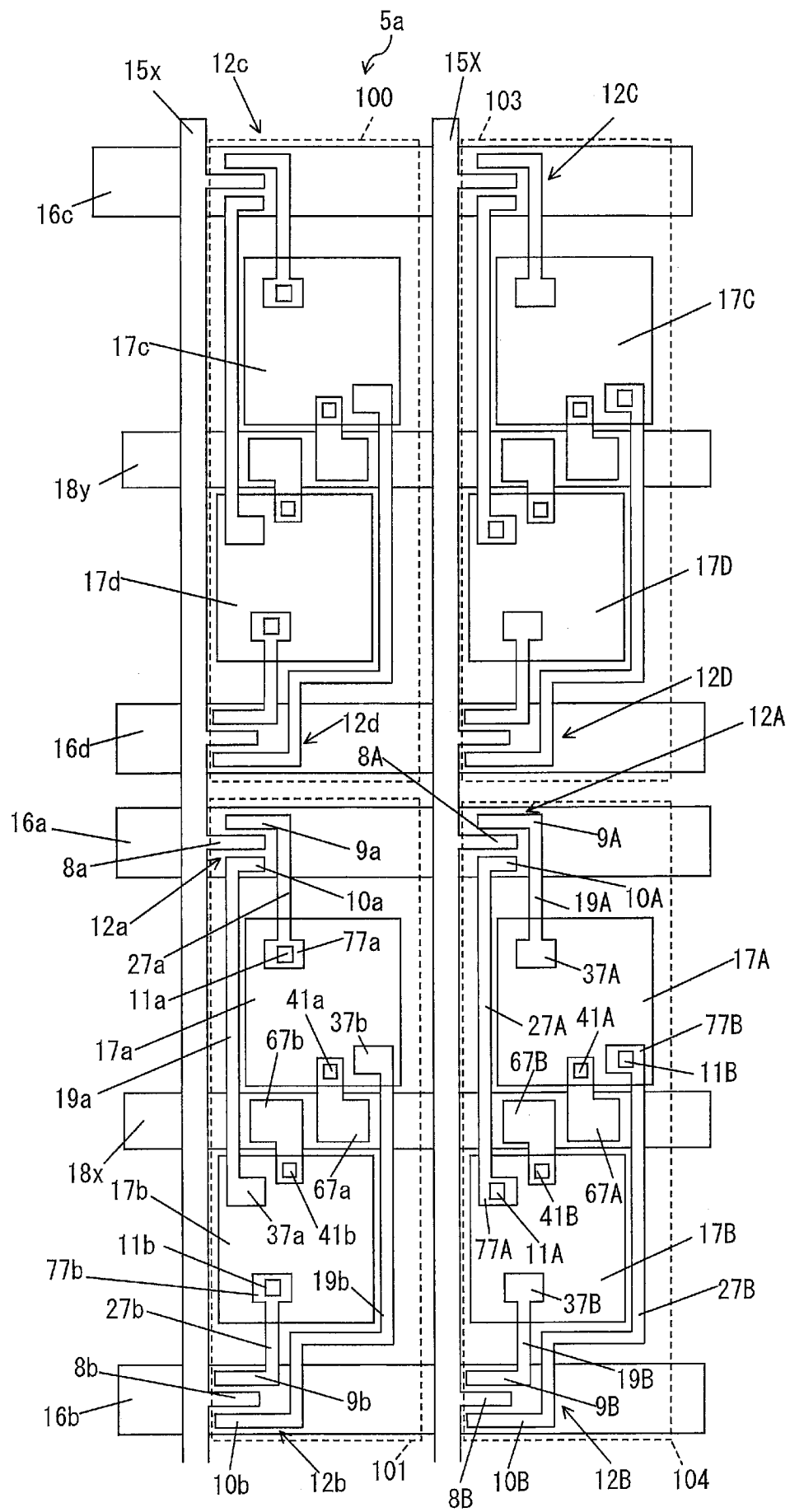
40

8a 25 9a 11a 17a 25 37a 17b 27b

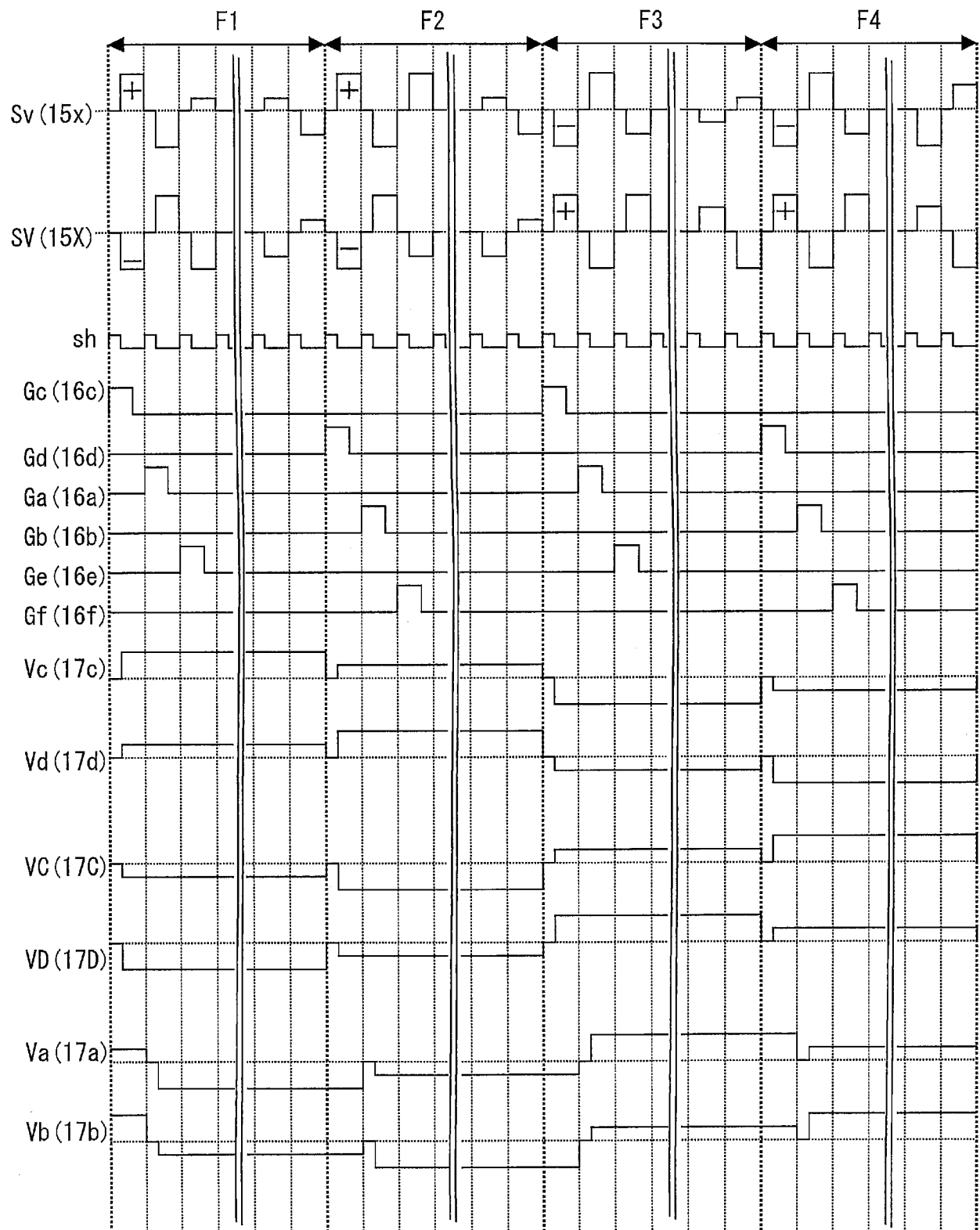
3

24 16a 27a 77a 22 18x 31 16b

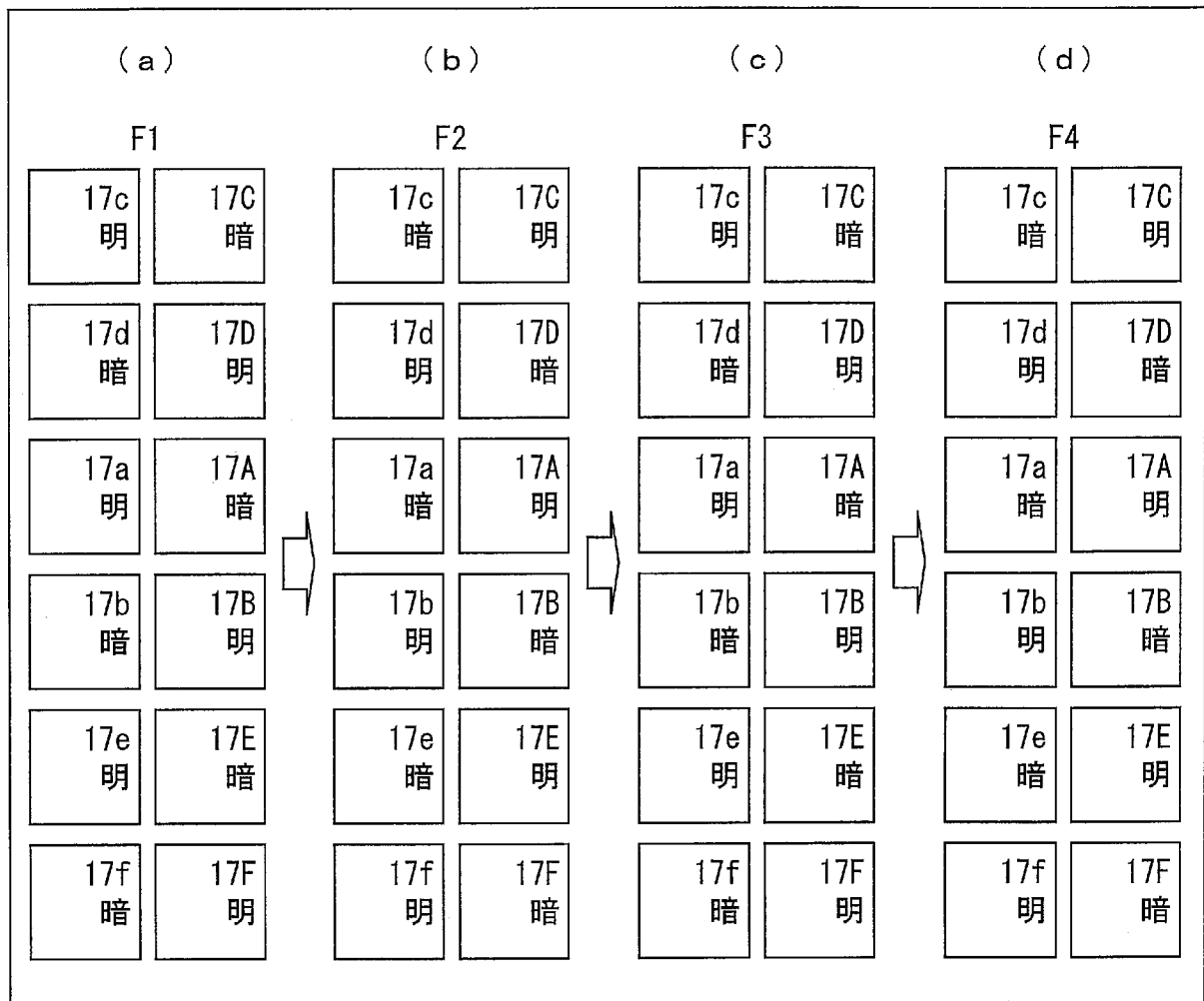
[図5]



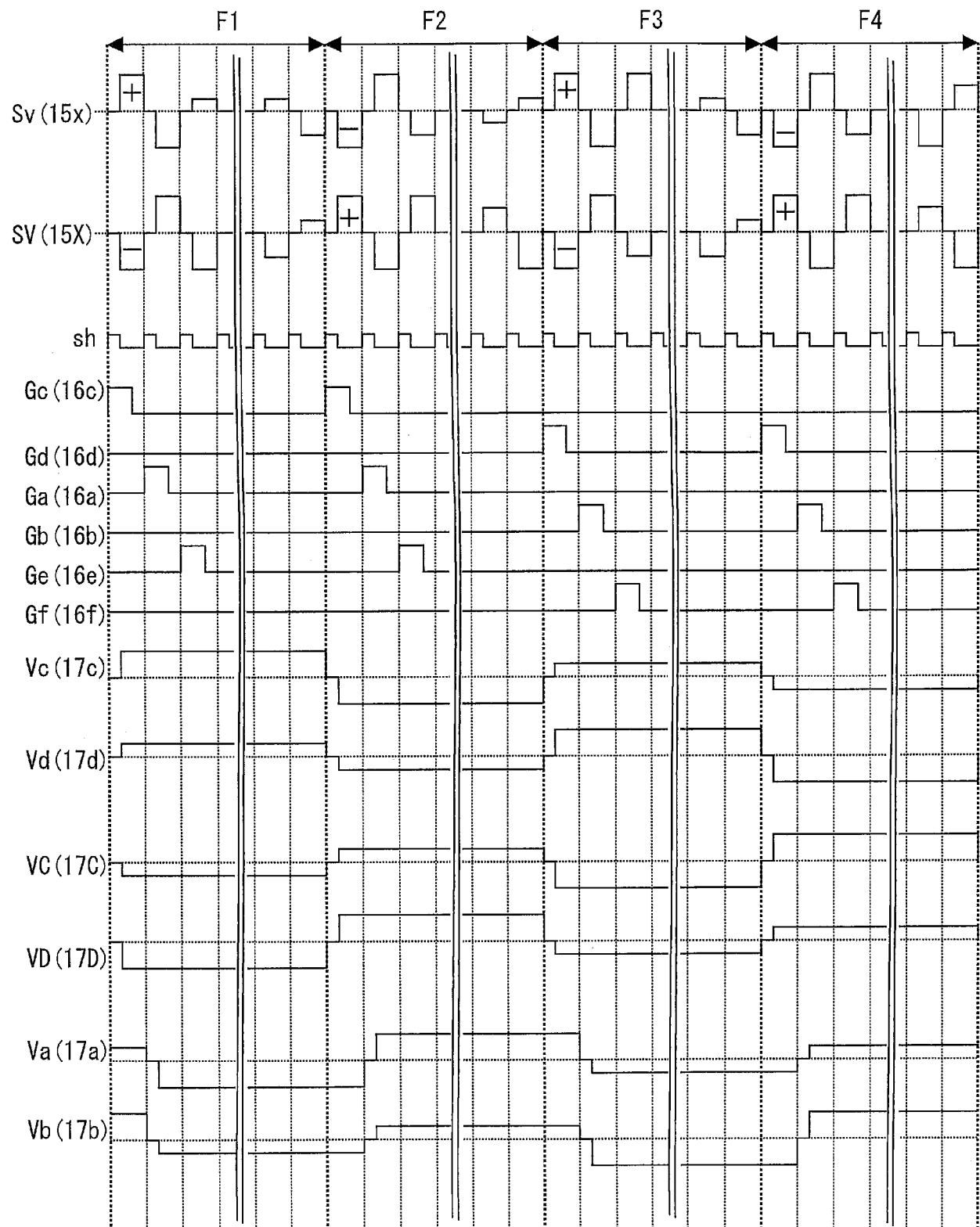
[図6]



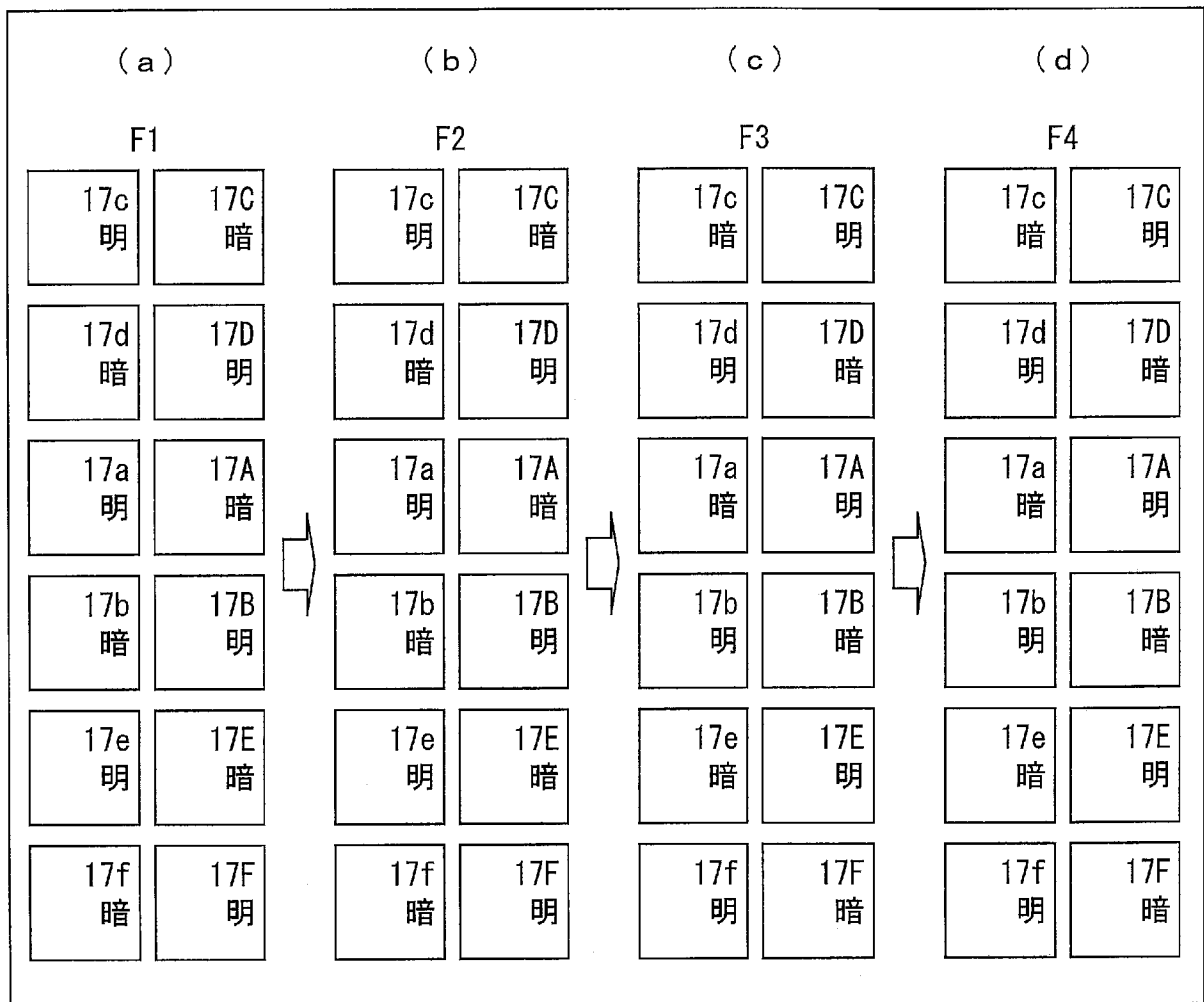
[図7]



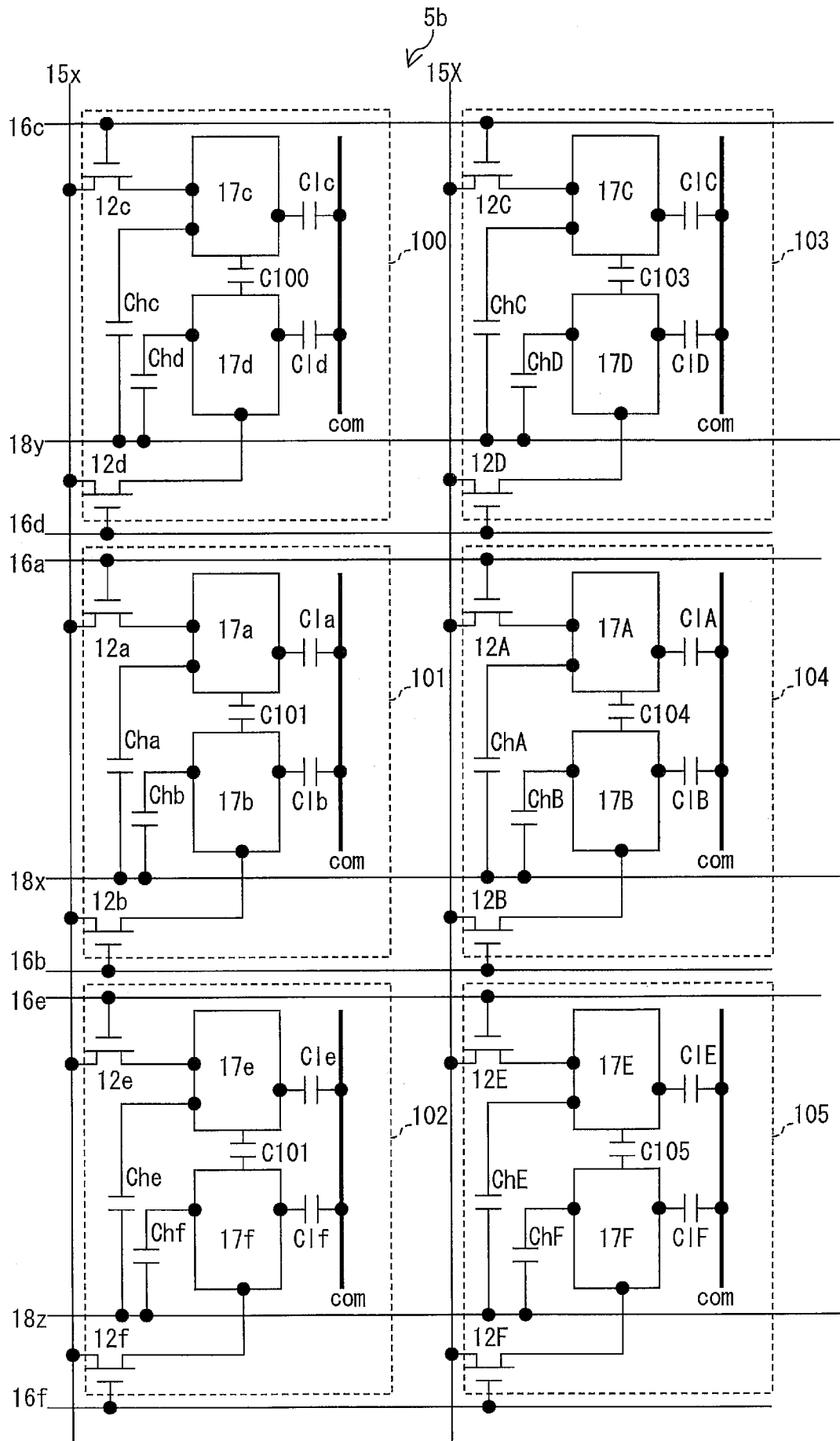
[図8]



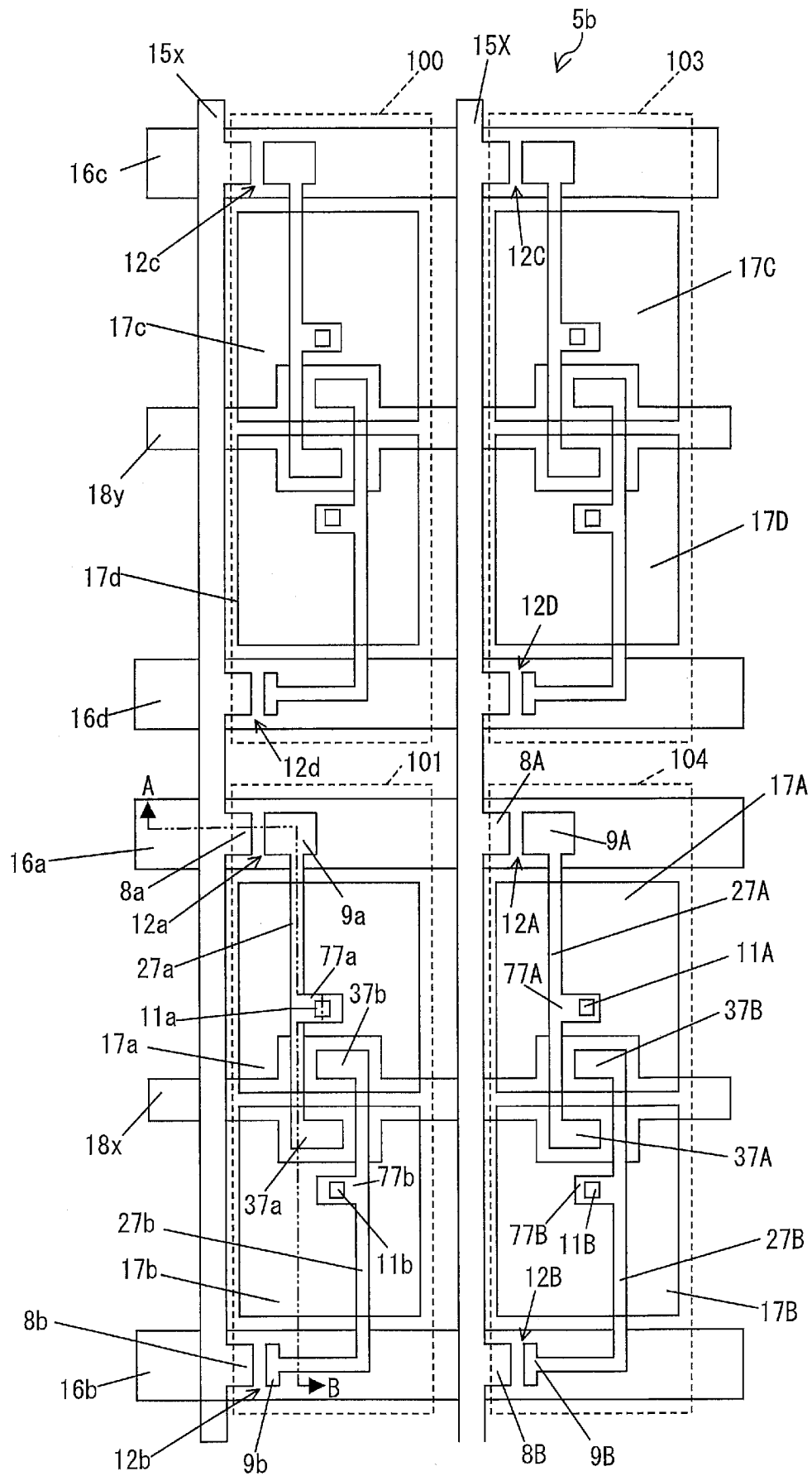
[図9]



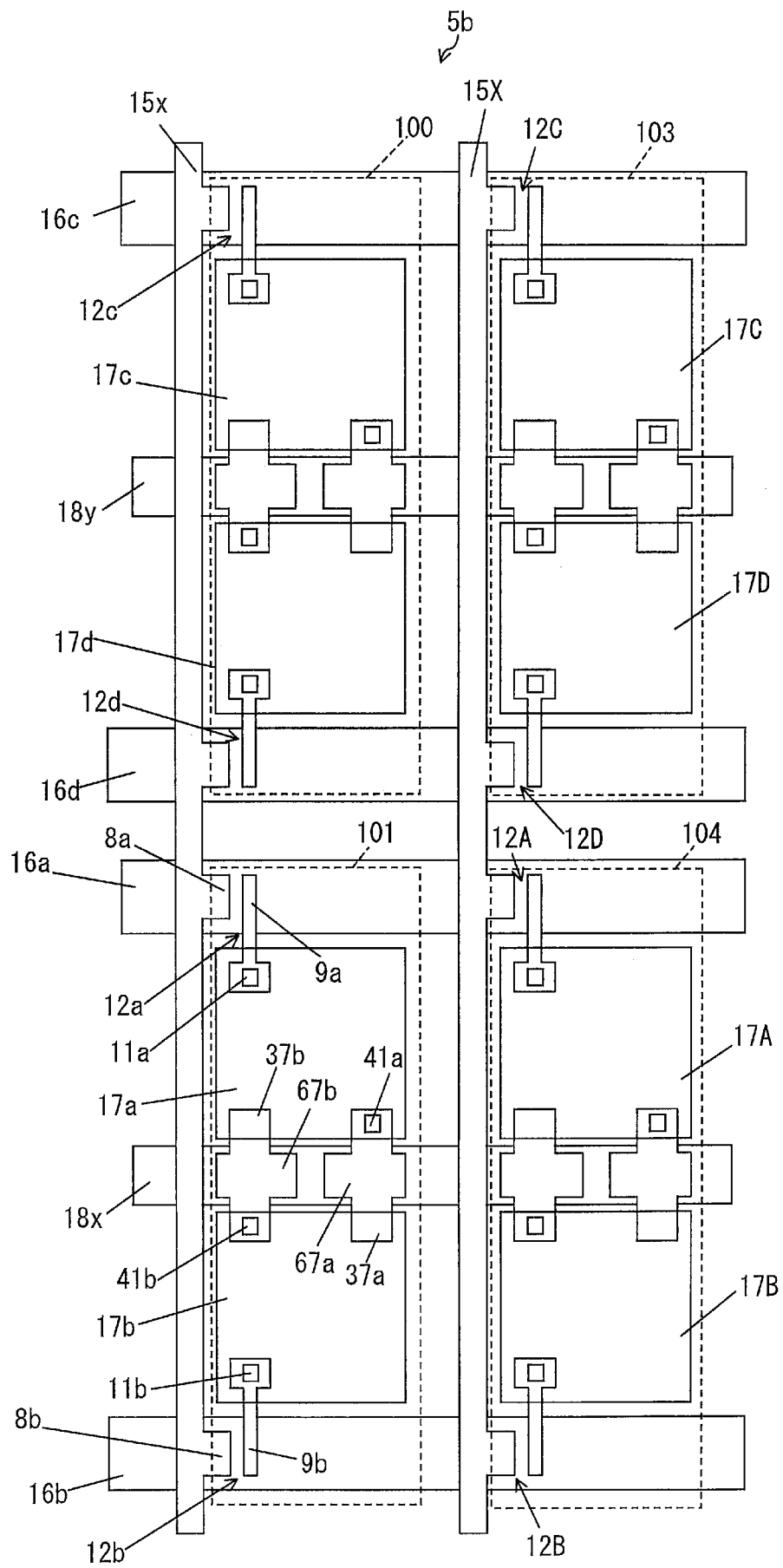
[図10]



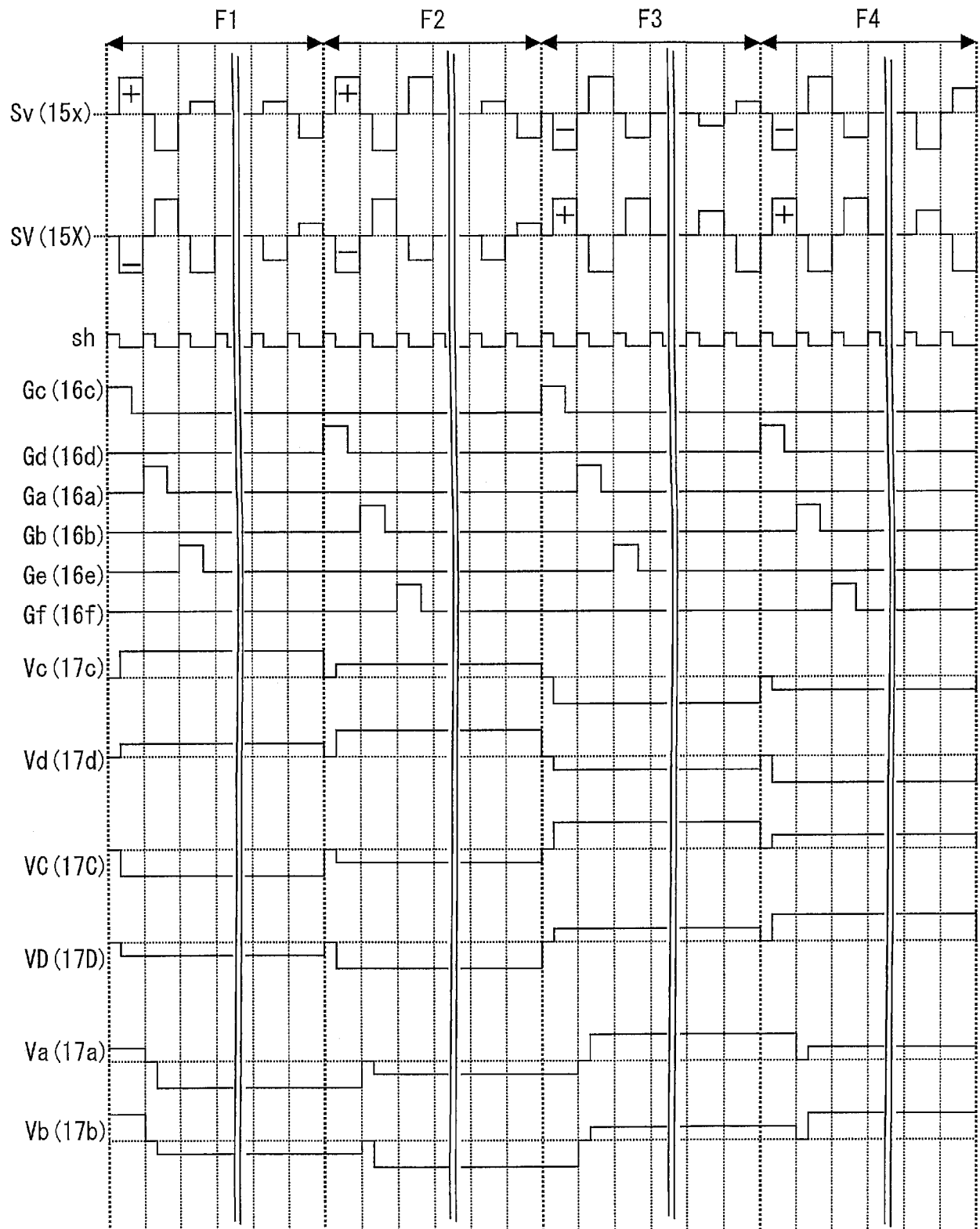
[図11]



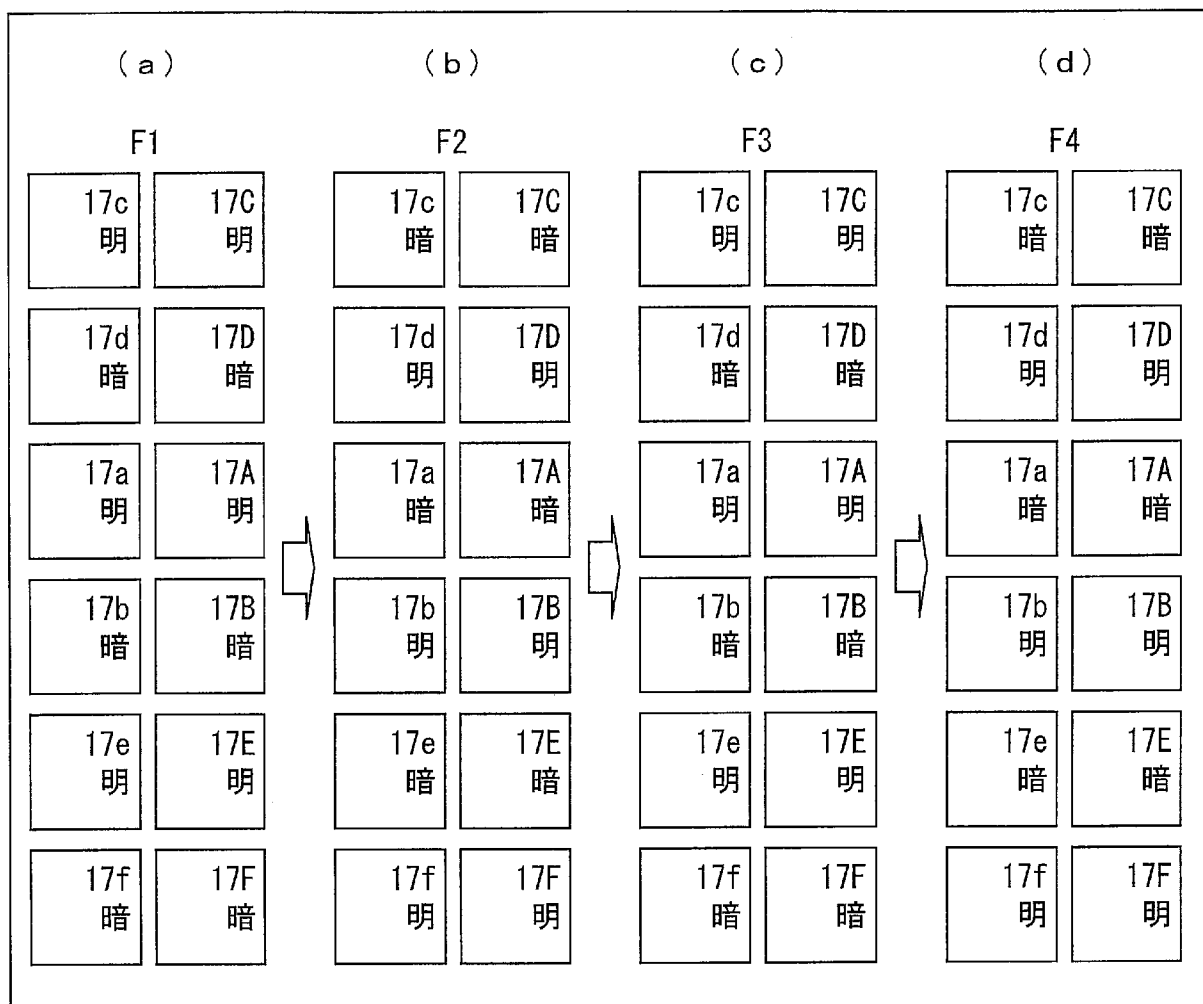
[図12]



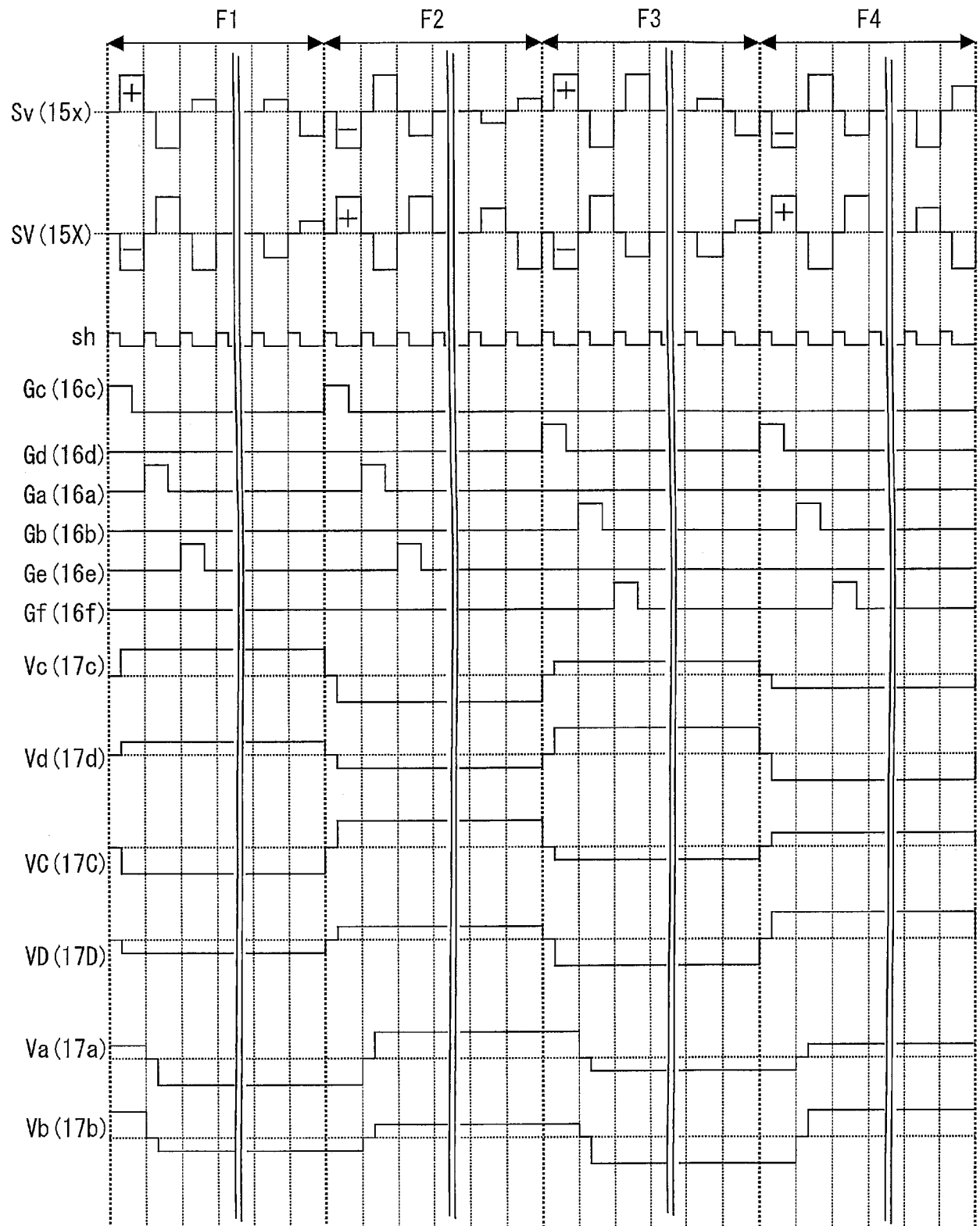
[図13]



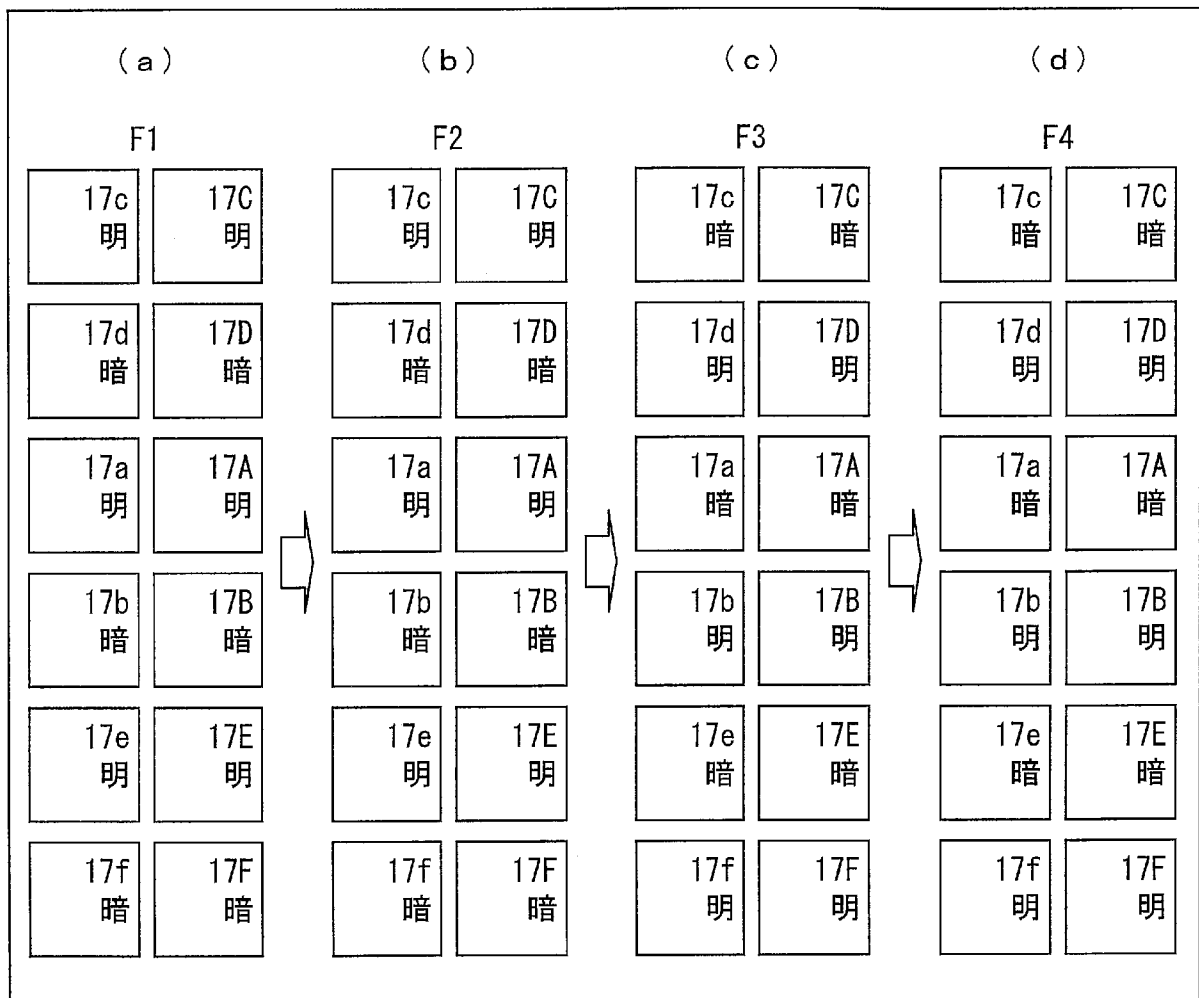
[図14]



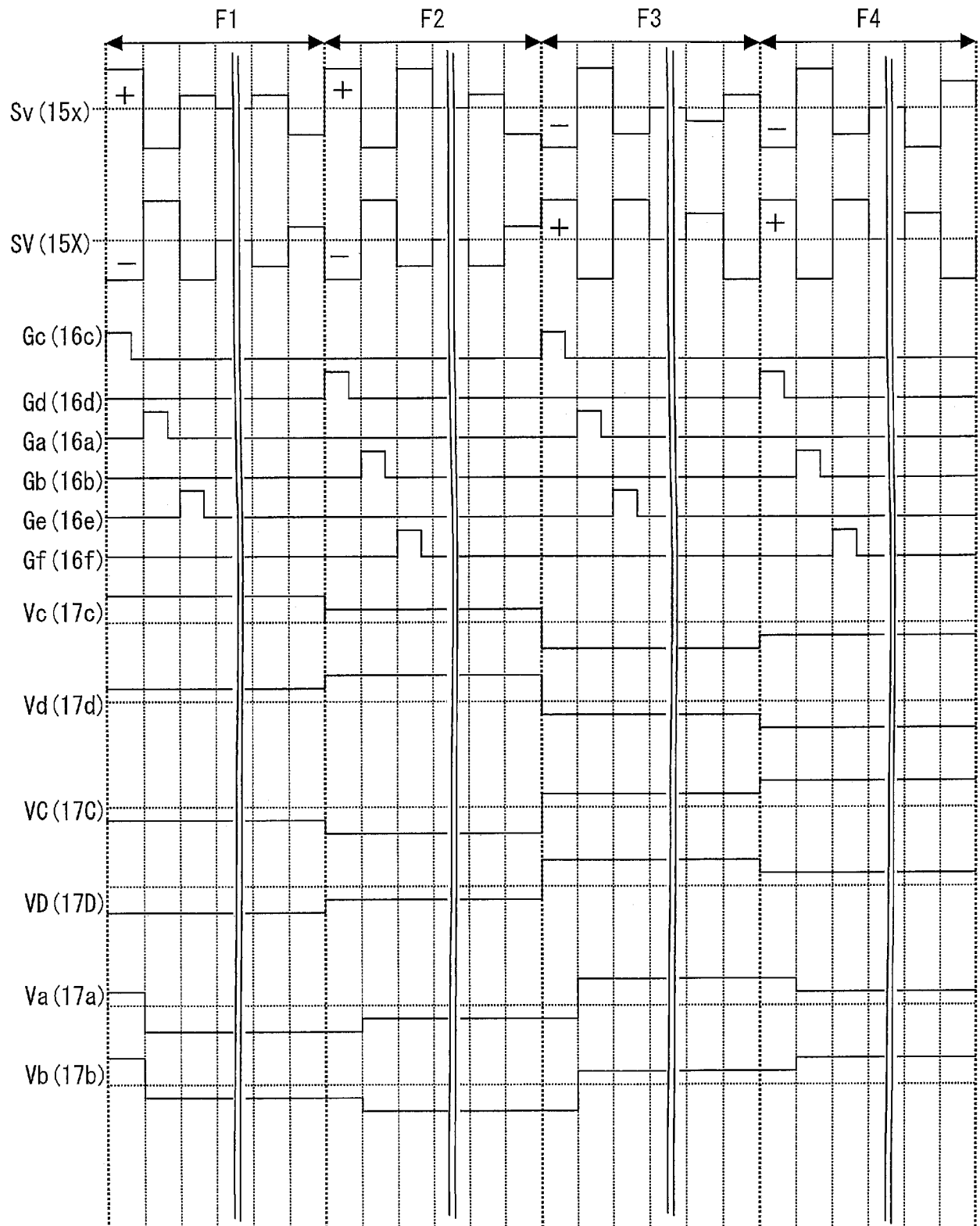
[図15]



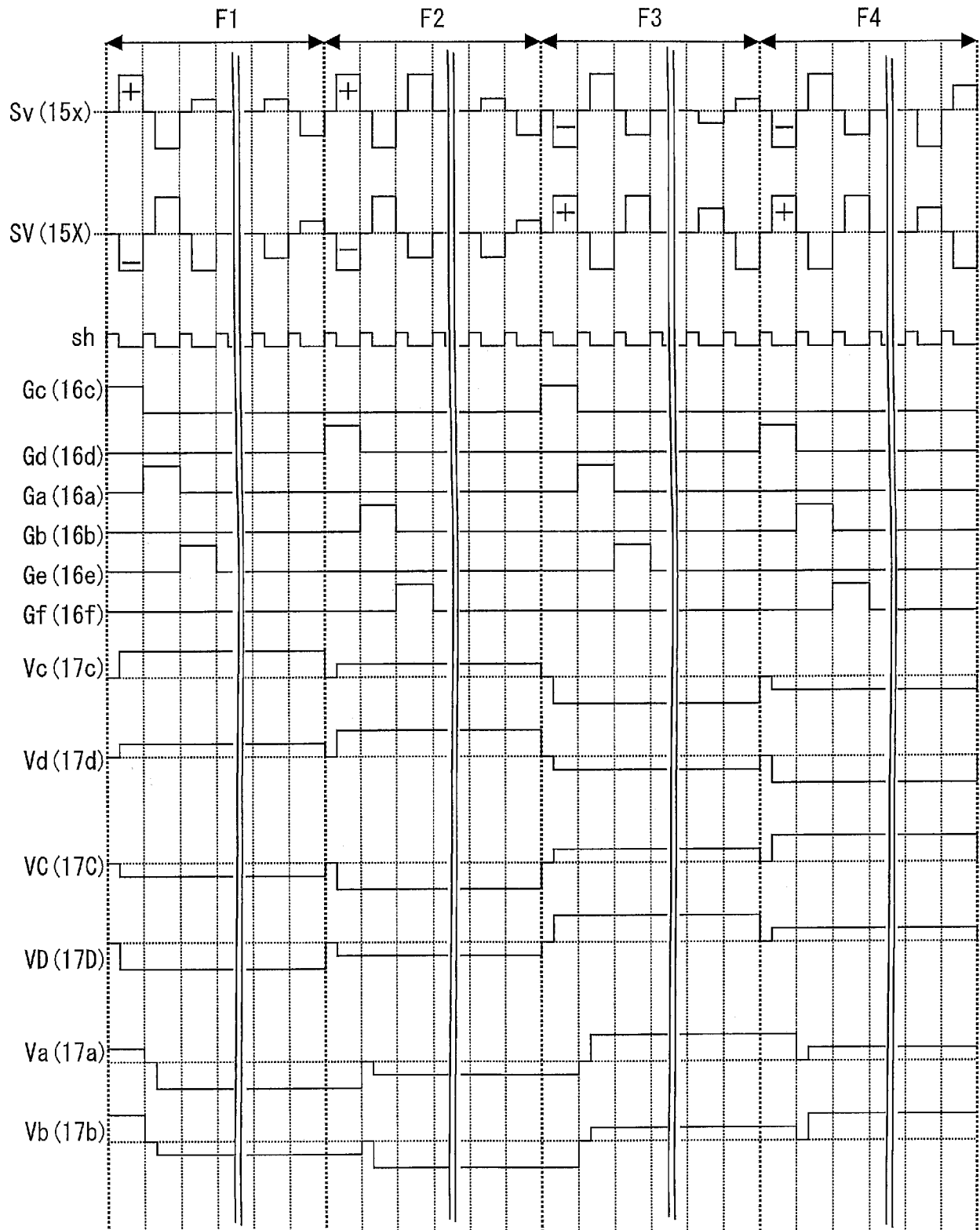
[図16]



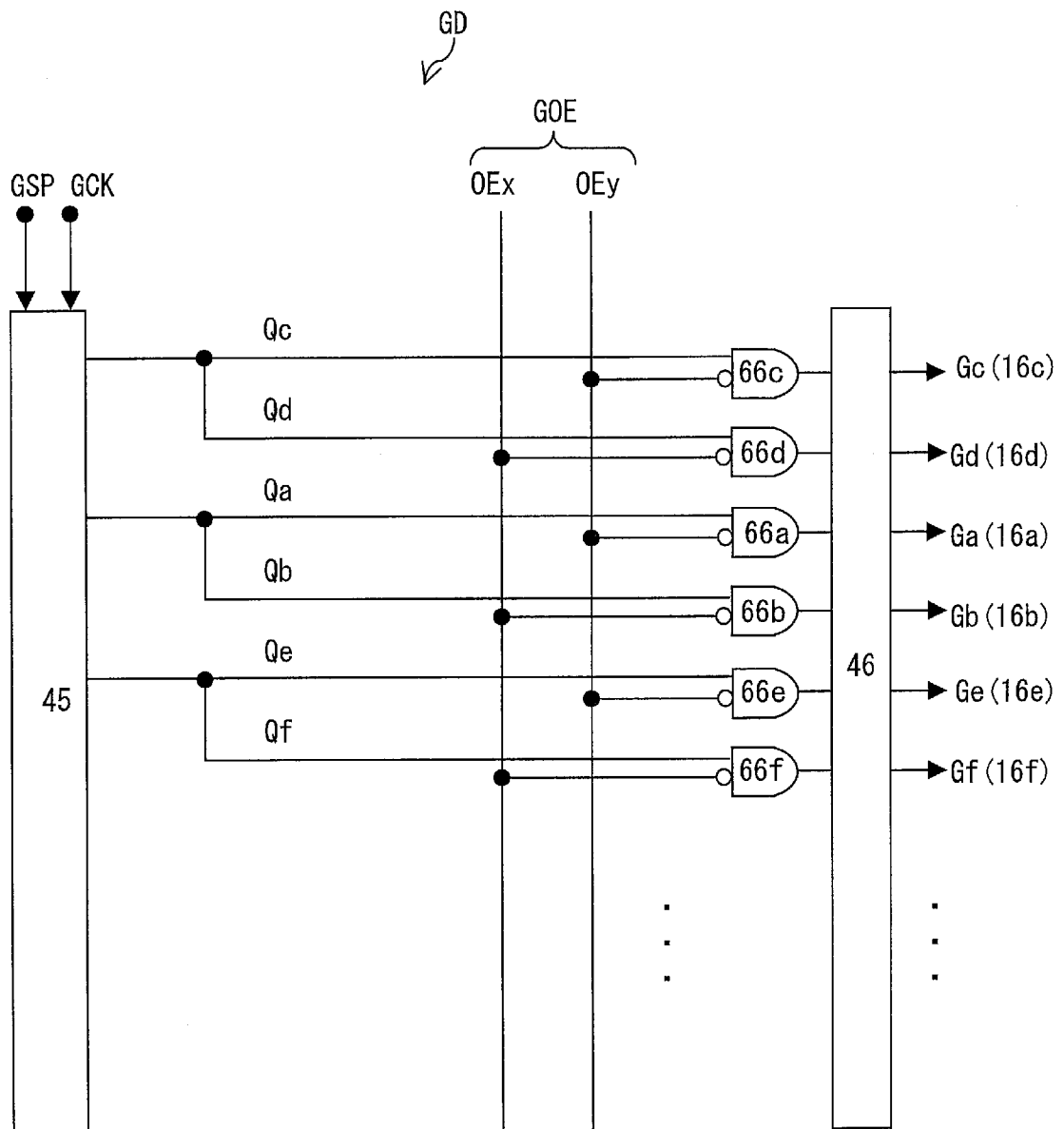
[図17]



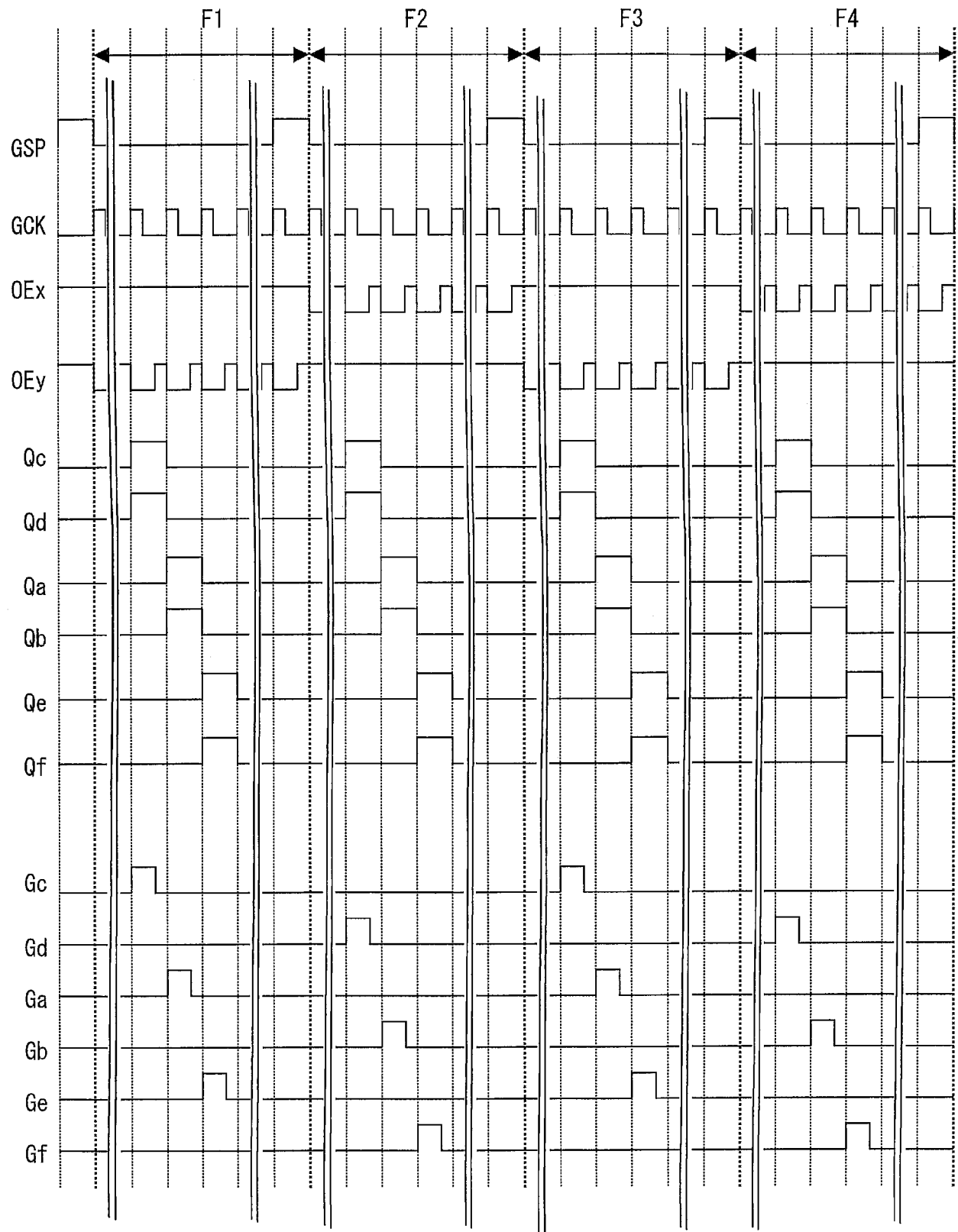
[図18]



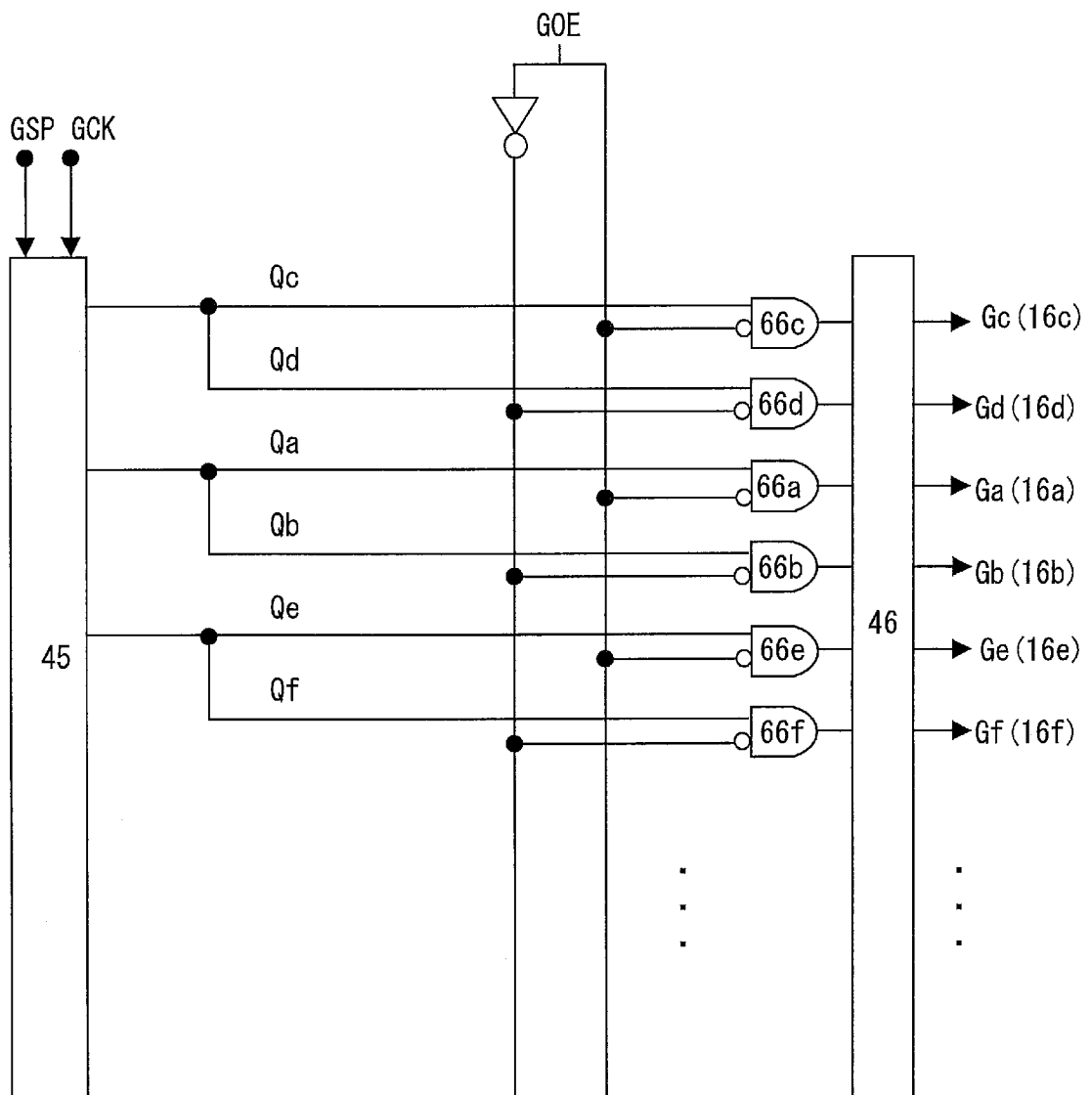
[図19]



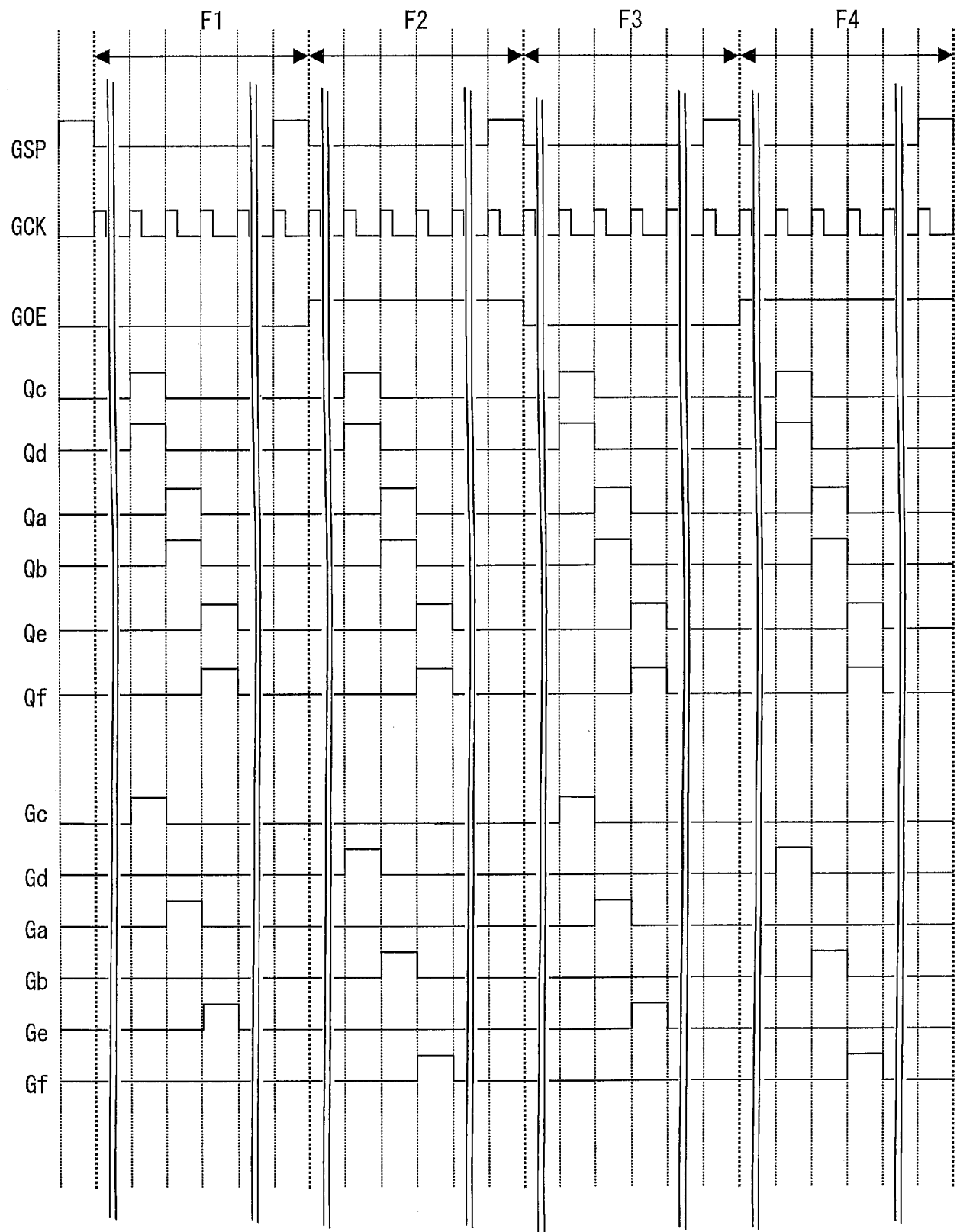
[図20]



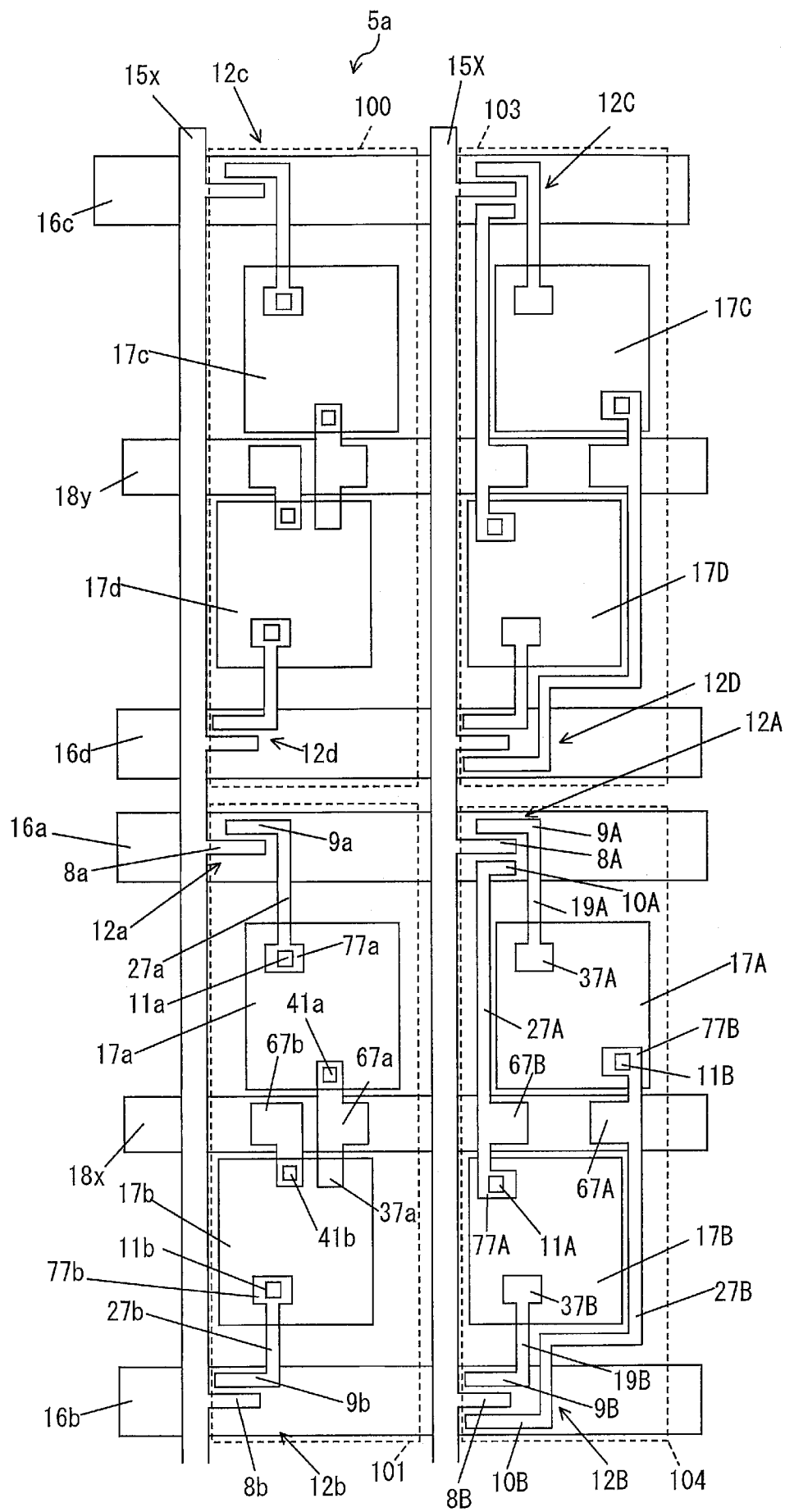
[図21]



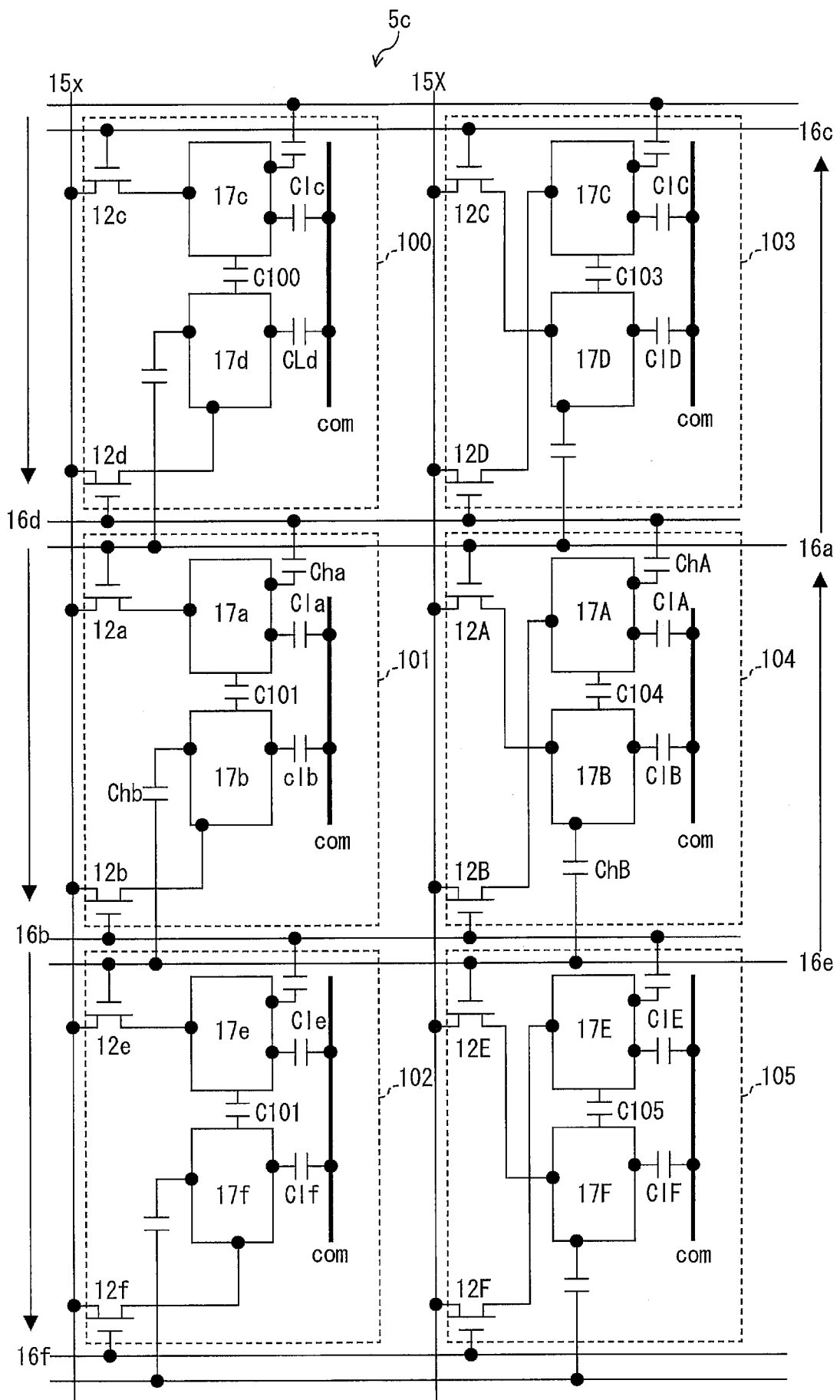
[図22]



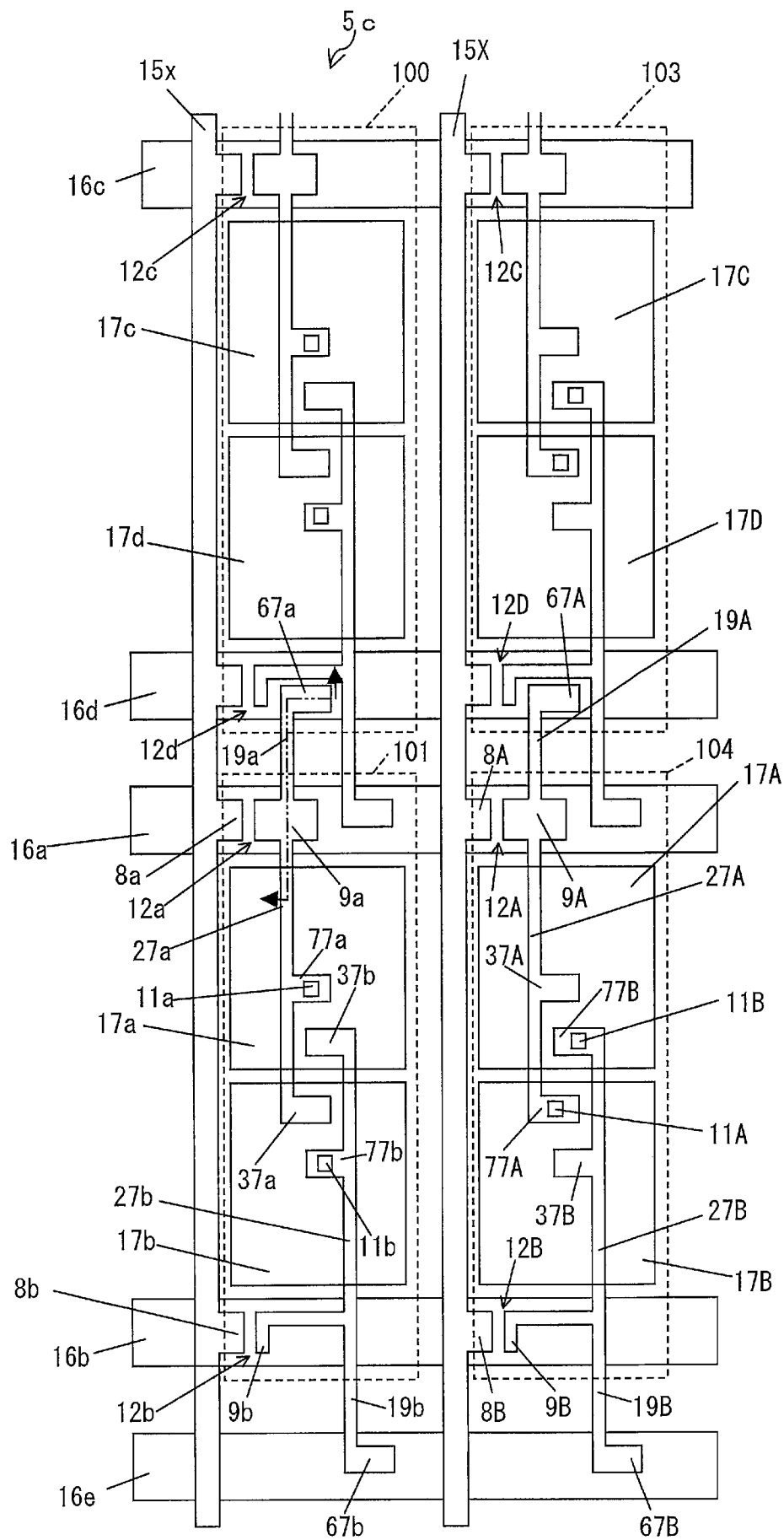
[図23]



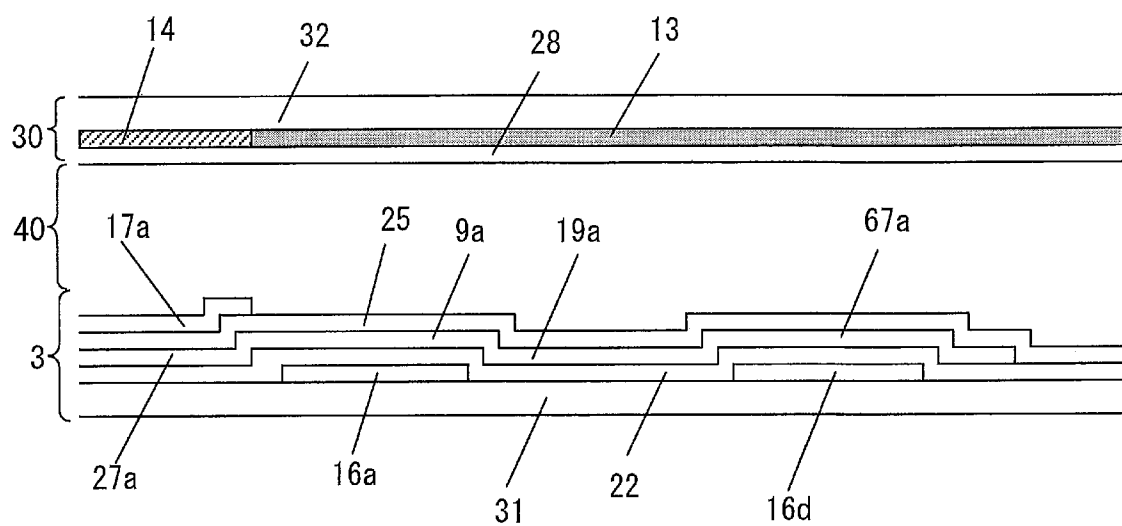
[図24]



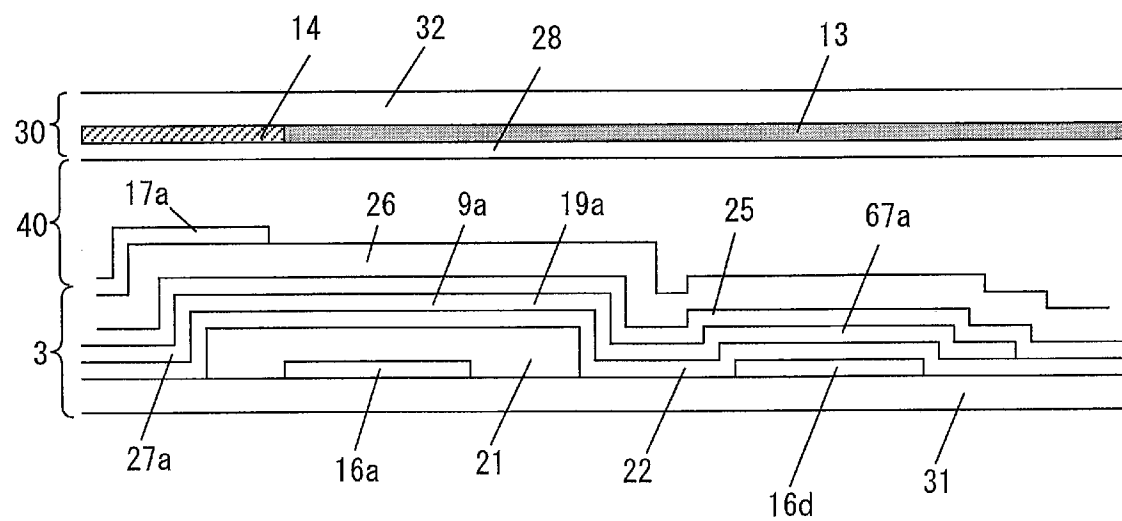
[図25]



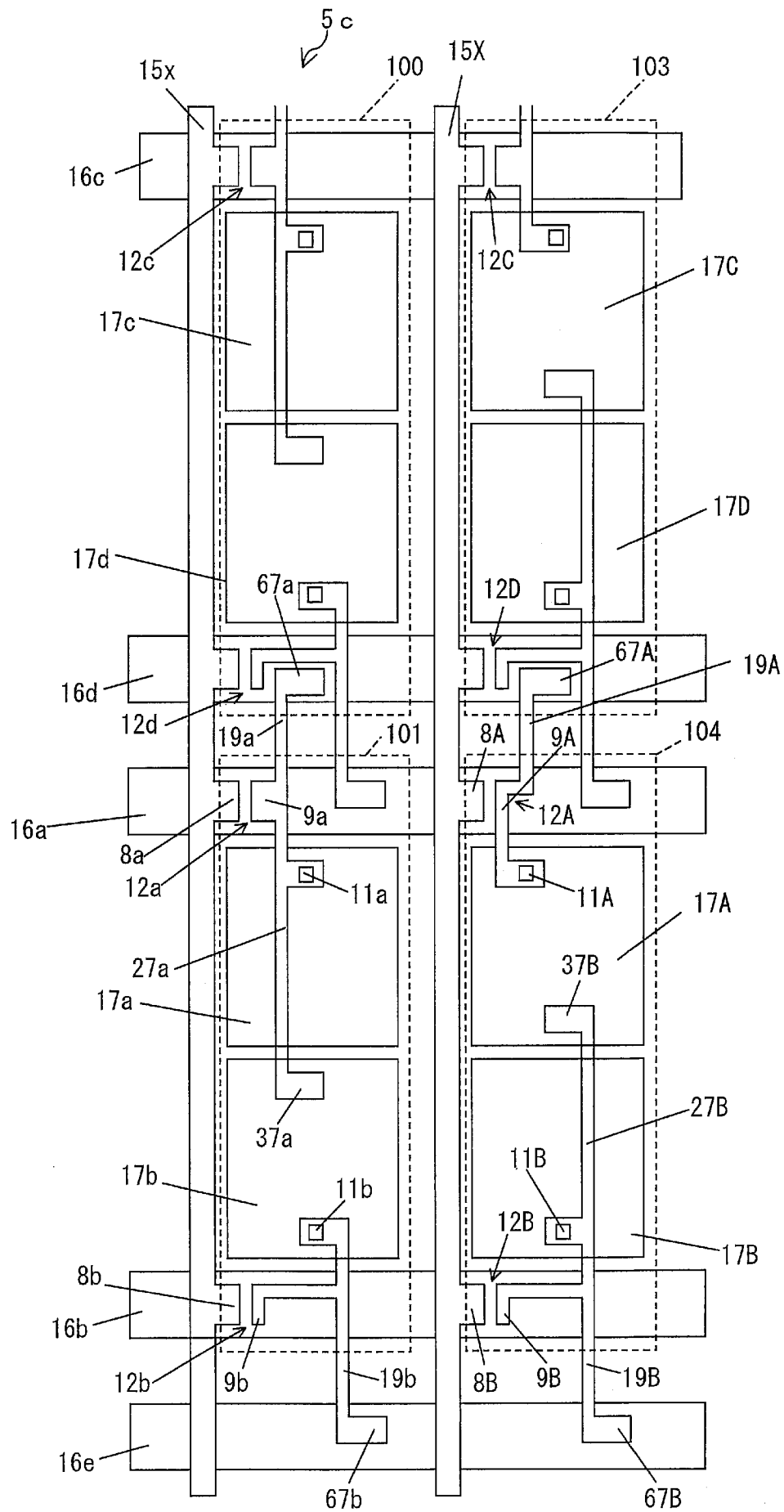
[図26]



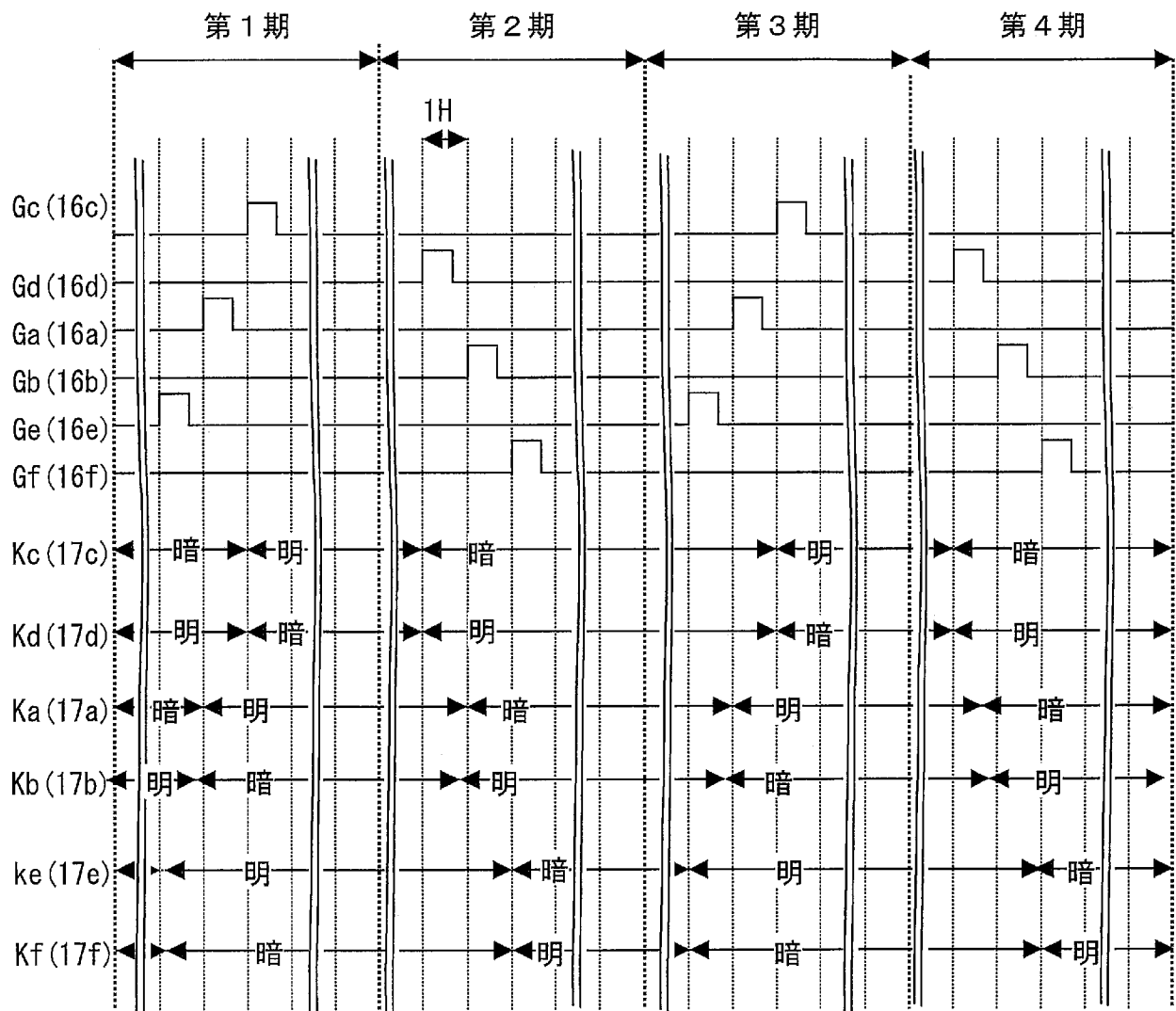
[図27]



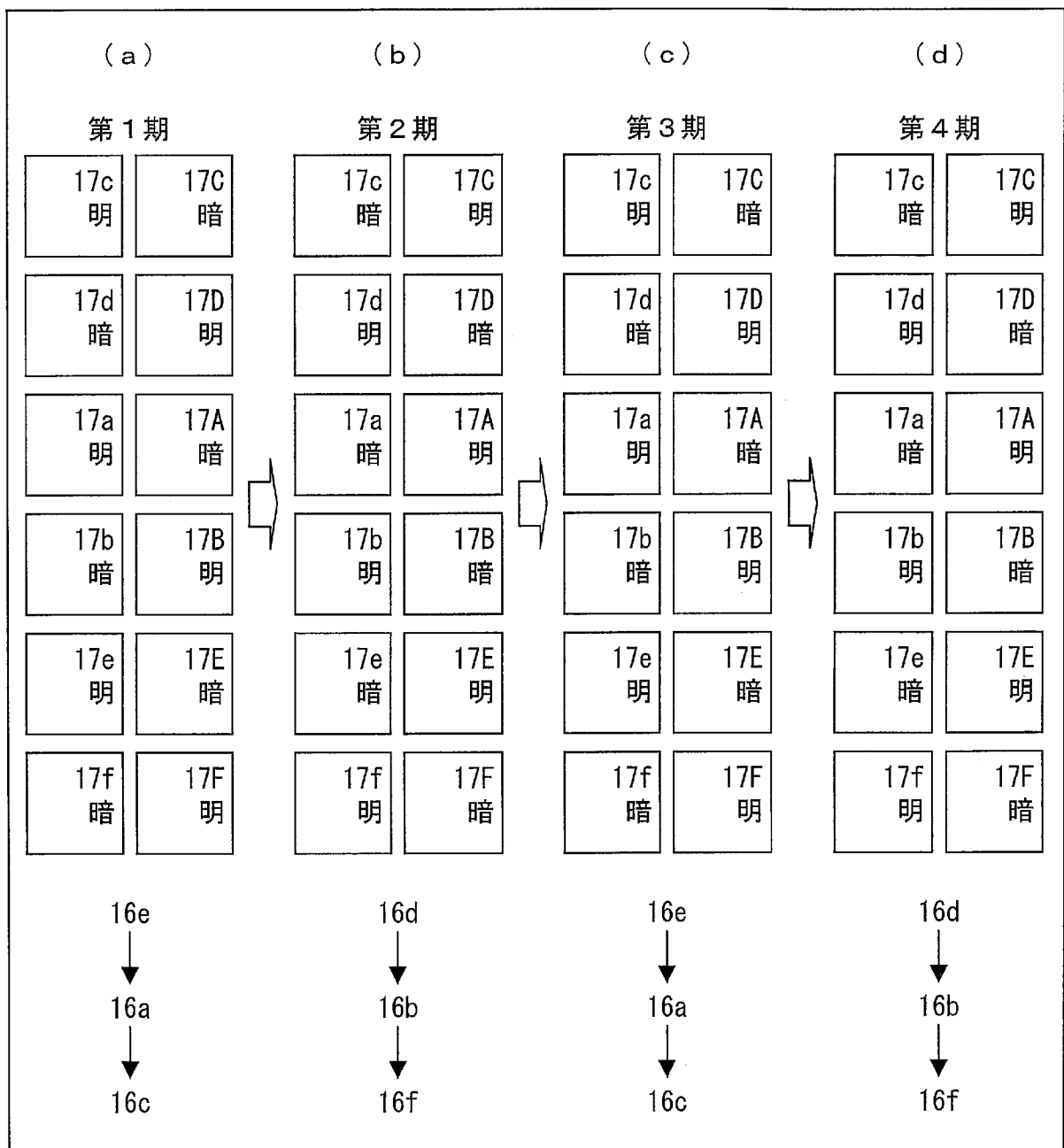
[図28]



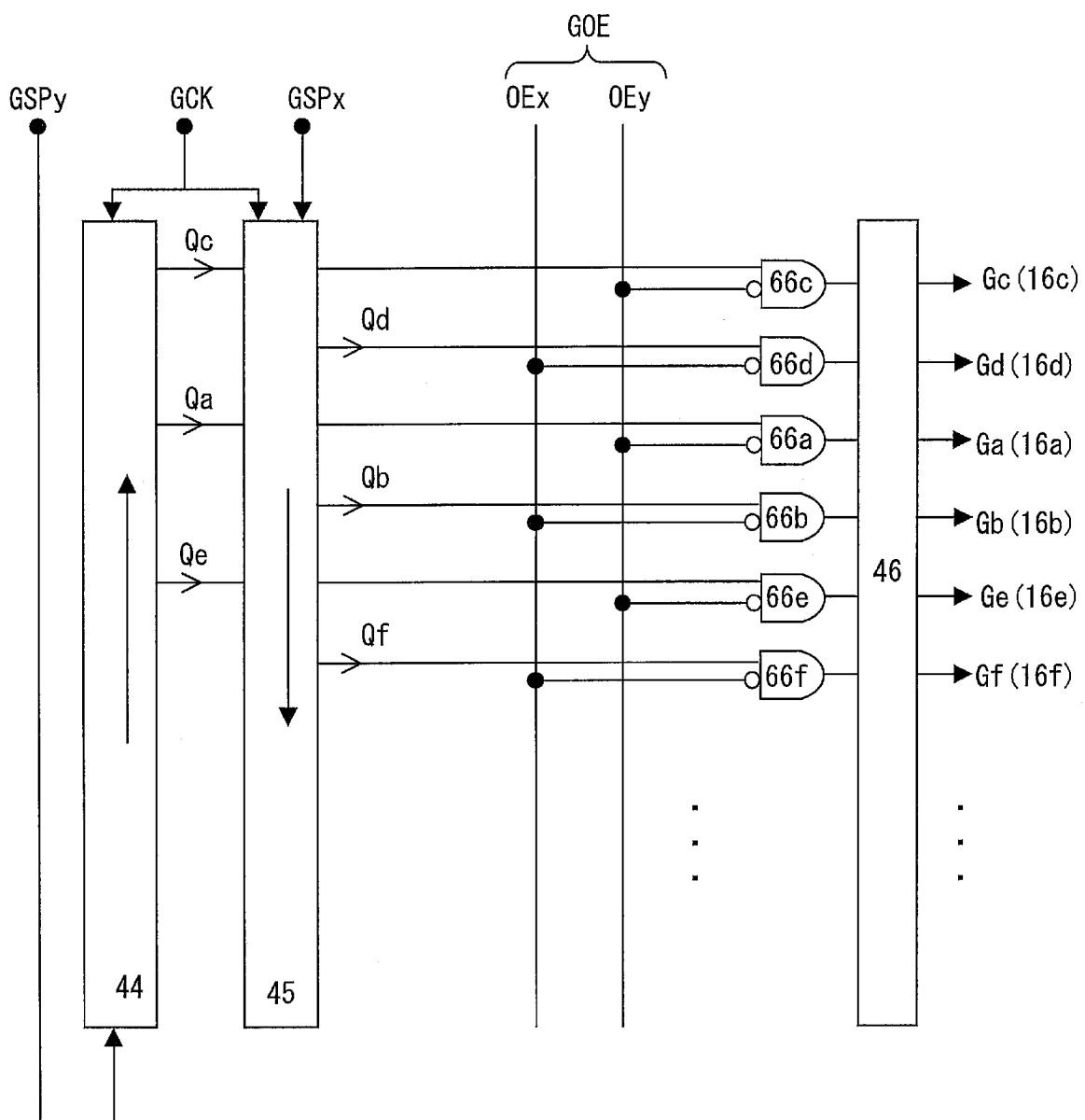
[図30]



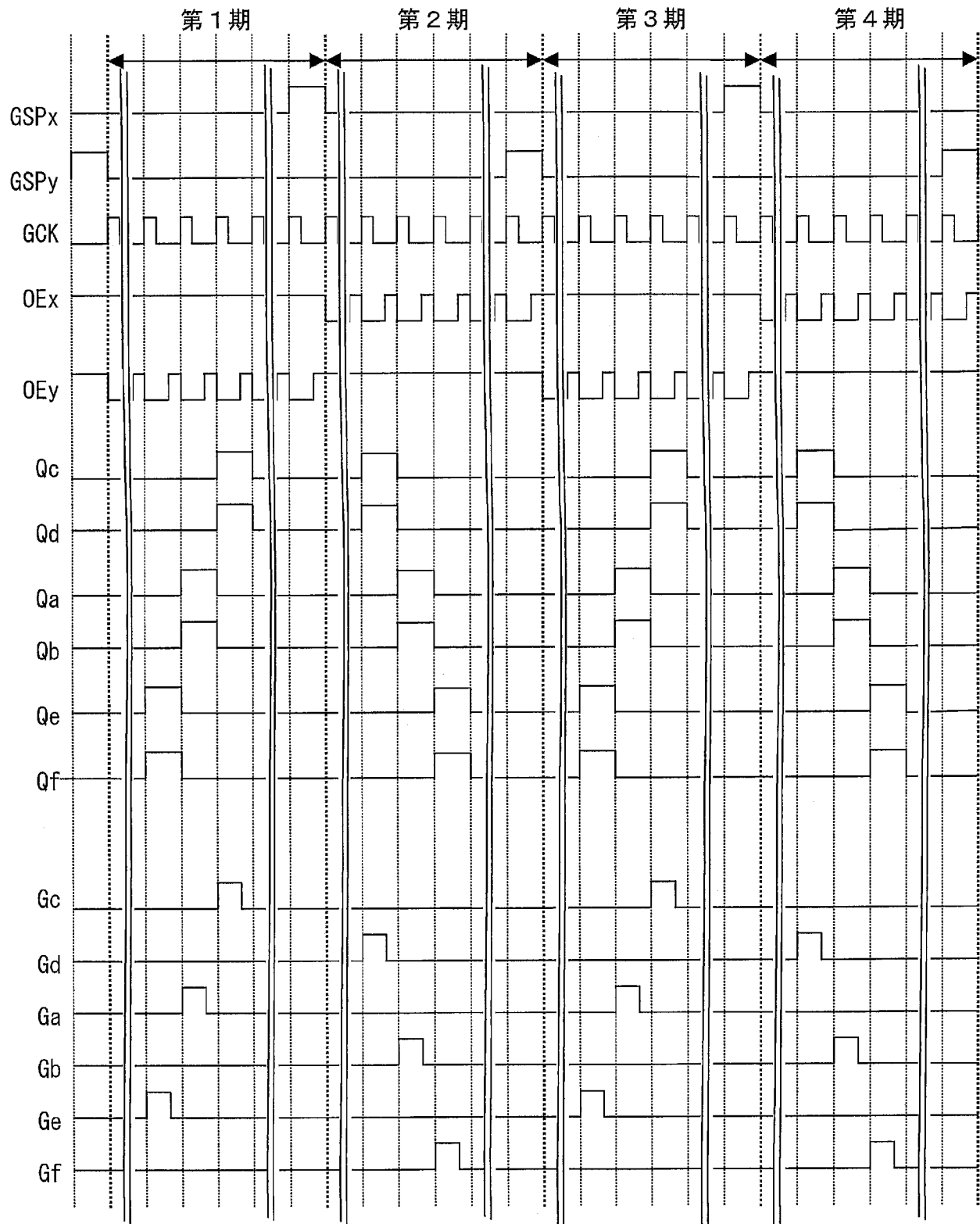
[図31]



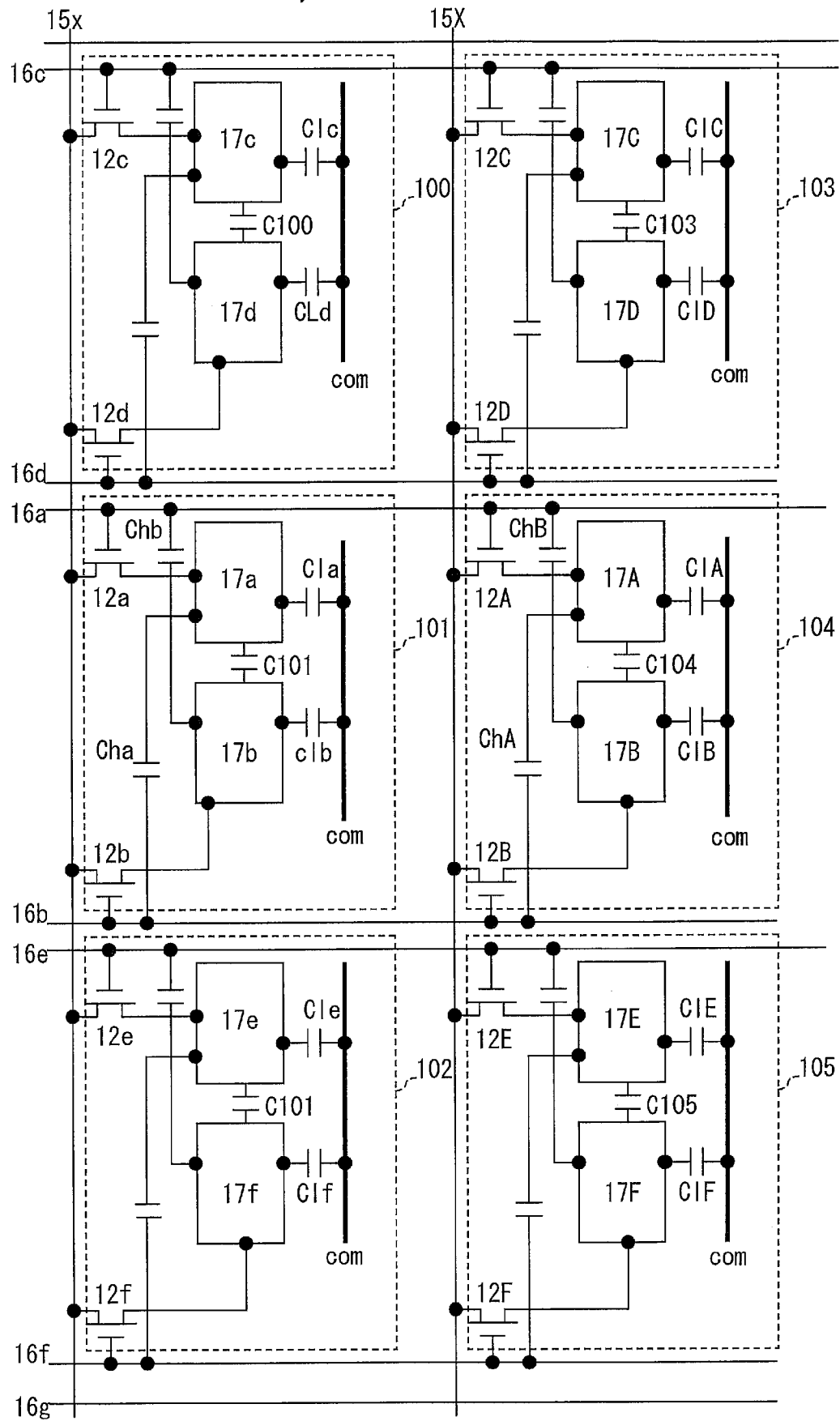
[図32]



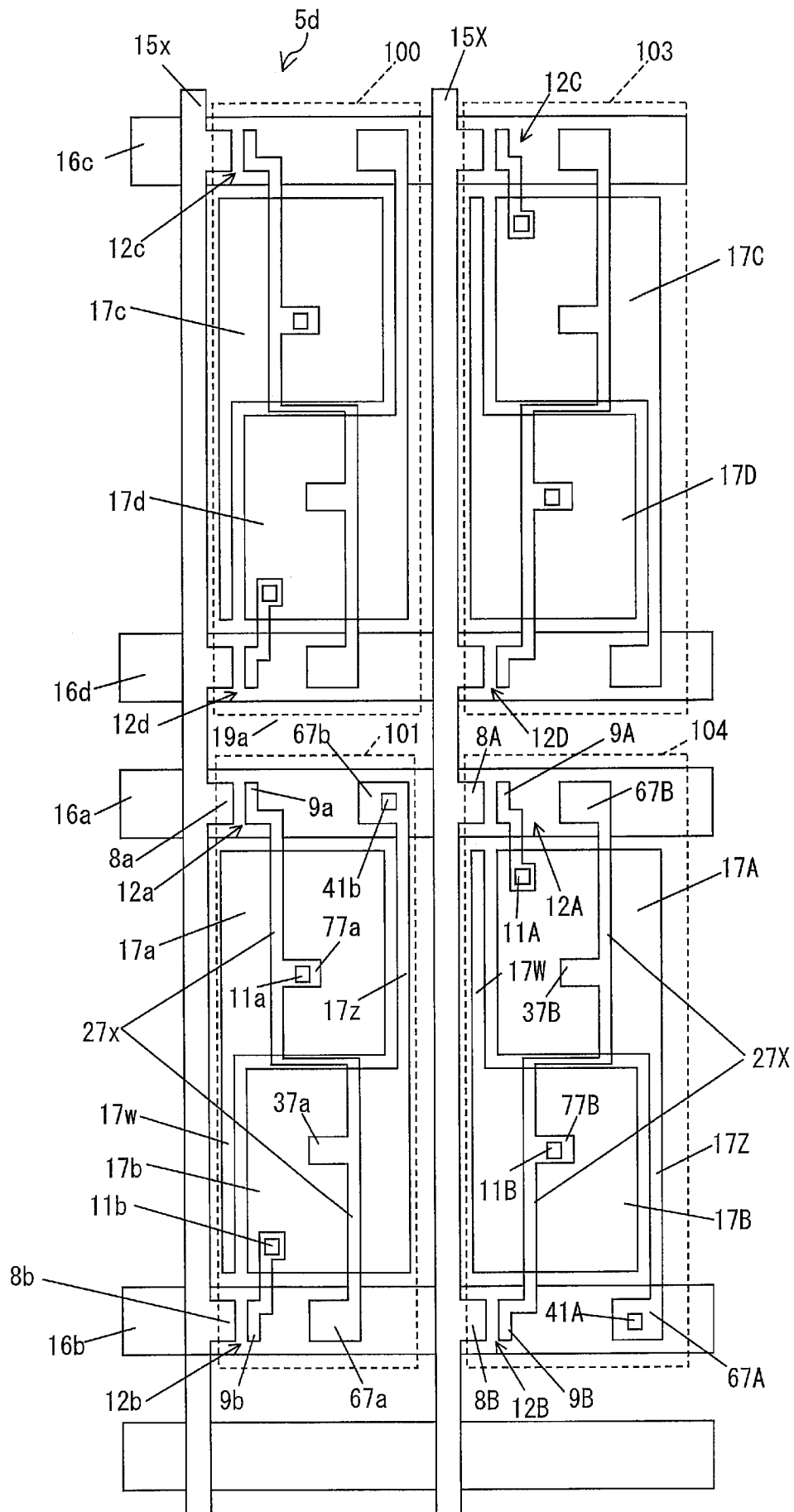
[図33]



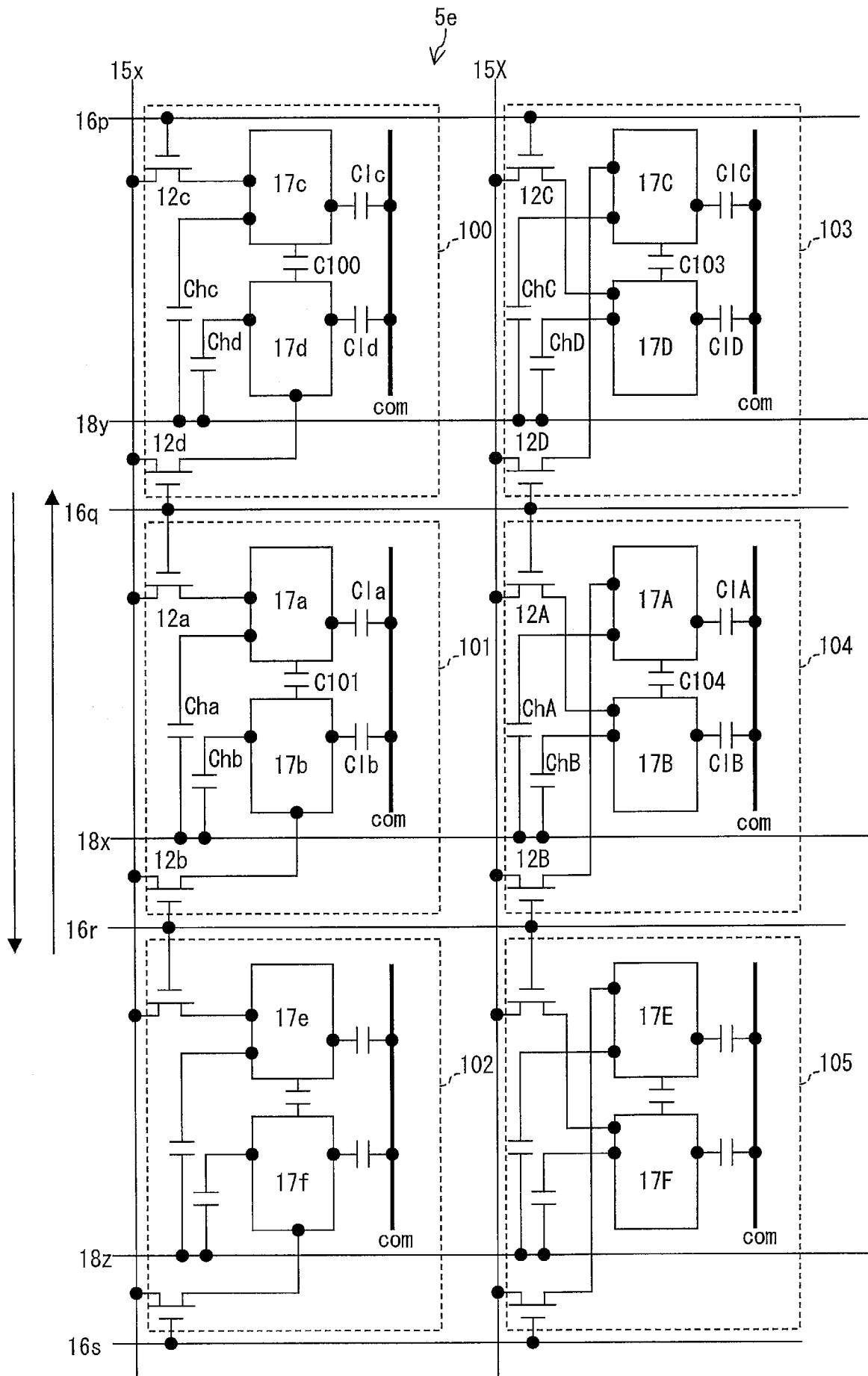
5d



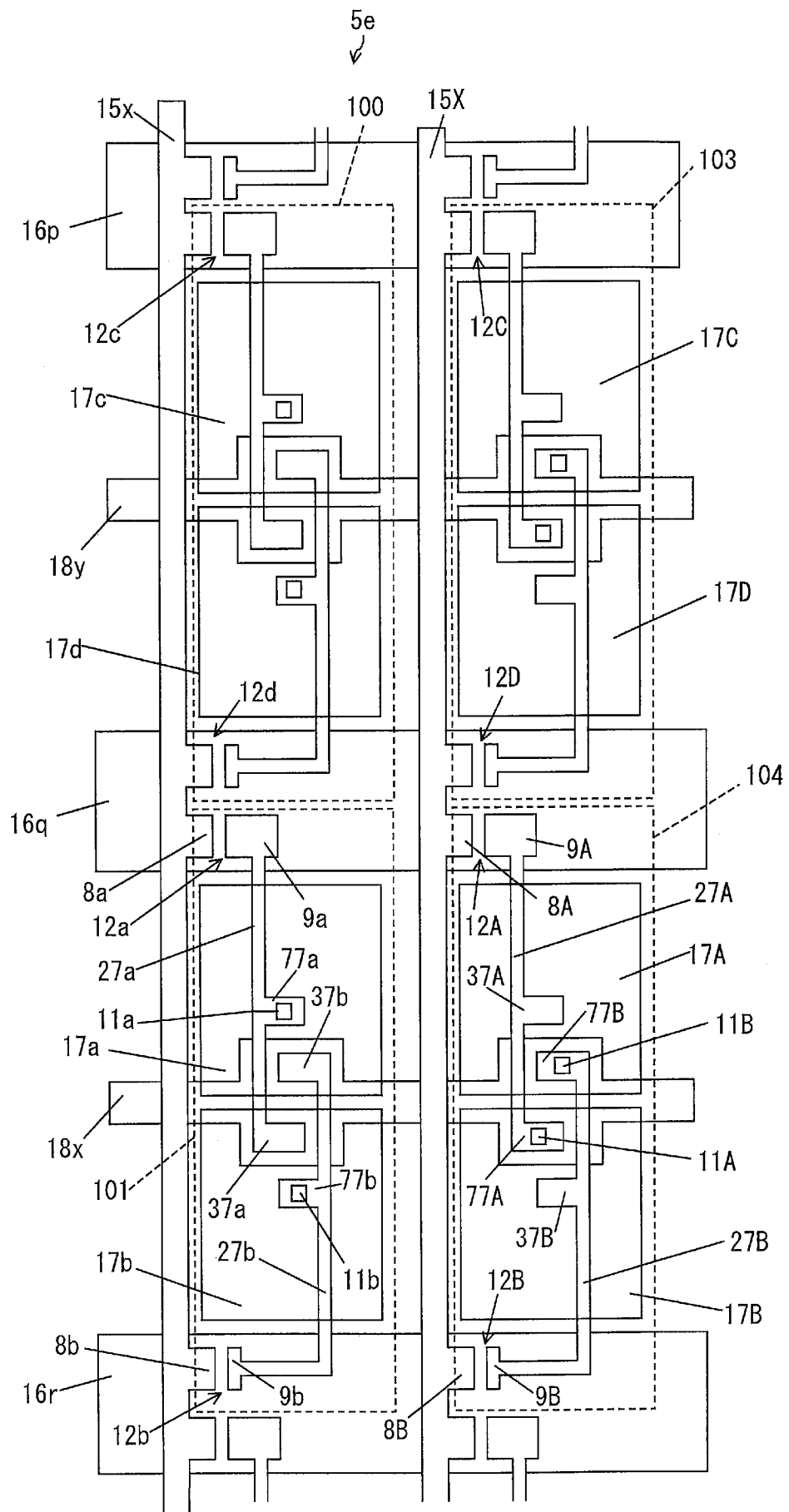
[図35]



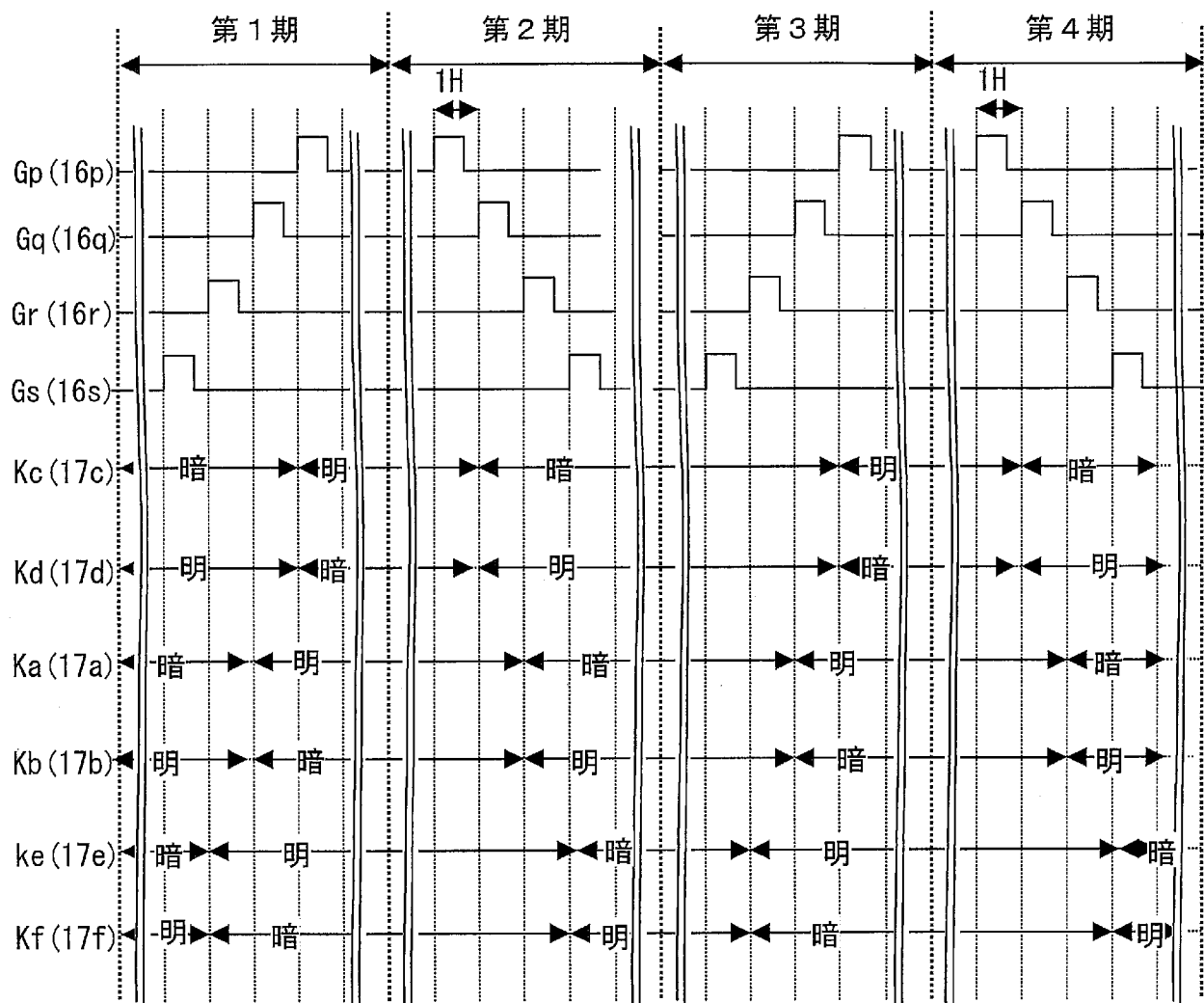
[図36]



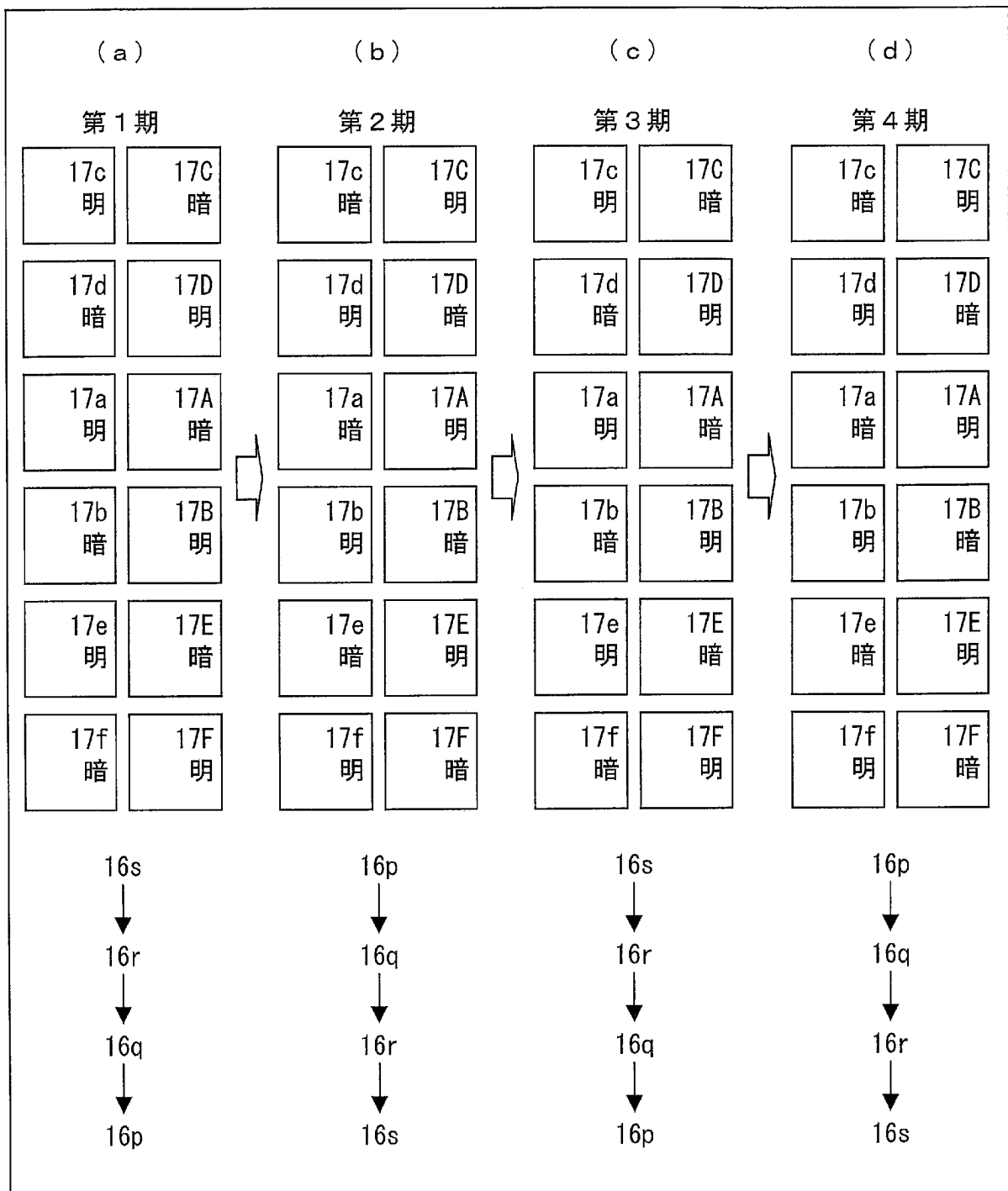
[図37]



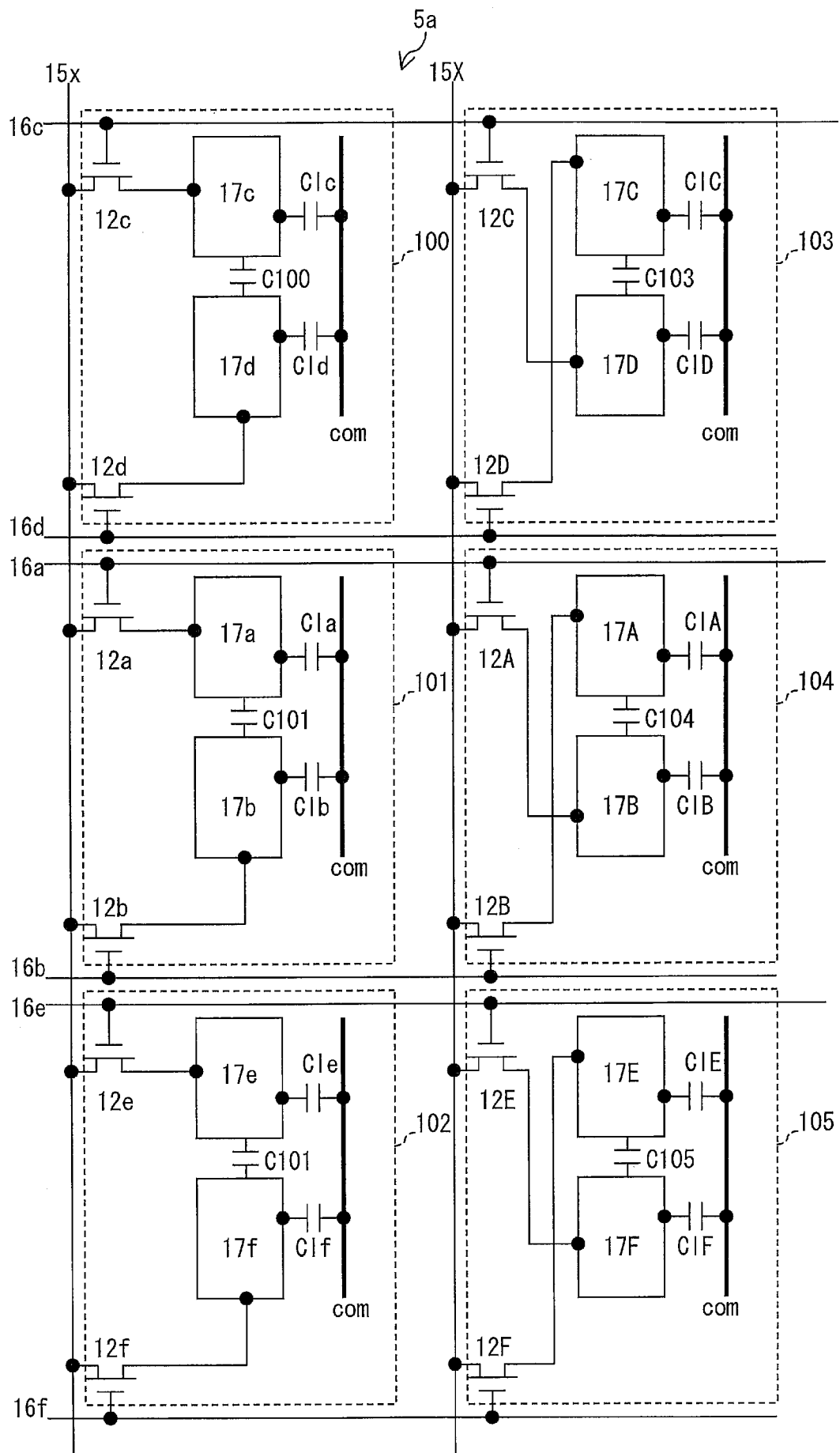
[図38]



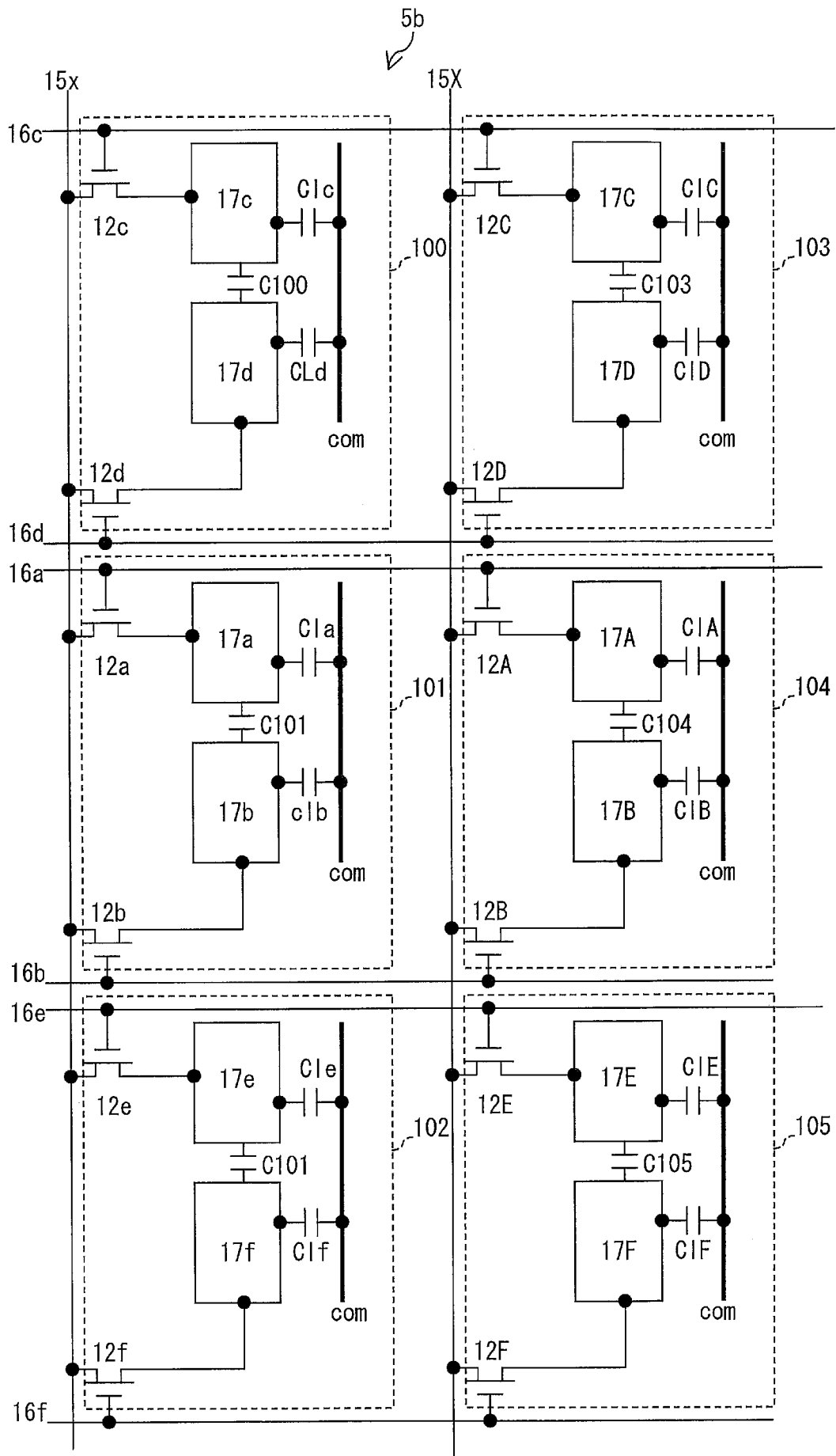
[図39]



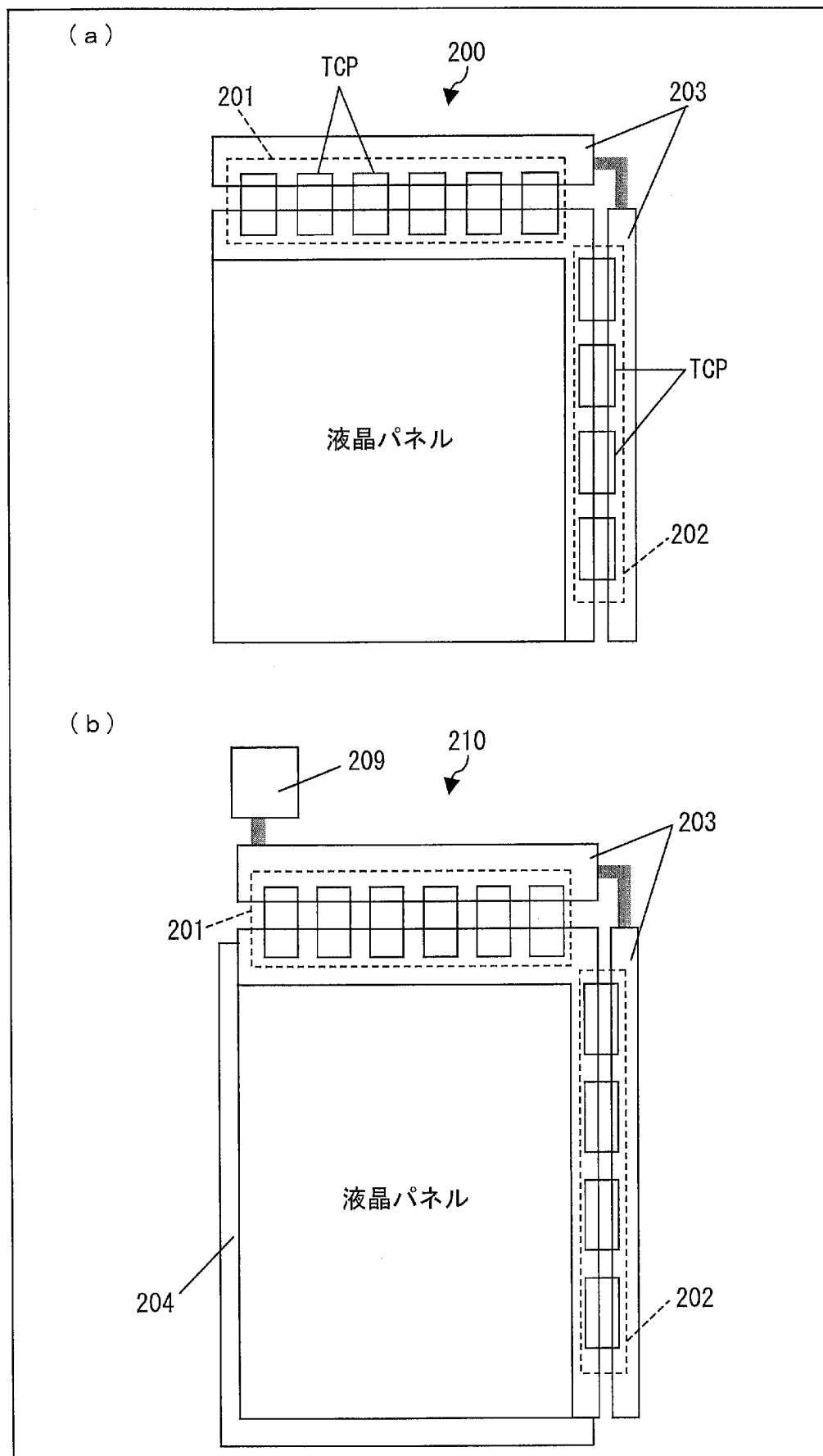
[図40]



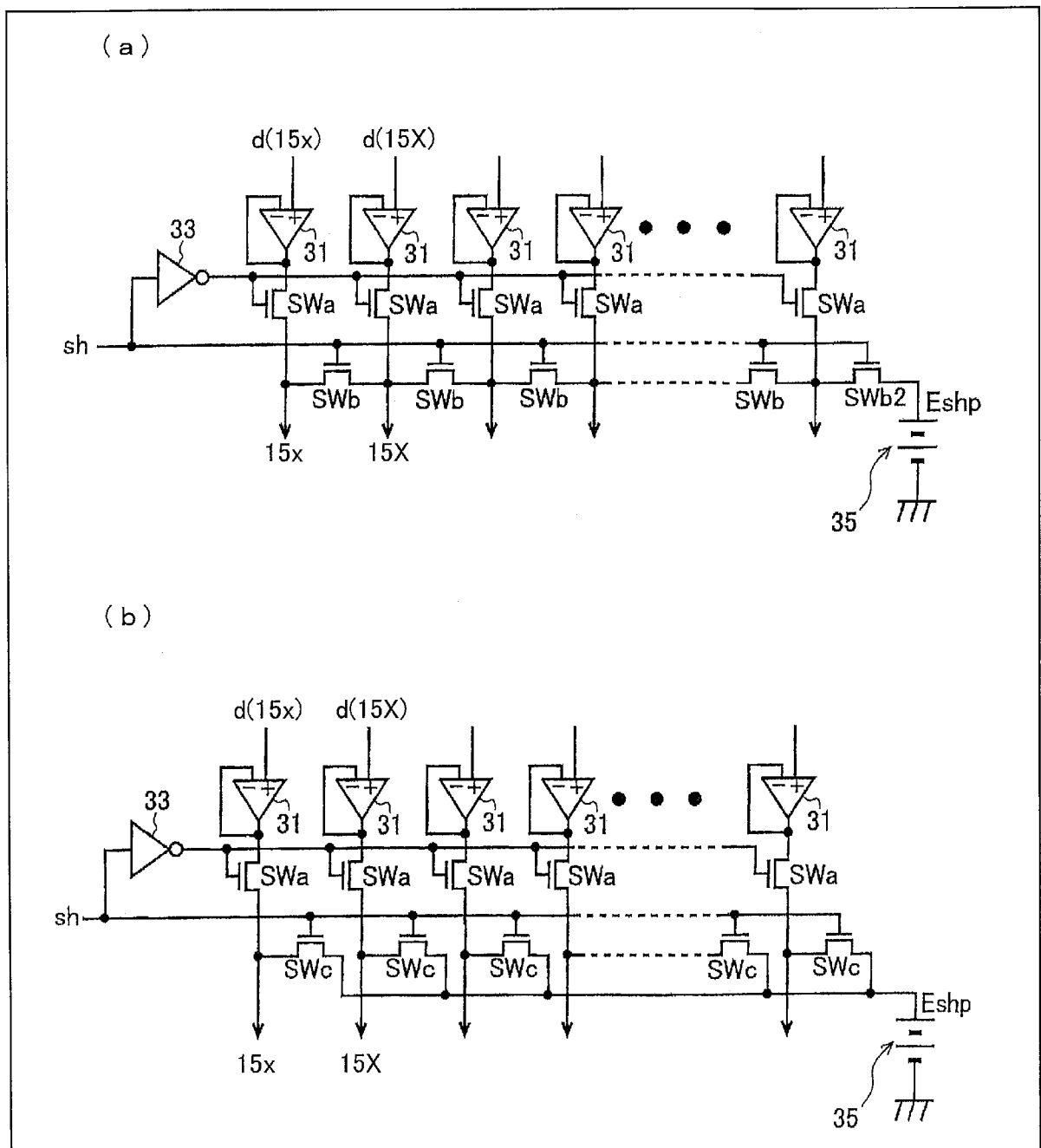
[図41]



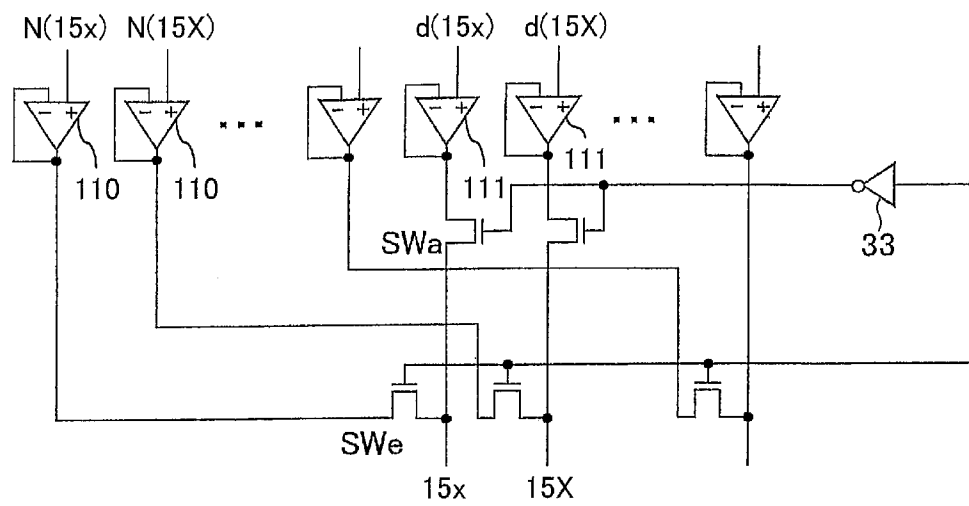
[図42]



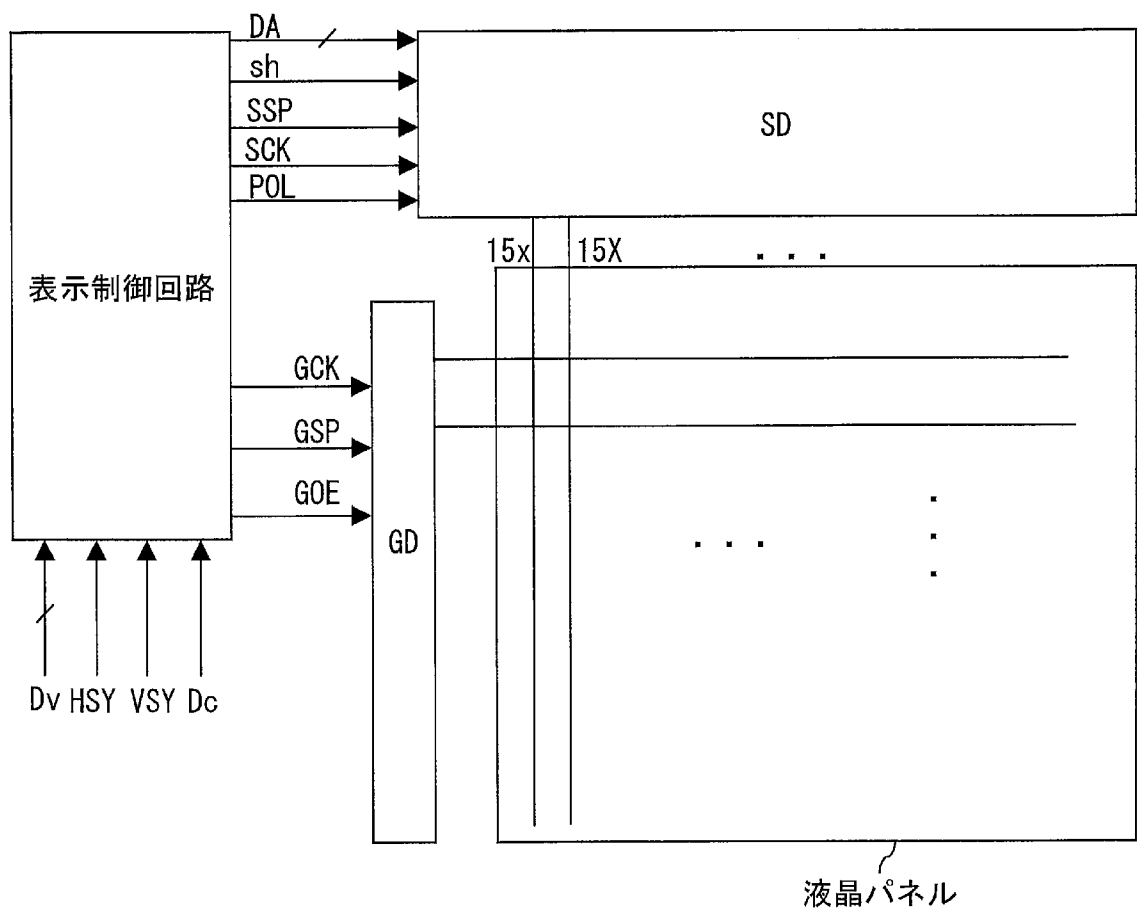
[図43]



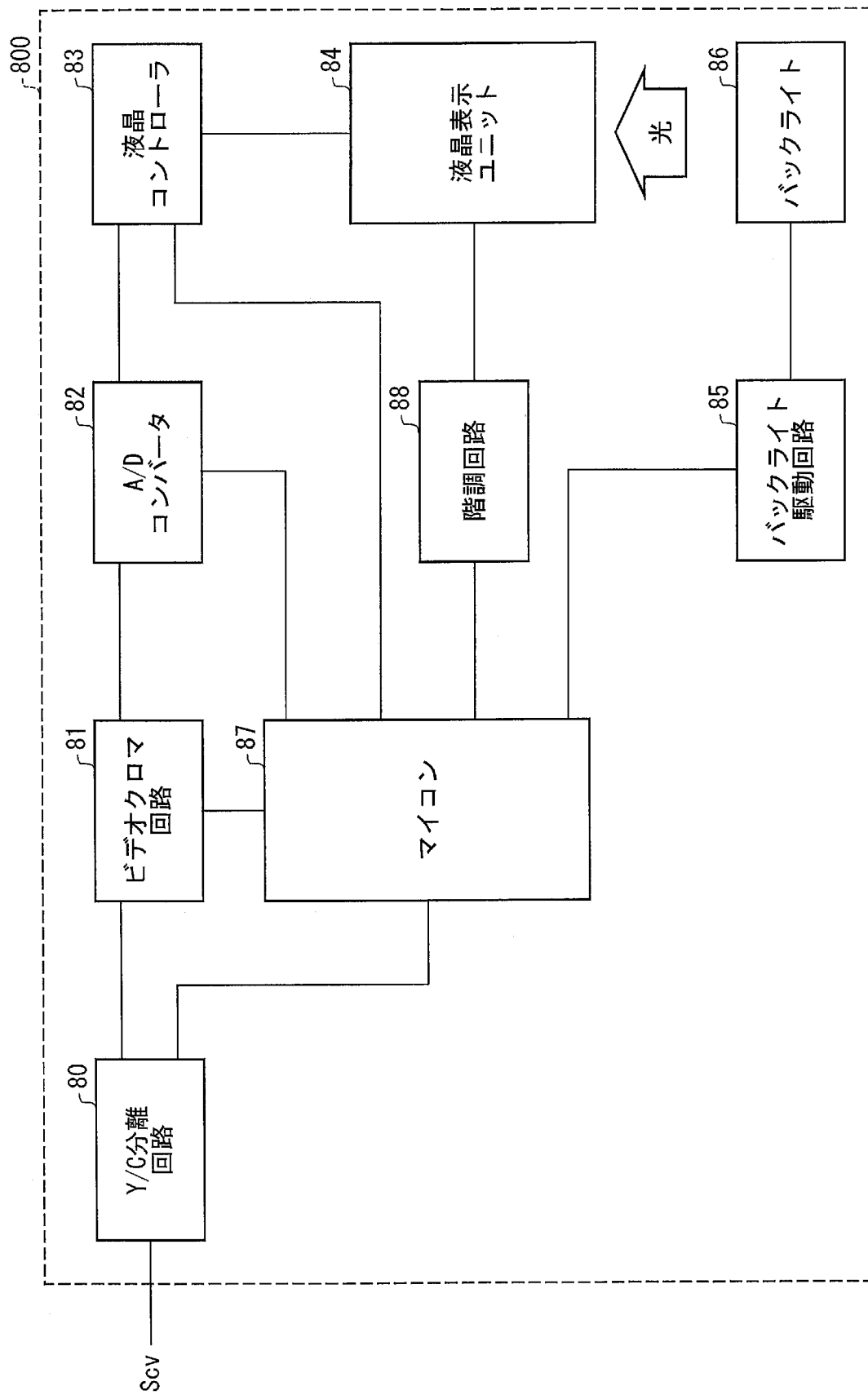
[図44]



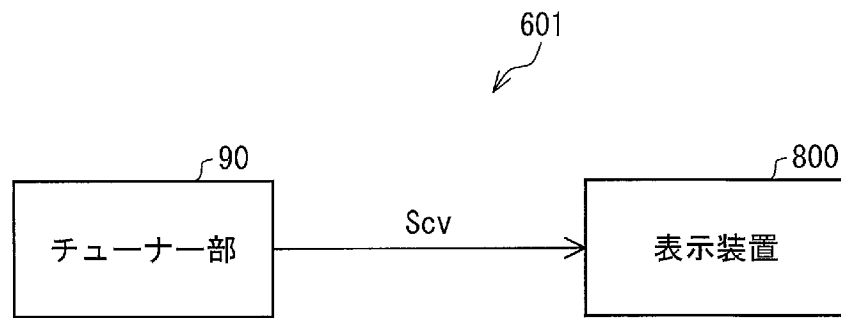
[図45]



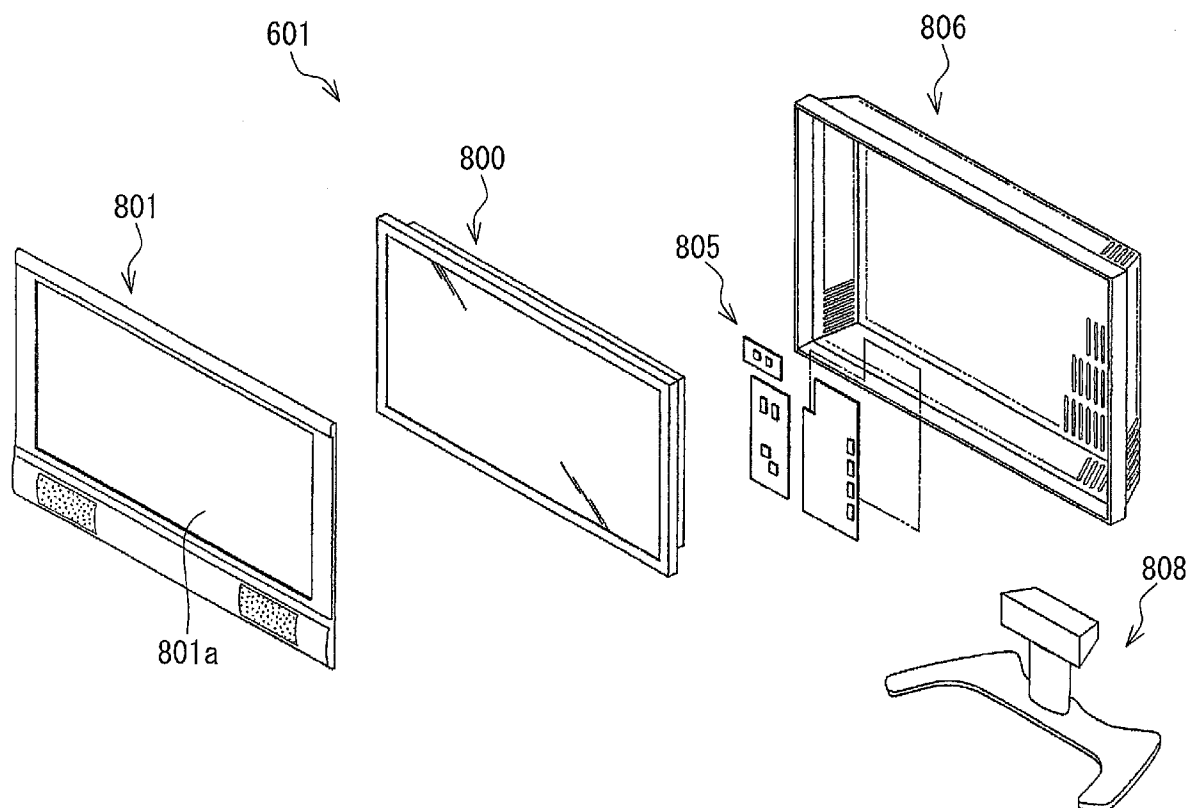
[図46]



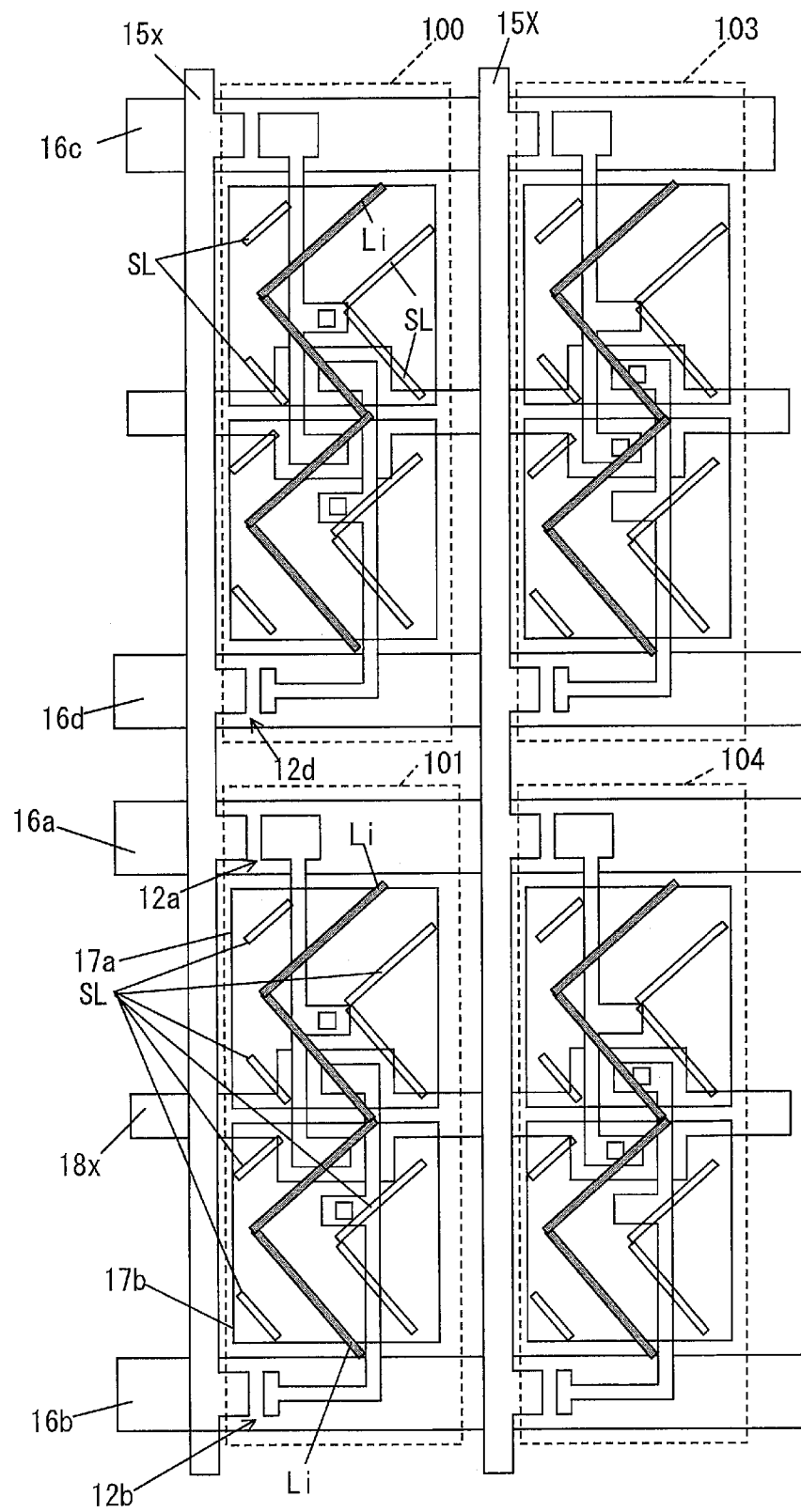
[図47]



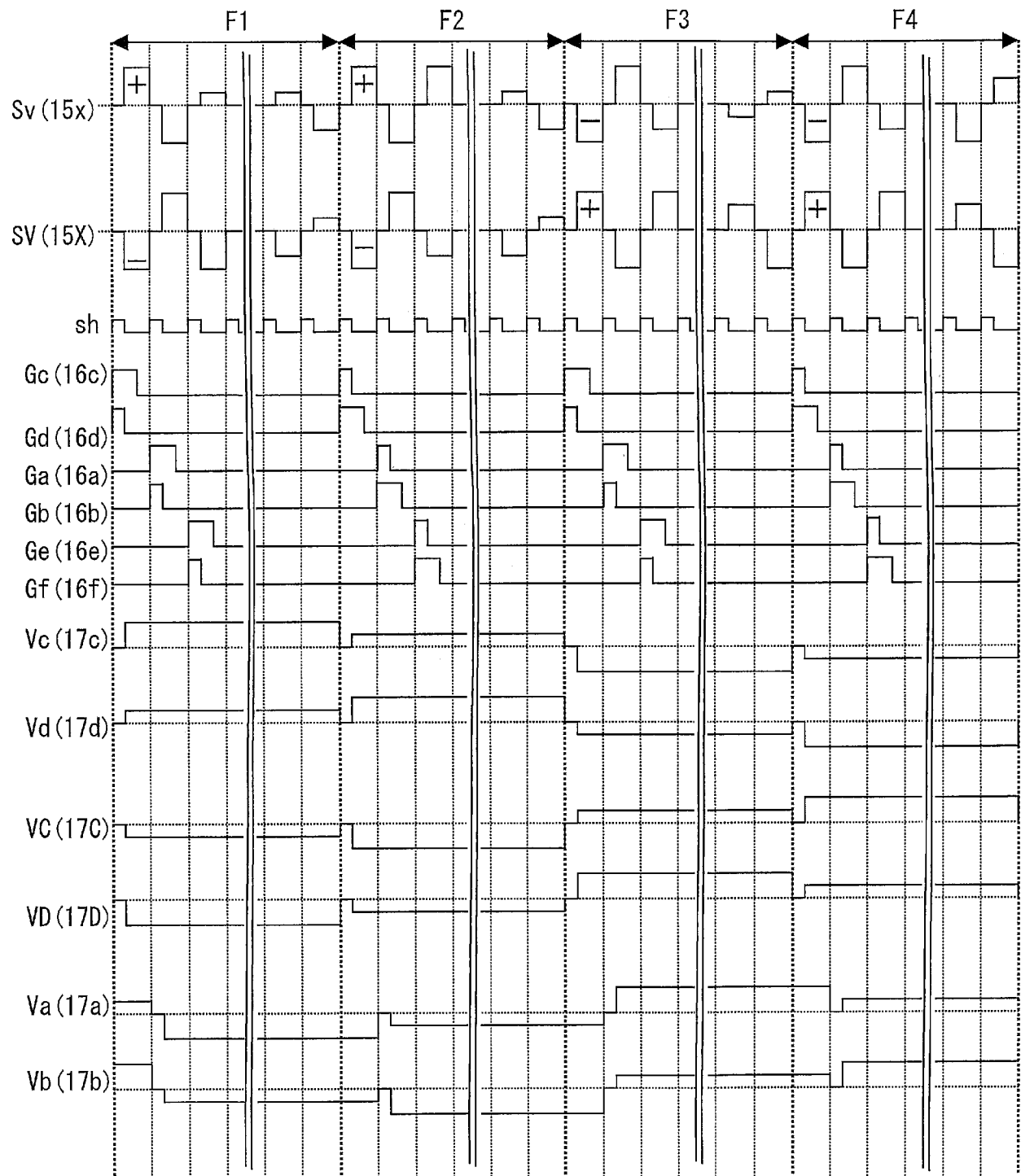
[図48]



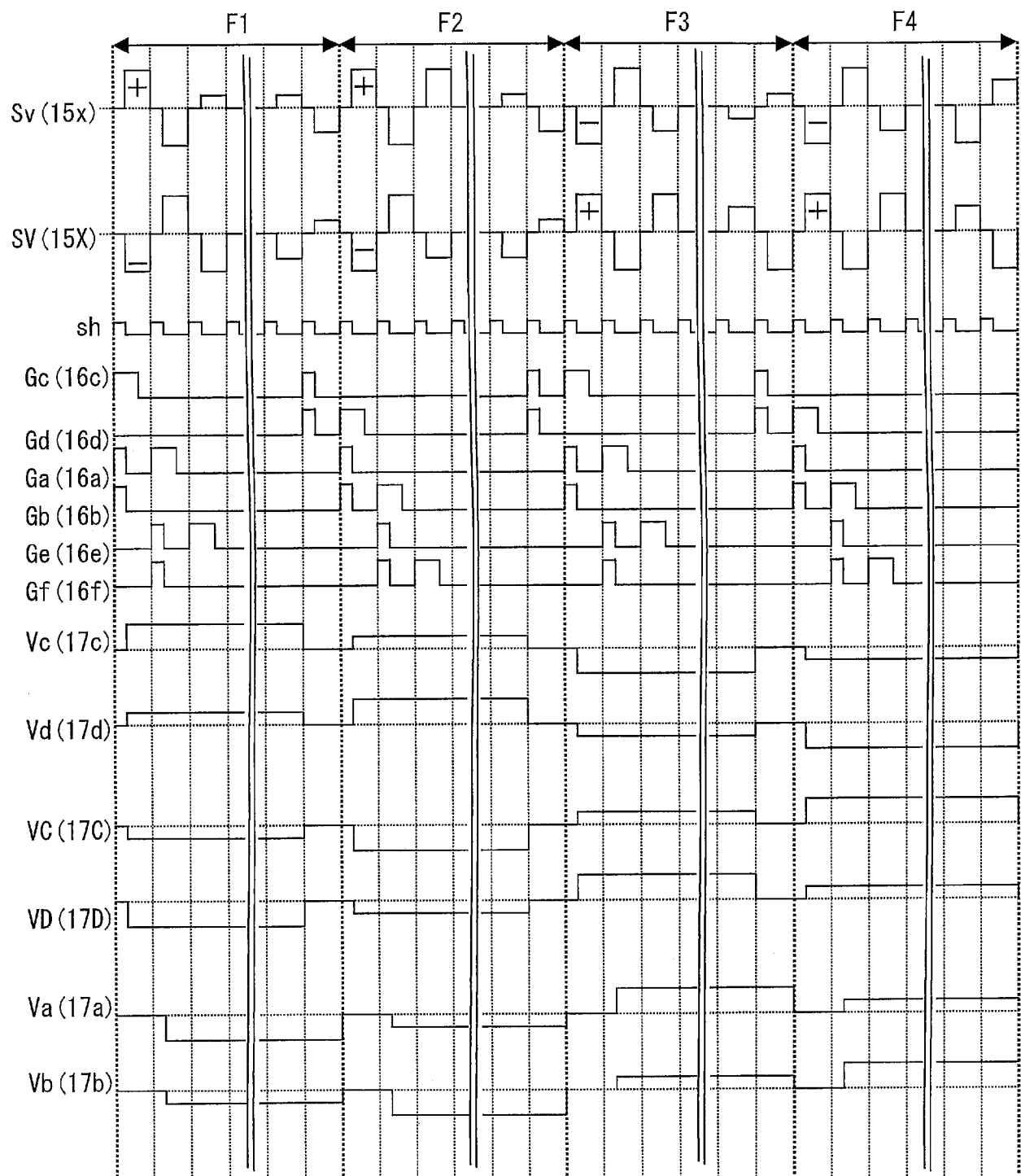
[図49]



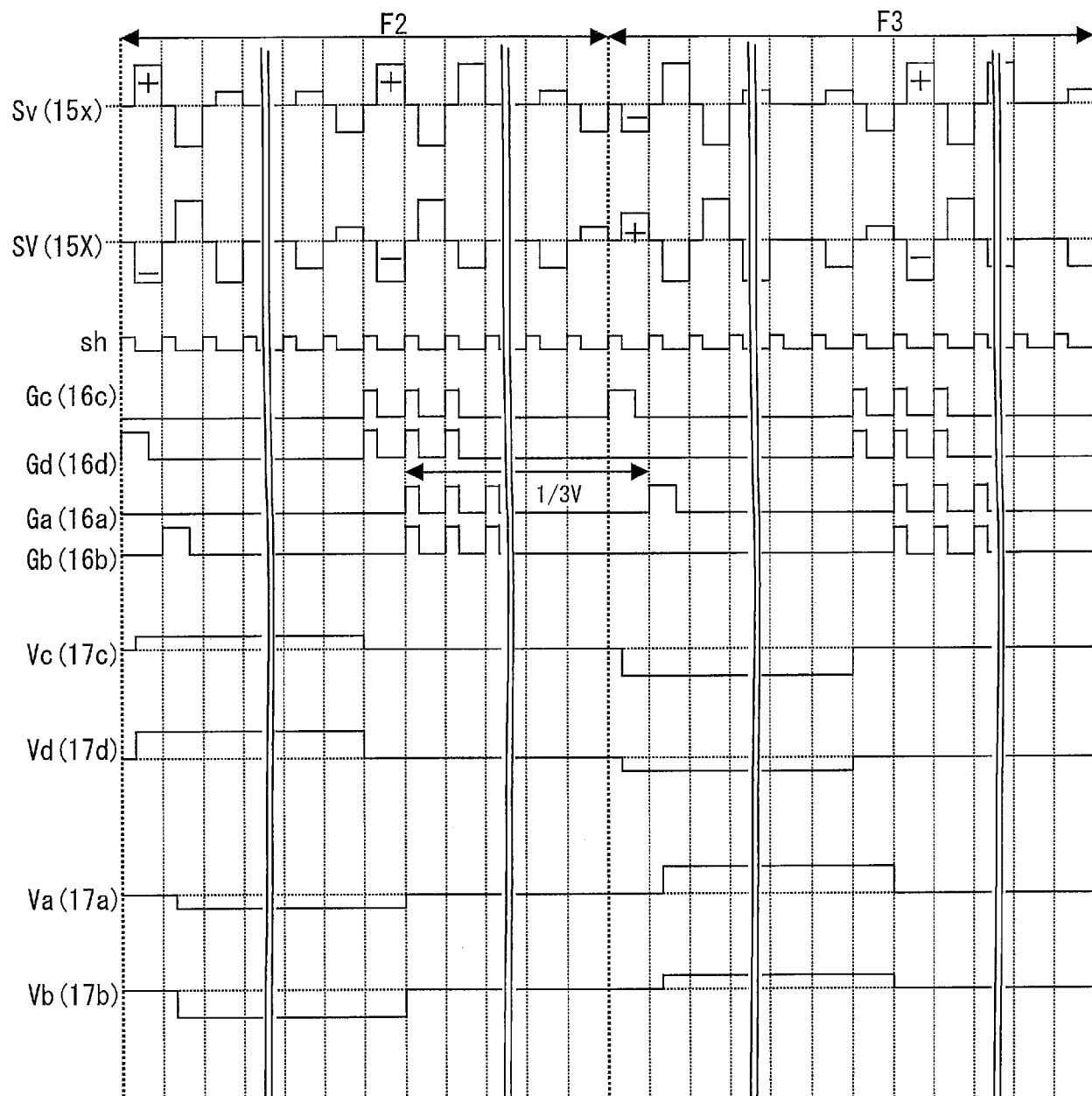
[図50]



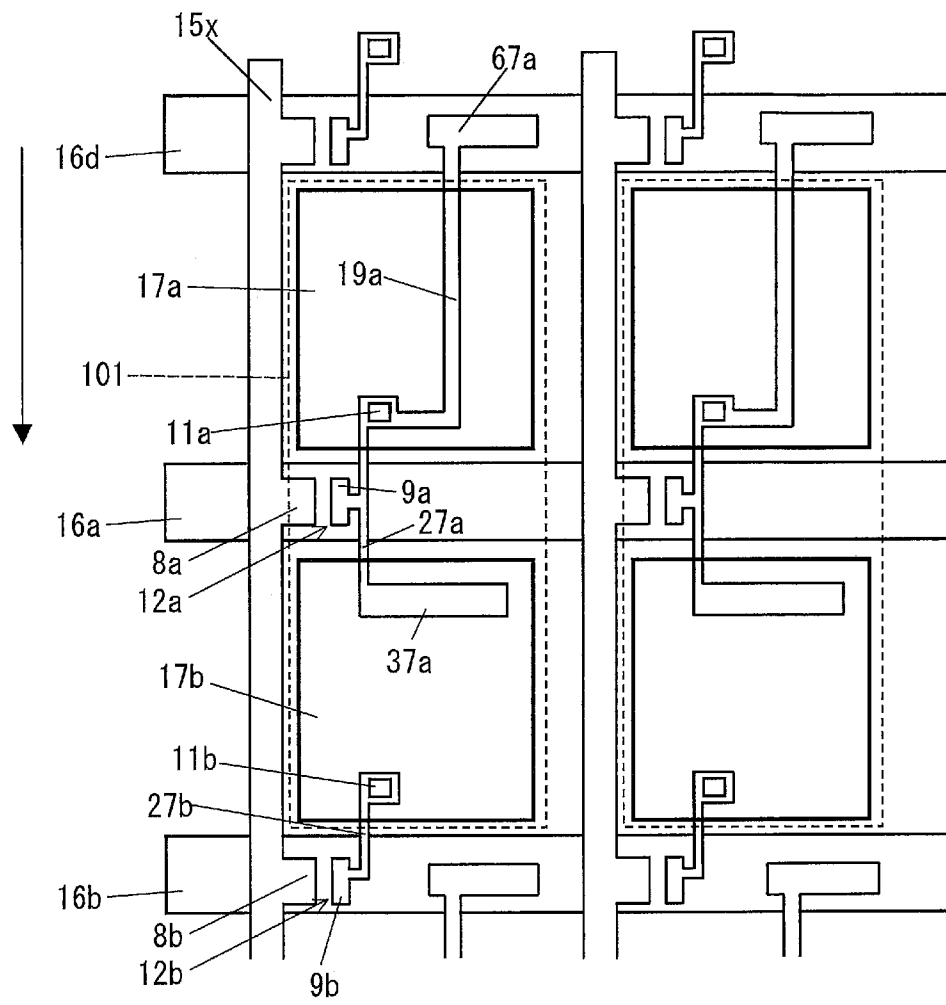
[図51]



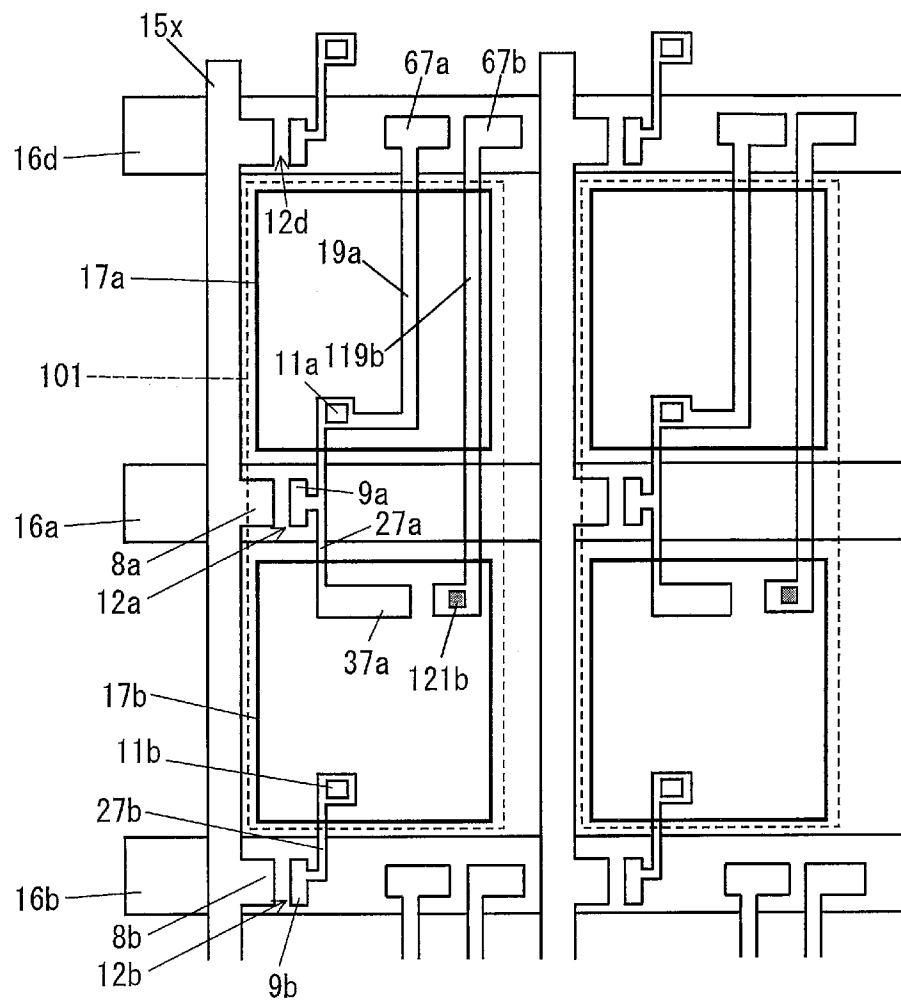
[図52]



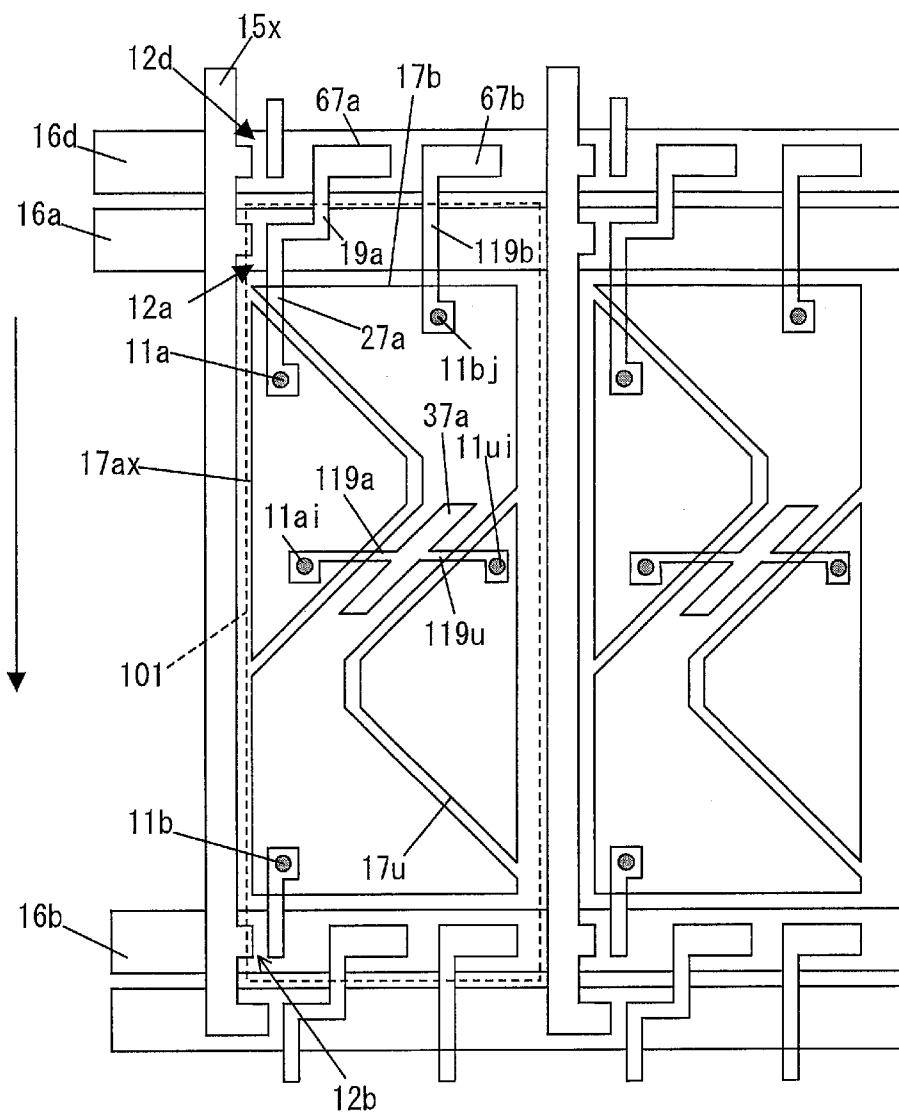
[図53]



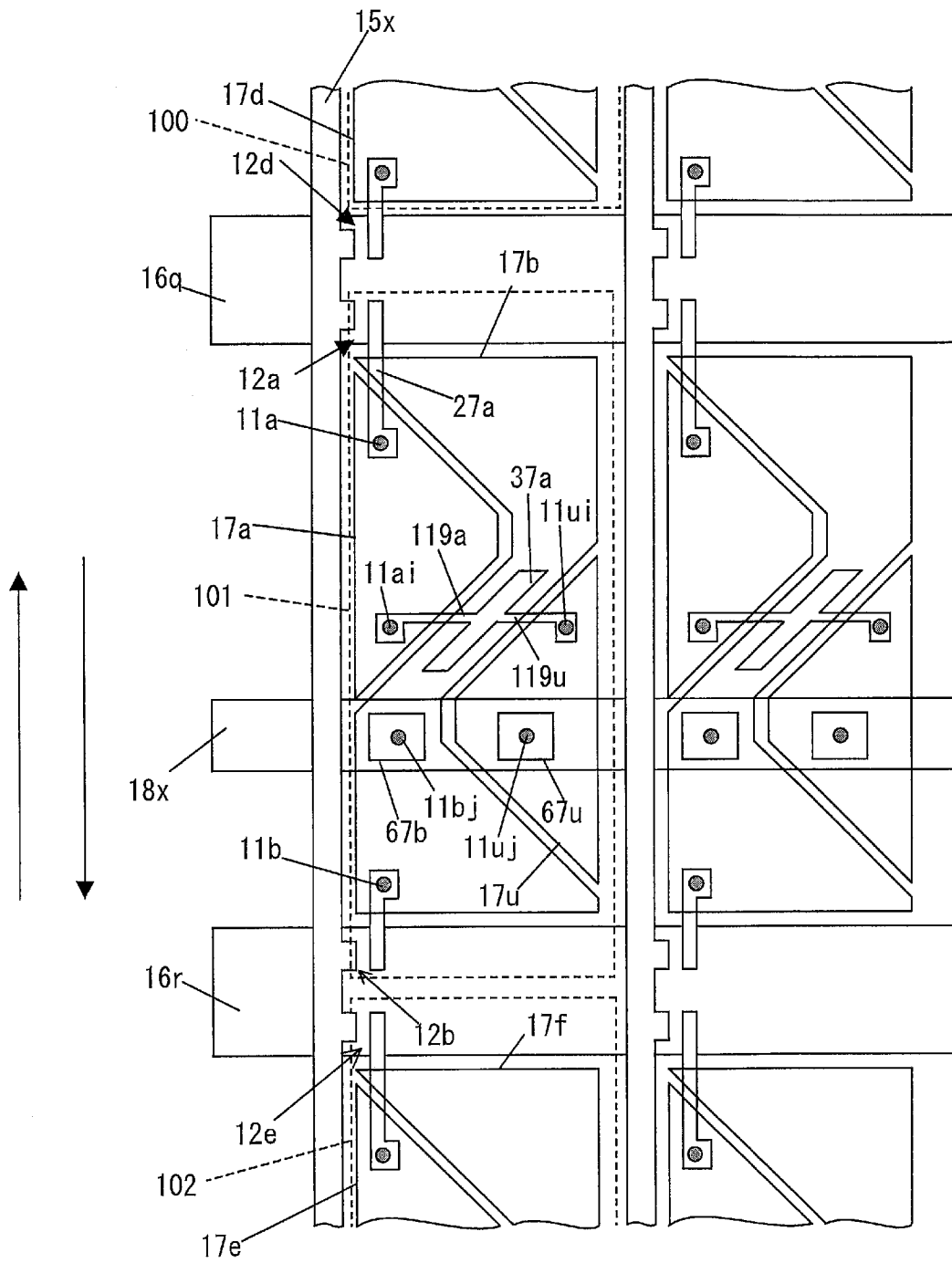
[図54]



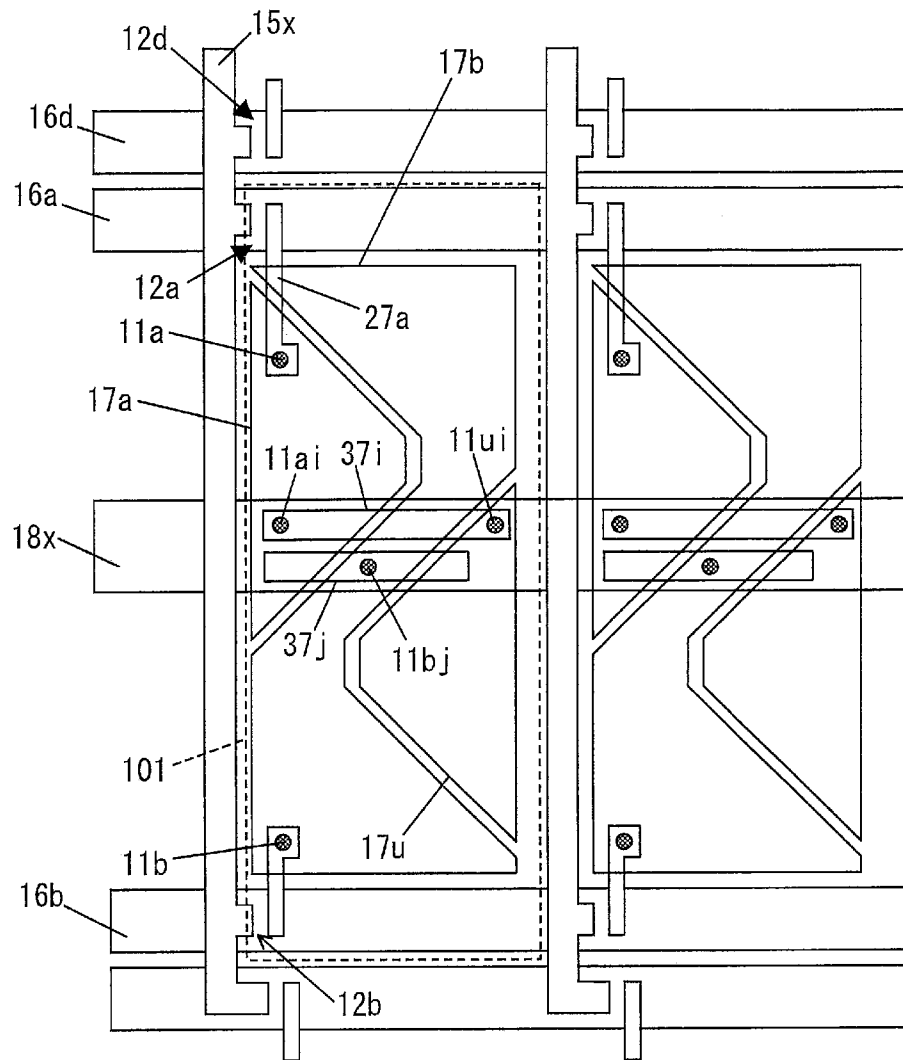
[図56]



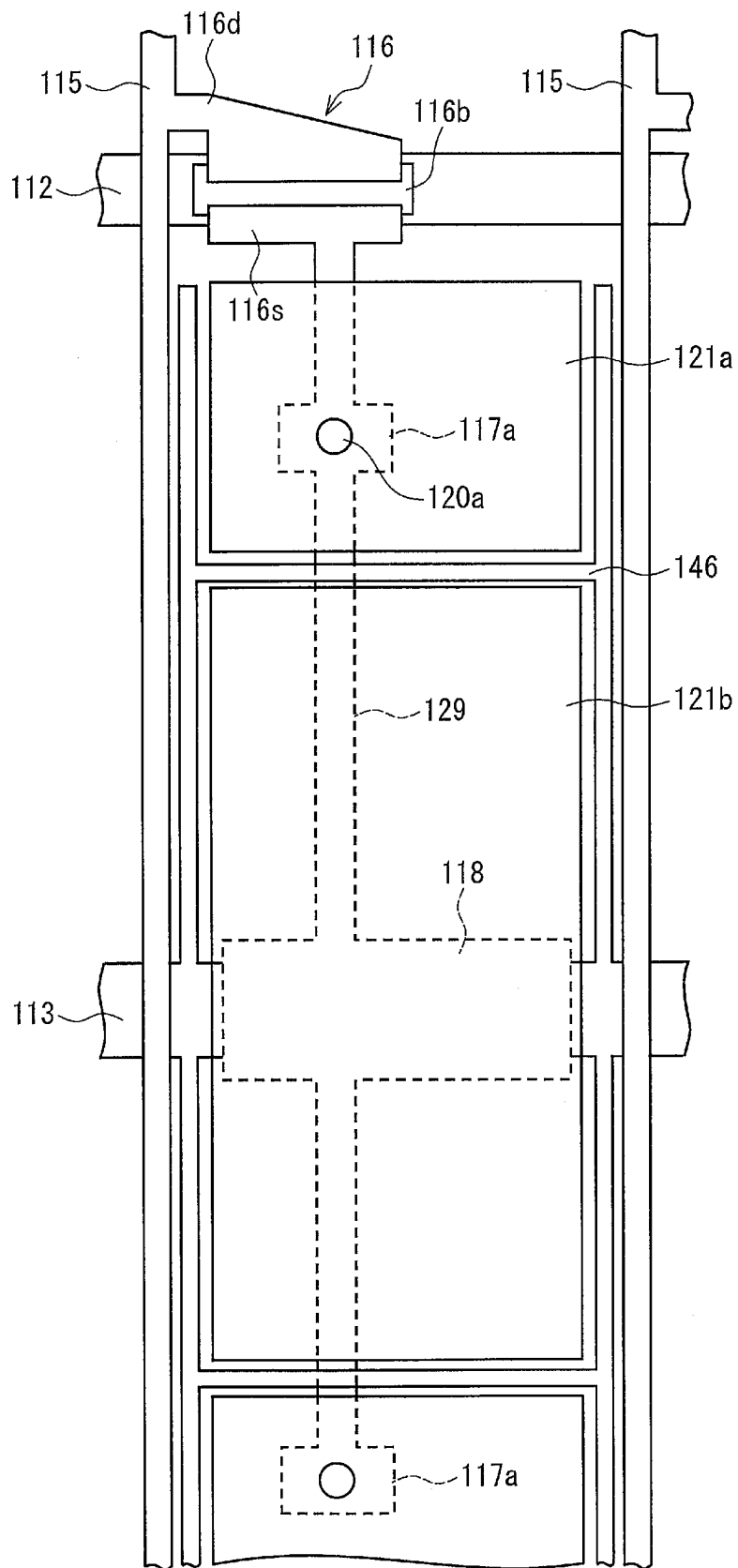
[図57]



[図58]



[図59]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068472

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-265939 A (Fujitsu Ltd.), 22 September, 1994 (22.09.94), Full text; all drawings (Family: none)	1-3 4, 7, 9-10, 54-57
X Y	JP 2006-139288 A (Samsung Electronics Co., Ltd.), 01 June, 2006 (01.06.06), Full text; all drawings & US 2006-208984 A1	1-3 4, 7, 9-10, 54-57
Y	JP 2004-54295 A (Samsung Electronics Co., Ltd.), 19 February, 2004 (19.02.04), Full text; all drawings & US 2004-12554 A1 & EP 1383105 A2	4, 7, 9-10, 54-57

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 January, 2009 (08.01.09)

Date of mailing of the international search report
20 January, 2009 (20.01.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068472

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-506683 A (Samsung Electronics Co., Ltd.), 23 February, 2006 (23.02.06), Full text; all drawings & WO 2004-46793 A2 & US 2006-145981 A1	4, 7, 9-10, 54-57

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068472

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
Claims 1 - 4, 7, 9 - 10, and 54 - 57 (only main invention).

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068472

Continuation of Box No.III of continuation of first sheet(2)

For the following reasons, this international patent application contains the twenty three inventions which do not comply with the requirement of unity of invention.

The search is made by construing that claim 1 is "the invention ("the main invention") described at first". As a result, it is apparent that the feature described in claim 3 ← 2 ← 1 is not novel, since it is disclosed as the prior art in:

Document 1: JP 6-265939 A (Fujitsu Ltd.), 22 September, 1994 (22.09.94), the whole specification and all the drawings (especially, [0054] - [0059], Fig. 11); and

Document 2: JP 2006-139288 A (Samsung Electronics Co., Ltd.), 1 June, 2006 (01.06.06), the whole specification and all the drawings (especially, [0050] - [0052], Fig. 4).

Hence, it is not admitted that the feature described in claim 3 ← 2 ← 1 is not "the special technical feature" within the meaning of PCT Rule 13.2, second sentence.

(However, "the claim A ← B" implies that "claim A according to claim B". ditto)

Main invention: "claim 1, claim 2 ← 1, claim 3 ← 2 ← 1, claim 4 ← 3 ← 2 ← 1, and claims 7, 9 - 10 and 54 - 57 according to claim 4 ← 3 ← 2 ← 1",

Second invention: "claim 8 ← 3 ← 2 ← 1, and claims 9 - 10, and 54 - 57 according to claim 8 ← 3 ← 2 ← 1",

Third invention: "claim 9 ← 3 ← 2 ← 1, and claims 10, and 54 - 57 according to claim 9 ← 3 ← 2 ← 1",

Fourth invention: "claim 10 ← 3 ← 2 ← 1, and claims 54 - 57 according to claim 10 ← 3 ← 2 ← 1",

Fifth invention: "claim 54 ← 3 ← 2 ← 1, and claims 55 - 57 according to claim 54 ← 3 ← 2 ← 1",

Sixth invention: "claim 4 ← 2 ← 1, and claims 7, 9 - 10, and 54 - 57 according to claim 4 ← 2 ← 1",

Seventh invention: "claim 5 ← 2 ← 1, and claims 6, 9 - 10, and 54 - 57 according to claim 5 ← 2 ← 1",

Eighth invention: "claim 8 ← 2 ← 1, and claims 9 - 10, and 54 - 57 according to claim 8 ← 2 ← 1",

Ninth invention: "claim 9 ← 2 ← 1, and claims 10, and 54 - 57 according to claim 9 ← 2 ← 1",

Tenth invention: "claim 10 ← 2 ← 1, and claims 54 - 57 according to claim 10 ← 2 ← 1",

Eleventh invention: "claim 54 ← 2 ← 1, and claims 55 - 57 according to claim 54 ← 2 ← 1",

Twelfth invention: "claim 3 ← 1, and claims 4, 7 - 10, and 54 - 57 according to claim 3 ← 1",

Thirteenth invention: "claim 4 ← 1, and claims 7, 9 - 10, and 54 - 57 according to claim 4 ← 1",

Fourteenth invention: "claim 8 ← 1, and claims 9 - 10, and 54 - 57 according to claim 8 ← 1",

Fifteenth invention: "claim 9 ← 1, and claims 10, and 54 - 57 according to claim 9 ← 1",

(continued to next sheet)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068472

Sixteenth invention: "claim 10 ← 1, and claims 54 - 57 according to claim 10 ← 1",

Seventeenth invention: "claim 13 ← 1, and claims 15 - 20, and 54 - 57 according to claim 13 ← 1",

Eighteenth invention: "claim 27 ← 1, and claims 28 - 32, 34 - 43, and 54 - 57 according to claim 27 ← 1",

Nineteenth invention: "claim 54 ← 1, and claims 55 - 57 according to claim 54 ← 1",

Twentieth invention: "claim 11, and claims 12, 14 - 20, and 54 - 57 according to claim 11",

Twenty first invention: "claim 21, and claims 22 - 25, 27 - 49, and 51 - 57 according to claim 21",

Twenty second invention: "claim 26, and claims 27 - 32, 34 - 43, and 54 - 57 according to claim 26", and

Twentythird invention: "claim 50, and claims 51 - 53, and 57 according to claim 50".

It is not admitted that the main invention and the second to twenty third inventions are so technically related as to involve one or two or more of the same or corresponding special technical features.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368 (2006.01)i, G02F1/133 (2006.01)i, G09G3/20 (2006.01)i, G09G3/36 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G02F1/133, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 6 - 2 6 5 9 3 9 A (富士通株式会社) 1 9 9 4 . 0 9 . 2 2、全文、全図 (ファミリーなし)	1-3 4, 7, 9-10, 54-57
X Y	J P 2 0 0 6 - 1 3 9 2 8 8 A (三星電子株式会社) 2 0 0 6 . 0 6 . 0 1、全文、全図 & U S 2 0 0 6 - 2 0 8 9 8 4 A 1	1-3 4, 7, 9-10, 54-57

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 1 . 2 0 0 9

国際調査報告の発送日

2 0 . 0 1 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山口 裕之

2 L

2 9 1 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 3

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1 - 4, 7, 9 - 10, 54 - 57（主発明に限る）

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2004-54295 A (三星電子株式会社) 2004.02.19、全文、全図 & US 2004-12554 A1 & EP 1383105 A2	4,7,9-10, 54-57
Y	J P 2006-506683 A (サムスン エレクトロニクス カンパニー リミテッド) 2006.02023、全文、全図 & WO 2004-46793 A2 & US 2006-145981 A1	4,7,9-10, 54-57

以下の理由により、この国際出願は発明の単一性の要件を満たさない23の発明を含む。

請求の範囲1を「最初に記載されている発明（「主発明」）」として調査を行った結果、請求の範囲3←2←1に記載の特徴は、先行技術として、

文献1：JP 6-265939 A（富士通株式会社）

1994.09.22、全文、全図（特に[0054]～[0059]、図11）

文献2：JP 2006-139288 A（三星電子株式会社）

2006.06.01、全文、全図（特に[0050]～[0052]、図4）

に開示されているから新規でないことが明らかとなった。

したがって、請求の範囲3←2←1に記載の特徴は、PCT規則13.2の第2文の意味において「特別な技術的特徴」とは認められない。

（但し、「請求の範囲A←B」は「請求の範囲Bを引用する請求の範囲A」を意味するものとする。以下同様。）

主発明：「請求の範囲1、請求の範囲2←1、請求の範囲3←2←1、請求の範囲4←3←2←1、及び請求の範囲4←3←2←1に従属する請求の範囲7、9～10、54～57」

第2発明：「請求の範囲8←3←2←1、及び請求の範囲8←3←2←1に従属する請求の範囲9～10、54～57」

第3発明：「請求の範囲9←3←2←1、及び請求の範囲9←3←2←1に従属する請求の範囲10、54～57」

第4発明：「請求の範囲10←3←2←1、及び請求の範囲10←3←2←1に従属する請求の範囲54～57」

第5発明：「請求の範囲54←3←2←1、及び請求の範囲54←3←2←1に従属する請求の範囲55～57」

第6発明：「請求の範囲4←2←1、及び請求の範囲4←2←1に従属する請求の範囲7、9～10、54～57」

第7発明：「請求の範囲5←2←1、及び請求の範囲5←2←1に従属する請求の範囲6、9～10、54～57」

第8発明：「請求の範囲8←2←1、及び請求の範囲8←2←1に従属する請求の範囲9～10、54～57」

第9発明：「請求の範囲9←2←1、及び請求の範囲9←2←1に従属する請求の範囲10、54～57」

第10発明：「請求の範囲10←2←1、及び請求の範囲10←2←1に従属する請求の範囲54～57」

第11発明：「請求の範囲54←2←1、及び請求の範囲54←2←1に従属する請求の範囲55～57」

第12発明：「請求の範囲3←1、及び請求の範囲3←1に従属する請求の範囲4、7～10、54～57」

第13発明：「請求の範囲4←1、及び請求の範囲4←1に従属する請求の範囲7、9～10、54～57」

第14発明：「請求の範囲8←1、及び請求の範囲8←1に従属する請求の範囲9～10、54～57」

第15発明：「請求の範囲9←1、及び請求の範囲9←1に従属する請求の範囲10、54～57」

第16発明：「請求の範囲10←1、及び請求の範囲10←1に従属する請求の範囲54～57」

第17発明：「請求の範囲13←1、及び請求の範囲13←1に従属する請求の範囲15～20、54～57」

第18発明：「請求の範囲27←1、及び請求の範囲27←1に従属する請求の範囲28～32、34～43、54～57」

第19発明：「請求の範囲54←1、及び請求の範囲54←1に従属する請求の範囲55～57」

第20発明：「請求の範囲11、及び請求の範囲11に従属する請求の範囲12、14～20、54～57」

第21発明：「請求の範囲21、及び請求の範囲21に従属する請求の範囲22～25、27～49、51～57」

第22発明：「請求の範囲26、及び請求の範囲26に従属する請求の範囲27～32、34～43、54～57」

第23発明：「請求の範囲50、及び請求の範囲50に従属する請求の範囲51～53、57」

これら主発明と第2～23発明の間に一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係は認められない。