

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6218056号
(P6218056)

(45) 発行日 平成29年10月25日 (2017.10.25)

(24) 登録日 平成29年10月6日 (2017.10.6)

(51) Int.Cl.	F I
HO 4 N 5/374 (2011.01)	HO 4 N 5/374
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 E
HO 1 L 27/30 (2006.01)	HO 1 L 27/30
HO 1 L 51/42 (2006.01)	HO 1 L 31/08 T
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 G

請求項の数 8 (全 29 頁)

(21) 出願番号	特願2017-96917 (P2017-96917)	(73) 特許権者	314012076
(22) 出願日	平成29年5月16日 (2017.5.16)		パナソニックIPマネジメント株式会社
(62) 分割の表示	特願2017-524487 (P2017-524487) の分割		大阪府大阪市中央区域見2丁目1番61号
原出願日	平成28年11月11日 (2016.11.11)	(74) 代理人	100101683
(65) 公開番号	特開2017-188917 (P2017-188917A)		弁理士 奥田 誠司
(43) 公開日	平成29年10月12日 (2017.10.12)	(74) 代理人	100155000
審査請求日	平成29年5月16日 (2017.5.16)		弁理士 喜多 修市
(31) 優先権主張番号	特願2015-236858 (P2015-236858)	(74) 代理人	100180529
(32) 優先日	平成27年12月3日 (2015.12.3)		弁理士 梶谷 美道
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100125922
早期審査対象出願			弁理士 三宅 章子
		(74) 代理人	100135703
			弁理士 岡部 英隆
		(74) 代理人	100188813
			弁理士 川喜田 徹

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

それぞれが、第1電極、前記第1電極に対向する第2電極、前記第1電極と前記第2電極との間の光電変換層、前記第1電極に電氣的に接続された電荷蓄積領域、および前記電荷蓄積領域に電氣的に接続された信号検出回路を含む複数の単位画素セルと、

前記第2電極と電氣的に接続された電圧供給回路であって、光電変換により生成される電荷を前記電荷蓄積領域に蓄積するための期間である露光期間において第1電圧を前記第2電極に供給し、非露光期間において前記第1電圧とは異なる第2電圧を前記第2電極に供給する電圧供給回路と、

を備え、

前記露光期間の開始および終了は、前記複数の単位画素セルの間において共通であり、

前記複数の単位画素セルのそれぞれは、前記電荷蓄積領域に電氣的に接続されたリセットトランジスタであって、前記電荷蓄積領域を初期化するためのリセット電圧の供給および遮断を切り替えるリセットトランジスタを含み、

前記リセット電圧が供給されたときの前記第1電極と前記第2電極との間の電位差は、前記リセット電圧が遮断された後の前記第1電極と前記第2電極との間の電位差よりも大きい、撮像装置。

【請求項2】

前記リセットトランジスタは、nチャンネルの電界効果トランジスタであり、

前記リセット電圧は、前記第2電圧よりも大きい、請求項1に記載の撮像装置。

【請求項 3】

前記リセットトランジスタは、p チャンネルの電界効果トランジスタであり、
前記リセット電圧は、前記第 2 電圧よりも小さい、請求項 1 に記載の撮像装置。

【請求項 4】

前記複数の単位画素セルは、行および列に沿って 2 次元に配置されており、
前記複数の単位画素セルの前記信号検出回路によって検出された信号は、前記行ごとに異なるタイミングで読み出される、請求項 1 から 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

1 フレーム期間に、前記露光期間を複数回含む、請求項 1 から 4 のいずれか 1 項に記載の撮像装置。

10

【請求項 6】

前記電圧供給回路は、前記複数回の露光期間のそれぞれの間で、互いに異なる大きさの前記第 1 電圧を前記第 2 電極に供給する、請求項 5 に記載の撮像装置。

【請求項 7】

前記信号検出回路からの前記複数回の露光期間のそれぞれごとの出力に基づく複数の画像データを取得し、前記複数の画像データを重畳することにより多重露光画像を形成する画像形成回路をさらに備える、請求項 5 または 6 に記載の撮像装置。

【請求項 8】

前記信号検出回路から、前記 1 フレーム期間において前記電荷蓄積領域に蓄積された信号電荷に対応する信号を取得し、前記信号に基づいて多重露光画像を形成する画像形成回路をさらに備える、請求項 5 または 6 に記載の撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、撮像装置に関する。

【背景技術】

【0002】

従来、光電変換を利用したイメージセンサが知られている。例えば、フォトダイオードを有する CMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサが広く用いられている。CMOS 型イメージセンサは、低消費電力、画素ごとのアクセスが可能という特長を有する。CMOS 型イメージセンサには、一般的に、画素アレイの行ごとに露光および信号電荷の読み出しを順次に行う、いわゆるローリングシャッタが、信号の読み出し方式として適用される。

30

【0003】

ローリングシャッタ動作においては、露光の開始および終了が画素アレイの行ごとに異なる。そのため、高速で移動する物体を撮像したときに、物体の像として歪んだ像が得られたり、フラッシュを使用したときに、画像内で明るさの差が生じたりすることがある。このような事情から、画素アレイ中の全画素において露光の開始および終了を共通とする、いわゆるグローバルシャッタ機能の要求がある。

40

【0004】

例えば下記の特許文献 1 は、グローバルシャッタ動作が可能な CMOS 型イメージセンサを開示している。特許文献 1 に記載の技術では、複数の画素のそれぞれに、転送トランジスタと、電荷蓄積ユニット（キャパシタまたはダイオード）とを設けている。各画素内において、電荷蓄積ユニットは、転送トランジスタを介してフォトダイオードに接続されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】 米国特許出願公開第 2007/0013798 号明細書

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

画素内における回路の複雑化を抑制しながらもグローバルシャッタ機能を実現可能な撮像装置を提供する。

【課題を解決するための手段】

【0007】

本開示の限定的ではないある例示的な実施形態によれば、以下が提供される。

【0008】

それぞれが、第1電極、第1電極に対向する第2電極、第1電極と第2電極との間の光電変換層、第1電極に電氣的に接続された電荷蓄積領域、および電荷蓄積領域に電氣的に接続された信号検出回路を含む複数の単位画素セルと、第2電極と電氣的に接続された電圧供給回路であって、光電変換により生成される電荷を電荷蓄積領域に蓄積するための期間である露光期間において第1電圧を第2電極に供給し、非露光期間において第1電圧とは異なる第2電圧を第2電極に供給する電圧供給回路と、を備え、露光期間の開始および終了は、複数の単位画素セルの間において共通である、撮像装置。

10

【0009】

包括的または具体的な態様は、素子、デバイス、装置、システム、集積回路、方法またはコンピュータプログラムで実現されてもよい。また、包括的または具体的な態様は、素子、デバイス、装置、システム、集積回路、方法およびコンピュータプログラムの任意の組み合わせによって実現されてもよい。

20

【0010】

開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる。効果および／または利点は、明細書および図面に開示の様々な実施形態または特徴によって個々に提供され、これらの1つ以上を得るために全てを必要とはしない。

【発明の効果】

【0011】

本開示の実施形態によれば、画素内における回路の複雑化を抑制しながらもグローバルシャッタ機能を実現し得る。

【図面の簡単な説明】

30

【0012】

【図1】図1は、本開示の実施形態に係る撮像装置の例示的な回路構成を示す模式的な図である。

【図2】図2は、単位画素セル10の例示的なデバイス構造を示す模式的な断面図である。

【図3】図3は、スズナフタロシアニンを含む光電変換層における吸収スペクトルの一例を示す図である。

【図4】図4は、光電変換層15の構成の一例を示す模式的な断面図である。

【図5】図5は、光電変換層15が有する典型的な光電流特性を示すグラフである。

【図6】図6は、本開示の実施形態に係る撮像装置における動作の一例を説明するための図である。

40

【図7】図7は、多重露光画像を形成可能に構成された撮像システムの一部を示すブロック図である。

【図8】図8は、多重露光画像の形成の例を説明するための図である。

【図9】図9は、図7に示す撮像システム100Sによって取得される例示的な多重露光画像と、多重露光画像から時系列で取り出された、それぞれが動体の像を1つ含む複数の画像とをあわせて示す図である。

【図10】図10は、動体の位置の時間的な変化を示す識別子の画像が重畳された多重露光画像の例を示す図である。

【図11】図11は、動体の位置の時間的な変化を示す識別子の画像が重畳された多重露

50

光画像の他の例を示す図である。

【図 1 2】図 1 2 は、多重露光画像の形成の他の例を説明するための図である。

【図 1 3】図 1 3 は、リセット期間におけるリセット電圧源 3 4 の例示的な動作を説明するためのタイミングチャートである。

【図 1 4】図 1 4 は、リセット期間におけるリセット電圧源 3 4 の例示的な動作を説明するためのタイミングチャートである。

【図 1 5】図 1 5 は、撮像装置 1 0 0 の改変例を示す模式的な図である。

【発明を実施するための形態】

【0 0 1 3】

本開示の一態様の概要は以下のとおりである。

10

【0 0 1 4】

[項目 1]

それぞれが、第 1 電極、第 1 電極に対向する第 2 電極、第 1 電極と第 2 電極との間の光電変換層、第 1 電極に電氣的に接続された電荷蓄積領域、および電荷蓄積領域に電氣的に接続された信号検出回路を含む複数の単位画素セルと、記第 2 電極と電氣的に接続された電圧供給回路であって、光電変換により生成される電荷を電荷蓄積領域に蓄積するための期間である露光期間において第 1 電圧を第 2 電極に供給し、非露光期間において第 1 電圧とは異なる第 2 電圧を第 2 電極に供給する電圧供給回路と、を備え、露光期間の開始および終了は、複数の単位画素セルの間において共通である、撮像装置。

【0 0 1 5】

20

[項目 2]

複数の単位画素セルのそれぞれは、電荷蓄積領域に電氣的に接続されたリセットトランジスタであって、電荷蓄積領域を初期化するためのリセット電圧の供給および遮断を切り替えるリセットトランジスタを含み、リセット電圧が供給されたときの第 1 電極と第 2 電極との間の電位差は、リセット電圧が遮断された後の第 1 電極と第 2 電極との間の電位差よりも大きい、項目 1 に記載の撮像装置。

【0 0 1 6】

[項目 3]

リセットトランジスタは、n チャンネルの電界効果トランジスタであり、リセット電圧は、第 2 電圧よりも大きい、項目 2 に記載の撮像装置。

30

【0 0 1 7】

[項目 4]

リセットトランジスタは、p チャンネルの電界効果トランジスタであり、リセット電圧は、第 2 電圧よりも小さい、項目 2 に記載の撮像装置。

【0 0 1 8】

[項目 5]

複数の単位画素セルは、行および列に沿って 2 次元に配置されており、複数の単位画素セルの信号検出回路によって検出された信号は、行ごとに異なるタイミングで読み出される、項目 1 から 4 のいずれか 1 項に記載の撮像装置。

【0 0 1 9】

40

[項目 6]

1 フレーム期間に、露光期間を複数回含む、項目 1 から 5 のいずれか 1 項に記載の撮像装置。

【0 0 2 0】

[項目 7]

電圧供給回路は、複数回の露光期間のそれぞれの間で、互いに異なる大きさの第 1 電圧を第 2 電極に供給する、項目 6 に記載の撮像装置。

【0 0 2 1】

[項目 8]

信号検出回路からの複数回の露光期間のそれぞれごとの出力に基づく複数の画像データ

50

を取得し、複数の画像データを重畳することにより多重露光画像を形成する画像形成回路をさらに備える、項目6または7に記載の撮像装置。

【0022】

[項目9]

信号検出回路から、1フレーム期間において電荷蓄積領域に蓄積された信号電荷に対応する信号を取得し、信号に基づいて多重露光画像を形成する画像形成回路をさらに備える、項目6または7に記載の撮像装置。

【0023】

[項目10]

光電変換層は、逆方向のバイアス電圧の増大に従って出力電流密度の絶対値が増大する第1電圧範囲、順方向のバイアス電圧の増大に従って出力電流密度が増大する第2電圧範囲、および、第1電圧範囲と第2電圧範囲との間であって、バイアス電圧に対する出力電流密度の変化率の絶対値が第1電圧範囲および第2電圧範囲よりも小さい第3電圧範囲を有する光電流特性を有し、電圧供給回路は、非露光期間に、光電変換層に印加されるバイアス電圧が第3電圧範囲内となるように、第2電圧を第2電極に供給する、項目1から9のいずれか1項に記載の撮像装置。

10

【0024】

[項目11]

それぞれが、第1電極と、第1電極に電氣的に接続された電荷蓄積領域と、電荷蓄積領域に電氣的に接続された信号検出回路とを含む複数の単位画素セルと、

20

第1電極に対向する第2電極と、

第1電極および第2電極の間に配置された光電変換層と、

第2電極との接続を有する電圧供給回路であって、露光期間と非露光期間との間で、互いに異なる電圧を第2電極に供給する電圧供給回路と、を備え、

光電変換層は、逆方向バイアス電圧の増大に従って出力電流密度の絶対値が増大する第1電圧範囲、順方向バイアス電圧の増大に従って出力電流密度が増大する第2電圧範囲、および、第1電圧範囲と第2電圧範囲との間の第3電圧範囲において、バイアス電圧に対する出力電流密度の変化率が互いに異なる光電流特性を有し、

第3電圧範囲における変化率は、第1電圧範囲における変化率および第2電圧範囲における変化率よりも小さく、

30

露光期間の開始および終了は、複数の単位画素セルの間において共通であり、

電圧供給回路は、非露光期間に、第2電極および信号検出回路の間に第3電圧範囲の電位差を与える電圧を第2電極に供給する、撮像装置。

【0025】

項目11の構成によれば、単位画素セル内に転送トランジスタなどを別途設けることなく、グローバルシャッタを実現し得る。

【0026】

[項目12]

1フレーム期間に、露光期間を複数回含む、項目11に記載の撮像装置。

【0027】

40

[項目13]

電圧供給回路は、複数回の露光期間のそれぞれの間で、互いに異なる大きさの電圧を第2電極に供給する、項目12に記載の撮像装置。

【0028】

項目13の構成によれば、複数回の露光期間ごとに感度を変えた撮像が可能である。

【0029】

[項目14]

信号検出回路からの複数回の露光期間のそれぞれごとの出力に基づく複数の画像データを取得し、複数の画像データを重畳することにより多重露光画像を形成する画像形成回路をさらに備える、項目12または13に記載の撮像装置。

50

【0030】

項目14の構成によれば、1フレーム期間において移動していた物体の像の軌跡を多重露光画像から知ることが可能である。

【0031】

[項目15]

信号検出回路から、1フレーム期間において電荷蓄積領域に蓄積された信号電荷に対応する信号を取得し、信号に基づいて多重露光画像を形成する画像形成回路をさらに備える、項目12または13に記載の撮像装置。

【0032】

項目15の構成によれば、1フレーム期間において移動していた物体の像の軌跡を多重露光画像から知ることが可能である。

10

【0033】

[項目16]

複数の単位画素セルのそれぞれは、電荷蓄積領域に電氣的に接続されたりセットトランジスタであって、電荷蓄積領域へのリセット電圧の供給および遮断を切り替えるリセットトランジスタを含み、

リセットトランジスタは、nチャンネルの電界効果トランジスタであり、

リセット電圧は、非露光期間において電圧供給回路が第2電極に印加する電圧よりも大きい、項目11から15のいずれかに記載の撮像装置。

20

【0034】

項目16の構成によれば、寄生感度をより効果的に抑制し得る。

【0035】

[項目17]

複数の単位画素セルのそれぞれは、電荷蓄積領域に電氣的に接続されたりセットトランジスタであって、電荷蓄積領域へのリセット電圧の供給および遮断を切り替えるリセットトランジスタを含み、

リセットトランジスタは、pチャンネルの電界効果トランジスタであり、

リセット電圧は、第2の期間において電圧供給回路が第2電極に印加する電圧よりも小さい、項目11から15のいずれかに記載の撮像装置。

30

【0036】

項目17の構成によれば、寄生感度をより効果的に抑制し得る。

【0037】

[項目18]

リセット電圧と、非露光期間において電圧供給回路が第2電極に印加する電圧との差の絶対値は、光電変換層の破壊電圧よりも小さい、項目16または17に記載の撮像装置。

【0038】

項目18の構成によれば、過剰な電圧の印加に起因する、光電変換層の損傷を回避し得る。

【0039】

[項目19]

リセット電圧と、非露光期間において電圧供給回路が第2電極に印加する電圧との差の絶対値は、信号検出回路への入力電圧よりも小さい、項目16または17に記載の撮像装置。

40

【0040】

項目19の構成によれば、過剰な電圧の印加に起因する、光電変換層の損傷を回避し得る。

【0041】

以下、図面を参照しながら、本開示の実施形態を詳細に説明する。なお、以下で説明する実施形態は、いずれも包括的または具体的な例を示す。以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序な

50

どは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

【0042】

(撮像装置の実施形態)

図1は、本開示の実施形態に係る撮像装置の例示的な回路構成を示す。図1に示す撮像装置100は、2次元に配列された複数の単位画素セル10を含む画素アレイPAを有する。図1は、単位画素セル10が2行2列のマトリクス状に配置された例を模式的に示している。言うまでもないが、撮像装置100における単位画素セル10の数および配置は、図1に示す例に限定されない。

10

【0043】

各単位画素セル10は、光電変換部13および信号検出回路14を有する。後に図面を参照して説明するように、光電変換部13は、互いに対向する2つの電極の間に挟まれた光電変換層を有し、入射した光を受けて信号を生成する。光電変換部13は、その全体が、単位画素セル10ごとに独立した素子である必要はなく、光電変換部13の例えば一部分が複数の単位画素セル10にまたがっていてもよい。信号検出回路14は、光電変換部13によって生成された信号を検出する回路である。この例では、信号検出回路14は、信号検出トランジスタ24およびアドレストランジスタ26を含んでいる。信号検出トランジスタ24およびアドレストランジスタ26は、典型的には、電界効果トランジスタ(FET)であり、ここでは、信号検出トランジスタ24およびアドレストランジスタ26としてNチャンネルMOSを例示する。

20

【0044】

図1において模式的に示すように、信号検出トランジスタ24の制御端子(ここではゲート)は、光電変換部13との電気的な接続を有する。光電変換部13によって生成される信号電荷(正孔または電子)は、信号検出トランジスタ24のゲートと光電変換部13との間の電荷蓄積ノード(「フローティングディフュージョンノード」とも呼ばれる。)41に蓄積される。光電変換部13の構造の詳細は、後述する。

【0045】

各単位画素セル10の光電変換部13は、さらに、感度制御線42との接続を有している。図1に例示する構成において、感度制御線42は、感度制御電圧供給回路32(以下、単に「電圧供給回路32」と呼ぶ。)に接続されている。この電圧供給回路32は、少なくとも2種類の電圧を供給可能に構成された回路である。電圧供給回路32は、撮像装置100の動作時、感度制御線42を介して光電変換部13に所定の電圧を供給する。電圧供給回路32は、特定の電源回路に限定されず、所定の電圧を生成する回路であってもよいし、他の電源から供給された電圧を所定の電圧に変換する回路であってもよい。後に詳しく説明するように、電圧供給回路32から光電変換部13に供給される電圧が、互いに異なる複数の電圧の間で切り替えられることにより、光電変換部13からの電荷蓄積ノード41への信号電荷の蓄積の開始および終了が制御される。換言すれば、本開示の実施形態では、電圧供給回路32から光電変換部13に供給される電圧を切り替えることによって、電子シャッタ動作が実行される。撮像装置100の動作の例は、後述する。

30

40

【0046】

各単位画素セル10は、電源電圧VDDを供給する電源線40との接続を有する。図示するように、電源線40には、信号検出トランジスタ24の入力端子(典型的にはドレイン)が接続されている。電源線40がソースフォロア電源として機能することにより、信号検出トランジスタ24は、光電変換部13によって生成された信号を増幅して出力する。

【0047】

信号検出トランジスタ24の出力端子(ここではソース)には、アドレストランジスタ

50

26の入力端子（ここではドレイン）が接続されている。アドレストランジスタ26の出力端子（ここではソース）は、画素アレイPAの列ごとに配置された複数の垂直信号線47のうちの1つに接続されている。アドレストランジスタ26の制御端子（ここではゲート）は、アドレス制御線46に接続されており、アドレス制御線46の電位を制御することにより、信号検出トランジスタ24の出力を、対応する垂直信号線47に選択的に読み出すことができる。

【0048】

図示する例では、アドレス制御線46は、垂直走査回路（「行走査回路」とも呼ばれる）36に接続されている。垂直走査回路36は、アドレス制御線46に所定の電圧を印加することにより、各行に配置された複数の単位画素セル10を行単位で選択する。これにより、選択された単位画素セル10の信号の読み出しと、後述する、画素電極のリセットとが実行される。

10

【0049】

垂直信号線47は、画素アレイPAからの画素信号を周辺回路へ伝達する主信号線である。垂直信号線47には、カラム信号処理回路（「行信号蓄積回路」とも呼ばれる）37が接続される。カラム信号処理回路37は、相関二重サンプリングに代表される雑音抑圧信号処理およびアナログーデジタル変換（AD変換）などを行う。図示するように、カラム信号処理回路37は、画素アレイPAにおける単位画素セル10の各列に対応して設けられる。これらのカラム信号処理回路37には、水平信号読み出し回路（「列走査回路」とも呼ばれる）38が接続される。水平信号読み出し回路38は、複数のカラム信号処理回路37から水平共通信号線49に信号を順次読み出す。

20

【0050】

図1に例示する構成において、単位画素セル10は、リセットトランジスタ28を有する。リセットトランジスタ28は、例えば、信号検出トランジスタ24およびアドレストランジスタ26と同様に、電界効果トランジスタであり得る。以下では、特に断りの無い限り、リセットトランジスタ28としてNチャンネルMOSを適用した例を説明する。図示するように、このリセットトランジスタ28は、リセット電圧 V_r を供給するリセット電圧線44と、電荷蓄積ノード41との間に接続される。リセットトランジスタ28の制御端子（ここではゲート）は、リセット制御線48に接続されており、リセット制御線48の電位を制御することによって、電荷蓄積ノード41の電位をリセット電圧 V_r にリセットすることができる。この例では、リセット制御線48が、垂直走査回路36に接続されている。したがって、垂直走査回路36がリセット制御線48に所定の電圧を印加することにより、各行に配置された複数の単位画素セル10を行単位でリセットすることが可能である。

30

【0051】

この例では、リセットトランジスタ28にリセット電圧 V_r を供給するリセット電圧線44が、リセット電圧供給回路34（以下、単に「リセット電圧源34」と呼ぶ。）に接続されている。リセット電圧源34は、撮像装置100の動作時にリセット電圧線44に所定のリセット電圧 V_r を供給可能な構成を有していればよく、上述の電圧供給回路32と同様に、特定の電源回路に限定されない。電圧供給回路32およびリセット電圧源34の各々は、単一の電圧供給回路の一部であってもよいし、独立した別個の電圧供給回路であってもよい。なお、電圧供給回路32およびリセット電圧源34の一方または両方が、垂直走査回路36の一部であってもよい。あるいは、電圧供給回路32からの感度制御電圧および／またはリセット電圧源34からのリセット電圧 V_r が、垂直走査回路36を介して各单位画素セル10に供給されてもよい。

40

【0052】

リセット電圧 V_r として、信号検出回路14の電源電圧VDDを用いることも可能である。この場合、各单位画素セル10に電源電圧を供給する電圧供給回路（図1において不図示）と、リセット電圧源34とを共通化し得る。また、電源線40と、リセット電圧線44を共通化できるので、画素アレイPAにおける配線を単純化し得る。ただし、リセッ

50

ト電圧 V_r と、信号検出回路 14 の電源電圧 V_{DD} とに互いに異なる電圧を用いることは、撮像装置 100 のより柔軟な制御を可能にする。

【0053】

(単位画素セルのデバイス構造)

図 2 は、単位画素セル 10 の例示的なデバイス構造を模式的に示す。図 2 に例示する構成では、上述の信号検出トランジスタ 24、アドレストランジスタ 26 およびリセットトランジスタ 28 が、半導体基板 20 に形成されている。半導体基板 20 は、その全体が半導体である基板に限定されない。半導体基板 20 は、感光領域が形成される側の表面に半導体層が設けられた絶縁性基板などであってもよい。ここでは、半導体基板 20 として P 型シリコン (Si) 基板を用いる例を説明する。

10

【0054】

半導体基板 20 は、不純物領域 (ここでは N 型領域) 26s、24s、24d、28d および 28s と、単位画素セル 10 間の電氣的な分離のための素子分離領域 20t とを有する。ここでは、素子分離領域 20t は、不純物領域 24d と不純物領域 28d との間にも設けられている。素子分離領域 20t は、例えば所定の注入条件のもとでアクセプターのイオン注入を行うことによって形成される。

【0055】

不純物領域 26s、24s、24d、28d および 28s は、典型的には、半導体基板 20 内に形成された拡散層である。図 2 に模式的に示すように、信号検出トランジスタ 24 は、不純物領域 24s および 24d と、ゲート電極 24g (典型的にはポリシリコン電極) とを含む。不純物領域 24s は、信号検出トランジスタ 24 の例えばソース領域として機能する。不純物領域 24d は、信号検出トランジスタ 24 の例えばドレイン領域として機能する。不純物領域 24s と 24d との間に、信号検出トランジスタ 24 のチャンネル領域が形成される。

20

【0056】

同様に、アドレストランジスタ 26 は、不純物領域 26s および 24s と、アドレス制御線 46 (図 1 参照) に接続されたゲート電極 26g (典型的にはポリシリコン電極) とを含む。この例では、信号検出トランジスタ 24 およびアドレストランジスタ 26 は、不純物領域 24s を共有することによって互いに電氣的に接続されている。不純物領域 26s は、アドレストランジスタ 26 の例えばソース領域として機能する。不純物領域 26s は、図 2 において不図示の垂直信号線 47 (図 1 参照) との接続を有する。

30

【0057】

リセットトランジスタ 28 は、不純物領域 28d および 28s と、リセット制御線 48 (図 1 参照) に接続されたゲート電極 28g (典型的にはポリシリコン電極) とを含む。不純物領域 28s は、リセットトランジスタ 28 の例えばソース領域として機能する。不純物領域 28s は、図 2 において不図示のリセット電圧線 44 (図 1 参照) との接続を有する。

【0058】

半導体基板 20 上には、信号検出トランジスタ 24、アドレストランジスタ 26 およびリセットトランジスタ 28 を覆うように層間絶縁層 50 (典型的には二酸化シリコン層) が配置されている。図示するように、層間絶縁層 50 中には、配線層 56 が配置され得る。配線層 56 は、典型的には、銅などの金属から形成され、例えば、上述の垂直信号線 47 などの配線をその一部に含み得る。層間絶縁層 50 中の絶縁層の層数、および、層間絶縁層 50 中に配置される配線層 56 に含まれる層数は、任意に設定可能であり、図 2 に示す例に限定されない。

40

【0059】

層間絶縁層 50 上には、上述の光電変換部 13 が配置される。別の言い方をすれば、本開示の実施形態では、画素アレイ PA (図 1 参照) を構成する複数の単位画素セル 10 が、半導体基板 20 上に形成されている。半導体基板 20 上に 2 次元に配列された複数の単位画素セル 10 は、感光領域 (画素領域) を形成する。隣接する 2 つの単位画素セル 10

50

間の距離（画素ピッチ）は、例えば2 μm 程度であり得る。

【0060】

光電変換部13は、画素電極11と、対向電極12と、これらの間に配置された光電変換層15とを含む。この例では、対向電極12および光電変換層15は、複数の単位画素セル10にまたがって形成されている。他方、画素電極11は、単位画素セル10ごとに設けられており、隣接する他の単位画素セル10の画素電極11と空間的に分離されることによって、他の単位画素セル10の画素電極11から電氣的に分離されている。

【0061】

対向電極12は、典型的には、透明な導電性材料から形成される透明電極である。対向電極12は、光電変換層15において光が入射される側に配置される。したがって、光電変換層15には、対向電極12を透過した光が入射する。なお、撮像装置100によって検出される光は、可視光の波長範囲（例えば、380nm以上780nm以下）内の光に限定されない。本明細書における「透明」は、検出しようとする波長範囲の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。本明細書では、赤外線および紫外線を含めた電磁波全般を、便宜上「光」と表現する。対向電極12には、例えば、ITO、IZO、AZO、FTO、 SnO_2 、 TiO_2 、 ZnO_2 などの透明導電性酸化物（Transparent Conducting Oxide（TCO））を用いることができる。

【0062】

光電変換層15は、入射する光を受けて正孔－電子対を発生させる。光電変換層15は、典型的には、有機材料から形成される。光電変換層15を構成する材料の具体例は、後述する。

【0063】

図1を参照して説明したように、対向電極12は、電圧供給回路32に接続された感度制御線42との接続を有する。また、ここでは、対向電極12は、複数の単位画素セル10にまたがって形成されている。したがって、感度制御線42を介して、電圧供給回路32から所望の大きさの感度制御電圧を複数の単位画素セル10の間に一括して印加することが可能である。なお、電圧供給回路32から所望の大きさの感度制御電圧を印加することができれば、対向電極12は、単位画素セル10ごとに分離して設けられていてもよい。同様に、光電変換層15が単位画素セル10ごとに分離して設けられていてもよい。

【0064】

後に詳しく説明するように、電圧供給回路32は、露光期間と非露光期間との間で互いに異なる電圧を対向電極12に供給する。本明細書において、「露光期間」は、光電変換により生成される正および負の電荷の一方（信号電荷）を電荷蓄積領域に蓄積するための期間を意味し、「電荷蓄積期間」と呼んでもよい。また、本明細書では、撮像装置の動作中であって露光期間以外の期間を「非露光期間」と呼ぶ。なお、「非露光期間」は、光電変換部13への光の入射が遮断されている期間に限定されず、光電変換部13に光が照射されている期間を含んでいてもよい。また「非露光期間」は、寄生感度の発生により意図せずに信号電荷が電荷蓄積領域に蓄積される期間を含む。

【0065】

画素電極11の電位に対する対向電極12の電位を制御することにより、光電変換によって光電変換層15内に生じた正孔－電子対のうち、正孔および電子のいずれか一方を、画素電極11によって収集することができる。例えば信号電荷として正孔を利用する場合、画素電極11よりも対向電極12の電位を高くすることにより、画素電極11によって正孔を選択的に収集することが可能である。以下では、信号電荷として正孔を利用する場合を例示する。もちろん、信号電荷として電子を利用することも可能である。

【0066】

対向電極12に対向する画素電極11は、対向電極12と画素電極11との間に適切なバイアス電圧が与えられることにより、光電変換層15において光電変換によって発生した正および負の電荷のうちの一方を収集する。画素電極11は、アルミニウム、銅などの

10

20

30

40

50

金属、金属窒化物、または、不純物がドーピングされることにより導電性が付与されたポリシリコンなどから形成される。

【0067】

画素電極11を遮光性の電極としてもよい。例えば、画素電極11として、厚さが100nmのTa₂N電極を形成することにより、十分な遮光性を実現し得る。画素電極11を遮光性の電極とすることにより、半導体基板20に形成されたトランジスタ（この例では信号検出トランジスタ24、アドレストランジスタ26およびリセットトランジスタ28の少なくともいずれか）のチャネル領域または不純物領域への、光電変換層15を通過した光の入射を抑制し得る。上述の配線層56を利用して層間絶縁層50内に遮光膜を形成してもよい。半導体基板20に形成されたトランジスタのチャネル領域への光の入射を抑制することにより、トランジスタの特性のシフト（例えば閾値電圧の変動）などを抑制し得る。また、半導体基板20に形成された不純物領域への光の入射を抑制することにより、不純物領域における意図しない光電変換によるノイズの混入を抑制し得る。このように、半導体基板20への光の入射の抑制は、撮像装置100の信頼性の向上に貢献する。

10

【0068】

図2に模式的に示すように、画素電極11は、プラグ52、配線53およびコンタクトプラグ54を介して、信号検出トランジスタ24のゲート電極24gに接続されている。言い換えれば、信号検出トランジスタ24のゲートは、画素電極11との電気的な接続を有する。プラグ52、配線53は、例えば銅などの金属から形成される。プラグ52、配線53およびコンタクトプラグ54は、信号検出トランジスタ24と光電変換部13との間の電荷蓄積ノード41（図1参照）の少なくとも一部を構成する。配線53は、配線層56の一部であり得る。また、画素電極11は、プラグ52、配線53およびコンタクトプラグ55を介して、不純物領域28dにも接続されている。図2に例示する構成において、信号検出トランジスタ24のゲート電極24g、プラグ52、配線53、コンタクトプラグ54および55、ならびに、リセットトランジスタ28のソース領域およびドレイン領域の一方である不純物領域28dは、画素電極11によって収集された信号電荷を蓄積する電荷蓄積領域として機能する。

20

【0069】

画素電極11によって信号電荷が収集されることにより、電荷蓄積領域に蓄積された信号電荷の量に応じた電圧が、信号検出トランジスタ24のゲートに印加される。信号検出トランジスタ24は、この電圧を増幅する。信号検出トランジスタ24によって増幅された電圧が、信号電圧としてアドレストランジスタ26を介して選択的に読み出される。

30

【0070】

（本発明者らの知見および光電変換層の構成の典型例）

上述したように、光電変換層15に光を照射し、画素電極11と対向電極12との間にバイアス電圧を印加することにより、光電変換によって生じる正および負の電荷のうちの一方を画素電極11によって収集し、収集された電荷を電荷蓄積領域に蓄積することができる。本発明者らは、以下に説明するような光電流特性を示す光電変換層15を光電変換部13に用い、かつ、画素電極11と対向電極12との間の電位差をある程度にまで小さくすることによって、電荷蓄積領域に既に蓄積された信号電荷が光電変換層15を介して対向電極12へ移動することを抑制できることを見出した。さらに本発明者らは、電位差を小さくした後における電荷蓄積領域への信号電荷のさらなる蓄積を抑制可能であることを見出した。つまり、光電変換層15に印加するバイアス電圧の大きさの制御により、特許文献1に記載の技術のように複数の画素のそれぞれに転送トランジスタなどの素子を別途設けることなく、グローバルシャッタ機能を実現し得ることを見出した。撮像装置100における動作の典型例は、後述する。

40

【0071】

以下、光電変換層15の構成の例および光電変換層15における光電流特性を説明する。

【0072】

50

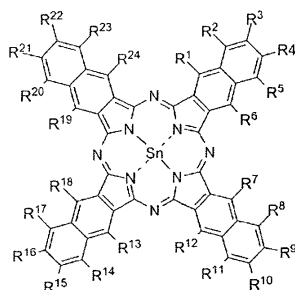
光電変換層 15 は、典型的には、半導体材料を含む。ここでは、半導体材料として、有機半導体材料を用いる。

【0073】

光電変換層 15 は、例えば、下記一般式 (1) で表されるスズナフタロシアニン (以下、単に「スズナフタロシアニン」と呼ぶことがある) を含む。

【0074】

【化 1】



(1)

10

【0075】

一般式 (1) 中、 $R^1 \sim R^{24}$ は、独立して、水素原子または置換基を表す。置換基は、特定の置換基に限定されない。置換基は、重水素原子、ハロゲン原子、アルキル基 (シクロアルキル基、ビスシクロアルキル基、トリシクロアルキル基を含む)、アルケニル基 (シクロアルケニル基、ビスシクロアルケニル基を含む)、アルキニル基、アリール基、複素環基 (ヘテロ環基といってもよい)、シアノ基、ヒドロキシ基、ニトロ基、カルボキシ基、アルコキシ基、アリールオキシ基、シリルオキシ基、ヘテロ環オキシ基、アシルオキシ基、カルバモイルオキシ基、アルコキシカルボニルオキシ基、アリールオキシカルボニルオキシ基、アミノ基 (アニリノ基を含む)、アンモニオ基、アシルアミノ基、アミノカルボニルアミノ基、アルコキシカルボニルアミノ基、アリールオキシカルボニルアミノ基、スルファモイルアミノ基、アルキルスルホニルアミノ基、アリールスルホニルアミノ基、メルカプト基、アルキルチオ基、アリールチオ基、ヘテロ環チオ基、スルファモイル基、スルホ基、アルキルスルフィニル基、アリールスルフィニル基、アルキルスルホニル基、アリールスルホニル基、アシル基、アリールオキシカルボニル基、アルコキシカルボニル基、カルバモイル基、アリールアゾ基、ヘテロ環アゾ基、イミド基、ホスフィノ基、ホスフィニル基、ホスフィニルオキシ基、ホスフィニルアミノ基、ホスホノ基、シリル基、ヒドラジノ基、ウレイド基、ボロン酸基 ($-B(OH)_2$)、ホスファト基 ($-OPO(OH)_2$)、スルファト基 ($-OSO_3H$)、または、その他の公知の置換基であり得る。

20

30

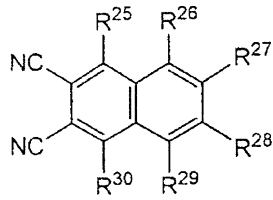
【0076】

上述の一般式 (1) で表されるスズナフタロシアニンとしては、市販されている製品を用いることができる。あるいは、上述の一般式 (1) で表されるスズナフタロシアニンは、例えば特開 2010-232410 号公報に示されているように、下記の一般式 (2) で表されるナフタレン誘導体を出発原料として合成することができる。一般式 (2) 中の $R^{25} \sim R^{30}$ は、一般式 (1) における $R^1 \sim R^{24}$ と同様の置換基であり得る。

40

【0077】

【化 2】



(2)

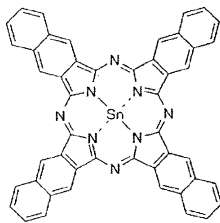
【0078】

10

上述の一般式（１）で表されるスズナフタロシアニンにおいて、分子の凝集状態の制御のし易さの観点から、 $R^1 \sim R^{24}$ のうち、８個以上が水素原子または重水素原子であると有益であり、 $R^1 \sim R^{24}$ のうち、１６個以上が水素原子または重水素原子であるとより有益であり、全てが水素原子または重水素原子であるとさらに有益である。さらに、以下の式（３）で表されるスズナフタロシアニンは、合成の容易さの観点で有利である。

【0079】

【化 3】



(3)

20

【0080】

上述の一般式（１）で表されるスズナフタロシアニンは、概ね 200 nm 以上 1100 nm 以下の波長帯域に吸収を有する。例えば、上述の式（３）で表されるスズナフタロシアニンは、図 3 に示すように、波長が概ね 870 nm の位置に吸収ピークを有する。図 3 は、上述の式（３）で表されるスズナフタロシアニンを含む光電変換層における吸収スペクトルの一例である。なお、吸収スペクトルの測定においては、石英基板上に光電変換層（厚さ：30 nm）が積層されたサンプルを用いている。

30

【0081】

図 3 からわかるように、スズナフタロシアニンを含む材料から形成された光電変換層は、近赤外領域に吸収を有する。すなわち、光電変換層 15 を構成する材料として、スズナフタロシアニンを含む材料を選択することにより、例えば、近赤外線を検出可能な光センサを実現し得る。

【0082】

図 4 は、光電変換層 15 の構成の一例を模式的に示す。図 4 に例示する構成において、光電変換層 15 は、正孔ブロッキング層 15 h と、上述の一般式（１）で表されるスズナフタロシアニンを含む有機半導体材料を用いて形成された光電変換構造 15 A と、電子ブロッキング層 15 e とを有する。正孔ブロッキング層 15 h は、光電変換構造 15 A および対向電極 12 の間に配置されており、電子ブロッキング層 15 e は、光電変換構造 15 A および画素電極 11 の間に配置されている。

40

【0083】

図 4 に示す光電変換構造 15 A は、p 型半導体および n 型半導体の少なくとも一方を含む。図 4 に例示する構成では、光電変換構造 15 A は、p 型半導体層 150 p と、n 型半導体層 150 n と、p 型半導体層 150 p および n 型半導体層 150 n の間に挟まれた混合層 150 m とを有する。p 型半導体層 150 p は、電子ブロッキング層 15 e と混合層

50

150mとの間に配置されており、光電変換および／または正孔輸送の機能を有する。n型半導体層150nは、正孔ブロッキング層15hと混合層150mとの間に配置されており、光電変換および／または電子輸送の機能を有する。後述するように、混合層150mがp型半導体およびn型半導体の少なくとも一方を含んでいてもよい。

【0084】

p型半導体層150pおよびn型半導体層150nは、それぞれ、有機p型半導体および有機n型半導体を含む。すなわち、光電変換構造15Aは、上述の一般式(1)で表されるスズナフタロシアニンを含む有機光電変換材料と、有機p型半導体および有機n型半導体の少なくとも一方とを含む。

【0085】

有機p型半導体(化合物)は、ドナー性有機半導体(化合物)であり、主に正孔輸送性有機化合物に代表され、電子を供与しやすい性質がある有機化合物をいう。さらに詳しくは、有機p型半導体(化合物)は、2つの有機材料を接触させて用いたときにイオン化ポテンシャルの小さい方の有機化合物をいう。したがって、ドナー性有機化合物としては、電子供与性のある有機化合物であればいずれの有機化合物も使用可能である。例えば、トリアリールアミン化合物、ベンジジン化合物、ピラゾリン化合物、スチリルアミン化合物、ヒドラゾン化合物、トリフェニルメタン化合物、カルバゾール化合物、ポリシラン化合物、チオフェン化合物、フタロシアニン化合物、シアニン化合物、メロシアニン化合物、オキソノール化合物、ポリアミン化合物、インドール化合物、ピロール化合物、ピラゾール化合物、ポリアリーレン化合物、縮合芳香族炭素環化合物(ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体)、含窒素ヘテロ環化合物を配位子として有する金属錯体などを用いることができる。なお、ドナー性有機半導体は、これらに限らず、上述したように、n型(アクセプター性)化合物として用いた有機化合物よりもイオン化ポテンシャルの小さい有機化合物であればドナー性有機半導体として用い得る。上述のスズナフタロシアニンは、有機p型半導体材料の一例である。

【0086】

有機n型半導体(化合物)は、アクセプター性有機半導体(化合物)であり、主に電子輸送性有機化合物に代表され、電子を受容しやすい性質がある有機化合物をいう。さらに詳しくは、有機n型半導体(化合物)は、2つの有機化合物を接触させて用いたときに電子親和力の大きい方の有機化合物をいう。したがって、アクセプター性有機化合物としては、電子受容性のある有機化合物であればいずれの有機化合物も使用可能である。例えば、フラレーン、フラレーン誘導体、縮合芳香族炭素環化合物(ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体)、窒素原子、酸素原子、硫黄原子を含有する5ないし7員のヘテロ環化合物(例えばピリジン、ピラジン、ピリミジン、ピリダジン、トリアジン、キノリン、キノキサリン、キナゾリン、フタラジン、シンノリン、イソキノリン、プテリジン、アクリジン、フェナジン、フェナントロリン、テトラゾール、ピラゾール、イミダゾール、チアゾール、オキサゾール、インダゾール、ベンズイミダゾール、ベンゾトリアゾール、ベンゾオキサゾール、ベンゾチアゾール、カルバゾール、プリン、トリアゾロピリダジン、トリアゾロピリミジン、テトラザインデン、オキサジアゾール、イミダゾピリジン、ピラリジン、ピロロピリジン、チアジアゾロピリジン、ジベンズアゼピン、トリベンズアゼピンなど)、ポリアリーレン化合物、フルオレン化合物、シクロペンタジエン化合物、シリル化合物、含窒素ヘテロ環化合物を配位子として有する金属錯体などを用いることができる。なお、これらに限らず、上述したように、p型(ドナー性)有機化合物として用いた有機化合物よりも電子親和力の大きな有機化合物であればアクセプター性有機半導体として用い得る。

【0087】

混合層150mは、例えば、p型半導体およびn型半導体を含むバルクヘテロ接合構造層であり得る。バルクヘテロ接合構造を有する層として混合層150mを形成する場合、

10

20

30

40

50

上述の一般式(1)で表されるスズナフタロシアニンをp型半導体材料として用い得る。n型半導体材料としては、例えば、フラーレンおよび／またはフラーレン誘導体を用いることができる。p型半導体層150pを構成する材料が、混合層150mに含まれるp型半導体材料と同じであると有益である。同様に、n型半導体層150nを構成する材料が、混合層150mに含まれるn型半導体材料と同じであると有益である。バルクヘテロ接合構造は、特許第5553727号公報において詳細に説明されている。参考のため、特許第5553727号公報の開示内容の全てを本明細書に援用する。

【0088】

検出を行いたい波長域に応じて適切な材料を用いることにより、所望の波長域に感度を有する撮像装置を実現し得る。光電変換層15は、アモルファスシリコンなどの無機半導体材料を含んでいてもよい。光電変換層15は、有機材料から構成される層と無機材料から構成される層とを含んでいてもよい。以下では、スズナフタロシアニンとC₆₀とを共蒸着することによって得られたバルクヘテロ接合構造を光電変換層15に適用した例を説明する。

【0089】

(光電変換層における光電流特性)

図5は、光電変換層15が有する典型的な光電流特性を示す。図5中、太い実線のグラフは、光が照射された状態における、光電変換層15の例示的な電流-電圧特性(I-V特性)を示している。なお、図5には、光が照射されていない状態におけるI-V特性の一例も、太い破線によってあわせて示されている。

【0090】

図5は、一定の照度のもとで、光電変換層15の2つの主面の間に印加するバイアス電圧を変化させたときの主面間の電流密度の変化を示している。本明細書において、バイアス電圧における順方向および逆方向は、以下のように定義される。光電変換層15が、層状のp型半導体および層状のn型半導体の接合構造を有する場合には、n型半導体の層よりもp型半導体の層の電位が高くなるようなバイアス電圧を順方向のバイアス電圧と定義する。他方、n型半導体の層よりもp型半導体の層の電位が低くなるようなバイアス電圧を逆方向のバイアス電圧と定義する。有機半導体材料を用いた場合も、無機半導体材料を用いた場合と同様に、順方向および逆方向を定義することができる。光電変換層15がバルクヘテロ接合構造を有する場合、上述の特許第5553727号公報の図1に模式的に示されるように、電極に対向する、バルクヘテロ接合構造の2つの主面のうちの一方の表面には、n型半導体よりもp型半導体が多く現れ、他方の表面には、p型半導体よりもn型半導体が多く現れる。したがって、n型半導体よりもp型半導体が多く現れた主面側の電位が、p型半導体よりもn型半導体が多く現れた主面側の電位よりも高くなるようなバイアス電圧を順方向のバイアス電圧と定義する。

【0091】

図5に示すように、光電変換層15の光電流特性は、概略的には、第1～第3の3つの電圧範囲によって特徴づけられる。第1電圧範囲は、逆バイアスの電圧範囲であって、逆方向バイアス電圧の増大に従って出力電流密度の絶対値が増大する電圧範囲である。第1電圧範囲は、光電変換層15の主面間に印加されるバイアス電圧の増大に従って光電流が増大する電圧範囲といってもよい。第2電圧範囲は、順バイアスの電圧範囲であって、順方向バイアス電圧の増大に従って出力電流密度が増大する電圧範囲である。つまり、第2電圧範囲は、光電変換層15の主面間に印加されるバイアス電圧の増大に従って順方向電流が増大する電圧範囲である。第3電圧範囲は、第1電圧範囲と第2電圧範囲の間の電圧範囲である。

【0092】

第1～第3の電圧範囲は、リニアな縦軸および横軸を用いたときにおける光電流特性のグラフの傾きによって区別され得る。参考のため、図5では、第1電圧範囲および第2電圧範囲のそれぞれにおけるグラフの平均的な傾きを、それぞれ、破線L1および破線L2によって示している。図5に例示されるように、第1電圧範囲、第2電圧範囲および第3

電圧範囲における、バイアス電圧の増加に対する出力電流密度の変化率は、互いに異なっている。第3電圧範囲は、バイアス電圧に対する出力電流密度の変化率が、第1電圧範囲における変化率および第2電圧範囲における変化率よりも小さい電圧範囲として定義される。あるいは、 $I-V$ 特性を示すグラフにおける立ち上がり（立ち下がり）の位置に基づいて、第3電圧範囲が決定されてもよい。第3電圧範囲は、典型的には、 -1 V よりも大きく、かつ、 $+1\text{ V}$ よりも小さい。第3電圧範囲では、バイアス電圧を変化させても、光電変換層15の主面間の電流密度は、ほとんど変化しない。図5に例示されるように、第3電圧範囲では、電流密度の絶対値は、典型的には $100\text{ }\mu\text{ A}/\text{cm}^2$ 以下である。

【0093】

（撮像装置100の動作の例）

10

図6は、本開示の実施形態に係る撮像装置における動作の一例を説明するための図である。図6は、同期信号の立ち下がり（または立ち上がり）のタイミングと、光電変換層15に印加されるバイアス電圧の大きさの時間的变化と、画素アレイPA（図1参照）の各行におけるリセットおよび露光のタイミングとを合わせて示している。より具体的には、図6中の一番上のグラフは、垂直同期信号Vssの立ち下がり（または立ち上がり）のタイミングを示す。上から2番目のグラフは、水平同期信号Hssの立ち下がり（または立ち上がり）のタイミングを示している。これらのグラフの下には、感度制御線42を介して電圧供給回路32から対向電極12に印加される電圧Vbの時間的变化の一例が示されている。電圧Vbの時間的变化のグラフの下には、画素電極11の電位を基準としたときの対向電極12の電位 ϕ の時間的变化が示されている。電位 ϕ のグラフにおける両矢印G3は、上述の第3電圧範囲を示している。さらにその下のチャートは、画素アレイPAの各行におけるリセットおよび露光のタイミングを模式的に示す。

20

【0094】

以下、図1、図2および図6を参照しながら、撮像装置100における動作の一例を説明する。簡単のため、ここでは、画素アレイPAに含まれる画素の行数が、第R0行～第R7行の合計8行である場合における動作の例を説明する。

【0095】

画像の取得においては、まず、画素アレイPA中の各单位画素セル10の電荷蓄積領域のリセットと、リセット後の画素信号の読み出しとが実行される。例えば、図6に示すように、垂直同期信号Vssに基づき、第R0行に属する複数の画素のリセットを開始する（時刻 t_0 ）。なお、図6中の網点の付された矩形は、信号の読み出し期間を模式的に表している。この読み出し期間は、単位画素セル10の電荷蓄積領域の電位をリセットするためのリセット期間をその一部に含み得る。

30

【0096】

第R0行に属する画素のリセットにおいては、第R0行のアドレス制御線46の電位の制御により、そのアドレス制御線46にゲートが接続されているアドレストランジスタ26をONとし、さらに、第R0行のリセット制御線48の電位の制御により、そのリセット制御線48にゲートが接続されているリセットトランジスタ28をONとする。これにより、電荷蓄積ノード41とリセット電圧線44とが接続され、電荷蓄積領域にリセット電圧Vrが供給される。すなわち、信号検出トランジスタ24のゲート電極24gおよび光電変換部13の画素電極11の電位が、リセット電圧Vrにリセットされる。その後、垂直信号線47を介して、第R0行の単位画素セル10からリセット後の画素信号を読み出す。このときに得られる画素信号は、リセット電圧Vrの大きさに対応した画素信号である。画素信号の読み出し後、リセットトランジスタ28およびアドレストランジスタ26をオフとする。

40

【0097】

この例では、図6に模式的に示すように、水平同期信号Hssにあわせて、第R0行～第R7行の各行に属する画素のリセットを行単位で順次に行う。以下では、水平同期信号Hssのパルスの間隔、換言すれば、ある行が選択されてから次の行が選択されるまでの期間を「1H期間」と呼ぶことがある。この例では、時刻 t_0 から時刻 t_1 までの期

50

間が1H期間に相当する。

【0098】

図6に示すように、画像取得の開始から、画素アレイPAの全ての行のリセットおよび画素信号の読み出しが終了するまでの期間（時刻 $t_0 \sim t_9$ ）においては、画素電極11と対向電極12との間の電位差が上述の第3電圧範囲となるような電圧V3が、電圧供給回路32から対向電極12に印加されている。すなわち、画像取得の開始から露光期間の開始（時刻 t_9 ）までの期間において、光電変換部13の光電変換層15は、第3電圧範囲のバイアス電圧が印加された状態にある。

【0099】

光電変換層15に第3電圧範囲のバイアス電圧が印加された状態では、光電変換層15からの電荷蓄積領域への信号電荷の移動は、ほとんど起こらない。これは、光電変換層15に第3電圧範囲のバイアス電圧が印加された状態では、光の照射によって生じた正および負の電荷のほとんどが、速やかに再結合し、画素電極11によって収集される前に消滅してしまうためであると推測される。したがって、光電変換層15に第3電圧範囲のバイアス電圧が印加された状態では、光電変換層15に光が入射しても、電荷蓄積領域への信号電荷の蓄積は、ほとんど起こらない。そのため、露光期間以外の期間における、意図しない感度（本明細書では、「寄生感度」と呼ぶことがある。）の発生が抑制される。このように、光電変換層15へのバイアス電圧を第3電圧範囲とすることによって感度を速やかに0に落とし得るということは、本発明者らによってはじめて見出された知見である。

【0100】

図6中、ある行（例えば第R0行）に着目したとき、網点の付された矩形および斜線の付された矩形で示される期間が、非露光期間を表している。なお、光電変換層15に第3電圧範囲のバイアス電圧を印加するための電圧V3は、0Vに限定されない。

【0101】

画素アレイPAの全ての行のリセットおよび画素信号の読み出しの終了後、水平同期信号Hssに基づき、露光期間を開始する（時刻 t_9 ）。図6中、白の矩形は、各行における露光期間を模式的に表している。露光期間は、電圧供給回路32が、対向電極12に印加する電圧を電圧V3とは異なる電圧Veに切り替えることによって開始される。電圧Veは、典型的には、画素電極11と対向電極12との間の電位差が上述の第1電圧範囲となるような電圧（例えば10V程度）である。対向電極12に電圧Veが印加されることにより、光電変換層15中の信号電荷（この例では正孔）が画素電極11によって収集され、電荷蓄積領域（電荷蓄積ノード41といってもよい。）に蓄積される。

【0102】

電圧供給回路32が、対向電極12に印加する電圧を再び電圧V3に切り替えることにより、露光期間が終了する（時刻 t_{13} ）。このように、本開示の実施形態では、対向電極12に印加する電圧が電圧V3と電圧Veとの間で切り替えられることによって、露光期間と非露光期間とが切り替えられる。図6からわかるように、この例における露光期間の開始（時刻 t_9 ）および終了（時刻 t_{13} ）は、画素アレイPAに含まれる全ての画素において共通である。すなわち、ここで説明する動作は、撮像装置100にグローバルシャッタが適用された例である。

【0103】

次に、水平同期信号Hssに基づき、画素アレイPAの各行に属する画素からの信号電荷の読み出しを行う。この例では、時刻 t_{15} から、第R0行～第R7行の各行に属する画素からの信号電荷の読み出しが行単位で順次に行われている。以下では、ある行に属する画素が選択されてからその行に属する画素が再び選択されるまでの期間を「1V期間」と呼ぶことがある。この例では、時刻 t_0 から時刻 t_{15} までの期間が1V期間に相当する。

【0104】

露光期間の終了後における、第R0行に属する画素からの信号電荷の読み出しにおいては、第R0行のアドレストランジスタ26をONとする。これにより、露光期間において

10

20

30

40

50

電荷蓄積領域に蓄積された電荷量に対応した画素信号が垂直信号線 47 に出力される。画素信号の読み出しに続けて、リセットトランジスタ 28 を ON として画素のリセットを行ってもよい。画素信号の読み出し後、アドレストランジスタ 26（およびリセットトランジスタ 28）をオフとする。画素アレイ PA の各行に属する画素からの信号電荷の読み出し後、時刻 t_0 と時刻 t_9 との間において読み出された信号との差分をとることにより、固定ノイズを除去した信号が得られる。

【0105】

非露光期間においては、対向電極 12 には電圧 V_3 が印加されているので、光電変換部 13 の光電変換層 15 は、第 3 電圧範囲のバイアス電圧が印加された状態にある。そのため、光電変換層 15 に光が入射した状態であっても、電荷蓄積領域への信号電荷のさらなる蓄積はほとんど起こらない。したがって、意図しない電荷の混入に起因するノイズの発生が抑制される。

10

【0106】

なお、電荷蓄積領域への信号電荷のさらなる蓄積を抑制するという観点からは、対向電極 12 に、上述の電圧 V_e の極性を反転させた電圧を印加することによって露光期間を終了させることも考えられる。しかしながら、対向電極 12 に印加する電圧の極性を単純に反転させると、既に蓄積された信号電荷の光電変換層 15 を介した対向電極 12 への移動が生じ得る。電荷蓄積領域からの光電変換層 15 を介した対向電極 12 への信号電荷の移動は、例えば、取得された画像中の黒点として観察される。つまり、電荷蓄積領域からの光電変換層 15 を介した対向電極 12 への信号電荷の移動は、マイナスの寄生感度の要因になり得る。

20

【0107】

この例では、露光期間が終了した後、対向電極 12 に印加される電圧を再び電圧 V_3 に変更しているので、電荷蓄積領域への信号電荷の蓄積が終わった後の光電変換層 15 は、第 3 電圧範囲のバイアス電圧が印加された状態にある。第 3 電圧範囲のバイアス電圧が印加された状態では、電荷蓄積領域に既に蓄積された信号電荷の光電変換層 15 を介した対向電極 12 への移動を抑制することが可能である。換言すれば、光電変換層 15 への第 3 電圧範囲のバイアス電圧の印加により、露光期間において蓄積された信号電荷を電荷蓄積領域に保持しておくことが可能である。つまり、電荷蓄積領域から信号電荷が失われることによるマイナスの寄生感度の発生を抑制し得る。

30

【0108】

このように、本開示の実施形態では、露光期間の開始および終了が、対向電極 12 に印加される電圧 V_b によって制御される。すなわち、本開示の実施形態によれば、各单位画素セル 10 内に転送トランジスタなどを設けることなく、グローバルシャッタの機能を実現し得る。本開示の実施形態では、転送トランジスタを介した信号電荷の転送を行うことなく、電圧 V_b の制御によって電子シャッタを実行するので、より高速な動作が可能である。また、各单位画素セル 10 内に別途転送トランジスタなどを設ける必要がないので、画素の微細化にも有利である。

【0109】

（応用例）

40

図 6 を参照して説明した動作の例においては、1 V 期間中に、全画素に共通して 1 回の露光期間を設け、その露光期間において蓄積された信号電荷に基づいて 1 つの画像を取得している。このような動作において、最終的な画像、すなわち 1 フレーム分の画像の形成に必要な画素信号の取得に要するトータルの時間は、（1 V 期間）＋（画素アレイ PA 中の行数）×（信号の読み出し期間）におおよそ等しいといえる（「×」は、乗算を意味する。）。本明細書では、最終的な画像の形成に必要な画素信号の取得に要するトータルの時間を、「1 フレーム期間」と呼ぶ。図 6 に示す例では、画素アレイ PA 中の各行における、信号の読み出し期間が 1 H 期間に等しく設定されているので、1 フレーム期間は、（1 V＋8×1 H）であるといえる。

【0110】

50

図6に示す例では、1フレーム期間中に全画素に共通して1回の露光期間を設けている。しかしながら、1フレーム期間中において、全画素に共通して複数回の露光期間を設けてもよい。換言すれば、いわゆる多重露光を行い、最終的に1フレームの画像を形成してもよい。多重露光によれば、1フレーム期間内に移動した物体（以下、「動体」と呼ぶことがある。）の軌跡を1フレームの画像中に記録し得る。多重露光は、動体解析および高速現象の解析に有用である。以下では、多重露光を実行して得られた画素信号に基づいて形成される画像を「多重露光画像」と呼ぶ。

【0111】

図7は、多重露光画像を形成可能に構成された撮像システムの一例を模式的に示す。図7に例示する撮像システム100Sは、概略的には、カメラ部80と、表示部90とを有する。カメラ部80および表示部90は、単一の装置の2つの部分であってもよいし、それぞれが独立した別個の装置であってもよい。図7に例示する構成において、カメラ部80は、光学系110、撮像装置100、システムコントローラ120および画像形成回路130を有しており、表示部90は、信号処理回路150および表示装置160を有している。

10

【0112】

カメラ部80の光学系110は、絞り、手振れ補正レンズ、ズームレンズおよびフォーカスレンズなどを含む。光学系110が有するレンズの数は、要求される機能に応じて適宜決定される。システムコントローラ120は、カメラ部80における各部を制御する。システムコントローラ120は、典型的には、CPUなどの半導体集積回路であり、例えば、光学系110におけるレンズの駆動回路に制御信号を送出する。この例では、システムコントローラ120は、撮像装置100の動作の制御も行う。例えば、システムコントローラ120は、垂直走査回路36の駆動を制御する。システムコントローラ120の制御に基づいて、電圧供給回路32から感度制御線42に印加される電圧の切り替えが実行されてもよい。システムコントローラ120は、1以上のメモリを含み得る。画像形成回路130は、撮像装置100の出力に基づいて多重露光画像を形成するように構成されている。画像形成回路130は、例えばDSP（Digital Signal Processor）、FPGA（field-programmable gate array）などであり得る。画像形成回路130は、メモリを含んでいてもよい。画像形成回路130の動作は、システムコントローラ120によって制御され得る。多重露光画像の形成の例は、後述する。

20

30

【0113】

図7に例示する構成では、画像形成回路130は、出力バッファ140を有している。画像形成回路130は、出力バッファ140を介して、多重露光画像のデータを表示部90に出力する。画像形成回路130から出力されるデータは、典型的には、RAWデータであり、例えば12ビット幅の信号である。画像形成回路130から出力されるデータは、例えばH.264規格に準拠して圧縮されたデータであってもよい。

【0114】

表示部90の信号処理回路150は、画像形成回路130からの出力を受け取る。画像形成回路130からの出力は、カメラ部80に対する接続および取り外しが自在に構成された外部記録媒体（例えばフラッシュメモリ）に一旦保存されてもよい。つまり、画像形成回路130からの出力が、外部記録媒体を介して表示部90に渡されてもよい。

40

【0115】

信号処理回路150は、例えば、ガンマ補正、色補間、空間補間およびオートホワイトバランスなどの処理を行う。信号処理回路150は、典型的には、DSP、ISP（Image Signal Processor）などである。表示部90の表示装置160は、液晶ディスプレイ、有機EL（electroluminescence）ディスプレイなどである。表示装置160は、信号処理回路150からの出力信号に基づいて画像を表示する。表示部90は、パーソナルコンピュータ、スマートフォンなどであり得る。

【0116】

以下、図8～図12を参照しながら、多重露光画像の形成の例を説明する。

50

【0117】

図8は、多重露光画像の形成の例を説明するための図である。ここでは、1フレーム分の多重露光画像の形成において複数回の露光を実行する。図8に示すように、まず、垂直同期信号Vssに基づき、第R0行～第R7行の各行に属する画素のリセットおよび画素信号の読み出しを行単位で順次に実行する（時刻t00）。このとき、電圧供給回路32（図1参照）は、画素電極11と対向電極12との間の電位差が上述の第3電圧範囲となるような電圧V3を対向電極12に印加する。

【0118】

次に、対向電極12に印加する電圧を電圧Ve1に切り替えることにより、画素アレイPA中の全ての画素に共通して露光期間を開始する。電圧Ve1は、画素電極11と対向電極12との間の電位差が例えば上述の第1電圧範囲となるような電圧である。対向電極12への電圧Ve1の印加により、光電変換により生成された正および負の電荷の一方（信号電荷）が電荷蓄積領域に蓄積される。露光期間は、電圧供給回路32が、対向電極12に印加する電圧を再び電圧V3に切り替えることによって終了する。

10

【0119】

次に、垂直同期信号Vssに基づき、第R0行～第R7行の各行に属する画素の画素信号の読み出しを行単位で順次に実行する（時刻t01）。これにより、時刻t00と時刻t01との間の露光期間に対応した画像データが得られる。このときに得られた画像データは、例えば、画像形成回路130（図7参照）のメモリに一時的に保存される。この例では、画素信号の読み出し後に、第R0行～第R7行の各行に属する画素のリセットを再度実行する。

20

【0120】

2回目のリセットの実行後、対向電極12に印加する電圧を電圧Ve2に切り替えることにより、画素アレイPA中の全ての画素に共通して、2回目の露光期間を開始する。電圧供給回路32が、対向電極12に印加する電圧を再び電圧V3に切り替えることにより、2回目の露光期間が終了する。2回目の露光期間の終了後、第R0行～第R7行の各行に属する画素の画素信号の読み出しを行単位で順次に実行する（時刻t02）ことにより、2回目の露光期間に対応した画像データが得られる。このときに得られた画像データを例えば画像形成回路130のメモリに一時的に保存する点、および、画素信号の読み出し後に、第R0行～第R7行の各行に属する画素のリセットを再度実行する点は、1回目の露光期間に対応した画像データの取得と同様である。

30

【0121】

その後、同様の動作を所望の回数繰り返す。これにより、各露光期間に対応した複数の画像データが得られる。画像形成回路130は、例えば、これらの複数の画像データを重畳することにより、多重露光画像を形成する。

【0122】

図8に示すように、多重露光画像の形成のための複数の画像データの取得において、各露光期間ごとに互いに異なる大きさの電圧が電圧供給回路32から対向電極12に供給されてもよい。図8に示す例では、電圧供給回路32は、複数回の露光期間の間で、互いに異なる大きさの電圧Ve1、Ve2およびVe3を対向電極12に印加している。ここでは、 $Ve1 < Ve2 < Ve3$ である。多重露光画像では、1フレーム期間中に移動を伴う被写体の像は、画像中の異なる位置に現れる。ここで説明する例のように、光電変換層15に印加されるバイアス電圧を露光期間ごとに変化させることにより、多重露光画像中に現れる、動体の像のそれぞれに表示属性の変化を付与することが可能である。例えば、多重露光画像中に現れる、動体の像のそれぞれの間で、明度を変化させることができる。動体の像において、露光期間ごとのバイアス電圧の変化によって変化を受ける表示属性は、典型的には、明度および色（色相または彩度）の少なくとも一方である。

40

【0123】

図9は、撮像システム100Sによって取得される例示的な多重露光画像と、多重露光画像から時系列で取り出された、それぞれが動体の像を1つ含む複数の画像とをあわせて

50

示す。図9は、1フレーム期間に5回の露光期間を含めたときの例である。

【0124】

図9の左側に示すように、光電変換層15に印加されるバイアス電圧を露光期間ごとに变化させて得られる多重露光画像では、動体の像のそれぞれにおける表示属性が互いに異なる。そのため、図9の右側に示すように、動体の移動の様子を示す複数の画像の列を多重露光画像から構築することが可能である。このように、露光期間中のバイアス電圧を変えて得られる複数の画像データを重畳して多重露光画像を形成することにより、1フレーム期間中に移動した物体の移動の様子（経路、速度の変化など）を示す情報を多重露光画像に含めることが可能である。このような撮影方法によれば、各露光期間に対応した複数の画像データを送る場合と比較して、データ量の増加を抑制することができる。なお、各露光期間の間における電圧供給回路32が供給する電圧の変化は、図8に示すような単調増加であってもよいし、単調減少またはランダムであってもよい。

10

【0125】

図10および図11に例示するように、多重露光画像中に、動体の位置の時間的な変化を示す識別子の画像を重畳してもよい。図10に示す例では、動体の位置の時間的な変化を示す識別子として、複数の動体の像の中心を結ぶ矢印が重畳されている。図11に示す例では、識別子として、動体の位置の時間的な変化を示す数字が重畳されている。多重露光画像に含まれる動体の像は、各露光期間に応じた表示属性を示す。そのため、多重露光画像に含まれる動体の像の表示属性を解析することにより、多重露光画像の形成後に識別子を付与することも可能である。識別子として、数字に代えて、文字、記号などを用いてもよい。識別子の画像の重畳は、画像形成回路130によって実行され得る。

20

【0126】

図8を参照して説明した例では、各露光期間に対応して、電荷蓄積領域に蓄積された信号電荷の読み出しを行っている。しかしながら、複数回の露光を行い、1フレーム期間の全体において電荷蓄積領域に蓄積された信号電荷を読み出すことによって、多重露光画像を形成してもよい。

【0127】

図12は、多重露光画像の形成の他の例を説明するための図である。図12に示す例では、まず、垂直同期信号 V_{ss} に基づき、第R0行～第R7行の各行に属する画素のリセットおよび画素信号の読み出しが行単位で順次実行される（時刻 t_{00} ）。次に、対向電極12に電圧 V_{e1} を印加することによって1回目の露光が実行される。1回目の露光期間の終了後、画素の画素信号の読み出しを実行することなく、対向電極12に電圧 V_{e2} （ここでは $V_{e2} > V_{e1}$ ）を印加することによって2回目の露光を実行する。したがって、電荷蓄積領域には、既に蓄積されている信号電荷に加えて、2回目の露光期間に対応する信号電荷がさらに蓄積される。このような信号電荷の蓄積を、露光期間における対向電極12への印加電圧の大きさを変えながら、所望の回数だけ実行する。この例では、露光の回数は5回であり、5回目の露光期間においては、電圧 V_{e1} とも V_{e2} とも異なる電圧 V_{e5} （ $V_{e1} < V_{e2} < \dots < V_{e5}$ ）が対向電極12に印加されている。

30

【0128】

5回の露光期間の終了後、垂直同期信号 V_{ss} に基づき、画素信号の読み出しを実行する（時刻 t_{04} ）。すなわち、この例では、複数回の露光期間に蓄積されたトータルの信号電荷の信号検出回路からの読み出しを、1フレーム期間中に1回行っている。このように、画像形成回路130は、各露光期間に対応した複数の画像データを合成することに代えて、最終的に得られた画素信号に基づいて多重露光画像を形成してもよい。

40

【0129】

画像形成回路130は、多重露光画像の形成に特化された処理回路に限定されない。多重露光画像の形成は、汎用の処理回路と、多重露光画像の形成のための処理が記述されたプログラムとの組み合わせによって実現されてもよい。このプログラムは、画像形成回路130中のメモリ、システムコントローラ120中のメモリなどに格納され得る。

【0130】

50

(撮像装置のその他の改変例)

再び図2を参照する。既に説明したように、本開示の実施形態では、露光期間と非露光期間との間で異なる電圧が対向電極12に印加されることにより、グローバルシャッタを実現している。非露光期間において、電圧供給回路32(図1参照)は、光電変換層15に印加されるバイアス電圧が上述の第3電圧範囲となるような電圧を、感度制御線42を介して対向電極12に供給する。他方、非露光期間における画素電極11の電位は、画素電極11および不純物領域28dをその一部に含む電荷蓄積領域に供給されるリセット電圧 V_r によって決まる。既に説明したように、リセット電圧 V_r は、不純物領域28dをドレイン領域(またはソース領域)として有するリセットトランジスタ28を介して電荷蓄積領域に供給される。リセットトランジスタ28は、電荷蓄積領域へのリセット電圧 V_r の供給および遮断を切り替える機能を有する。

10

【0131】

図2に例示する構成において、リセット電圧 V_r は、リセット電圧源34(図1参照)からリセットトランジスタ28のソース領域(またはドレイン領域)である不純物領域28sに供給される。リセット電圧源34と電圧供給回路32とが共通化されていてもよい。ただし、以下に説明するように、電圧供給回路32およびリセット電圧源34が、独立して異なる大きさの電圧を供給できると有益である。

【0132】

図13は、リセット期間におけるリセット電圧源34の例示的な動作を説明するためのタイミングチャートである。図13中、一番上のグラフは、電圧供給回路32から対向電極12に印加される電圧 V_b の時間的変化の一例を示し、2番目のグラフは、リセットトランジスタ28のゲートに接続されたリセット制御線48における電圧レベル V_{rst} の変化を示す。上から3番目のグラフは、電荷蓄積領域の電位 ϕ_{fd} の時間的変化を示す。電位 ϕ_{fd} の時間的変化は、画素電極11の電位の時間的変化を表しているといえる。電位 ϕ_{fd} の時間的変化のグラフの下には、画素電極11の電位を基準としたときの対向電極12の電位 ϕ の時間的変化が示されている。

20

【0133】

図13において電圧 V_b のグラフに示されるように、リセット期間をその一部に含む信号の読み出し期間において対向電極12に印加される電圧 V_c は、典型的には、一定である。この状態において、リセット制御線48の電圧がハイレベルとされると、リセットトランジスタ28を介してリセット電圧 V_r が印加されることにより、電荷蓄積領域の電位 ϕ_{fd} が V_r にリセットされる。したがって、一見すると、 $V_c = V_r$ とすれば、すなわち、リセット電圧 V_r として、対向電極12に印加される電圧 V_c と同じ電圧を用いれば、リセット後における画素電極11と対向電極12との間の電位差を0とすることができると予想される。

30

【0134】

しかしながら、現実には、リセット制御線48の電圧をローレベルとしてリセットトランジスタ28をオフとすると、電荷蓄積領域とリセットトランジスタ28との間のカップリングにより、電荷蓄積領域の電位 ϕ_{fd} が変動する。この例では、リセットトランジスタ28のオフによって電荷蓄積領域の電位 ϕ_{fd} が ΔV ($\Delta V > 0$)低下している。そのため、信号の読み出し期間において対向電極12に印加する電圧 V_c とリセット電圧 V_r とを等しく設定しただけでは、極端な場合には、リセット後における画素電極11と対向電極12との間の電位差が第3電圧範囲外となるおそれがある。リセット後における画素電極11と対向電極12との間の電位差が第3電圧範囲外となると、寄生感度が発生してしまう。

40

【0135】

そのため、リセット電圧 V_r として、信号の読み出し期間において対向電極12に印加される電圧 V_c よりも大きな電圧を採用してもよい。例えば、カップリングによる電荷蓄積領域の電圧降下を考慮して、リセット電圧 V_r として、例えば、対向電極12に印加する電圧 V_c に ΔV を加えた電圧を用いれば、リセット後の画素電極11および対向電極1

50

2の間の電位差を0に近づけて、電氣的なカップリングに起因する感度をキャンセルし得る。

【0136】

ΔV の具体的な値は、主にリセットトランジスタ28の特性（典型的にはソースゲート間の寄生容量）に依存し、あらかじめその値を知ることが可能である。例えば、製品の出荷前に ΔV を測定しておき、得られた ΔV を例えばシステムコントローラ120（図7参照）に接続されたメモリ（例えばROM）などに書き込んでおいてもよい。システムコントローラ120は、メモリに保持された ΔV を参照することにより、リセット電圧源34から供給するリセット電圧 V_r の大きさを、 ΔV の値に基づいて補正することが可能である。あるいは、出力される電圧が所望の電圧となるように、 ΔV の値に応じてリセット電圧源34の回路構成を調整しておいてもよい。リセット電圧源34から供給するリセット電圧 V_r を補正することに代えて、あるいは、リセット電圧 V_r の補正とともに、電圧供給回路32から対向電極12に供給する電圧を補正してもよい。ただし、リセット電圧 V_r の補正は、画素ごとに行うことが可能である点で、電圧供給回路32から対向電極12に供給する電圧の補正よりも有利である。このようなリセット電圧 V_r （および／または対向電極12に供給する電圧）のキャリブレーションは、撮像装置100の出荷前に実行されてもよいし、撮像装置100のユーザによって実行されてもよい。

10

【0137】

なお、リセットトランジスタ28がPチャンネルのトランジスタである場合には、図14に示すように、リセットトランジスタ28のオフにより、電荷蓄積領域の電位 ϕ_{fd} が ΔV 上昇する。そのため、リセットトランジスタ28としてPチャンネルのトランジスタを用いる場合には、リセット電圧 V_r として、信号の読み出し期間において対向電極12に印加される電圧 V_c よりも小さな電圧を採用すればよい。

20

【0138】

図13および図14に示す例では、リセット期間よりも前の期間では、画素電極11の電位を基準としたときの対向電極12の電位 ϕ が第3電圧範囲の外にある。これらの例のように、電圧供給回路32から対向電極12に印加される電圧 V_b は、非露光期間の全てにわたって、画素電極11と対向電極12との間の電位差が第3電圧範囲となるような電圧である必要はない。画素のリセットの前においては、画素電極11の電位を基準としたときの対向電極12の電位 ϕ は、第3電圧範囲の外であってもよい。

30

【0139】

このように、補正された電圧をリセット電圧 V_r として用いることにより、電氣的なカップリングに起因する寄生感度の発生を抑制し得る。このとき、補正值として大きすぎる値を採用すると、リセット時に画素電極11と対向電極12との間に大きな電位差が生じ、電荷蓄積領域中の電荷が光電変換層15を介して対向電極12に流れ込む可能性がある。言い換えれば、光電変換層15を介して電荷が逆流するおそれがある。このことから、リセット電圧 V_r と、電圧供給回路32が対向電極12に印加する電圧 V_c との差の絶対値が、光電変換層15の破壊電圧よりも小さいと有益である。例えば、リセットトランジスタ28がNチャンネルのトランジスタである場合には、リセット電圧 V_r が電圧 V_c を超えないことが有益である。光電変換層15の破壊電圧は、例えば、電荷蓄積領域中の電荷が光電変換層15を介して画素電極11から対向電極12に流れ込むことによって光電変換層15がその機能を失うような大きさの電圧として定義できる。あるいは、リセット電圧 V_r と、電圧供給回路32が対向電極12に印加する電圧 V_c との差の絶対値が、信号検出回路14への入力電圧（典型的にはVDD）よりも小さいことが有益である。

40

【0140】

図15は、撮像装置100の改変例を示す。図15に例示する構成において、半導体基板20は、所定の基板電圧 V_s を供給する基板電圧供給回路35との接続を有する。基板電圧供給回路35から印加される基板電圧 V_s は、0Vとは異なる電圧である。

【0141】

リセット電圧 V_r を0Vに近い電圧とすれば、電圧供給回路32から対向電極12に印

50

加する電圧 V_c を0 V、すなわち、対向電極12を接地とし得るので撮像装置100における回路構成をより簡略化し得る。しかしながら、リセット電圧 V_r が例えば0 Vであると、信号検出トランジスタ24がソースフォロアとして機能しないので、信号電圧の読み出しができない。

【0142】

図15に例示する構成では、0 Vとは異なる基板電圧 V_s を半導体基板20に印加している。例えば、基板電圧 V_s として負電圧を半導体基板20に印加することにより、基板電位をシフトさせる。基板電位をシフトさせることにより、リセット電圧 V_r と、電圧供給回路32から対向電極12に印加する電圧 V_c とを0 Vとした場合であっても、暗電流の抑制と、信号検出回路14におけるリニアリティとを両立させ得る。基板電圧供給回路35は、上述の電圧供給回路32および／またはリセット電圧源34と共通化されていてもよい。なお、電圧供給回路32から対向電極12に印加する電圧 V_c を正の電圧とすれば、半導体基板20に負電圧を印加することを回避しながら、リセット電圧 V_r および電圧 V_c とを0 Vとした場合と同様の効果を得ることが可能である。

10

【0143】

以上に説明したように、本開示の実施形態によれば、対向電極12に印加する電圧の制御により、電荷蓄積領域への電荷の蓄積および保持を制御し得る。したがって、より簡単なデバイス構造でグローバルシャッタ機能を実現し得る。

【0144】

本開示の実施形態による撮像装置は、上述した例のほかに種々の改変が可能である。例えば、被写体に応じて、グローバルシャッタ駆動とローリングシャッタ駆動との切り替えを行ってもよい。ローリングシャッタ駆動では、電圧供給回路32が対向電極12に印加する電圧を、露光期間、非露光期間ともに電圧 V_e に固定し得る。このとき、電荷蓄積ノード41のリセットのタイミングから信号読み出しまでの時間によって露光期間を規定することができる。

20

【0145】

上述の信号検出トランジスタ24、アドレストランジスタ26およびリセットトランジスタ28の各々は、NチャンネルMOSであってもよいし、PチャンネルMOSであってもよい。これらの全てがNチャンネルMOSまたはPチャンネルMOSのいずれかに統一されている必要もない。信号検出トランジスタ24および／またはアドレストランジスタ26として、電界効果トランジスタのほか、バイポーラトランジスタも用い得る。

30

【産業上の利用可能性】

【0146】

本開示の撮像装置は、例えばイメージセンサなどに適用可能である。本開示の撮像装置は、医療用カメラ、ロボット用カメラ、セキュリティカメラ、車両に搭載されて使用されるカメラなどに用いることができる。車両搭載用カメラは、例えば、車両が安全に走行するための、制御装置に対する入力として利用され得る。あるいは、車両が安全に走行するための、オペレータの支援に利用され得る。

【符号の説明】

【0147】

40

- 10 単位画素セル
- 11 画素電極
- 12 対向電極
- 13 光電変換部
- 14 信号検出回路
- 15 光電変換層
- 15 A 光電変換構造
- 15 e 電子ブロッキング層
- 15 h 正孔ブロッキング層
- 20 半導体基板

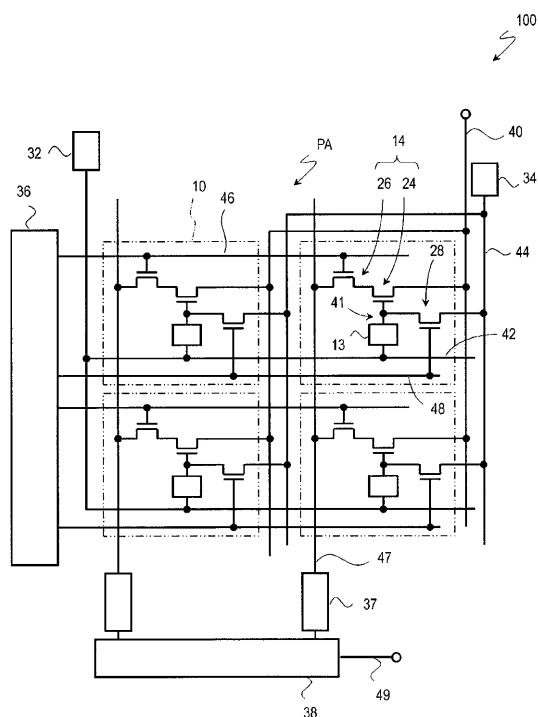
50

- 20 t 素子分離領域
- 24 d、24 s、26 s、28 d、28 s 不純物領域
- 24 信号検出トランジスタ
- 26 アドレストランジスタ
- 28 リセットトランジスタ
- 24 g、26 g、28 g ゲート電極
- 32 電圧供給回路（感度制御電圧供給回路）
- 34 リセット電圧源（リセット電圧供給回路）
- 35 基板電圧供給回路
- 36 垂直走査回路
- 40 電源線
- 41 電荷蓄積ノード
- 42 感度制御線
- 50 層間絶縁層
- 44 リセット電圧線
- 46 アドレス制御線
- 47 垂直信号線
- 48 リセット制御線
- 80 カメラ部
- 90 表示部
- 100 撮像装置
- 100 S 撮像システム
- 130 画像形成回路
- PA 画素アレイ

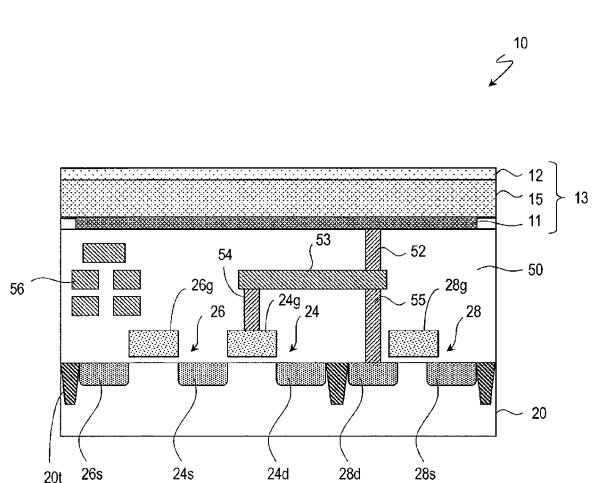
10

20

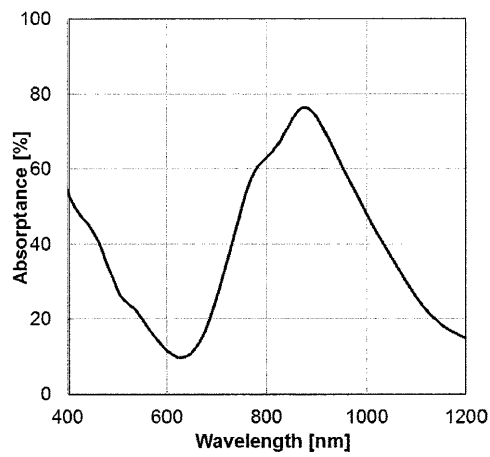
【図 1】



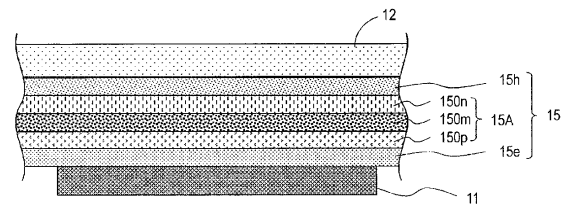
【図 2】



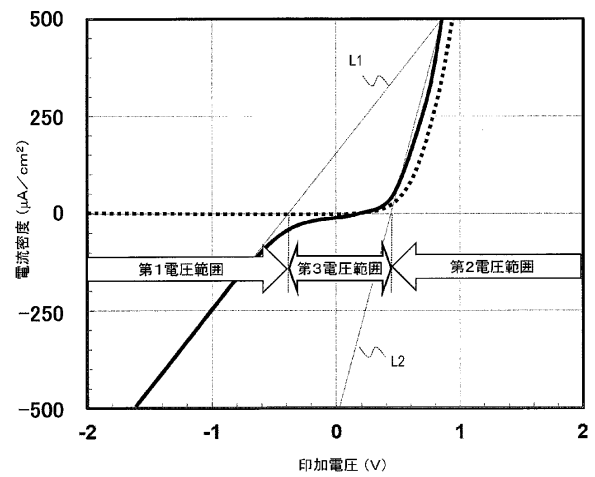
【図 3】



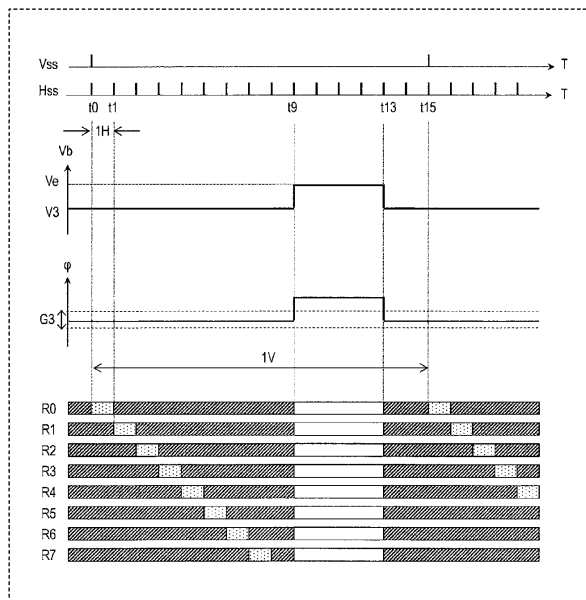
【図 4】



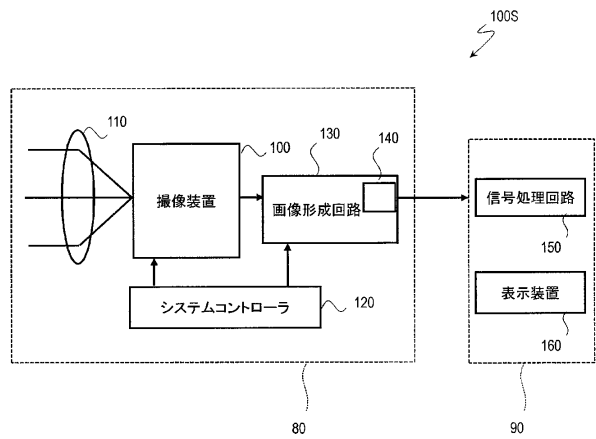
【図 5】



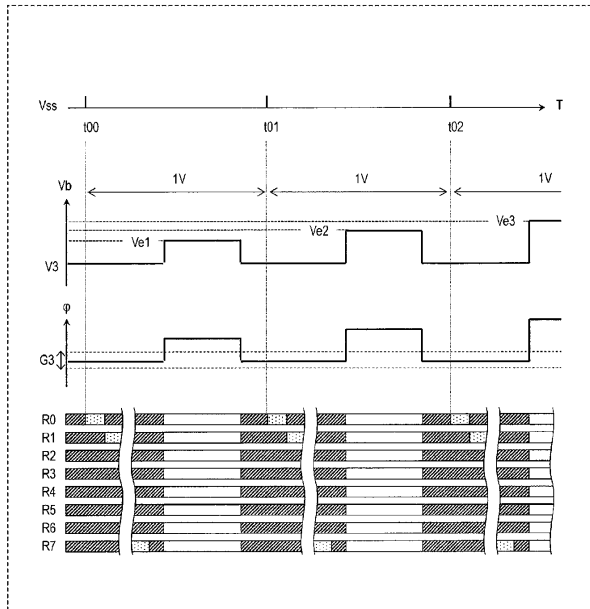
【図 6】



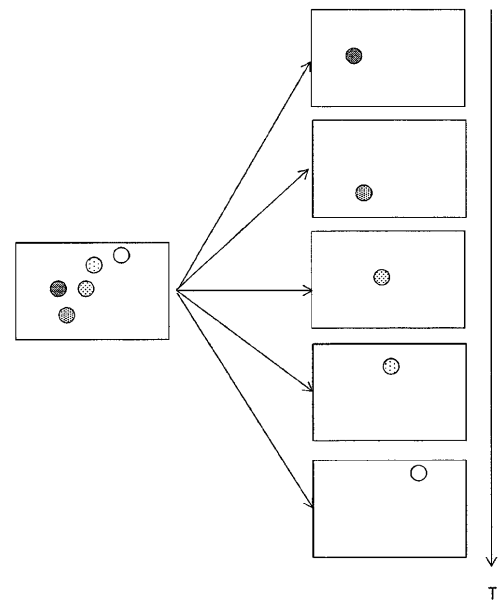
【図 7】



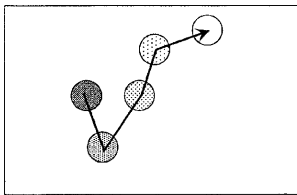
【図 8】



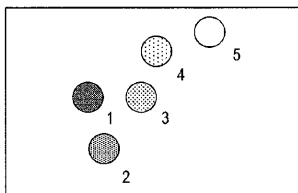
【図 9】



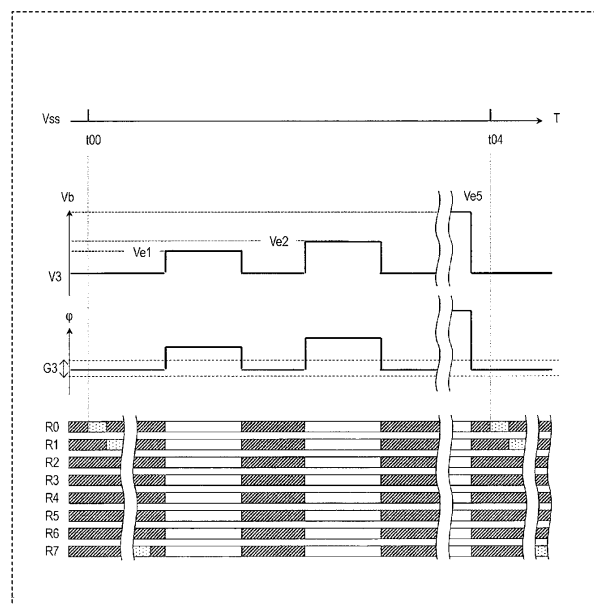
【図 10】



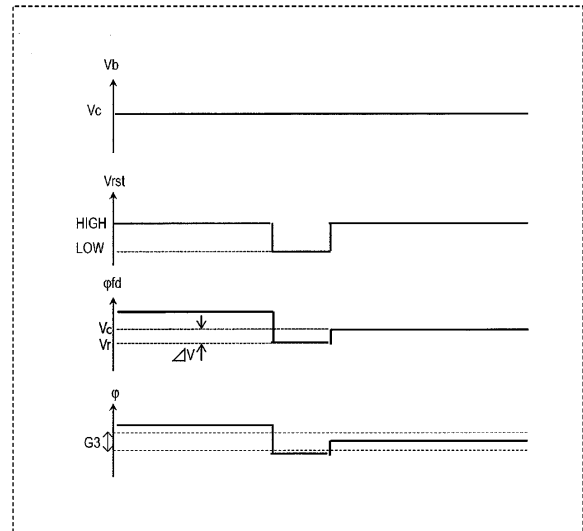
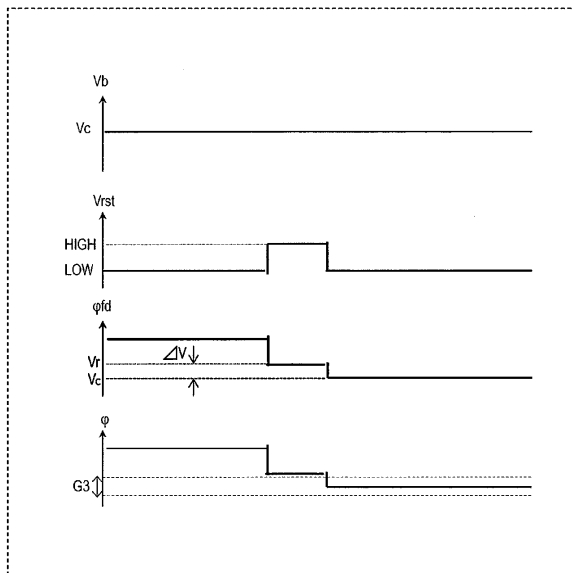
【図 11】



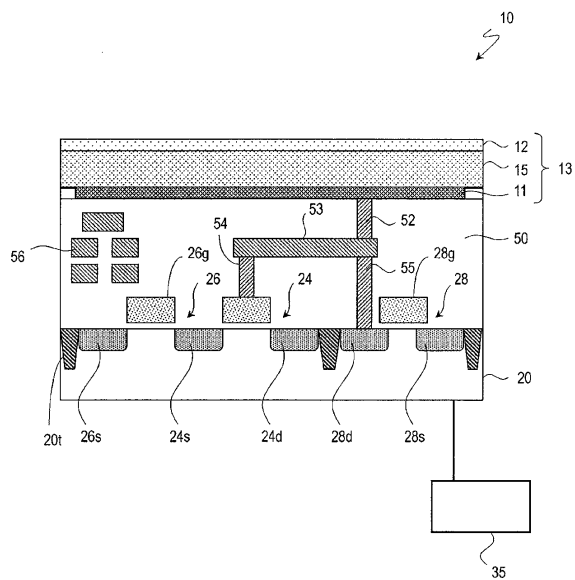
【図 12】



【图 1 4】



【図 15】



フロントページの続き

(74)代理人 100184985

弁理士 田中 悠

(74)代理人 100202197

弁理士 村瀬 成康

(72)発明者 三宅 康夫

大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 村上 雅史

大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 玉置 徳彦

大阪府門真市大字門真1006番地 パナソニック株式会社内

(72)発明者 佐藤 嘉晃

大阪府門真市大字門真1006番地 パナソニック株式会社内

審査官 粕谷 満成

(56)参考文献 国際公開第2012/164829 (WO, A1)

特開2002-152602 (JP, A)

国際公開第2014/103169 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H04N 5/374

H01L 27/146

H01L 27/30

H01L 31/10

H01L 51/42