



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0087228  
H01L 27/115 (2006.01) (43) 공개일자 2007년08월27일

(21) 출원번호	10-2007-7017396(분할)		
(22) 출원일자	2007년07월27일		
심사청구일자	2007년07월27일		
번역문 제출일자	2007년07월27일		
(62) 원출원	특허10-2006-7009516		
	원출원일자 : 2006년05월16일	심사청구일자	2006년05월16일
(86) 국제출원번호	PCT/US2004/038261	(87) 국제공개번호	WO 2005/050740
국제출원일자	2004년11월16일	국제공개일자	2005년06월02일

(30) 우선권주장      10/714,753      2003년11월17일      미국(US)

(71) 출원인      마이크론 테크놀로지, 인크.  
미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우스 페드럴 웨이 8000

(72) 발명자      포브스, 레오나르드  
미국 97330-9113 오레곤주 코발리스 노스웨스트 마운틴 뷰드라이브 7340

(74) 대리인      주성민  
이중희  
백만기

전체 청구항 수 : 총 10 항

(54) 초박형 실리콘 상의 NROM 플래시 메모리 디바이스

(57) 요약

NROM 플래시 메모리 셀은 초박형 SOI 구조에서 구현된다. 평면 디바이스에서, 소스/드레인 영역 사이의 채널은 통상적으로 완전히 공핍된다. 산화물층은 상부의 게이트 절연체층과 소스/드레인 영역 사이에 절연체층을 제공한다. 제어 게이트는 게이트 절연체층 상부에 형성된다. 수직 디바이스에서, 산화물 기둥은 산화물 기둥층의 양측 중 어느 한측 상에 소스/드레인 영역을 갖는 기관으로부터 연장한다. 에피택셜 재성장은 산화물 기둥의 측면을 따라 초박형 실리콘 바디 영역을 형성하는데 사용된다. 제2 소스/드레인 영역은 이 구조의 상부에 형성된다. 게이트 절연체 및 제어 게이트는 상부에 형성된다.

대표도

도 2

특허청구의 범위

### 청구항 1.

수직 NROM 플래시 메모리 트랜지스터로서,

제1의 복수의 소스/드레인 영역(330, 331)을 갖는 기판;

상기 기판으로부터 외측으로 연장하는 산화물 기둥(310);

각각이 상기 산화물 기둥(310)의 대향하는 측면들을 따른 실리콘의 에피택셜 재성장을 포함하고, 각각이 상이한 소스/드레인 영역(330, 331)으로부터 수직으로 연장하는 복수의 초박형 실리콘 바디 영역(300, 301);

상기 산화물 기둥(310) 상에 형성되고, 각각이 상이한 바디 영역들(301, 300)에 연결되는 제2의 복수의 소스/드레인 영역(320, 321);

상기 제1의 복수의 소스/드레인 영역(330, 331), 상기 복수의 바디 영역(300, 301), 및 상기 제2의 복수의 소스/드레인 영역(320, 321) 위에 형성되는 절연체층(307); 및

상기 절연체층(307) 위에 형성되는 제어 게이트(330)

를 포함하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 2.

제1항에 있어서,

메모리 어레이의 제1 트랜지스터는 상기 제1의 복수의 소스/드레인 영역 중 제1 소스/드레인 영역, 제1 초박형 실리콘 바디 영역, 상기 제2의 복수의 소스/드레인 영역 중 제1 소스/드레인 영역, 상기 제1 실리콘 바디 영역 위의 상기 절연체층의 일부, 및 상기 절연체층의 상기 일부 위의 상기 제어 게이트의 일부로 이루어지는 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 3.

제1항에 있어서,

상기 절연체층은 혼성 산화물-질화물-산화물 구조로 이루어지는 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 4.

제3항에 있어서,

하부의 산화물층은 상기 산화물 기둥 주위에 형성되는 나머지 부분보다 상기 산화물 기둥의 양 측면 중 어느 한 측면 상의 트랜치에서 두께가 더 두꺼운 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 5.

제4항에 있어서,

상기 제1의 복수의 소스/드레인 영역은 각각의 트렌치 사이에서 분리되는 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 6.

제1항에 있어서,

하부의 소스/드레인 영역들의 각각의 측면 상의 상기 절연체층의 일부분들은 상기 나머지 절연체층보다 두께가 더 두꺼운 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 7.

제1항에 있어서,

각각의 산화물 기둥 상의 소스/드레인 영역을 연결하는 도전성 와이어를 포함하는 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 8.

제1항에 있어서,

상기 소스/드레인 영역들은 n+ 타입 도전성 재료인 것을 특징으로 하는 수직 NROM 플래시 메모리 트랜지스터.

### 청구항 9.

복수의 수직 NROM 메모리 셀을 포함하는 메모리 어레이를 형성하기 위한 방법으로서,

기판에, 상기 기판과는 상이한 도전성 타입을 갖는 제1의 복수의 도핑된 영역을, 각각의 도핑된 영역 사이에 갭이 존재하도록 형성하는 단계;

상기 도핑된 영역들 사이의 각각의 갭 위에 산화물 기둥을 형성하는 단계;

각각의 산화물 기둥의 대향하는 측벽들을 따라 각각의 도핑된 영역으로부터 연장하는 에피택셜 재성장예 의해 초박형 실리콘 바디 영역을 형성하는 단계;

각각의 산화물 기둥 및 바디 영역들 위의 폴리실리콘 재료에, 제2의 복수의 도핑된 영역을, 상기 산화물 기둥들 위의 상기 도핑된 영역들이 전기적으로 연결되고 상기 제1의 복수의 도핑된 영역과 동일한 도전성 타입을 갖도록 형성하는 단계;

상기 제1의 복수의 도핑된 영역, 상기 바디 영역들, 및 상기 제2의 복수의 도핑된 영역 위에 게이트 절연체층을 형성하는 단계; 및

상기 바디 영역들 각각에 인접한 상기 게이트 절연체층 위에 폴리실리콘 제어 게이트 영역을 형성하는 단계

를 포함하는 메모리 어레이 형성 방법.

### 청구항 10.

제9항에 있어서,

상기 폴리실리콘 제어 게이트 영역을 형성하는 단계는 상기 제어 게이트를 상기 게이트 절연체층 위에 연속하는 층으로서 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 어레이 형성 방법.

명세서

## 발명의 상세한 설명

### 기술분야

본 발명은 일반적으로 메모리 디바이스에 관한 것이며, 보다 구체적으로 본 발명은 질화물 판독 전용 메모리 플래시 메모리 디바이스에 관한 것이다.

### 배경 기술

컴퓨터와 다른 전자 디바이스의 속도와 특성이 향상됨에 따라 디바이스를 구성하는 집적 회로에 더 나은 성능이 요구되고 있다. 집적 회로를 더 빠르게 할 수 있는 한 방법은 디바이스를 구성하는 트랜지스터의 크기를 축소시키는 것이다. 그러나, 트랜지스터가 더 작아지고 더 빨라짐에 따라, 트랜지스터의 속도에 관련하여 트랜지스터들 사이의 접촉을 통한 지연이 더 커지게 된다.

집적 회로를 빠르게 하는 대안적인 기술은 대안적인 반도체를 사용하는 것이다. 예를 들어, SOI(silicon-on-insulator) 기술은 대응하는 CMOS 기술에 대하여 25-35%의 성능 증가를 제공한다. SOI는 실리콘 산화물 또는 글래스와 같은 절연체의 상부에 실리콘의 박층을 위치시키는 것을 일컫는다. 그리고 트랜지스터는 SOI의 이 박층에 놓일 것이다. SOI층은 트랜지스터의 캐패시턴스를 감소시켜서 보다 빠르게 동작한다.

### 발명의 내용

#### 해결 하고자하는 과제

도 1은 일반적인 종래기술의 SOI 반도체를 나타낸다. 트랜지스터는 절연체(102)에 위의 실리콘층(101)에 형성된다. 절연체는 기판(103)의 상부에 형성된다. 실리콘층(101) 내에, 드레인/소스 영역(105 및 106)이 형성된다. 게이트(107)가 부분적으로 공핍된 채널(109) 위에 형성된다. 플로팅 바디(110)는 공핍된 영역(112) 내에 있고 부분적인 공핍에 기인한다.

그러나, SOI 기술은 중대한 기술적 도전을 부과한다. SOI 트랜지스터에 사용되는 실리콘막은 완전한 결정질 실리콘이어야 한다. 그러나, 절연체층은 결정질이 아니다. 절연체층의 결정질 특성은 순수한 실리콘과 매우 다르기 때문에 완전한 결정질의 실리콘 온 옥사이드 또는 다른 절연체를 갖는 실리콘을 형성하는 것은 매우 어렵다. 완전한 결정질 실리콘이 얻어지지 않으면, SOI막 위에 결함이 될 것이다. 이는 트랜지스터 성능을 저하시킨다.

또한, SOI 기술을 사용하는 부분적으로 공핍된 CMOS 디바이스에서 플로팅 바디 영향은 많은 로직 및 메모리 애플리케이션에서 바람직하지 못하다. 플로팅 바디는 임계 전압과 스위칭 속도가 특정 로직 게이트의 스위칭 히스토리의 기능을 가변적이고 복잡하게 되도록 한다. 다이내믹 로직 및 DRAM 메모리에서, 플로팅 바디는 데이터 손실을 야기할 수 있는 짧은 유지 시간 및 초과된 차지 리키지를 야기한다. 종래의 플래시 메모리 및 NROM 디바이스에서, 플로팅 바디는 소거 필드를 감소시키고 소거 시간을 더 느리게 한다.

상기 이유 및 이하에 설명될 다른 이유는 본 기술 분야의 숙련된 자가 본 명세서를 읽고 이해할 때 자명할 것이며, 이러한 이유로써 SOI 기술을 구현하는 CMOS 디바이스에서 플로팅 바디 영향을 제거하기 위한 방법에 대한 기술이 요구된다.

#### 과제 해결수단

플로팅 바디 영향의 제거를 포함하는 상기 문제점 및 다른 문제점들은 본 발명에 의해 해결되고 다음의 명세서를 읽고 연구함으로써 이해될 것이다.

본 발명은 초박형 SOI 기판을 갖는 NROM 트랜지스터를 포함한다. 실리콘은 통상적으로 완전히 공핍된 바디 영역에 의해 분리되는 2개의 도핑된 소스/드레인 영역을 갖는다. 도핑된 영역은 기판과 상이한 도전성을 갖는다.

산화물층은 소스/드레인 영역 각각의 위에 형성된다. 게이트 절연체는 바디 영역과 산화물층 위에 형성된다. 게이트 절연체는 복수의 차지들을 저장할 수 있다. 제어 게이트는 게이트 절연체 상에 형성된다.

본 발명의 다른 실시예는 다양한 범위의 방법 및 장치를 포함한다.

## 효과

본 발명의 NROM 플래시 메모리 셀은 초박형 SOI를 이용하여 완전히 공핍된 바디 영역을 제공한다. 이는 부분적으로 공핍된 CMOS 디바이스에 의해 겪게 되는 바람직하지 못한 플로팅 바디 효과를 제거한다.

## 발명의 실시를 위한 구체적인 내용

본 발명의 이하의 상세한 설명에서, 발명의 상세한 설명의 일부를 구성하고 설명을 통하여 본 발명이 실행될 수 있는 특정 실시예를 나타내는 첨부된 도면이 참조된다. 도면에서, 몇몇 예시를 통해 실질적으로 유사한 구성요소들은 유사한 참조번호로 나타낸다. 이들 실시예들은 본 기술분야에서 숙련된 자가 본 발명을 실시할 수 있도록 충분히 상세하게 설명된다. 다른 실시예들이 활용될 수 있고, 구조적, 논리적, 및 전기적 변경이 본 발명의 범위로부터 벗어나지 않고 이루어질 수 있다. 그러므로, 이하의 상세한 설명은 한정적인 의미가 아니고, 본 발명의 범위는 첨부된 특허청구범위 및 그 균등물에 의해서만 정의된다.

도 2는 초박형 SOI 기술을 이용하는 평면 NROM 셀의 일 실시예의 단면도이다. 도 2의 NROM 플래시 메모리 셀은 가상의 접지 비트 라인을 갖는 NOR 어레이 셀이다.

NROM 플래시 메모리 셀은 절연체(202) 상의 실리콘층(201)으로 이루어진다. 초박형 SOI 셀에서 실리콘(201)은 100nm (1000Å) 이하이다. 이 층(201)은 비트라인(220 및 221)으로서 작용하는 2개의 소스/드레인 영역(220 및 221)으로 이루어진다. 일 실시예에서, 이들 영역(220 및 221)은 n 타입 재료이다. 대안적인 실시예는 기판이 n 타입 재료이면 p 타입 재료를 사용한다.

비트 라인(220 및 221) 사이의 바디 영역(220)은 초박형 SOI에서 통상적으로 완전히 공핍된다. 바디 영역(200)은 이온화된 억셉터 불순물(203)과 이온화된 도너 불순물(205)로 이루어진다. 2개의 산화물 영역(210 및 211)은 실리콘(201) 상에 퇴적된다.

일 실시예에서 게이트 절연체(207)는 제어 게이트(230)와 실리콘층(201) 사이에 형성되는 산화물-질화물-산화물(ONO)의 혼성 구조이다. 일 실시예에서 제어 게이트(230)는 폴리실리콘 재료이고 NOR 플래시 셀 실시예에서 'x' 방향으로 연장한다. 질화물층(225)은 2개의 차지 저장 영역(231 및 232)을 갖는다.

본 발명의 대안적인 실시예는 나타낸 ONO 혼성 구조 이외의 다른 게이트 절연체를 사용한다. 이들 구조는 산화물-질화물-알루미늄 산화물 혼성층, 산화물-알루미늄 산화물-산화물 혼성층, 산화물, 실리콘 옥시카바이드-산화물 혼성층 뿐만 아니라 다른 혼성층을 포함할 수 있다.

또 다른 대안적인 실시예에서, 게이트 절연체는 습식 산화에 의해 어닐되지 않고 형성되는 통상의 실리콘 산화물보다 더 두꺼운 산화물, 실리콘의 나노 입자들의 함유물(inclusions of nanoparticles)을 갖는 실리콘 리치(silicon-rich) 산화물, 혼성층이 아닌 실리콘 산질화물(oxynitride)층, 혼성층이 아닌 실리콘 리치 알루미늄 산화물 절연체, 혼성층이 아닌 실리콘 옥시카바이드 절연체, 실리콘 카바이드의 나노 입자의 함유물을 갖는 실리콘 산화물 절연체를 포함할 수 있으며, 또한 Si, N, Al, Ti, Ta, Hf, Zr 및 La와 같은 2개 이상의 통상 사용되는 절연체 재료의 게이트 절연체의 다른 비화학당량의 단일층을 포함할 수 있다.

도 3은 초박형 SOI에 이용하는 본 발명의 2개의 수직 NOR NROM 셀(350 및 351)의 일 실시예의 단면도를 나타낸다.

도 3의 셀(350 및 351)은 각각 비트 라인으로서 동작하는 소스/드레인 영역(330 및 331)을 갖고 n+ 도핑된 실리콘으로 이루어진다. 대안적으로 실시예는 기판이 n 타입 재료로 이루어지면 p 타입 재료를 사용한다. 각각의 트랜지스터에 대한

추가적 소스/드레인 영역(320 및 321)은 수직 산화물 기둥(310)의 상부에 형성된다. 좌측의 트랜지스터(350)는 소스/드레인 영역(320 및 321)을 사용하고 우측 트랜지스터는 소스/드레인 영역(321 및 330)을 사용한다. 상부 소스/드레인 영역(320 및 321)은 그레인 경계에 의해 분리되지만 전기적으로 연결된다. 수직 산화물 기둥(310)은 2개의 트랜지스터(350 및 351) 사이의 절연체이다.

수직 에피택셜 재성장(epitaxial regrowth)은 수직 산화물 기둥(310)의 측벽을 따라 초박형 실리콘(300 및 301)의 비정질 층을 제공하는데 사용된다. 이들 층은 초박형 실리콘(즉, <math><100\text{nm}</math>) 바디 영역(300 및 301)이고 통상적으로 완전히 공핍된다. 실리콘 바디 영역(300 및 301)의 두께의 방향은 각각의 영역에 표시된다. 좌측의 초박형 실리콘 바디 영역은 좌측 트랜지스터(350)의 부분이고 우측 바디 영역(300)은 우측 트랜지스터(351)의 부분이다.

일 실시예에서, 게이트 절연체층(307)은 혼성 ONO 구조이다. 이 층(307)의 대안적인 실시예들은 위에 설명되고 있다. 제어 게이트(330)는 이 절연체층(307) 위에 형성되고 메모리 어레이에서 워드 라인으로서 작용하도록 양자의 트랜지스터(350 및 351)에 공통이다. 일 실시예에서, 제어 게이트(330)는 폴리실리콘 재료이다.

도 4는 초박형 SOI를 이용하는 본 발명의 2개의 수직 NOR NROM 셀의 또다른 실시예의 단면도이다. 이 실시예는 초박형 실리콘 바디 영역(400 및 401)이 산화물 기둥(410)의 측벽을 따라 에피택셜 재성장(410)에 의해 형성되는 점에서 도 3의 실시예와 실질적으로 유사한 아키텍처를 갖는다. 상부 소스/드레인 영역(420 및 421)은 산화물 기둥(410)에 형성되고 공통 폴리 제어 게이트(405)는 게이트 절연체(420) 위에 형성되고 워드 라인에 의해 트랜지스터(450 및 451) 양자를 연결한다.

그러나, 도 4의 실시예에서, 게이트 절연체(420)의 하부 산화물층(402 및 404)은 이전의 실시예에서 보다 트랜치에서 더 두껍다. 또한, 도 3의 2개의 소스/드레인 영역은 더 두꺼운 산화물층의 부분들 사이의 분리되어 있는 단일의  $n^+$  소스/드레인 영역(430)에 의해 대체된다.

도 5는 본 발명의 NOR NROM 플래시 메모리의 전기적 등가 회로를 나타낸다. 이 회로는 도 3의 수직 실시예 뿐만 아니라 본 발명의 평면 실시예를 나타낼 수 있다.

제어 게이트(501)는 어레이에서 모든 디바이스들(510-512)을 가로지른다.  $n^+$  소스/드레인 영역(503 및 504)은 가상의 접지 데이터 또는 비트 라인으로서 사용된다. 본 기술분야에서 잘 공지된 바와 같이, 어레이의 비트 라인은 셀(510-512)로부터 데이터를 판독하기 위하여 감지 증폭기에 연결된다. 제어 게이트(501)는 셀(510-512)을 선택하는데 사용되는 워드 라인이다.

도 6은 초박형 SOI를 이용하는 본 발명의 수직의 NOR NROM 메모리 어레이의 또다른 대안적인 실시예의 단면도를 나타낸다. 이 도면은 4개의 수직 트랜지스터(650-653)를 나타낸다. 분명하게 하기 위하여, 제1 산화물 기둥(632) 주위에 형성되는 트랜지스터만을 설명한다. 나머지 트랜지스터들은 구조 및 동작에서 실질적으로 동일하다.

이전의 실시예에서와 같이, 2개의 초박형 실리콘 바디 영역(608 및 609)은 산화물 기둥(632)의 측벽을 따라 에피택셜 재 성장에 의해 형성된다. 게이트 절연체층(601 및 602)은 실리콘 바디 영역(608 및 609)의 측을 따라 형성된다. 이어서 각각의 트랜지스터(650 및 651)에 대한  $n^+$  폴리실리콘 게이트 구조(630 및 631)가 절연체층(601 및 602) 상에 형성된다.

질화물층(603 및 604)은 각각의 트랜지스터(650-653)에 대한 2개의 차지 저장 영역(610 및 611)을 제공한다. 트랜치 영역에서, 하부의 산화물층(605)은 게이트 절연체층의 나머지 부분보다 더 두꺼운 조성을 갖는다. 상기 셀(650-653)은 각각의 트랜지스터가 바이어스되는 방향에 의존하여, 공통 소스/드레인 영역으로서 작용하는 기판 상의 하부의  $n^+$  영역(620) 상에 형성된다.

상부의  $n^+$  영역(660 및 661)은 각각의 트랜지스터(650 및 651)에 대한 제2 공통 소스/드레인 영역이다. 각각의 트랜지스터의 상부  $n^+$  영역(660 및 661)은 분당 와이어(640) 또는 다른 도전성 디바이스에 의해 어레이에서 다른 트랜지스터에 연결된다.

도 7은 도 6의 실시예에 따른 본 발명의 NOR NROM 플래시 메모리 어레이의 전기적 등가 회로를 나타낸다. 이 도면은 상기 도 6에 나타낸 바와 같이 각각의 셀(650-653)을 나타낸다.

제어 게이트(701-704)는 어레이에서 다른 셀에 연결되고 워드 라인으로서 동작한다. 2개의 이들 제어 게이트(701-704)는 도 6에 참조번호 630 및 631로서 도시되고 있다. 상부 공통 소스/드레인 영역(660 및 661)은 가상 접지 또는 데이터 비트 라인(709)으로서 나타내어지고 공통 소스/드레인 영역(620)은 가상의 접지 또는 데이터 비트 라인(708)으로서 나타내어진다.

도 8은 초박형 SOI를 이용하는 본 발명의 평면 NAND NROM 셀의 일 실시예의 단면도를 나타낸다. 이 실시예는 초박형 SOI에서 완전히 공핍된 바디 영역(801)을 갖는 2개의 소스/드레인 영역(803 및 804)으로 이루어진다. 2개의 산화물 영역(807 및 808)은 n+ 영역 위에 형성되고 게이트 절연체(805)은 이 아키텍처 위에 형성된다. 일 실시예에서, 게이트 절연체(805)은 혼성의 ONO층이지만 상술된 것들을 포함하는 임의의 다른 타입의 재료일 수 있다.

제어 게이트(806)은 게이트 절연체(805) 위에 형성된다. NAND 실시예에서, 게이트(806)는 NOR 실시예에서 'x' 방향 대신에 'z' 방향으로 연장한다.

도 9는 초박형 SOI를 이용하는 본 발명의 2개의 수직 NAND NROM 셀(910 및 911)의 일 실시예의 단면도를 나타낸다. 각각의 트랜지스터(910 및 911)는 p 타입 기판 재료에 형성되는 소스/드레인 영역(905 및 906)으로 이루어진다. 제2 소스/드레인 영역(920 및 921)은 산화물 기둥(930)의 상부에 그레인 경계에 의해 분리되어 형성되지만 여전히 전기적으로 연결된다. 소스/드레인 영역(905, 906, 920, 및 921)은 가상의 접지 비트 라인/데이터 라인으로서 기능한다.

에피택셜 재성장은 산화물 기둥(930)의 측벽 상에 초박형 실리콘 바디 영역(901 및 902)을 성장시키는데 사용된다. 이전의 실시예에서와 같이, 이들 영역(901 및 902)은 각각 100nm 두께 이하이다.

게이트 절연체(950)는 트랜지스터(910 및 911)의 상부에 형성된다. 일 실시예에서, 게이트 절연체(950)은 ONO 혼성층이다. 이 층의 구성에 대한 대안적인 실시예는 이전에 설명되었다.

각각의 트랜지스터(910 및 911)에 대한 제어 게이트(907 및 908)는 각각 게이트 절연체(950)의 각 측 상의 폴리실리콘 재료로부터 형성된다. 제어 게이트(907 및 908)는 다른 트랜지스터에 연결되어 워드 라인으로 작용한다.

도 10은 도 9의 실시예에 따른 본 발명의 NAND NROM 플래시 메모리 어레이의 전기적 등가 회로를 나타낸다. 도 9의 2개의 트랜지스터(910 및 911)가 도시된다.

도 10의 n+ 소스/드레인 접속(1005)은 도 9의 2개의 소스/드레인 영역(920 및 921)에 대응한다. 도 10의 워드 라인(1001 및 1002)은 도 9의 제어 게이트(907 및 908)에 각각 대응한다. 도 9의 기판에 형성되는 소스/드레인 영역(905 및 906)은 도 10의 소스/드레인 접속(1009 및 1007)에 대응한다.

상기 실시예는 n 채널 타입 트랜지스터로서 도시된다. 그러나, 본 기술분야에서 통상의 숙련된 자라면 본 발명이 초박형 실리콘, p 채널 타입 트랜지스터를 갖는 NROM 구조를 포함하여 동일하게 적용가능하도록 도전성 타입이 도핑 타입을 바꿈으로써 반전될 수 있다는 것을 이해할 것이다.

본 발명의 초박형 실리콘 NROM 플래시 메모리 셀을 형성하는데 사용되는 마스크 및 에칭 단계는 상세하게 설명하지 않는다. 상술된 아키텍처를 형성하는데 요구되는 다양한 단계는 본 기술분야의 당업자에게 잘 공지되어 있다.

도 11은 본 발명의 초박형 SOI 플래시 메모리 셀을 구현할 수 있는 메모리 디바이스(1100)의 기능 블록도를 나타낸다. 메모리 디바이스(1100)는 프로세서(1110)에 연결된다. 프로세서(1110)는 마이크로프로세서 또는 몇몇 다른 타입의 제어 회로일 수 있다. 메모리 디바이스(1100) 및 프로세서(1110)는 전자 시스템(1120)의 일부를 형성한다. 메모리 디바이스(1100)는 본 발명을 이해하는데 도움이 되는 메모리의 특징에 초점을 맞추기 위하여 단순화되었다.

메모리 디바이스는 플래시 메모리 셀(1130)의 어레이를 포함한다. 일 실시예에서, 메모리 셀은 NROM 플래시 메모리 셀이고 메모리 어레이(1130)는 로우 및 컬럼의 행에 배열된다. 메모리 셀의 각각의 로우의 제어 게이트는 워드 라인과 연결되고 메모리 셀의 드레인 및 소스 접속은 비트라인에 연결된다. 본 기술분야에서 잘 공지된 바와 같이, 셀의 비트라인으로의 접속은 어레이가 NAND 아키텍처인지 또는 NOR 아키텍처인지의 여부에 의존한다.

어드레스 버퍼 회로(1140)는 어드레스 입력 접속 A0-Ax(1142)에 제공되는 어드레스 신호를 래치하도록 제공된다. 메모리 어레이(1130)를 액세스하기 위하여 로우 디코더(1144) 및 컬럼 디코더(1146)에 의해 어드레스 신호가 수신되고 디코

드된다. 본 발명에 의해 어드레스 입력 접속의 수는 메모리 어레이(1130)의 밀도 및 아키텍처에 의존한다는 것은 본 기술 분야의 숙련된 자들에게 이해될 것이다. 즉, 어드레스의 수는 증가된 메모리 셀 카운트와 증가된 बैं크 및 블록 카운트 양자와 함께 증가한다.

메모리 디바이스(1100)는 감지/버퍼 회로(1150)를 이용하는 메모리 어레이 컬럼에서 전압 또는 전류 변화를 감지함으로써 메모리 어레이(1130)에서 데이터를 판독한다. 일 실시예에서 감지/버퍼 회로는 메모리 어레이(1130)로부터 데이터의 row를 판독하고 래치하도록 연결된다. 데이터 입력 및 출력 버퍼 회로(1160)는 복수의 데이터 접속(1162)을 통해 컨트롤러(1110)와의 양방향 데이터 통신용으로 포함된다. 기록 회로(1155)는 메모리 어레이에 데이터를 기록하도록 제공된다.

제어 회로(1170)는 프로세서(1110)로부터 제어 접속(1172)에 제공되는 신호를 디코드한다. 이들 신호는 데이터 판독, 데이터 기록, 및 소거 동작을 포함하는 메모리 어레이(1130) 상의 동작을 제어하는데 사용된다. 제어 회로(1170)는 상태 머신(state machine), 시퀀서, 또는 몇몇 다른 타입의 컨트롤러일 수 있다.

본 발명의 NROM 메모리 셀은 CMOS 호환성 프로세스를 사용하므로, 도 11의 메모리 디바이스(1100)는 CMOS 프로세서가 내장된 디바이스일 수 있다.

도 11에 나타난 플래시 메모리 디바이스는 메모리의 특징의 기본적인 이해를 용이하게 하기 위하여 간략화되었다. 내부 회로 및 플래시 메모리의 기능의 보다 상세한 이해는 본 기술분야의 숙련된 자에게 공지되어 있다.

특정 실시예가 여기서 도시되고 설명되었으나, 동일한 목적을 달성하도록 의도하는 임의의 구성이 설명된 특정 실시예를 대체할 수 있다는 것을 본 기술분야의 당업자라면 이해할 것이다. 본 발명의 많은 적용이 본 기술분야의 통상의 숙련된 자들에게 자명할 것이다. 따라서, 이 애플리케이션은 본 발명의 임의의 적용 또는 변경을 포함하는 것으로 의도된다. 본 발명은 이하의 특허청구범위 및 그 균등물에 의해서만 한정되는 것이 명백히 의도된다.

### 도면의 간단한 설명

도 1은 일반적인 종래기술의 SOI 반도체의 단면도.

도 2는 초박형 SOI를 사용하는 평면 NOR NROM 셀에 대한 일 실시예의 단면도.

도 3은 초박형 SOI를 사용하는 본 발명의 2개의 수직 NOR NROM 셀의 일 실시예의 단면도.

도 4는 초박형 SOI를 사용하는 본 발명의 2개의 수직 NOR NROM 셀의 또다른 실시예의 단면도.

도 5는 본 발명의 NOR NROM 플래시 메모리 어레이의 전기적인 등가 회로도.

도 6은 초박형 SOI를 사용하는 본 발명의 수직 NOR NROM 메모리 어레이의 또다른 대안적인 실시예의 단면도.

도 7은 도 6의 실시예에 따른 본 발명의 NOR NROM 플래시 메모리 어레이의 전기적인 등가 회로도.

도 8은 초박형 SOI를 사용하는 본 발명의 평면 NAND NROM 셀의 일 실시예의 단면도.

도 9는 초박형 SOI를 사용하는 본 발명의 2개의 수직 NAND NROM 셀의 일 실시예의 단면도.

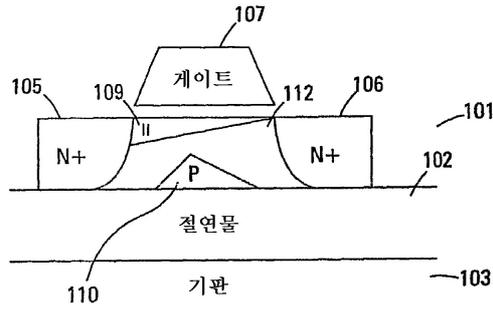
도 10은 도 9의 실시예에 따른 본 발명의 NAND NROM 플래시 메모리 어레이의 전기적인 등가 회로도.

도 11은 본 발명의 전기적인 시스템의 일 실시예의 블록도.

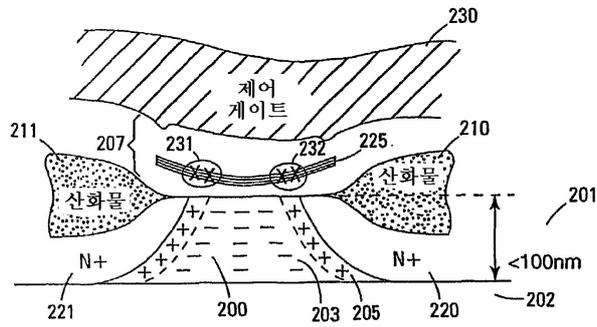
### 도면

도면1

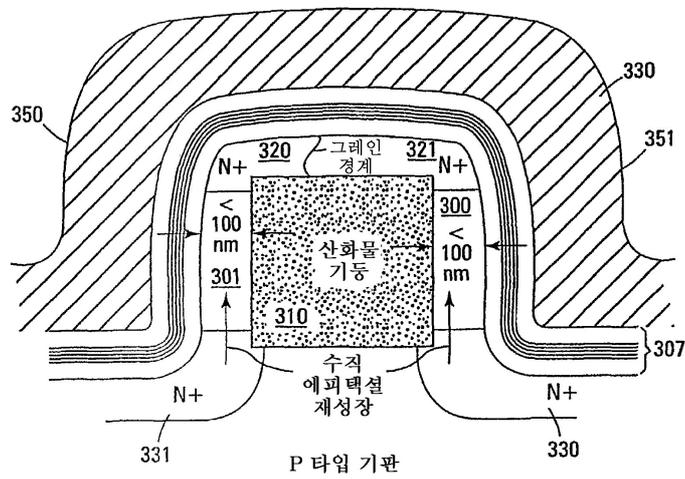
(중래 기술)



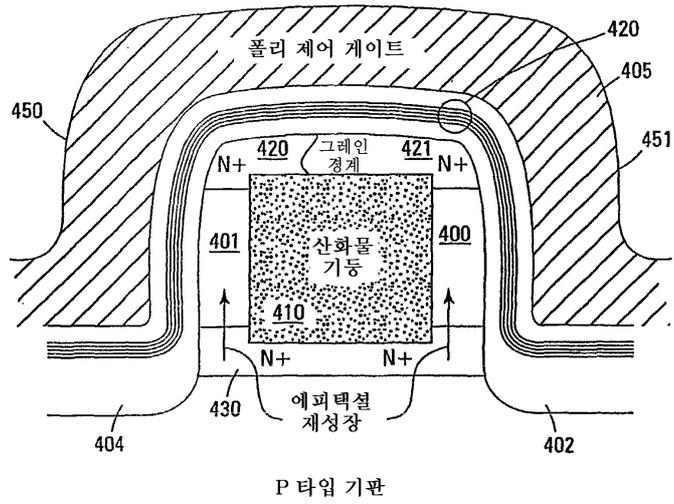
도면2



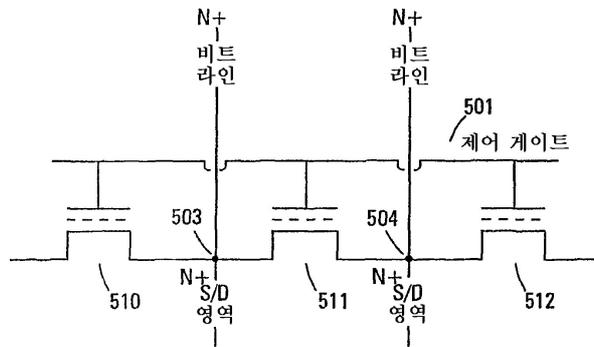
도면3



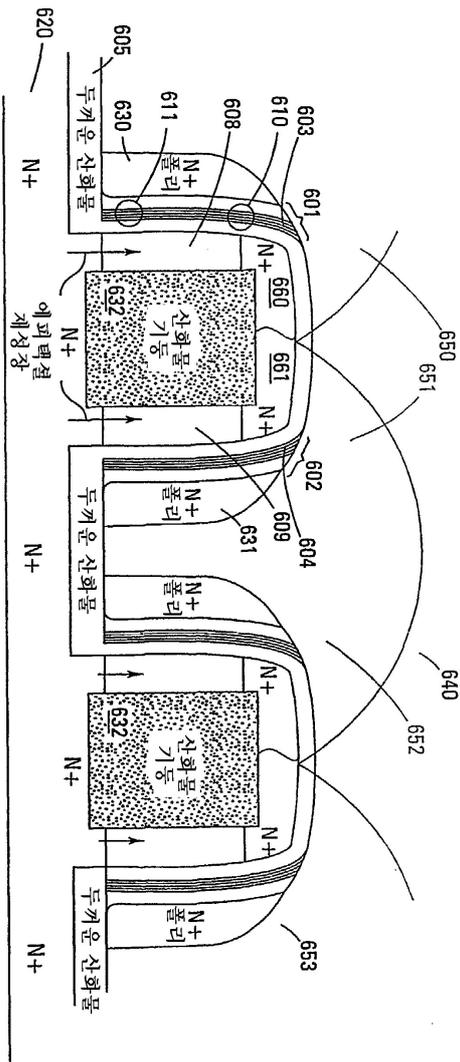
도면4



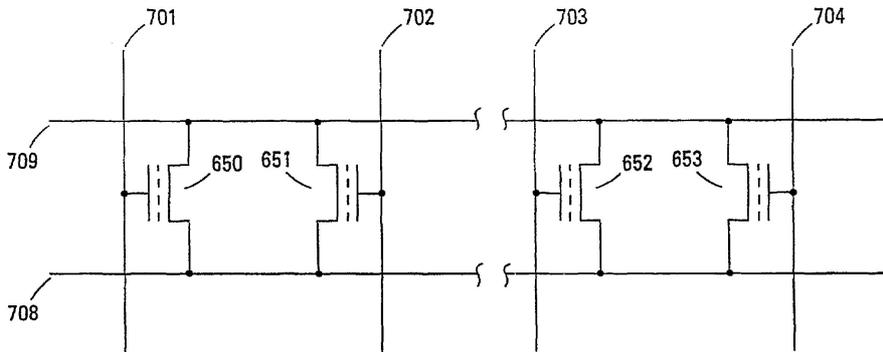
도면5



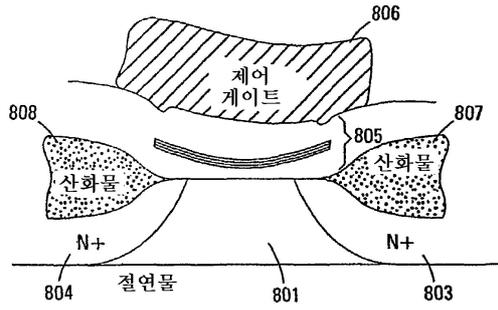
도면6



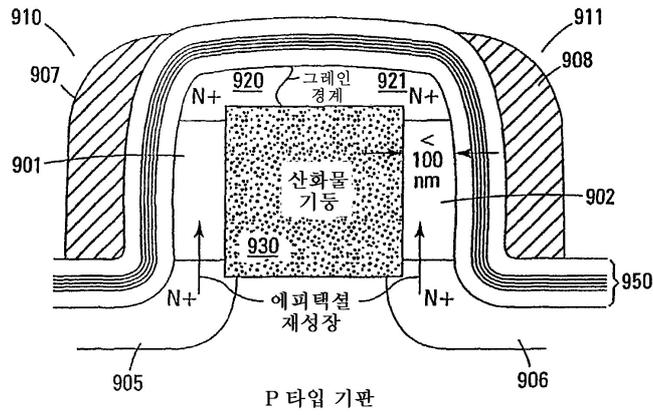
도면7



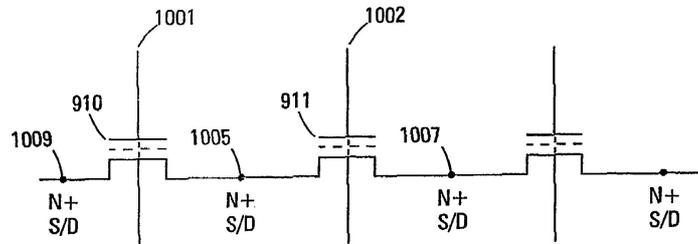
도면8



도면9



도면10



도면11

