 <b>(19) 대한민국특허청(KR)</b> <b>(12) 공개특허공보(A)</b>	<b>(11) 공개번호</b> 10-2012-0065958 <b>(43) 공개일자</b> 2012년06월21일
<b>(51) 국제특허분류(Int. Cl.)</b> <i>H01L 21/306</i> (2006.01) <b>(21) 출원번호</b> 10-2011-0134005 <b>(22) 출원일자</b> 2011년12월13일 <b>심사청구일자</b> 없음 <b>(30) 우선권주장</b> 61/422,597 2010년12월13일 미국(US)	<b>(71) 출원인</b> <b>롬 앤드 하스 일렉트로닉 머트어리얼즈, 엘.엘. 씨.</b> 미국 매사추세츠 01752 말보로우 포레스트 스트리트 455 <b>(72) 발명자</b> <b>햄 게리</b> 미국 매사추세츠주 01821 빌러리카 폭스 힐 로드 4 <b>리스 제이슨 에이.</b> 미국 뉴햄프셔주 03053 런던데리 모닝사이드 드라이브 1 <b>알라다이스 조지 알.</b> 영국 힌클리 엘리10 2지디 버베이지 밸리언트 클로즈 11 <b>(74) 대리인</b> <b>최규팔, 이은선</b>

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체의 전기화학적 에칭**

### (57) 요약

비플루오라이드 공급원 및 니켈 이온을 함유하는 용액에서 전기화학적으로 에칭되는 반도체가 제공된다. 전기화학적 에칭으로 반도체 표면에 나노미터 범위의 기공이 형성될 수 있다. 이어, 에칭된 반도체는 니켈 도금된다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

- a) 산화된 에미터층을 구비한 전면, 후면 및 PN 접합을 포함하는 반도체 웨이퍼를 제공하는 단계;
- b) 반도체 웨이퍼를 하나 이상의 비플루오라이드 공급원, 하나 이상의 플루오라이드 염 또는 이들의 혼합물 및 하나 이상의 금속 이온 공급원을 포함하는 조성물과 접촉시키는 단계;
- c) 조성물에 전기 전류를 발생시키는 단계;
- d) 양극 전류를 소정 시간동안 인가한 후, 양극 전류를 소정 시간 중단시키고, 사이클을 반복하여 반도체 웨이퍼의 산화된 에미터층상에 나노다공층을 형성시키는 단계; 및
- e) 음극 전류 및 광을 적용하여 나노다공층상에 금속을 침착시키는 단계를 포함하는 방법.

### 청구항 2

제 1 항에 있어서, 비플루오라이드 공급원이 알칼리 금속 비플루오라이드, 불화암모늄, 이불화암모늄, 플루오로보레이트, 플루오로붕산, 이불화주석, 이불화안티몬, 테트라부틸암모늄 테트라플루오로보레이트, 육불화알루미늄 및 지방족 아민, 방향족 아민 및 질소-함유 헤테로사이클릭 화합물의 사자 염중에서 선택되는 방법.

### 청구항 3

제 1 항에 있어서, 설판산, 설펡산, 광산, 아미노산 및 카복실산의 하나 이상에서 선택되는 산을 추가로 포함하는 방법.

### 청구항 4

제 1 항에 있어서, 금속 이온이 니켈 이온, 팔라듐 이온, 코발트 이온 또는 은 이온인 방법.

### 청구항 5

제 1 항에 있어서, 금속이 니켈, 팔라듐, 코발트 또는 은인 방법.

### 청구항 6

- a) 산화된 에미터층을 구비한 전면, 후면 및 PN 접합을 포함하는 반도체 웨이퍼를 제공하는 단계;
- b) 반도체 웨이퍼를 하나 이상의 비플루오라이드 공급원, 하나 이상의 플루오라이드 염 공급원 또는 이들의 혼합물을 포함하는 조성물과 접촉시키는 단계;
- c) 조성물에 전기 전류를 발생시키는 단계;
- d) 양극 전류를 소정 시간동안 인가한 후, 양극 전류를 소정 시간 중단시키고, 사이클을 반복하여 반도체 웨이퍼의 산화된 에미터층상에 나노다공층을 형성시키는 단계;
- e) 반도체 웨이퍼를 금속 도금액과 접촉시키는 단계; 및
- f) 금속 도금액에 전기 전류를 발생시켜 나노다공성 에미터층상에 금속을 침착시키는 단계를 포함하는 방법.

### 청구항 7

제 6 항에 있어서, 금속이 니켈인 방법.

### 청구항 8

제 7 항에 있어서, 니켈상에 구리 또는 은을 침착시키는 단계를 추가로 포함하는 방법.

## 청구항 9

제 8 항에 있어서, 구리의 주석 스트라이크를 침착시키는 단계를 추가로 포함하는 방법.

## 청구항 10

제 8 항에 있어서, 은상에 은 스트라이크를 침착시키는 단계를 추가로 포함하는 방법.

## 명세서

### 기술 분야

[0001] 본 출원은 U.S.C. § 119(e) 하에서 2010년 12월 13일 제출된 미국 임시 출원 제61/422,59735호를 우선권으로 주장하며, 상기 출원의 전체 내용은 본 원에 참고로 포함된다.

[0002] 본 발명은 반도체의 전기화학적 에칭 방법에 관한 것이다. 더 자세하게는, 본 발명은 반도체에 금속 부착을 개선하기 위한 반도체의 전기화학적 에칭 방법에 관한 것이다.

### 배경 기술

[0003] 태양광 발전기 및 태양전지와 같은 반도체의 금속 도금은 반도체의 전면 및 후면에 전기 전도성 접촉의 형성을 포함한다. 금속 코팅은 대전입자가 반도체에서 전기 전도성 접촉으로 간섭 없이 나오는 것을 보장하기 위하여 반도체와 음 접촉을 형성할 수 있어야 한다. 전류 손실을 최소화하기 위하여, 금속화 접촉 그리드는 반드시 적절한 전류 전도도, 즉 높은 전도도 또는 충분히 높은 전도체 트랙 단면을 가지고 있어야 한다.

[0004] 상기 요구사항을 만족하는 태양 전지의 후면을 금속 코팅하는 것에 대한 수많은 공정이 존재한다. 예를 들어, 태양 전지의 후면에서 전류 전도를 개선하기 위하여 p-도핑이 후면 아래에서 직접 보장된다. 통상 알루미늄이 상기 목적을 위하여 사용된다. 알루미늄은, 예를 들어 증착 또는 후면상에 프린트되어 그 안으로 주입되거나 합금화되어 적용된다. 전면, 또는 광입사 면의 금속 코팅시, 그 목적은 광자를 포획하기에 가능한 한 많은 표면을 사용하기 위하여 능동성 반도체 표면의 음영을 최소량으로 하는 것이다.

[0005] 후막 기술을 이용한 금속 코팅은 전도체 트랙을 금속화하기 위한 통상적인 방법이다. 사용된 페이스트는 금속 입자를 포함하며, 따라서 전기 전도성이다. 페이스트는 스크린, 마스크, 패드 프린팅 또는 페이스트 라이팅에 의해 적용된다. 통상적으로 사용되는 공정은 스크린 프린팅 공정인데, 여기서 80  $\mu\text{m}$  내지 100  $\mu\text{m}$ 의 최소 라인 폭을 가진 손가락 모양의 금속 코팅 선이 만들어진다. 심지어 이런 그리드 폭에서도 전기 전도도 손실은 눈에 띄며 접촉 저항은 순수 금속 구조와 비교하여 더 높다. 이는 직렬저항 및 태양전지의 충전율 및 효율에 불리한 영향을 미칠 수 있다. 이런 효과는 라인폭이 감소함에 따라 페이스트로부터 더 적은 은 금속이 적용되기 때문에 프린트되는(printed-on) 더 작은 전도체 트랙 폭에서 강화된다. 비전도성 옥사이드 및 금속 입자들 사이의 유리 성분은 이러한 감소된 전도도의 주요한 원인을 구성한다.

[0006] 전면 접촉을 생성하기 위한 더욱 복잡한 과정은 전도체 트랙 구조의 한정을 위하여 레이저 또는 포토그래픽 기술을 이용한다. 전도체 트랙은 그 다음에 금속화된다. 일반적으로, 전기 전도도를 위한 충분한 접촉 강도 및 원하는 두께를 달성하기 위한 일환으로, 다양한 금속 코팅 단계가 보통 금속 코팅을 적용하는데 이용된다. 예를 들어, 습식-화학적 금속 코팅 공정이 사용된 경우, 제1 미세 금속 코팅이 팔라듐 촉매로 전류 트랙에 침착된다. 이것은 보통 니켈의 무전해 침착으로 강화된다. 전도도를 증가시키기 위하여, 구리가 무전해 또는 전해 침착에 의해 니켈에 침착될 수도 있다. 구리는 이후 산화로부터 보호되기 위해 주석 또는 은의 미세 층으로 코팅될 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0007] 실리콘 반도체 웨이퍼에 도금된 니켈 침착물의 접착성은 주로 기관의 표면 토폰그래피 및 도금된 침착물의 내부 스트레스에 영향을 받는다. 웨이퍼에 대한 니켈 접착성은 또한 니켈의 상부에 침착된 추가의 도금 층에 의해 유도된 스트레스에 의해서도 영향을 받는다. 반도체 웨이퍼의 표면 토폰그래피는 제조자마다 상당히 다양하며 반도체 유형, 예를 들면 단결정성 또는 다결정성에 기초한다. 많은 경우에, 표면 텍스처는 용인될 수 없는 수준의 접착성 손실 없이는 도금된 금속 침착물의 충분한 고정을 제공하지 않는다. 이러한 접착성 문제를

다루는 한 가지 방법은 니켈을 도금하여 니켈 실리사이드를 형성한 후 즉시 반도체 웨이퍼를 소결시키는 것이다. 니켈 실리사이드는 좋은 접착성을 유지하면서도 이후의 구리 또는 은과의 금속 도금을 위한 충분한 결합력을 제공한다. 그러나, 이는 소결시 조절 분위기의 사용을 요구하며 도금 작업을 두 단계로 나누는데 이는 제조과정을 복잡하게 만든다. 게다가 다이오드 손상 또는 선풍으로 인한 성능 손실에 대한 더 큰 가능성이 있다. 나아가 공정 시간 및 비용이 증가된다. 따라서, 반도체 웨이퍼에 금속을 접착시키는 개선된 방법에 대한 요구가 있다.

### 과제의 해결 수단

[0008] 본 방법은 a) 산화된 에미터 층을 구비한 전면, 후면 및 PN 접합을 포함하는 반도체 웨이퍼를 제공하는 단계; b) 반도체 웨이퍼를 하나 이상의 비플루오라이드 공급원, 하나 이상의 플루오라이드 염 또는 이들의 혼합물 및 하나 이상의 금속 이온 공급원을 포함하는 조성물과 접촉시키는 단계; c) 조성물에 전기 전류를 발생시키는 단계; d) 양극 전류를 소정 시간동안 인가한 후, 양극 전류를 소정 시간 중단시키고, 사이클을 반복하여 반도체 웨이퍼의 산화된 에미터층상에 나노다공층을 형성시키는 단계; 및 e) 음극 전류 및 광을 인가하여 나노다공층상에 금속을 침착시키는 단계를 포함한다.

[0009] 본 방법은 또한 a) 산화된 에미터 층을 구비한 전면, 후면 및 PN 접합을 포함하는 반도체 웨이퍼의 제공하는 단계; b) 반도체 웨이퍼를 하나 이상의 비플루오라이드 공급원, 하나 이상의 플루오라이드 염 또는 이들의 혼합물을 포함하는 조성물과 접촉시키는 단계; c) 조성물에 전기 전류를 발생시키는 단계; d) 양극 전류를 소정 시간동안 인가한 후, 양극 전류를 소정 시간 중단시키고, 사이클을 반복하여 반도체 웨이퍼의 산화된 에미터층상에 나노다공층을 형성시키는 단계; e) 반도체 웨이퍼를 금속 도금액과 접촉시키는 단계; 및 f) 금속을 나노다공층에 침착시키기 위하여 금속 도금액에 전기 전류를 발생시키는 단계를 포함한다.

### 발명의 효과

[0010] 본 방법은 반도체 웨이퍼의 산화된 에미터층에 상당히 균일한 나노다공층을 형성한다. 나노다공층은 금속 침착물 및 반도체 웨이퍼 간에 개선된 접착성을 제공한다. 게다가 나노다공층을 형성하기 위해 사용된 양극 펄싱 과정은 반도체 웨이퍼의 산화된 에미터층을 관통하지 않으므로 에미터는 금속 층 및 반도체 웨이퍼 간의 옴 접촉은 저하되는 정도로 손상된다. 후속 금속 층은 접착불량 염려없이 최초의 금속 층에 침착될 수 있는데, 그래서 이는 금속화 반도체를 포함하는 장치의 신뢰성을 개선한다. 게다가, 본 방법은 금속 실리사이드의 형성 및 규화 과정에 포함된 복잡한 단계에 대한 요구를 제거할 수 있다.

### 도면의 간단한 설명

[0011] 도 1은 61.2nm 깊이의 균일한 나노다공층을 형성하기 위하여 양극 펄싱 방법을 이용한 이불화나트륨의 수성 산성 조성물로 에칭된 단결정성 실리콘 웨이퍼의 전면 에미터층의 170,000X 배율의 SEM이다.

도 2는 104nm 깊이의 균일한 나노다공층을 형성하기 위하여 양극 펄싱 방법을 이용한 이불화나트륨의 수성 산성 조성물로 에칭된 단결정성 실리콘 웨이퍼의 전면 에미터층의 100,000X 배율의 SEM이다.

도 3은 80.9nm 깊이의 균일한 나노다공층을 형성하기 위하여 양극 펄싱 방법을 이용한 이불화나트륨의 수성 산성 조성물로 에칭된 단결정성 실리콘 웨이퍼의 전면 에미터층의 75,000X 배율의 SEM이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 본 명세서를 통해 사용된 것과 같이, 용어 “침착” 및 “도금”은 교환적으로 사용된다. 용어 “전류 트랙” 및 “전류 선”은 교환적으로 사용된다. 용어 “조성물” 및 “조”는 교환적으로 사용된다. 단수는 복수의 의미도 포함하도록 의도되었다. 용어 “임의로 침착된”은 기관의 특정 목적 영역에서 금속 침착이 일어남을 의미한다. 용어 “ $1\text{ lux} = 1\text{ lx}$ ”는  $1\text{ lumen/m}^2$ 와 동일한 조명단위이다; 및  $1\text{ lux}$ 는 540 테트라헤르츠의 진동수에서  $1.46$  밀리워트의 복사 전자기(EM)력과 같다. 이하의 축약형은 문맥이 분명히 다르게 지시하지 않는 한 다음의 의미를 가진다:  $^{\circ}\text{C}$  = 섭씨온도; g = 그램; mL = 밀리리터; L = 리터; A = 암페어; dm = 데시미터; cm = 센티미터;  $\mu\text{m}$  = 마이크로미터; nm = 나노미터; min. = 분; sec. = 초; UV = 자외선; IR = 적외선; SEM = 주사전자현미경; 및 ASTM = 미국표준시험방법. 모든 퍼센트 및 비율은 다르게 지시되지 않는 한 중량에 의한 것이다. 수치 범위가 100 %까지 추가하는 것으로 제한되는 것이 분명한 경우를 제외하고는 모든 범위는 포괄적이고 어떤 순서로도 결합가능하다.

- [0013] 태양광발전기 및 태양 전지는 단결정성, 다결정성 또는 무정형의 실리콘 반도체 웨이퍼로 구성될 수 있다. 하기 설명은 실리콘 반도체 웨이퍼에 관한 것이나, 갈륨-비화물, 실리콘-게르마늄 및 게르마늄과 같은, 다른 적당한 반도체 웨이퍼도 또한 사용될 수 있다. 실리콘 웨이퍼가 사용되는 경우, 그들은 전형적으로 p-형 베이스 도핑을 가진다.
- [0014] 반도체 웨이퍼는 원형, 정사각형, 직사각형 모양일 수 있거나 다른 어떤 적당한 모양일 수도 있다. 그런 웨이퍼들은 다양한 치수 및 표면 저항력을 가질 수 있다. 예를 들어, 원형 웨이퍼는 150 mm, 200 mm, 300 mm, 400 mm, 또는 더 큰 직경을 가질 수 있다.
- [0015] 웨이퍼의 후면은 금속화된다. 통상적인 어떤 방법도 사용될 수 있다. 후면의 전체 또는 일부가 그리드를 형성하는 것과 같이 금속 코팅될 수 있다. 이러한 후면 금속화는 다양한 기술에 의해 제공될 수 있으며, 웨이퍼의 전면의 금속화 이전에 행해질 수 있다. 일 구체예에서, 금속코팅은 은-함유 페이스트, 알루미늄-함유 페이스트와 같은 전기 전도성 페이스트 또는 은 및 알루미늄-함유 페이스트의 형태로 후면에 적용된다; 그러나, 니켈, 팔라듐, 구리, 아연 또는 주석과 같은 금속을 포함하는 다른 페이스트 역시 사용될 수 있다. 그러한 전도성 페이스트들은 전형적으로 유리 매트릭스 및 유기 바인더에 내입된 전도성 입자를 포함한다. 전도성 페이스트들은 스크린 프린팅과 같은 다양한 기술에 의해 웨이퍼에 적용될 수 있다. 페이스트가 적용된 후, 발화로 유기 바인더를 제거한다. 알루미늄을 포함한 전도성 페이스트가 사용된 경우, 알루미늄은 부분적으로 웨이퍼의 후면으로 확산되거나, 은까지 함유한 페이스트에 사용된 경우, 은과 함께 합금할 수 있다. 이러한 알루미늄-함유 페이스트의 사용은 저항성 접촉을 개선하거나 "p+"-도핑 영역을 제공할 수도 있다. 이전의 알루미늄 또는 보론의 적용과 뒤이은 상호확산에 의해 심하게 도핑된 "p+"-형 영역이 역시 생산될 수 있다. 일 구체예에서, 알루미늄-함유 페이스트는 후면에 적용될 수 있고 후면 금속 코팅의 적용의 적용 전에 발화될 수 있다. 발화된 알루미늄-함유 페이스트의 잔여물은 임의로 후면 금속 코팅의 적용에 앞서 제거될 수 있다. 대체 구체예에서, 시드층은 웨이퍼의 후면에 침착될 수 있으며 금속 코팅은 무전해 또는 전해 도금에 의해 시드층에 침착될 수 있다.
- [0016] 웨이퍼의 전면은 피라미드 구조의 형성과 같이 반사를 줄이는 개선된 광 입사 기하학적 구조를 표면에 부여하기 위하여 결정-배향 텍스처 에칭이 임의로 수행될 수 있다. 반도체 접합을 생산하기 위하여, 인 확산 또는 이온 주입이 웨이퍼의 전면에서 발생하여 n-도핑 ( $n^+$  또는  $n^{++}$ ) 영역을 생산하고 웨이퍼에 PN 접합을 제공한다. N-도핑 영역은 에미터층으로 간주될 수 있다. 에미터층은 동종의 에미터층 또는 선택적인 에미터층일 수 있다. 동종의 에미터층은 일반적으로 균일한 불순물 농도나 면 저항을 가진다. 선택적인 에미터층은 다중의 면 저항 값을 가진다. 전형적으로, 전류 트랙이 위치한 영역은 면 저항이 낮거나, 도핑이 높은 수준이고, 반사방지 코팅 영역은 면 저항이 높거나, 도핑이 낮은 수준이다. 선택적인 에미터층은 높은 도핑과 나노다공 형성을 바이어스하는 전류 트랙의 낮은 저항 때문에 선호될 수 있다.
- [0017] 반사방지층은 웨이퍼의 전면 또는 에미터층에 첨가된다. 또한, 반사방지층은 패시베이션층으로 기능할 수 있다. 적당한 반사방지층은, 제한없이  $SiO_x$ 와 같은 실리콘 옥사이드 층,  $Si_3N_4$ 와 같은 니트라이드 층, 실리콘 옥사이드 및 실리콘 니트라이드 층의 조합, 및 실리콘 옥사이드 층의 조합,  $TiO_x$ 와 같은 티탄 옥사이드 층을 가진 실리콘 니트라이드 층을 포함한다. 전술한 식에서, x는 산소 원자의 수이다. 이러한 반사방지층은 다양한 증착방법, 예를 들어 화학적 증착 및 물리적 증착과 같은 많은 기술에 의해 증착될 수 있다.
- [0018] 웨이퍼의 전면은 금속화 패턴을 포함한다. 예를 들면, 웨이퍼의 전면은 전류 수집 선 및 전류 버스바로 구성될 수 있다. 전류 수집 선은 전형적으로 버스바를 가로지르며 전형적으로 전류 버스바에 비해 상대적으로 미세-구조(즉, 치수)를 가진다.
- [0019] 일 구체예에서, 전면 또는 웨이퍼의 에미터층은 실리콘 니트라이드와 같은 반사방지층으로 코팅된다. 다음에 오프닝 또는 패턴이 전면에서 한정된다. 패턴은 웨이퍼의 반도체 바디 표면을 노출시키기 위해 반사방지층을 통해 도달한다. 또한, 트렌치가 웨이퍼의 반도체 바디 쪽으로 1 내지 100 nm 깊이로 웨이퍼 표면을 관통하는 오프닝에 형성될 수 있다. 더 깊거나 얇은 트렌치 깊이도 쓰일 수 있다. 레이저 삭마, 기계적인 수단, 및 리소그래피 공정과 같은 다양한 과정이 패턴을 형성하는데 사용될 수 있는데, 이들 모두는 당업계에 주지되었다. 이러한 기계적인 수단은 톱질 및 스크래칭을 포함한다. 전형적인 리소그래피 공정은 웨이퍼의 표면에 이미지성 물질의 배치, 반사방지층에 오프닝을 형성하기 위한 이미지성 물질의 패턴화, 웨이퍼에 패턴의 전달, 오프닝에 금속 층의 침착 및 이미지성 물질의 제거를 포함한다. 일 구체예에서, 이미지성 물질은 오프닝에 있는 금속 층을 침착하는 단계 전에 제거된다. 또 다른 구체예에서, 이미지성 물질은 오프닝에 있는 금속 층을 침착하는 단계 후에 제거된다. 이미지성 물질이 금속 침착 단계 중에 존재하는 경우, 이러한 이미지



성 물질은 전형적으로 금속 침착 단계 중에 사용된 조사선의 과정에서 흡수된 조영제와 같은 어떤 염료도 회피한다. 도금 단계 중에 존재하는 이미지성 물질은 전형적으로 40 내지 60%의 최소 광선투과율을 가진 염료를 포함한다.

- [0020] 이미지성 물질이 액체인 경우, 그러한 물질은 스핀 코팅, 잉크젯 프린팅, 커튼 코팅 및 롤러 코팅에 의한 것과 같은 어떠한 적당한 기술에 의해서도 웨이퍼의 표면에 배치될 수 있다. 이미지성 물질이 건조된 필름인 경우, 그러한 물질은 진공 라미네이션에 의해 웨이퍼의 표면에 배치될 수 있다.
- [0021] 이미지성 물질은 마스크를 통하여 화학조사선에 이미지성 물질을 노출시킴으로써 패턴화될 수 있다. 화학조사선의 선택은 선택된 특정 이미지성 물질에 의존하게 될 것이다. 다른 화학조사선의 통상적인 공급원뿐만 아니라 레이저도 이미지성 물질을 패턴화하기 위하여 사용될 수 있다.
- [0022] 이미지성 물질에서의 패턴은 이후 반도체 웨이퍼 기판에 전달된다. 패턴전이는 습식-화학적 에칭 기술 또는 건조식 에칭 기술을 이용하여 실행될 수 있다. 적당한 건식 에칭 기술은 반응성 이온 에칭과 같은 플라스마 에칭을 제한 없이 포함한다. 패턴은 전류 수집 선인 상대적으로 좁은 단면 치수의 선 및 버스바인 상대적으로 두꺼운 단면 치수의 선들로 이루어져 있다. 버스바는 전류 수집 선을 가로지른다.
- [0023] 이미지성 물질은 Rohm and Haas Electronic Materials (Marlborough, Massachusetts)에서 판매되는 것들과 같은 임의의 적당한 폴리머 제거제를 이용하여서도 제거될 수 있다. 이러한 제거제는 알칼리성, 산성, 또는 필수적으로 중성일 수 있다.
- [0024] 패턴을 형성하는 반도체 웨이퍼의 노출 섹션은 이전의 모든 웨이퍼의 세척 또는 취급 중에 제거된 모든 고유 옥사이드를 회복하기 위하여 산화된다. 통상적인 산화제는 고유 옥사이드를 회복하기 위하여 사용될 수 있다. 산화는 전형적으로 1 내지 3 중량퍼센트의 과산화수소의 수용액에서 일어난다. 다른 산화제는 하이포클로라이트, 퍼설페이트, 퍼옥시 유기산 및 퍼망가네이트의 수용액들을 포함한다. 반도체 웨이퍼가 단결정성인 경우, 전형적으로 산화 용액은 pH가 7보다 높거나, 또는 8 내지 12와 같은 pH를 가진 알칼리성이다. 반도체 웨이퍼가 실리콘이면,  $\text{SiO}_2$ 의 층은 노출된 단면에 형성된다. 전형적으로 반도체 웨이퍼는 산화용액을 포함하는 플러드 공정 챔버(flooded process chamber)를 통해 담기거나 가공된다. 산화는 반도체 웨이퍼를 주변 분위기에 자연적으로 노출시킴으로써 발생한다. 노출된 단면 또는 반도체 웨이퍼의 패턴은 다음에 산화된 에미터층에 나노다공층을 형성하기 위하여 에칭되며, 이어 전기화학적 에칭 및 하나 이상의 비플루오라이드 공급원, 하나 이상의 플루오라이드 염 또는 이들의 혼합물 및 하나 이상의 금속 이온 공급원을 포함하는 금속도금 조성물로 금속 도금된다. 그리하여 조성물은 에칭 성분 및 금속 도금 성분 모두를 포함한다. 대안적인 구체예에서, 하나 이상의 비플루오라이드 공급원, 플루오라이드 염, 또는 그들의 혼합물을 가진 에칭은 분리된 조성물로도 행해질 수 있는데, 이어 분리된 금속 도금 조성물로 에칭된 웨이퍼가 금속 도금된다. 통상적인 금속 도금 조성물이 사용될 수 있다.
- [0025] 비플루오라이드 공급원 화합물은 이불화나트륨 및 이불화칼륨과 같은 알칼리 금속 비플루오라이드, 불화암모늄, 이불화암모늄, 플루오로보레이트, 플루오로보산, 이불화주석, 이불화안티몬, 테트라부틸암모늄 테트라플루오로보레이트, 육불화알루미늄 및 지방족 아민, 방향족 아민 및 질소-포함 헤테로사이클릭 화합물의 4차 염을 포함한다. 플루오라이드 염은 소듐 및 불화칼륨과 같은 알칼리 금속 플루오라이드를 포함한다. 전형적으로, 비플루오라이드 공급원 화합물 및 플루오라이드 염은 5 g/L 내지 100 g/L 또는 예컨대 10 g/L 내지 70 g/L 또는 예컨대 20 g/L 내지 50 g/L의 양으로 조성물에 포함된다.
- [0026] 조성물에 포함된 산은 설퐼산, 메탄 설퐼산, 에탄 설퐼산 및 프로판 설퐼산과 같은 알칸 설퐼산; 알킬올 설퐼산; 톨루엔 설퐼산, 페닐 설퐼산 및 페놀 설퐼산과 같은 아릴 설퐼산; 아미도 설퐼산과 같은 아미노-함유 설퐼산; 황산, 질산 및 염산과 같은 광산; 아미노산 및 모노-, 디- 및 트리카복시산, 그들의 에스테르, 아미드 및 모든 무처리 무수물을 포함하는 카복시산을 포함한다. 또한, 조성물은 산의 혼합물을 포함할 수 있다. 2 이상의 카복시산이 조성물에 포함된 경우, 적어도 하나는 비플루오라이드 종을 형성하기 위하여 산 양성자를 포함한다. 이러한 산은 일반적으로 Aldrich Chemical Company와 같은 여러 공급처로부터 상업적으로 입수할 수 있다. 일반적으로, 산 및 산 무수물은 1 g/L 내지 300 g/L 또는 예컨대 10 g/L 내지 200 g/L 또는 예컨대 30 g/L 내지 100 g/L의 양으로 전기화학적 조성물에 포함된다.
- [0027] 전기화학적 조성물은 하나 이상의 산 및 하나 이상의 비플루오라이드 공급원 화합물 또는 하나 이상의 플루오라이드 염 및 그들의 혼합물을 화학량론적 양으로 조합함으로써 제조된다. 혼합은 비플루오라이드 성분 또는 플루오라이드 염이 산에 용해될 때까지 행해진다. 물은 어떤 녹지 않은 성분을 용해시키기 위하여 추가의 혼

합과 함께 첨가될 수 있다.

- [0028] 대안적으로, 하나 이상의 산 무수물이 적어도 하나의 비플루오라이드 공급원의 수용액에 물과의 접촉시 적어도 하나의 카복시산을 형성하기 위하여 첨가된다. 하나 이상의 카복시산은, 충분한 산 무수물이 화학량론적으로 1 내지 5 중량퍼센트의 물 함량을 획득하기 위하여 이용된다면 수성 비플루오라이드 공급원 화합물 용액에서 존재할 수 있다. 이 조성물은 다음에 산 무수물이 가수분해되고 비플루오라이드 공급원 화합물이 용해될 때까지 혼합된다. 모든 성분이 용해될 때까지 추가의 혼합과 함께 물이 추가될 수 있다.
- [0029] 전형적으로, 전기화학적 조성물은 하나 이상의 알칼리 금속 비플루오라이드, 불화암모늄 및 이불화암모늄을 비플루오라이드 공급원 혼합물로서 포함한다. 더 전형적으로, 비플루오라이드 공급원 화합물은 이불화나트륨 및 이불화칼륨과 같은 알칼리 금속 비플루오라이드이다. 비플루오라이드 공급원 화합물이 알칼리 금속 비플루오라이드인 경우, 하나 이상의 설파산과 같은 무기산이 전기화학적 조성물에 포함된다. 비플루오라이드 공급원 화합물이 이불화암모늄 또는 불화암모늄인 경우, 하나 이상의 카복시산이 전기화학적 조성물에 포함된다. 전형적으로, 아세트산과 같은 모노카복시산이 포함된다.
- [0030] 다양한 금속이 나노다공성 에미터층에 있는 시드층을 도금하기 위하여 사용될 수 있다; 그러나, 전형적으로 금속은 니켈 및 그의 합금, 팔라듐 및 그의 합금, 은 및 그의 합금 및 코발트 및 그의 합금이다. 더 전형적으로, 금속은 니켈 또는 팔라듐이다. 가장 전형적으로, 금속은 니켈이다. 니켈 이온은 전형적으로 니켈 염을 이용함으로써 공급된다. 그러한 니켈 화합물은 니켈 설포네이트, 니켈 클로라이드, 니켈 브로마이드, 니켈 설파메이트, 및 니켈 포스페이트를 포함한다. 니켈 화합물의 혼합물이 사용될 수 있다. 팔라듐 이온은 팔라듐 화합물, 전형적으로 팔라듐 염을 이용함으로써 제공된다. 그러한 팔라듐 염은 팔라듐 클로라이드, 팔라듐 니트레이트, 팔라듐 소듐 클로라이드, 팔라듐 포타슘 클로라이드, 포타슘 테트라클로로팔라테이트 및 테트라아민 팔라듐 클로라이드를 포함한다. 팔라듐 화합물의 혼합물이 사용될 수 있다. 은 이온은 은 혼합물을 이용함으로써 제공된다. 이러한 은 혼합물은 은 옥사이드, 은 포타슘 시아나이드, 은 소듐 티오설페이트 및 은 메탄설페이트를 포함한다. 코발트 이온은 코발트 혼합물을 이용함으로써 제공된다. 코발트 혼합물은 코발트 클로라이드, 코발트 브로마이드, 코발트 설페이트, 코발트 포타슘 시아나이드, 코발트 암모늄 설페이트 및 코발트 아세테이트를 포함한다. 금속 혼합물은 금속 이온 농도를 0.1 내지 150 g/L, 전형적으로 0.5 내지 100 g/L, 및 더 전형적으로 1 내지 70 g/L의 양으로 제공하도록 포함된다.
- [0031] 임의로, 다양한 계면활성제가 전기화학적 조성물에 사용될 수 있다. 어떠한 음이온, 양이온, 양쪽성 및 비이온성 계면활성제라도 에칭 또는 금속 도금의 실행을 방해하지 않는 한 사용될 수 있다. 계면활성제는 통상적인 양으로 포함될 수 있다.
- [0032] 임의로, 전기화학적 조성물은 하나 이상의 추가 성분을 포함한다. 그러한 추가 성분은 증백제, 결정 성장 억제제 및 연성 증가제를 제한없이 포함한다. 그러한 추가 성분은 당업계에서 주지되었으며 통상적인 양으로 사용된다.
- [0033] 전기화학적 조성물은 임의로 버퍼를 포함한다. 전형적인 버퍼는 보레이트 버퍼 (borax 등), 포스페이트 버퍼, 시트레이트 버퍼, 카보네이트 버퍼, 및 하이드록사이드 버퍼를 포함한다. 사용된 버퍼의 양은 전기화학적 조성물의 pH를, 원하는 수준인 1 내지 6, 전형적으로 1 내지 2에서 유지하기에 충분해야 한다.
- [0034] 반도체 웨이퍼는 화학적으로 불활성인 에칭 및 도금 셀에 포함된 전기화학적 조성물에 침지된다. 전기화학적 조성물의 작업 온도는 10 내지 100 °C, 또는 예컨대 20 내지 50 °C일 수 있다. 후면 포텐셜 (정류기)는 반도체 웨이퍼에 적용된다. 불활성 상대 전극 역시 셀에 담겨진다. 전형적으로 상대전극은 백금선 또는 스크린 전극이다. 셀, 반도체 웨이퍼, 전기화학적 조성물 및 정류기는 서로 전기적으로 소통한다.
- [0035] 양극 포텐셜은 전기화학적 조성물 및 반도체 웨이퍼에서 형성되며, 소정 시간동안 유지된 후 전류를 소정 시간동안 중단하고, 사이클은 전면 반도체의 웨이퍼의 산화된 에미터층에 상당히 균일한 나노다공층을 제공하기 위하여 충분한 횟수로 반복되고, 동시에 산화된 에미터층의 표면을 관통하여 반도체의 전기적 성능이 저하되지 않게 된다. 본 방법은 상당히 균일한 나노다공 에미터층을 형성하는 에미터층과 반도체에 좋은 접착성 및 움 접촉을 가진 금속층을 야기하는 금속침착이 가능하도록 하는 면 저항 간의 균형에 관한 것이다. 뿐만 아니라, 본 방법은 공격이나 에미터층의 반사방지층에 대한 피해를 최소화하는 것과 동시에 나노다공 에미터층을 형성하는 것 사이의 균형에 관한 것이다. 에미터층의 산화된 단면은 금속이 에미터층에 잘 부착하고 동시에 에미터층의 저항이 금속을 도금하기에 충분한 전도성을 가질 수 있는 깊이까지 나노다공성으로 만들어진다. 나노다공층이 에미터층으로 더 깊이 관통할수록, 에미터층의 면저항은 더 커진다. 일반적으로, 상당히 균일한 나노다공층은 에미터층으로 충분히 깊이 관통해서 에미터층의 면 저항은 5% 내지 40%, 또는 양극 포텐셜의 적

용을 개시하기 전 에미터층의 면저항의, 예컨대 20% 내지 30%까지 증가한다. 전형적으로, 균일한 나노다공 에미터층의 면 저항은 200 ohms/square 및 그보다 적다. 에미터의 두께 및 도핑 프로파일과 같은 요인들 역시 에미터 나노다공 깊이 및 에미터층의 저항을 결정하는데 고려하는 변수이다. 특정 반도체 웨이퍼에 대한 금속 도금과 좋은 금속 부착을 달성하기 위한 에미터층 나노다공의 깊이 및 에미터층의 저항을 결정하기 위하여 부차적인 실험이 실행될 수 있다.

[0036] 일반적으로, 양극 포텐셜의 적용 중 전류 밀도는  $0.01$  내지  $2 \text{ A/dm}^2$  또는 예컨대  $0.05$  내지  $1 \text{ A/dm}^2$  범위 내일 수 있다. 그러나, 특정 반도체 웨이퍼를 위한 바람직한 전류 밀도 환경, 양극 포텐셜의 인가 및 중단 시간을 결정하기 위하여 부차적인 실험이 실행될 수 있다. 이러한 변수들은 에미터층의 초기 두께 및 나노다공성 에미터층의 원하는 두께 뿐만 아니라 반도체 웨이퍼의 두께에도 의존한다. 에미터층의 나노다공성 부분이 너무 깊으면, 반도체는 손상될 수 있어서 그의 면 저항이 증가한다. 너무 높은 면 저항은 에미터층의 나노다공성 단면에 형성된 전류 트랙의 전기 전도도를 저하시킨다. 뿐만 아니라, 에미터의 표면 위의 균일하지 않은 나노다공층은 결과적으로 도금된 금속 층의 좋지 못한 접착성을 야기한다. 전형적으로 양극 포텐셜은  $0.5$ 초 이상 또는 예컨대  $0.5$  내지  $2$ 초 또는 예컨대  $3$  내지  $8$ 초 동안 인가된다. 사이클 중 양극 포텐셜이 중단되는 시간은  $1$ 초 이상 또는 예컨대  $3$  내지  $10$ 초 또는 예컨대  $10$  내지  $50$ 초 내일 수 있다. 사이클의 횟수는  $5$  내지  $80$  또는 예컨대  $10$  내지  $100$ 회 내이다.

[0037] 패턴화된 반도체 웨이퍼가 실리콘 태양전지인 경우, 광원은, 예를 들어 실리콘 태양전지가 광전지적으로 민감하게 되는 파장 내에서 에너지를 제공하는 형광 또는 LED 램프일 수 있다.  $75$ 와트 및  $250$  와트 램프와 같은 백열램프, 수은 램프, 할로겐 램프 및  $150$  와트 적외선 램프 와 같은 다양한 다른 광원들이 사용될 수 있다. 광원은 연속적이거나 펄스화될 수 있다. 펄스화된 조명, 예를 들면 기계적인 챔퍼(chopper)로 빛을 간섭함으로써 이뤄지거나 전기적인 장치가 원하는 사이클에 기초하여 빛에 간헐적으로 전원을 순환시키기 위하여 사용될 수 있다. 일반적으로 광유도된 도금 중 반도체 웨이퍼에 적용되는 빛의 양은  $400$  내지  $10,000 \text{ lx}$ , 또는 예컨대  $500$  내지  $7,500 \text{ lx}$  범위일 수 있다.

[0038] 빛 에너지로 반도체 웨이퍼의 전면을 비추으로써, 도금은 전면에서 일어난다. 충돌 광 에너지는 반도체 웨이퍼에 전류를 발생시킨다. 전면에서의 도금 속도는 빛 강도, 조 온도, 초기 웨이퍼 환경, 도핑 수준뿐만 아니라 당업자에게 공지된 다른 변수들을 조정함으로써 제어할 수 있다. 전형적으로 인가, 반도체 크기, 패턴 및 기하학적 구조와 같은 다양한 요인들에 의존하는 정확한 두께와 함께,  $100 \text{ nm}$  이상 또는 예컨대  $100 \text{ nm}$  내지  $2 \mu\text{m}$  두께의 금속 시드층이 반도체 웨이퍼에 요구된다.

[0039] 대안적인 구체예에서, 나노다공성 에미터층 및 금속 도금 제제를 형성하기 위한 에칭 성분은 분리된 용액에 포함되었다. 상당히 균일한 나노다공성 에미터층을 형성하기 위하여 웨이퍼가 처리되는 에칭 용액에 놓아진 후, 금속 도금을 위한 분리된 금속 도금액으로 옮겨진다. 웨이퍼가 고유 옥사이드를 회복하기 위해 산화되어야 하는 경우, 웨이퍼는 에칭 전에 산화된다. 또 다른 대안적인 구체예에서, 에칭 성분 및 산화 성분은 금속 이 분리된 용액에서 도금되는 동안 하나의 조성물에서 결합될 수 있다. 반도체의 전면이 산화된 후, 양극 포텐셜이 반도체 웨이퍼에 상기된 대로 인가되었으며 상당히 균일한 나노다공층의 형성 및 반도체의 에미터층의 단면을 임의로 에칭하기 위하여 양극에서  $0$ 까지 포텐셜이 펄스화되었다. 이 실시예에서 동일한 양 뿐만 아니라 동일한 비플루오라이드 화합물, 플루오라이드 염 및 산의 공급원이 상기된 대로 사용되었다. 또한 동일한 산화제가 동일한 양으로 상기된 대로 사용되었다.

[0040] 이어서, 전형적으로는 니켈, 팔라듐, 코발트 또는 은의 금속 시드층을 광 유도 금속 침착에 의해 실질적으로 균일한 나노다공층상에 선택적으로 침착시킨다. 후면 포텐셜(정류기)이 상술된 바와 같은 반도체 웨이퍼에 연결된다. 광은 연속 또는 펄스형일 수 있다. 반도체는 금속 도금 조성물에 침지되고, 광은 상술된 바와 같이 반도체에 인가된다.

[0041] 통상적인 전해 금속 조성물이 사용될 수 있다. 전형적인 전류 밀도는  $0.01 \text{ A/dm}^2$  내지  $2 \text{ A/dm}^2$  또는, 예컨대  $0.05 \text{ A/dm}^2$  내지  $1 \text{ A/dm}^2$ 이다. 특정 전류 요구량은 사용되는 웨이퍼의 특정 크기에 따른다. 사용되는 전기도금 공정은 통상적인 것이다. 적합한 전해 금속 도금조는 상업적으로 입수할 수 있을 뿐만 아니라 다수가 문헌에 개시되었다. 상업적으로 입수할 수 있는 전해 니켈 조의 예는 Rohm and Haas Electronic Materials, LLC로부터 입수가능한 NIKAL™ 및 NICKEL GLEAM™ 시리즈의 니켈 전해 제품이다. 적합한 전해 금속 도금조의 다른 예로서 미국 특허 제3,041,255호에 기술된 와츠형(Watts-type) 조가 있다.

[0042] 금속 시드층이 상술된 구체예로 도금된 후, 하나 이상의 추가의 금속 층이 금속 시드층상에 침착될 수 있다.



이러한 추가의 금속 층은 구리 또는 은일 수 있다. 통상적인 금속 도금조가 사용될 수 있다. 추가의 금속이 구리인 경우, 산화 방지를 위해 주석 스트라이크 층이 구리상에 침착될 수 있다. 추가의 금속이 은인 경우, 은 스트라이크 층이 은상에 침착될 수 있으며, 이어 스트라이크상에 추가의 은 층이 침착될 수 있다. 이러한 추가의 금속 층은 통상적인 도금조 및 공정을 이용하여 무전해, 침지, 전해, 광 유도 금속 도금으로 침착될 수 있다. 전형적으로, 이러한 금속층은 1 내지 50  $\mu\text{m}$ , 보다 전형적으로, 5 내지 25  $\mu\text{m}$  범위이다. 스트라이크 층은 0.25 내지 2  $\mu\text{m}$  범위일 수 있다. 추가의 금속층이 전해적으로 침착되는 경우, 전형적인 전류 밀도는 0.1 A/dm<sup>2</sup> 내지 3 A/dm<sup>2</sup>, 및 보다 전형적으로 1 A/dm<sup>2</sup> 내지 3 A/dm<sup>2</sup>이다. 총 전류 요구량은 사용되는 웨이퍼의 특정 크기에 따른다.

[0043] 추가 금속 층을 위한 금속 공급원은 금속 할라이드; 금속 니트레이트; 금속 카복실레이트, 예컨대 아세테이트, 금속 포르메이트 및 금속 글루코네이트; 금속-아미노산 복합물, 예컨대 금속-시스테인 복합물; 금속 알킬 설포네이트, 예컨대 금속 메탄 설포네이트 및 금속 에탄 설포네이트; 금속 알킬올 설포네이트, 금속 톨릴 설포네이트, 및 금속 페놀 설포네이트; 및 금속 시아나이드를 포함할 수 있으나, 이들로 한정되지는 않는다. 금속이 은인 경우, 금속 염은 전형적으로 용해성 한정으로 인해 은 할라이드는 아니다. 구리 화합물의 예에는 구리 피로포스페이트, 구리 글루코네이트, 황산구리 및 염화구리를 포함할 수 있으나, 이들로 한정되지는 않는다. 주석 화합물의 예에는 염화주석, 황산주석 및 주석 메탄 설포네이트를 포함할 수 있으나, 이들로 한정되지는 않는다. 금속 화합물의 혼합물이 사용될 수 있다. 이 혼합물은 금속은 동일하나 화합물은 상이한 금속 화합물, 예컨대 질산은과 은-시스테인 복합물의 혼합물일 수 있다.

[0044] 일반적으로, 금속 화합물은 도금 조성물내에서 금속 이온 농도를 0.1 g/L 내지 150 g/L로 제공하기에 충분한 정도로 첨가된다. 금속 이온이 은 이온인 경우, 조내 은 이온의 농도는 전형적으로 2 내지 40 g/L의 양이다. 이러한 금속은 일반적으로 Aldrich Chemical Company(위스콘신 밀워키 소재)와 같은 다양한 공급처로부터 상업적으로 입수할 수 있다. 상업적으로 입수할 수 있는 조의 예로는 COPPER GLEAM<sup>TM</sup> ST 901 및 901A 구리 전기 도금조 및 ENLIGHT<sup>TM</sup> Silver Plate 620 은 전기도금조[둘 다 Rohm and Haas Electronic Materials, LLC(미국 매사추세츠 말보로 소재)로부터 입수가가능]를 들 수 있다. 상업적으로 입수할 수 있는 주석조의 예로는 SOLDERON<sup>TM</sup> 주석 도금 조성물 및 부수 산물이다[둘 다 Rohm and Haas Electronic Materials로부터 입수가가능].

[0045] 통상적인 각종 계면활성제가 금속 도금조에 사용될 수 있다. 음이온성, 양이온성, 양쪽성 및 비이온성 계면활성제 모두가 사용될 수 있다. 계면활성제는 통상적인 양으로 포함될 수 있다.

[0046] 금속 도금조는 하나 이상의 추가적인 통상적인 성분을 함유할 수 있다. 상기 추가적인 성분은 전해질, 버퍼, 증백제, 입자 미세화제, 킬레이트제, 착화제, 환원제, 레벨러(leveler) 및 연성 증강제를 포함하지만 이에 제한되지는 않는다. 상기 추가적인 성분은 당업계에 주지의 것이고 통상적인 양으로 사용된다.

[0047] 본 방법은 반도체 웨이퍼의 전면에 있는 에미터층 표면에 실질적으로 균일한 나노다공층을 형성한다. 나노다공층은 금속 침착물과 반도체 웨이퍼간에 향상된 접착성을 제공한다. 또한, 나노다공층을 형성하기 위해 이용된 공정은 반도체 웨이퍼의 에미터층을 관통하지 않으므로 에미터가 손상되어 니켈 시드층과 반도체 웨이퍼 사이의 옴 접촉이 저하된다. 후속 금속층은 접착 불량 문제없이 금속 시드층상에 침착될 수 있어서 금속화 반도체를 포함하는 장치의 신뢰성이 개선된다. 또한, 본 방법은 금속 실리사이드 형성 및 실리사이드 공정에 포함되는 복잡한 단계를 필요로 하지 않는다.

[0048] 전기화학적 에칭 방법이 특히 태양 전지에 사용되는 실리콘 웨이퍼와 관련하여 기술되었으나; 실리콘 이외의 물질로 제작되는 태양광발전 장치가, 예를 들면, 사용된 광 에너지원 변화와 같이, 필요에 따라 적절히 변화되어 사용될 수 있다.

[0049] 이하 실시예가 본 발명의 다양한 측면을 예시하기 위해 포함되나, 본 발명의 범위가 이에 의해 제한되지는 않는다.

# [0050] 실시예 1

[0051] 그의 전면상에 피라미드형 용기를 갖는 도핑된 단결정성 실리콘 웨이퍼가 제공된다. 웨이퍼는 에미터층을 형성하도록 웨이퍼의 전면상에 n+ 도핑층을 가졌다. 웨이퍼는 또한 에미터층 아래에 PN-접합을 가졌다. 웨이퍼의 전면을 SiNx로 구성된 반사방지층으로 코팅하였다. 웨이퍼의 전면은 실리콘 웨이퍼의 표면을 노출시키며

반사방지층을 통해 전류 트랙을 위한 패턴을 가졌다. 각 전류 트랙은 웨이퍼의 전체 길이를 가로지른다. 전류 트랙은 각 웨이퍼의 중단(end) 및 각 웨이퍼의 중심에서 버스 바(bus bar)와 합류한다. 각 웨이퍼의 후면은 p+ 도핑되었으며, 알루미늄 전극을 포함하였다.

[0052] 웨이퍼를 1 wt% 불화수소산 용액에 침지시켜 전류 트랙 및 버스바를 세척하였다. 세척은 실온에서 1 분간 행해졌다. 웨이퍼를 물로 행구었다. 웨이퍼로부터 오염물을 제거하는 것 외에, 불화수소산 용액은 또한 에미터층의 표면으로부터 고유 옥사이드를 제거하였다.

[0053] 이어, 도핑된 단결정성 실리콘 웨이퍼를 ENLIGHT<sup>TM</sup> 1300 니켈 설파메이트 전기도금액을 함유한 도금셀에 침지시켰다. 웨이퍼의 후면 알루미늄 전극을 정류기 및 조에서 카운터 전극으로 기능하는 고체 니켈 양극에 연결하였다. 웨이퍼는 음극 기능을 하고, 니켈은 양극이다. 조, 웨이퍼 및 카운터 전극을 모두 전기 소통시키고, 1 A/dm<sup>2</sup>의 음극 전류를 1 분간 인가시켰다. 도금 사이클동안 인공광을 웨이퍼에 적용하였다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 30 내지 50 °C였다. 니켈 시드층 300 nm가 전류 트랙 및 버스바상에 침착되었다.

[0054] 그 다음에, 웨이퍼를 COPPER GLEAM<sup>TM</sup> 125 전해 구리 도금조(Rohm and Haas Electronic Materials로부터 입수)를 구비한 전해 도금셀에 놓았다. 웨이퍼의 후면 알루미늄 전극을 정류기 및 조에서 카운터 전극으로 기능하는 인화된(phosphorized) 구리 양극에 연결하였다. 웨이퍼는 음극 기능을 한다. 조, 웨이퍼 및 카운터 전극을 모두 전기 소통시키고, 1.5 A/dm<sup>2</sup>의 음극 전류를 14 분간 인가하여 각 전류 트랙 및 버스바 위 니켈 시드층상에 6 내지 10 μm의 구리층을 침착시켰다. 도금동안 웨이퍼에 인공광이 적용되었다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 20 내지 50 °C였다.

[0055] 웨이퍼를 도금셀에서 제거하고, 전류 트랙 및 버스바에 대한 금속층의 접착성을 테스트하였다. ASTM D3359-97 표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 버스바상의 금속층은 박리되지 않았지만, 전류 트랙에서 모든 금속층은 웨이퍼로부터 박리되었다. 웨이퍼의 니켈과 실리콘 계면 접착은 불량하였다.

## [0056] 실시예 2

[0057] 구리 대신 은이 니켈 시드층상에 전기도금되는 것만을 제외하고, 상기 실시예 1에 기술된 방법을 반복하였다. ENLIGHT<sup>TM</sup> Silver Plate 620 은 전기도금조를 사용하여 은을 니켈상에 도금하였다. 전류 밀도는 1.5 A/dm<sup>2</sup>이었고, 도금은 10 분동안 행해졌다. 도금동안 웨이퍼에 인공광이 적용되었다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 20 내지 40 °C였다. 8 내지 10 μm의 은층이 니켈상에 침착되었다.

[0058] ASTM D3359-97 표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 버스바 뿐 아니라 모든 전류 트랙에서 웨이퍼의 니켈과 실리콘 계면 접착은 불량하였다.

## [0059] 실시예 3

[0060] 상기 실시예 1과 동일한 타입의 단결정성 웨이퍼를 제공하였다. 웨이퍼를, 후면 알루미늄 전극이 금속 도금랙과 직접 접촉하도록 금속 도금랙상에 위치시켰다. 웨이퍼 둘레를 따라 셀과 랙 사이의 계면을 봉하여 도금랙과 셀의 후면 사이로 용액이 침투하는 것을 최소화하였다. 양극 사이클링동안, 정류기로부터의 전류는 랙을 통해 흘러 후면 접촉을 통해 셀로 유입되었다.

[0061] 전류 트랙 및 버스바를 5 wt% 과산화수소 수용액으로 산화시켜 실리콘 표면이 산화되도록 하였다. 상술한 바와 같이 랙킹된 웨이퍼를, 니켈 설파메이트로부터의 니켈 이온 10 g/L, 이불화나트륨 45 g/L 및 설파산 15 g/L를 포함하는 도금셀내 수성 조성물에 침지시켰다. 웨이퍼와의 랙을 정류기에 연결하고, 백금 와이어를 카운터 전극으로 사용하였다. 수성 조성물, 웨이퍼 및 백금 와이어를 서로 전기 소통시켰다. 양극 전류를 웨이퍼에 30 초간 0.2 A/dm<sup>2</sup>의 전류 밀도로 인가하였다. 수성 조성물은 실온이다.

[0062] 전류 트랙 및 버스바를 에칭하여 실질적으로 균일한 나노다공층을 형성한 후, 인공광을 웨이퍼에 적용하고, 정류기 극성을 역전시켜 셀을 음극로, 백금 전극을 양극로 하였다. 광원은 250 와트 할로젠 램프였다. 전류

밀도는  $0.1 \text{ A/dm}^2$ 로 유지되었고, 니켈 시드층 100 nm 내지 500 nm가 에칭된 전류 트랙 및 버스바상에 도금되었다. 광 유도 도금이 30 초간 수행되었다.

[0063] 그 다음에, 니켈 도금된 웨이퍼를 ENLIGHT 420 전해 구리 도금조(Rohm and Haas Electronic Materials로부터 입수)를 구비한 전해 도금셀에 놓았다. 웨이퍼의 후면 알루미늄 전극을 정류기 및 조에서 카운터 전극을 기능하는 구리 양극에 연결하였다. 웨이퍼는 음극 기능을 하고, 백금 와이어가 양극이다. 조, 웨이퍼 및 카운터 전극을 모두 전기 소통시키고,  $2 \text{ A/dm}^2$ 의 음극 전류를 14 분간 인가하여 각 전류 트랙 및 버스바 위 니켈 시드층상에 6 내지  $10 \mu\text{m}$ 의 구리층을 침착시켰다. 도금동안 웨이퍼에 인공광이 적용되었다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 20 내지  $50^\circ\text{C}$ 였다.

[0064] 웨이퍼를 도금셀에서 제거하고, 전류 트랙 및 버스바에 대한 금속층의 접착성을 테스트하였다. ASTM D3359-97 표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 니켈과 실리콘 계면에서 웨이퍼로부터 금속층 분리나 테이프상 금속 증거는 전혀 관찰할 수 없었다.

[0065]

[0066] 실시예 4

[0067] 구리 대신 은이 니켈 시드층상에 전기도금되는 것만을 제외하고, 상기 실시예 3에 기술된 방법을 반복하였다. 은 이온 농도가 1 g/L인 ENLIGHT™ Silver Plate 620 은 전기도금조의 은 스트라이크 전기도금액을 사용하고 ENLIGHT™ Silver Plate 620 은 전기도금조로 은 스트라이크상에 은층을 도금하여 은을 니켈상에 도금하였다. 2 내지 2.5 V의 전압을 30 초 내지 1 분간 스트라이크 용액에 인가한 후, 웨이퍼를 즉시 다른 은 조로 옮겨  $2 \text{ A/dm}^2$ 로 10 분동안 도금하였다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 20 내지  $40^\circ\text{C}$ 였다. 8 내지  $10 \mu\text{m}$ 의 은층이 니켈상에 침착되었다.

[0068] ASTM D3359-97 표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 전류 트랙 및 버스바상의 모든 금속 침착물은 손상되지 않은 채로 남아 있었다. 니켈과 실리콘 계면에서 웨이퍼로부터 금속층 분리나 테이프상 금속 증거는 전혀 관찰할 수 없었다.

[0069] 실시예 5

[0070] 상기 실시예 1과 동일한 타입의 단결정성 웨이퍼를 실시예 3에 기술된 바와 같이 랙킹하였다.

[0071] 웨이퍼를 이불화나트륨 15 g/L 및 설판산 30 g/L를 포함하는 도금셀내 수성 조성물에 침지시켰다. 웨이퍼와의 랙을 정류기에 연결하고, 백금 와이어를 카운터 전극으로 사용하였다. 수성 조성물, 웨이퍼 및 백금 와이어를 서로 전기 소통시켰다. 조성물을 온화하게 교반하고, 실온으로 유지하였다. 우선 1.2V에서  $0.1 \text{ A/dm}^2$ 의 양극 전류를 웨이퍼에 2 초간 인가한 후, 전류를 1 초 중단하였다. 양극-0 전류 펄싱을 30 사이클 반복하였다. 전류 트랙 및 버스바를 에칭하여 실질적으로 균일한 나노다공층을 형성한 후, 셀을 수성 조성물로부터 제거하고, 탈이온수로 행구었다.

[0072] 도핑된 단결정성 실리콘 웨이퍼를 랙킹하고, ENLIGHT™ 1300 전해 니켈 도금 전기화학물질을 함유한 도금셀에 침지시켰다. 웨이퍼와의 랙을 정류기 및 조에서 카운터 전극으로 기능하는 고체 니켈 양극에 연결하였다. 웨이퍼는 음극로 기능한다. 조, 웨이퍼 및 카운터 전극을 모두 전기 소통시키고,  $1 \text{ A/dm}^2$ 의 음극 전류를 1 분간 인가시켰다. 도금 사이클동안 인공광을 웨이퍼에 적용하였다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 30 내지  $50^\circ\text{C}$ 였다. 니켈 시드층 300 nm를 전류 트랙 및 버스바상에 침착시켰다.

[0073] 그 다음에, 니켈 도금된 웨이퍼를 ENLIGHT 420 전해 구리 도금조(Rohm and Haas Electronic Materials로부터 입수)를 구비한 전해 도금셀에 놓았다. 웨이퍼와의 랙을 정류기 및 조에서 카운터 전극을 기능하는 구리 양극에 연결하였다. 조, 웨이퍼 및 카운터 전극을 모두 전기 소통시키고,  $2 \text{ A/dm}^2$ 의 음극 전류를 14 분간 인가하여 각 전류 트랙 및 버스바 위 니켈 시드층상에 6 내지  $10 \mu\text{m}$ 의 구리층을 침착시켰다. 도금동안 웨이퍼에 인공광이 적용되었다. 광원은 250 와트 할로젠 램프였다. 도금 온도는 20 내지  $50^\circ\text{C}$ 였다.

[0074] 웨이퍼를 도금셀에서 제거하고, 전류 트랙 및 버스바에 대한 금속층의 접착성을 테스트하였다. ASTM D3359-97

표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 버스바상의 금속층은 박리되지 않았지만, 전류 트랙상에 일부 산발적인 영역이 웨이퍼로부터 박리되었다. 웨이퍼의 실리콘과 니켈 사이의 계면에서 접착 불량 발생하였다.

#### [0075] 실시예 6

[0076] 다공성 정류기 사이클수를 30에서 45로 증가시키는 것을 제외하고, 실시예 5의 방법을 반복하였다. 그밖의 모든 제조 및 조건은 동일하였다.

[0077] 웨이퍼를 도금셀에서 제거하고, 전류 트랙 및 버스바에 대한 금속층의 접착성을 테스트하였다. ASTM D3359-97 표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 전류 트랙 및 버스바상의 모든 금속 침착물은 손상되지 않은 채로 남아 있었다. 니켈과 실리콘 계면에서 웨이퍼로부터 금속층 분리나 테이프상 금속 증가는 전혀 관찰할 수 없었다.

#### [0078] 실시예 7

[0079] 다공성 정류기 사이클수를 30에서 60으로 증가시키는 것을 제외하고, 실시예 5의 방법을 반복하였다. 그밖의 모든 제조 및 조건은 동일하였다.

[0080] 웨이퍼를 도금셀에서 제거하고, 전류 트랙 및 버스바에 대한 금속층의 접착성을 테스트하였다. ASTM D3359-97 표준 테이프 테스트를 이용하여 금속층에 대한 접착성을 테스트하였다. 전류 트랙 및 버스바상의 모든 금속 침착물은 손상되지 않은 채로 남아 있었다. 니켈과 실리콘 계면에서 웨이퍼로부터 금속층 분리나 테이프상 금속 증가는 전혀 관찰할 수 없었다.

#### [0081] 실시예 8

[0082] 에칭 용액에서 다공성 실리콘 층을 형성하여 실시예 5의 방법을 반복하였다.

[0083] 이어, 에미터층을 AMRAY 1910 이차 전자현미경으로 조사하였다. 실질적으로 균일한 나노다공층이 에미터층의 피라미드 구조 표면에 형성되었다. 도 1은 피라미드 구조중 한 표면의 170,000X SEM이다. 도 1에 직사각형 박스로 표시된 바와 같이, 깊이 61.2 nm의 나노다공층(박스의 상부 좌측 모퉁이에서 우측 하단 모퉁이)이 에미터층의 피라미드 구조 표면에 형성되었다. 박스 폭은 42.9 nm(좌측에서 우측으로)이고, 박스 높이는 43.7 nm(상부에서 하부로)인 것으로 측정되었다.

#### [0084] 실시예 9

[0085] 에칭 용액에서 다공성 실리콘 층을 형성하여 실시예 7의 방법을 반복하였다.

[0086] 또한, 나노기공 형성전에 Jandel Engineering Ltd. Model HM20을 사용한 에미터층의 면 저항( $\rho_0$ )은 17 ohms/square로 측정되었다. 나노기공 형성은 양극 전류-0 전류 펄스가 60 사이클로 행해지는 것을 제외하고는, 상술된 바와 같이 수행되었다. 나노기공 형성후, 에미터층의 면 저항( $\rho_0$ )을 측정하고, 23 ohms/square로 결정하였다. 에미터층 면 저항은 6 ohms/square 또는 39%로, 나노다공 에미터층 표면상의 금속 도금에 대해 일정 범위내에서 증가하였고, 따라서 에미터층상에 도금된 금속층의 접착성은 우수하다.

[0087] 이어, 에미터층을 AMRAY 1910 이차 전자현미경으로 조사하였다. 실질적으로 균일한 나노다공층이 에미터층의 피라미드 구조 표면에 형성되었다. 도 2는 피라미드 구조중 한 표면의 100,000X SEM이다. 도 2에 직사각형 박스로 표시된 바와 같이, 깊이 104 nm의 나노다공층(박스의 상부 좌측 모퉁이에서 우측 하단 모퉁이)이 에미터층의 피라미드 구조 표면에 형성되었다. 박스 폭은 55.7 nm(좌측에서 우측으로)이고, 박스 높이는 88.3 nm(상부에서 하부로)인 것으로 측정되었다.

#### [0088] 실시예 10

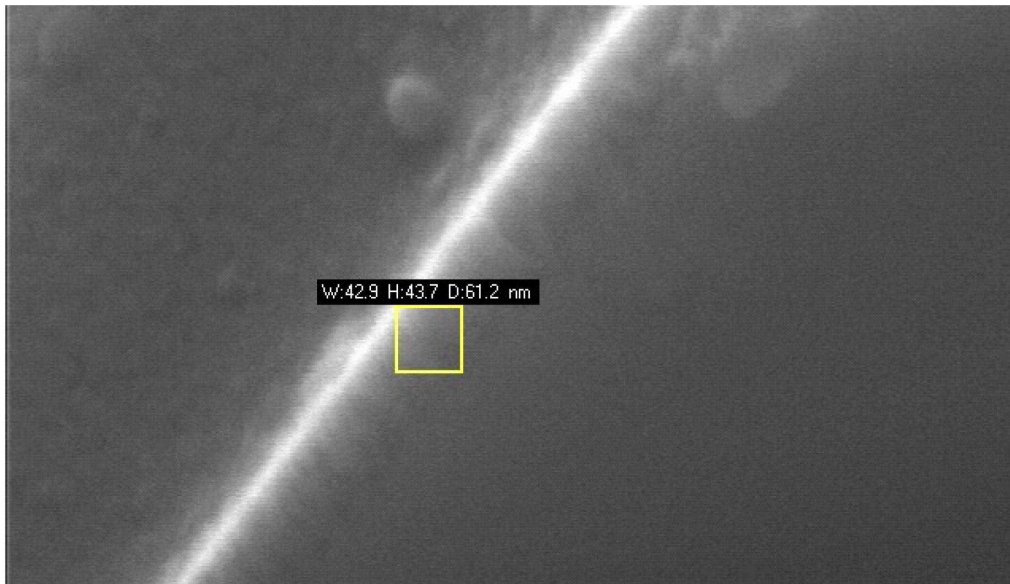


[0089] 에칭 용액에서 다공성 실리콘 층을 형성하여 실시예 6의 방법을 반복하였다.

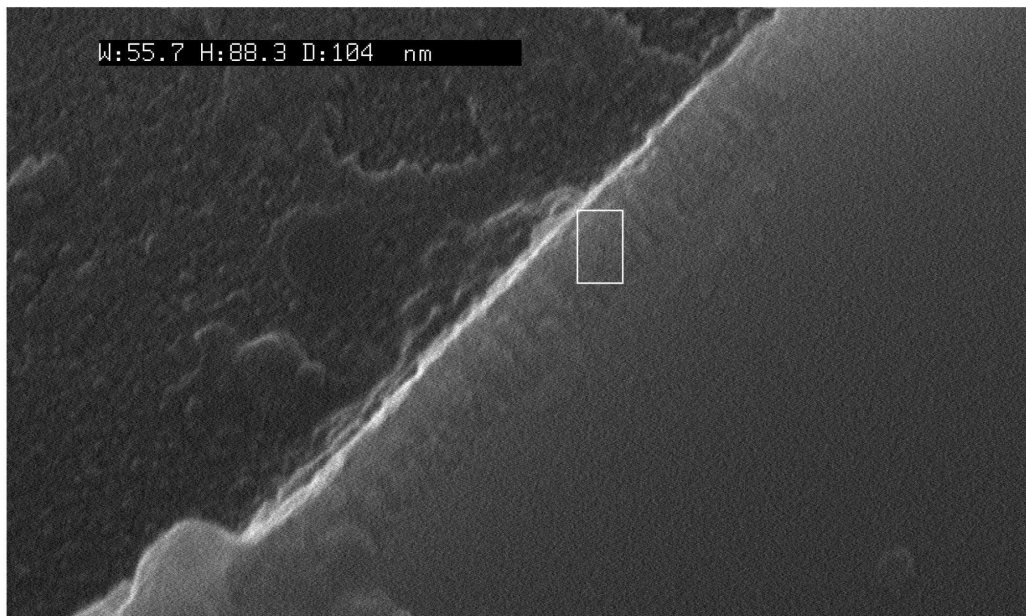
[0090] 나노기공 형성은 양극 전류-0 전류 펄스가 45 사이클로 행해지는 것을 제외하고는, 상술된 바와 같이 수행되었다. 이어, 에미터층을 AMRAY 1910 이차 전자현미경으로 조사하였다. 실질적으로 균일한 나노다공층이 에미터층의 피라미드 구조 표면상에 형성되었다. 도 3은 피라미드 구조중 한 표면의 75,000X SEM이다. 도 3에 직사각형 박스로 표시된 바와 같이, 깊이 80.9 nm의 나노다공층(박스의 상부 좌측 모퉁이에서 우측 하단 모퉁이)이 에미터층의 피라미드 구조 표면상에 형성되었다. 박스 폭은 43.2 nm(좌측에서 우측으로)이고, 박스 높이는 68.4 nm(상부에서 하부로)인 것으로 측정되었다.

## 도면

### 도면1



### 도면2



도면3

