



[12] 发明专利说明书

专利号 ZL 200480008495.7

[45] 授权公告日 2008 年 6 月 4 日

[11] 授权公告号 CN 100392610C

[22] 申请日 2004. 4. 13

[21] 申请号 200480008495.7

[30] 优先权

[32] 2003. 4. 14 [33] US [31] 10/413,605

[86] 国际申请 PCT/GB2004/001593 2004. 4. 13

[87] 国际公布 WO2004/090723 英 2004. 10. 21

[85] 进入国家阶段日期 2005. 9. 28

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 K·高尔 B·黑兹尔泽特

M·凯洛格 D·佩尔曼

[56] 参考文献

US6018817A 2000. 1. 25

US5513135A 1996. 4. 30

US6502161B1 2002. 12. 31

US6052818A 2000. 4. 18

EP1020864A1 2000. 7. 19

CN1220469A 1999. 6. 23

审查员 董 刚

[74] 专利代理机构 北京市中咨律师事务所

代理人 于 静 李 峥

权利要求书 6 页 说明书 25 页 附图 11 页

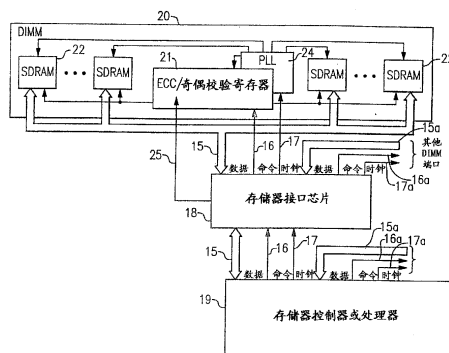
[54] 发明名称

具有容错地址和命令总线的高可靠性存储器模块

[57] 摘要

一种高可靠性双列直插存储器模块，其具有容错地址和命令总线以便用在服务器中。所述存储器模块是长约 151.35 毫米或 5.97 英寸的插件，该插件具有多个触点(其中某些触点是冗余的)、多个 DRAM、锁相环、2 或 32K 位串行 EEPROM 以及 28 位和 1 到 2 寄存器(具有错误校正代码(ECC)、奇偶校验检查)、通过独立总线读取的多字节故障报告电路以及实时错误线，所述实时错误线被连接到所述服务器的存储器接口芯片和存储器控制器或处理器并用于判定和报告可校正错误和不可校正错误情况，以使所述存储器控制器通过地址/命令线将地址和命令信息发送给所述寄存器并将用于错误校正目的的校验位发送给所述 ECC/奇偶校验寄存器。通过使所述模块具备容错地址和命令总线，实现了与

工业标准兼容的自动计算系统所需的容错和自我修复方面。所述存储器模块纠正所述命令或地址总线上的单位错误并允许连续的存储器运行而与这些错误的存在无关，并且可以判定任何双位错误情况。所述模块上的冗余触点防止了否则将为单点故障的故障。



1. 一种具有容错地址和命令总线以使用作主存储器的高可靠性存储器装置，所述存储器装置包括：

存储器控制器（19）；以及

双列直插存储器模块（20），所述双列直插存储器模块具有通过地址/命令线与所述存储器控制器相连、且包含错误校正代码电路以校正所述地址/命令线上的错误的错误校正寄存器（21），所述存储器控制器适合于通过所述地址/命令线将地址和命令信息发送给所述错误校正寄存器并发送用于校正所述地址/命令线上的错误的校验位。

2. 根据权利要求1的存储器装置，所述双列直插存储器模块包括：

矩形印刷电路板，所述矩形印刷电路板具有第一面和第二面，长度在149与153毫米之间，并且第一和第二端具有小于所述长度的宽度；

第一多个连接器位置，所述连接器位置在所述第一面上沿所述矩形印刷电路板的第一边缘延伸，所述矩形印刷电路板的第一边缘沿所述矩形印刷电路板的长度延伸；

第二多个连接器位置，所述连接器位置在所述第二面上沿所述矩形印刷电路板的所述第一边缘延伸；

定位键，所述定位键使其中心位于所述第一边缘上，距所述矩形印刷电路板的所述第一端82到86毫米，距所述矩形印刷电路板的所述第二端66到70毫米。

3. 根据权利要求2的存储器装置，其中在所述第一面上进一步提供有多个动态随机存取存储器；

锁相环电路；以及

安装在所述矩形印刷电路板的所述第一面上的28位1到2寄存器电路，所述寄存器电路具有在数据输入端之间的错误校正代码以及实时错误线，所述实时错误线用于报告可校正错误和不可校正错误情况。

4. 根据权利要求3的存储器装置，所述28位1到2寄存器电路额外

地具有奇偶校验检查。

5. 根据权利要求3的存储器装置，其中有22个数据输入端到所述寄存器电路。

6. 根据权利要求3的存储器装置，其中所述多个动态随机存取存储器的输出引脚被连接到所述矩形印刷电路板上的所述第一多个连接器位置和所述第二多个连接器位置中的选定位置。

7. 根据权利要求2的存储器装置，其中所述矩形印刷电路板的所述第一面的所述第一边缘具有一百三十八个连接器位置，并且在所述矩形印刷电路板的所述第二面的所述第一边缘上具有同样多个连接器位置，在所述矩形印刷电路板上总共具有二百七十六个触点。

8. 根据权利要求3的存储器装置，其中所述第一面上的选定触点被连接到所述第二面上的选定触点，以便为发送到和接收自所述动态随机存取存储器、所述寄存器电路和/或所述锁相环电路的选定信号提供冗余触点。

9. 根据权利要求2的存储器装置，其中选定触点CS1、CKE0、CKE1、RAS、CAS、WE、CK0以及CK0B被布置在距所述双列直插存储器模块的所述第一边缘上的所述定位键的选定标称距离处，如下表所示：

信号	触点或引脚编号	双列直插存储器模块的面	距离定位键的标称距离	距离定位键的方向
CS0	86	正面	11.495mm	右侧
CS0	224	背面	11.495mm	左侧
CS1	91	正面	16.495mm	右侧
CS1	229	背面	16.495mm	左侧
CKE0	65	正面	13.505mm	左侧
CKE0	203	背面	13.505mm	右侧
CKE1	62	正面	16.505mm	左侧
CKE1	200	背面	16.505mm	右侧
RAS	222	背面	9.495mm	左侧

CAS	87	正面	12.495mm	右侧
WE	84	正面	9.495mm	右侧
CK0	77	正面	2.495mm	右侧
CK0	215	背面	2.495mm	左侧
CK0B	78	正面	3.495mm	右侧
CK0B	216	背面	3.495mm	左侧

10. 一种服务器，所述服务器包括：

存储器接口芯片（18）；

存储器控制器（19）；以及

多个双列直插存储器模块（20），每个双列直插存储器模块上都具有锁相环电路芯片（24）、错误校正代码/奇偶校验寄存器芯片（21）和多个动态随机存取存储器芯片（22）；以及

所述存储器控制器和所述存储器接口芯片通过数据线、时钟线以及地址总线和命令总线被连接到所述多个双列直插存储器模块，所述错误校正代码/奇偶校验寄存器芯片包含错误校正代码电路以校正所述命令总线或地址总线上的错误。

11. 根据权利要求 10 的服务器，其中所述寄存器芯片是 28 位 1: 2 寄存器，该寄存器包含错误校正代码电路以校正所述命令总线或地址总线上的单位错误，并允许连续的存储器运行而与这些错误的存在无关。

12. 根据权利要求 10 的服务器，其中所述寄存器芯片是奇偶校验寄存器。

13. 根据权利要求 10 的服务器，其中所述寄存器进一步包括用于对 22 个数据位线进行奇偶校验检查的装置、以及错误报告电路，由此系统可以询问设备以确定错误情况，从而允许准确的故障判定和预防性维护，由此减少计划外的系统运行中断。

14. 根据权利要求 10 的服务器，其中提供有：

在每个所述双列直插存储器模块上的错误校正代码奇偶校验寄存器芯

片；

用于在所述双列直插存储器模块上的动态随机存取存储器与存储器接口之间传送数据的装置，所述存储器接口带有存储器接口芯片，所述接口芯片通过地址/命令线将地址和命令信息与用于错误校正目的的校验位一起发送给所述寄存器芯片；

用于通过独立总线读取的多字节故障报告寄存器；以及
实时错误线，用于报告可校正错误和不可校正错误情况。

15. 一种错误校正代码寄存器，所述寄存器包括：

28位1:2寄存器段；以及

错误校正代码电路和错误逻辑电路，所述错误校正代码电路和错误逻辑电路用于报告错误和校正单位错误，以便允许连续的存储器运行而与单位错误的存在无关；

所述寄存器段包括连接到校验位线集合的差动接收器的第一集合、连接到数据线总线的差动接收器的第二集合以及多个输入差动位接收器和锁存器选择输入差动接收器；

所述差动接收器中的每个差动接收器都具有两个输入端和一个输出端；

多个输入多路复用器、多个主锁存器、多个第二级多路复用器以及多个第二级锁存器；

所述差动接收器的第一集合、所述差动接收器的第二集合以及所述多个输入差动位接收器中的每个差动接收器的第一输入端都被连接到基准电压源，并且每个差动接收器的第二输入端都被连接到来自存储器接口芯片的相应输入端；

所述第一集合中的每个差动接收器都具有输入端和相应的输出端，所述输入端分别被连接到所述校验位线集合中的相应校验位线，所述输出端通过相应的校验位输入多路复用器和相应的输入锁存器被连接到单位错误校正/双位错误检测电路；

所述第二集合中的每个差动接收器都具有输入端和输出端，所述输入

端分别被连接到所述数据线集合中的相应数据线，所述输出端通过相应的数据主多路复用器和相应的主锁存器、单位错误校正/双位错误检测电路、相应的第二级多路复用器和第二级锁存器被连接到输出线；

第一输入差动接收器，所述差动接收器具有连接到校验位 0 信号线的输入端，以及通过主多路复用器和主锁存器连接到单位错误校正/双位错误检测电路的输出端；

第二和第三输入差动接收器，所述第二和第三输入差动接收器使其第二输入端分别连接到芯片选择线/CS0 和/CS1，并且使其输出端分别连接到一对主锁存器的第一输入端以及输入选择“与非”门的第一和第二输入端；

所述“与非”门的输出端被连接到所述主多路复用器的选择输入端；

第四差动接收器，所述差动接收器具有连接到第一时钟启用信号源（CKE0）的输入端和连接到相应的主锁存器的输出端；

第五差动接收器，所述差动接收器具有连接到第二时钟启用信号源（CKE1）的输入端和连接到相应的主锁存器的输出端；

第六接收器，所述接收器具有连接到第一片上终结线信号线（ODT0）的输入端和连接到相应的主锁存器的输出端；

第七接收器，所述接收器具有连接到第二片上终结线信号线（ODT1）的输入端和连接到相应的主锁存器的输出端；以及

接收器，所述接收器具有连接到重置（/RST）信号线的输入端和连接到所有所述主锁存器和第二级锁存器的重置输入端的输出端。

16. 根据权利要求 15 的错误校正代码寄存器，其中所述“与非”门的第三输入端被连接到芯片选择（CS）门启用电路，该电路可以被设置为低电平，使连接到所述第一集合的所述主多路复用器传递来自所述第一集合的差动接收器的信号，而与所述第二和第三输入差动接收器的输入端上的电平无关。

17. 根据权利要求 16 的错误校正代码寄存器，其中进一步提供了错误逻辑电路，该错误逻辑电路包括在其接收到来自所述错误校正代码电路的错误输入时递增的 16 位计数器、包含多个状态寄存器的状态寄存器块以及

IIC 逻辑块, 所述 16 位计数器、状态寄存器块以及 IIC 逻辑块通过逻辑电路彼此互连, 由此即使当所述状态寄存器正在被从 IIC 总线上读出时, 所述错误计数器也继续计数错误。

18. 一种运行服务器以便检测插入其中的双列直插存储器模块的状态以确保所述双列直插存储器模块可以监视地址和控制总线完整性、校正地址和控制总线上的错误、报告错误以及记录和计数错误的方法, 其中所述双列直插存储器模块具有通过地址/命令线与存储器控制器相连、且包含错误校正代码电路以校正所述地址/命令线上的错误的错误校正寄存器, 所述存储器控制器适合于通过所述地址/命令线将地址和命令信息发送给所述错误校正寄存器并发送用于校正所述地址/命令线上的错误的校验位, 所述方法包括以下步骤:

使用工业标准 IIC 协议和地址输入范围源 (SA0、SA1、SA2) 来存取所述 DIMM;

启动所述 DIMM 以产生包括字节 0 的内容的数据字节, 即,

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RFU	DIMM	DIMM	DIMM	模式	奇偶校验	ECC 错误	ECC 错误
	地址	地址	地址	1=ECC	错误	1=UE	1=CE
0	SA2	SA1	SA0	0=Pty	1=PERR		

激励所述 DIMM 以回送所述字节 0 的位四、五和六上的所述输入范围源 (SA0、SA1、SA2); 以及

将高信号电平施加到位 3 上以在位四、五和六上提供唯一的签名, 以便判定该签名是否与被发送给所述 DIMM 的代码相匹配。

具有容错地址和命令总线的高可靠性存储器模块

技术领域

本发明一般地涉及具有容错地址和命令总线以使用作旨在实现自动计算系统所需程度的容错和自我修复的主存储器的高可靠性存储器模块。

背景技术

存储器模块是现有技术所公知的并已经和正在被用在诸如计算机和使用固态存储器的其他设备之类的实际应用中。

一般地说，现有主存储器提供范围从 1.6 到 2.6 GB/s 的带宽，尽管某些存储器提供有限的数据路径纠错，但是大多数存储器没有提供任何纠错装置。此外，用于服务器产品的存储器模块通常包括用于地址和命令输入的重新驱动逻辑，以及时钟再同步和重新驱动电路以确保在存储器组件上的每个器件处的准确时钟计时。尽管这些解决方案为系统提供了实现特定带宽目标的能力，但是由于添加的与每个存储器器件关联的电路，存储器子系统之内、数据路径自身之外的故障的总量和类型实际上是增加的。同时，随着服务器被更加广泛地用在商业中，很多服务器应用程序完全不能接受由故障存储器模块造成的周期性计划外系统运行中断。因此，对改进的总体系统可靠性的侧重和需要正在显著地增加，并且需要同时包括高度的容错和总体可靠性的综合系统解决方案。

本发明提供了这样的综合系统解决方案，该解决方案包括服务器市场中长期以来所期望的高度的容错和总体差动系统可靠性。

其他可能的解决方案（例如存储器镜像、符号限幅以及故障拒绝和冗余的扩展形式）提供了增强的存储器子系统可靠性，但是由于负面影响（例如增加的成本、功率以及降低的性能），其被考虑仅用于价格并不非常重要的适当应用（因为实现这些子系统质量增强非常昂贵）。因此，适合于

低端或中端服务器市场的解决方案还不存在。

因此，业界一直在寻求一种简单的、相对廉价且可靠的提供了不同产品质量的解决方案，其通过使用减少功能的存储器组件提供了不会危及系统可靠性的足够程度的资产保护并且仍具有价格竞争力。

发明内容

本发明涉及高可靠性存储器控制器/接口模块，其具有高度符合工业标准的解决方案、能够满足预期性能和可靠性要求并与当前可用的存储器模块以及现有或增强的支持设备相连接。本发明实现了所有这些目标，形成低成本的增强可靠性的存储器解决方案。

本发明的一个优选实施例是 28 位 1:2 寄存器，旨在与其上具有动态随机存取存储器芯片的双列直插存储器模块 (DIMM) 一起使用。所述寄存器添加有错误校正代码 (ECC) 逻辑以校正命令或地址总线上的单位错误，并允许连续的存储器操作，而与这些错误的存在无关。

在本发明的另一个实施例中，这种 DIMM 包括错误锁存器和错误报告模式，由此系统可以询问设备以确定错误情况，从而允许准确的故障判定和预防性维护 - 由此减少计划外的系统运行中断。

在进一步的实施例中，所有连接器/DIMM 互连上都包括冗余触点，所述连接器/DIMM 互连否则将被看作单点故障，由此间歇的或永久的触点故障将导致计划外的系统运行中断。

优选地，所述 DIMM 具备诸如芯片选择关键输入的选通和无选通输入的可编程延迟之类的关键操作功能，从而降低了模块功率并提供了增加的操作灵活性。

本发明的进一步目标是提供一种 DIMM，所述 DIMM 可以按照最适合市场需要的方式被容易地用在现有控制器中。

优选地，所述 DIMM 使用与那些目前正在使用的连接器相类似的连接器，以便现有技术的触点、模型、输送装置以及相关生产工具可以继续被使用，以便可以更廉价地生产具有附加密度的模块，同时提供增值可靠性

和其他增值属性，例如，具有最小附加生产成本的更高的存储器封装密度。

本发明的 DIMM 优选地包括一印刷电路板，所述印刷电路板具有正面和背面以及多个附加到所述正面和背面的动态随机存取存储器（DRAM）或同步动态随机存取存储器（SDRAM）。在所述板的所述正面的第一边缘上提供了一百三十八（138）个触点以便将所述插件外部的电路连接到 SDRAM 和所述 DIMM 上的相关器件，并且在所述插件的背面的相同第一边缘上提供了另外一百三十八（138）个外部电路连接触点，因此所述板上具有总共二百七十六（276）个外部电路连接触点。在所述印刷电路插件的所述正面和背面上提供的触点装置以直接或间接的方式将所述外部电路电连接到所述 SDRAM。

根据本发明的进一步的方面，提供了一种服务器存储器结构，所述服务器存储器结构具有带有选择性冗余触点的双列直插存储器模块或 DIMM、锁相环、2 或 32K 位串行电可擦写可编程只读存储器（EEPROM）和 28 位 1-2 寄存器（具有错误校正代码（ECC），奇偶校验检查）、多字节故障报告寄存器（通过独立总线进行读取）以及用于可校正错误和不可校正错误情况的实时错误线。更具体地，本发明的服务器包括新颖的 DIMM，其具备新的和独特的 ECC/奇偶校验寄存器，所述寄存器连接到存储器接口芯片 18，芯片 18 依次又连接到存储器控制器或处理器 19，以便存储器控制器通过地址/命令线将地址和命令信息以及用于错误校正目的的校验位发送给 ECC/奇偶校验寄存器。

优选地，提供了一种用于检测安装在服务器中的模块是否能够监视地址和控制总线完整性、校正地址和控制总线上的错误、报告错误以及记录和计数错误的技术。

优选地，提供了奇偶校验错误报告，其中奇偶校验信号在其所应用的地址和命令之后一个周期被传递，并且错误线在地址和命令位被从 DIMM 上的寄存器驱动到 DRAM 之后两个时钟脉冲被驱动到低电平。在保持错误线为低电平仅两个时钟周期之后，驱动器可以被禁用并且输出被允许返回未驱动状态（高阻抗），从而允许该线被多个模块所共享。

本发明的更进一步的方面提供了一种装置和方法，所述装置和方法用于调整未包括在 ECC 电路中的存储器模块上的信号的传送延迟，以使所述信号可以在一个或两个时钟周期内被有选择地重新驱动。

本发明的更进一步的方面允许存储器模块运行在奇偶校验模式，以使未使用的 ECC 校验位输入被保持在低电平，从而确保这些输入处于已知和静止状态。

本发明的更进一步的方面通过从原有功能触点提供选定信号且冗余触点直接在所述 DIMM 的相对侧上来降低单点故障的发生概率，由此降低导致计划外系统运行中断的触点故障的概率。

更进一步地，本发明优选地通过将/ECC 模式控制引脚设置成高电平，从延迟路径移除第二级寄存器（后 ECC）来与传统无 ECC 保护的模块相一致地运行本发明的模块。

通过以下结合附图的详细描述，本发明的这些目标、特征和优点对本领域的技术人员将变得更加显而易见。这些附图是：

附图说明

图 1 是典型的服务器存储器布置的方块图；

图 2 是本发明的增强型服务器存储器布置的方块图；

图 3A 和 3B 分别是本发明的二百七十六（276）引脚的双列直插存储器模块（DIMM）的正面和背面的平面图；

图 4A 和 4B 是图 3A 中示出的 ECC/奇偶校验寄存器的示意图；

图 5 是图 4B 的单错误校正/双错误检测错误校正代码（SEC/DED ECC）电路的方块图；

图 6 以 H-矩阵的形式描述了选定用于图 3 的模块的优选 ECC 代码；

图 7A、7B 和 7C 示出了用于图 3A 和 3B 的 DIMM 的指定触点或引脚连接；以及

图 8 示出了本发明使用的时间图。

具体实施方式

通过参考附图（尤其是以下附图）可以最佳地获得对本发明的特征和优点的全面理解，其中：图 1 是典型的服务器存储器布置的方块图；图 2 是本发明的增强型服务器存储器布置的方块图；图 3A 和 3B 分别是本发明的 276 触点的双列直插存储器模块（DIMM）的正面和背面的平面图；图 4A 和 4B 是图 3A 和 3B 中所示的寄存器、奇偶校验和错误校正电路的示意图；图 5 是图 4B 的单错误校正/双错误检测错误校正代码（SEC/DED ECC）电路的方块图；图 6 以 H-矩阵的形式描述了选定用于图 3 的模块的优选 ECC 代码；图 7A、7B 和 7C 示出了用于图 3A 和 3B 的 DIMM 的指定引脚连接；以及图 8 示出了本发明使用的时间图。

图 1 以示意图的形式示出了可以在任何现有服务器（其可以采用多个双列直插存储器模块（DIMM））中找到的典型服务器存储器布置的方块图。应当理解，在实际操作中 will 使用许多这样的 DIMM，但为了说明方便，图 1 中仅示出了一个现有技术的 DIMM 10。DIMM 10 是一个印刷电路插件，其上提供了多个同步动态随机存取存储器或动态随机存取存储器电路 11（以下总称为 DRAM）。DIMM 10 上的每个 DRAM 11 都具有多个输出引脚，这些引脚通过 DIMM 上的印刷电路被连接到 DIMM 上的触点，这些触点通过数据线 15 被进一步连接到存储器接口芯片 18 以及存储器控制器或处理器 19。DIMM 上的每个 DRAM 进一步通过这样的 DIMM 触点被连接到 DIMM 上的寄存器 12 和锁相环电路 14。锁相环 14 (PLL) 通过时钟线 17 与存储器接口芯片 18 相连。寄存器 12 也通过地址和命令(cmd)总线 16 与存储器接口芯片 18 相连。存储器接口芯片 18 通过数据线 15、地址和命令线 16 以及时钟线 17 与存储器控制器 19 相连。应当理解，尽管图中仅示出了一个这样的 DIMM，但实际的服务器将包含许多这样的 DIMM。其他此类 DIMM 将以类似的方式通过数据、地址和命令线与存储器接口芯片 18 和存储器控制器 19 相连。因为此类服务器及其运行是如此为本领域的技术人员所公知，进一步描述此类服务器及其运行不被认为是必要的。

现在转到图 2、3A、3B、4A、4B、5 和 8，将描述本发明的增强型服务器存储器布置。

图 2 以示意图的形式示出了采用本发明的服务器存储器布置的方块图。在图 2 中，所述服务器包括新颖的 DIMM 20，其具备新颖的 ECC/奇偶校验寄存器芯片 21，所述芯片 21 与存储器接口芯片 18 相连，存储器接口芯片 18 进而与存储器控制器或处理器 19 相连。应当理解，芯片 21 无需同时包括 ECC 功能和奇偶校验功能。例如，芯片 21 可以只具有 ECC 功能或只具有奇偶校验功能并仍然按照本发明来运行。更具体地，如图 2 所示，存储器接口芯片 18 通过数据线 15 发送和接收来自 DIMM 的数据，并通过线 16 发送地址和命令。然后，存储器接口芯片 18 通过线 15 将数据发送给 DRAM 或从 DRAM 接收数据，通过地址/命令线 16 将地址和命令信息发送给寄存器芯片 21 并通过线 25 将用于错误校正目的的校验位发送给 ECC/奇偶校验寄存器芯片 21。

图 3A 和 3B 分别示出了本发明的新颖的 DIMM 20 的正视图和后视图。一般地说，DIMM 是设计成其上带有多个 DRAM 22 的印刷电路插件，并且 DRAM 输出引脚（未示出）通过印刷电路与沿着所述插件的正面和背面的边缘的选定连接器 23 相连，并且通常在连接器边缘上具有单个指示键或凹槽 9。这种 DIMM 的使用和制造是公知的并且无需在此进一步地描述。但是，本发明的 DIMM 是新颖的并被设计成对现有技术 DIMM 中遇到的计划外的和经常是灾难性的系统运行中断做出若干显著贡献。尤其是通过将 DIMM 20 的长度增大到 149 毫米与 153 毫米之间来实现本发明的 DIMM 的改进。标称上，DIMM 20 长 151.35 毫米（5.97 英寸）并且宽 43.1 毫米（1.2 英寸）。DIMM 的宽度并不是关键的，DIMM 只需宽到足以容纳其上安装的 DRAM。但是，DIMM 的长度必须使 DIMM 20 可以容纳额外的信号触点（最多 138 个），以及容纳最多三十六个 DRAM 26（尺寸最大为 14 毫米乘 21 毫米），并且具有定位键或凹槽 9（距离在 82.675 毫米（到 DIMM 的一端）与 68.675 毫米（到 DIMM 的另一端）之间），如图 3 所示。此外，应当理解，这些尺寸是标称的，在各种实施方式中可以在

正负 3 毫米之间变动。所述 DIMM 在每一侧（即，DIMM 20 的较短边沿）上还可以带有额外的凹槽 9a 和 9b。这些尺寸长度使得本发明的 DIMM 允许在正面放置最多十八个 DRAM 并且在背面放置最多十八个附加的此类 DRAM。进而，如图 3A 所示，在每个 DIMM 20 的正面，除 DRAM 之外，还布置有锁相环芯片 24 和本发明的新颖 ECC/奇偶校验寄存器芯片 21。将结合图 4A 和 4B 在下面对此新颖的 ECC/奇偶校验寄存器芯片 21 进行进一步的详细描述。应当理解，如果在寄存器芯片 21 上提供了锁相环芯片电路，则锁相环芯片可以被去除。

图 3A 和 3B 中所示的新的、改进的、更大尺寸的 DIMM 20 在互连故障率方面也实现了进一步的显著改进，因为更大尺寸的模块允许连接器系统容纳二百七十六个触点或引脚 23。如图 7a、7b 和 7c 所示，这些引脚被编号并与各自的输入端相连。一（1）号触点或引脚被标识并在图 3A 中示为触点 23A，其在 DIMM 20 的正面的左手侧，并被布置在距 DIMM 20 的左侧边缘大约 5.175 毫米而距凹槽 9 的中心 77.5 毫米处。一百三十八（138）号触点或引脚被标识并在图 3A 中示为触点 23B，其在 DIMM 20 的正面的右手侧，并被布置在距 DIMM 20 的右侧边缘大约 5.175 毫米而距凹槽 9 的中心大约 63.5 毫米处。一百三十九（139）号触点或引脚被标识并在图 3B 中示为触点 23C，其与一号触点 23A 直接相对，同样被布置在距 DIMM 20 的左侧边缘大约 5.175 毫米而距凹槽 9 的中心 77.5 毫米处。二百七十六（276）号触点或引脚被标识并在图 3B 中示为触点 23D，其与一百三十八号触点 23B 直接相对，同样被布置在距 DIMM 20 的右侧边缘大约 5.175 毫米而距凹槽 9 的中心 63.5 毫米处。更大尺寸的此 DIMM 20 还可以容纳本发明所需的新的更大的 ECC/奇偶校验寄存器 21。由于在此更大的 DIMM 上的二百七十六个触点或引脚 23 超出了 DIMM 上所有电路的需要，所以这意味着该 DIMM 提供了额外的或冗余的触点。这些额外的或冗余的触点或引脚 23 现在可被用来为某些选定信号或电压线（对于它们来说，错误校正是不可能的）提供额外的保护。通过提供此类冗余触点，本发明有效地消除了对诸如时钟输入、CS、CKE 以及 ODT 输入、Verf

输入以及未被 ECC 保护的其他信号上的触点故障的担心。其他好处包括消除或减少了对电源噪声和/或压降（由于数据区域中电压（VDD）触点的不足所造成）的担心，并在 DIMM 20 上的地址/控制区域中提供了额外的接地引脚。本发明的更多的触点数还允许 DIMM 20 被这样布线：使得其与现有技术 DIMM 相一致。额外的触点 23 还允许包括与地址和命令输入关联的 ECC 校验位，这允许与这些输入关联的故障的实时系统监视，以及故障计数和故障属性的系统询问。在使用更小的现有技术 DIMM 的传统的现有技术系统中，这些故障将导致灾难性的系统运行中断。

应当理解，尽管图 1 和 2 中仅示出了一个 DIMM 21，但是在实际中，服务器将包含许多这样的 DIMM。如上所述，本发明的 DIMM 21 具有多个 SDRAM 22、锁相环电路 24 以及 ECC/奇偶校验寄存器 21。DIMM 20 上的 ECC/奇偶校验寄存器 21 包括独特的错误校正代码（ECC）电路，该电路通过线 25 与存储器接口芯片 18 相连以对此类服务器提供更显著的可靠性增强。包括此新的、改进的错误校正代码（ECC）电路导致了互连故障显著减少。

图 4A 和 4B 共同包括 DIMM 20 上的新颖的 ECC/奇偶校验寄存器 21 的示意图，其中为了说明的清晰，其被示为包括两个不同的部分 21a 和 21b。图 4A 示出了本发明的增强功能的 28 位 1:2 寄存器部分 21a，而图 4B 示出了错误校正代码电路部分 21b。图 4B 中示出的错误校正代码电路 ECC 部分 21b 校正单位错误，从而允许连续的存储器操作，与这些错误的存在无关。此 ECC 部分还包括奇偶校验运行模式电路和错误报告电路。DIMM 20 上的新颖的 ECC/奇偶校验寄存器 21 因此提供了不同于现有技术且现有技术所不能提供的前沿性能、可靠性以及关键运行特征，同时保留了通常与 JEDEC 14 位 1:2 DDR II 寄存器相一致的定时要求。

更具体地，寄存器部分 21a 包含多个所谓的差动位接收器 40a 到 40e、41、42a 到 42n、43、44、45a、45b、46a 和 46b 以及单个放大器 47。这些差动接收器 40a 到 40e、41、42a 到 42n、43、44、45a、45b、46a 和 46b 中的每一个差动接收器都具有两个输入端和一个单个输出端。每个差动接

收器 40a 到 40e、41、42a 到 42n、43、44、45a、45b、46a 和 46b 的输入端中的一个输入端与基准电压源 28 相连。每个差动接收器 40a 到 40e、41、42a 到 42n、43、44、45a、45b、46a 和 46b 的第二输入端被连接到各自的输入端 30a 到 30e、31、32a 到 32n、33a、33b、34、35a、35b、36a 和 36b。

接收器集合 40a 到 40e 包括五个接收器，其中仅示出了第一个和最后一个接收器 40a 和 40e。接收器 40a 到 40e 分别使其第二输入端连接到各自的校验位线 30a 到 30e，并且通过各自的主多路复用器 60a 到 60e 使其输出端连接到各自的主锁存器 70a 到 70e 的输入端。通常，校验位线包含在这样的总线中：该总线包含五条此类校验位线的集合。但是，只是为了简化附图和便于描述，图 4a 仅示出了集合中的第一条和最后一条校验位线 30a 和 30e 以及接收器 40a 到 40e 中的第一个和最后一个接收器。可以理解，集合 40a 到 40e 中的每个接收器都将其各自输入端中的一个输入端连接到校验位输入线 30a 到 30e 的集合中的一个相应校验位输入线，并且将其输出端连接到三输入端多路复用器的集合中的一个相应多路复用器，并且由此连接到三输入端主锁存器的集合中的一个相应主锁存器。

差动接收器 41 的第二输入端被连接到检验位 0/奇偶校验输入信号线 31。

接收器集合 42a 到 42n 包括二十二个连接到数据线总线的接收器，该数据线总线通常包含二十二条数据线 32a 到 32n。但是，只是为了简化附图和便于描述，图 4a 仅示出了集合中的第一条和最后一条数据线 32a 和 32n，并且图中仅示出了接收器 42a 到 42n 中的第一个和最后一个接收器。第一个接收器 42a 被示出为将其第一输入端连接到数据位线 32a 并将其输出端连接到多路复用器 62a（其输出端被连接到主锁存器 72a 的第一输入端）的第一输入端，而最后一个接收器 42n 被示出为将其第一输入端连接到数据位线 32n 并将其输出端连接到多路复用器 62n（其输出端被连接到主锁存器 72n 的第一输入端）的第一输入端。集合 42a 到 42n 中的每个相应接收器都将输入端连接到集合 32a 到 32n 中的一个相应数据线，并且通过相应的主多路复用器 62a 到 62n 将其输出端连接到相应的主锁存器 72a

到 72n 的输入端。集合 42a 到 42n 中的所有主多路复用器和锁存器都与示出的连接到接收器 42a 到 42n 的那些主多路复用器和锁存器相同。因此，集合中的每个接收器都将其相应输出端中的一个输出端连接到数据位输入线集合中的一个相应数据位输入线，并且将其输出端连接到两输入端多路复用器集合中的一个相应多路复用器，并且由此连接到主锁存器集合中的一个相应主锁存器。从图 2 中的存储器接口芯片 18 输入这些信号，并且只有当一个或多个输入端 33a、33b 或 34 为低电平时，才重新驱动这些信号。

如上所述，差动接收器 41 的第二输入端被连接到检验位 0/奇偶校验输入信号线 31。差动接收器 41 的输出端被连接到多路复用器 61（其输出端与主锁存器 71 相连）的输入端。检验位 0/奇偶校验输入信号被解释为来自存储器控制器的 ECC 校验位或被解释为奇偶校验位，这取决于 ECC 模式输入 135（图 4B）的设置。时钟输入 131 被提供给所有主锁存器 70a 到 70e、71、72a 到 72n、73、74、75a、75b、76a 和 76b。当寄存器工作在奇偶校验模式时，在输入端 30a 到 30e 处的校验位 1-5 处于无需关心的状态并将被保持为低电平。当这些输入端工作在奇偶校验模式时，在输入端 131 处的时钟信号（CK）的上升沿（紧随与关联的数据输入端 32a 到 32n 同时出现的时钟 131 的上升沿），将在检验位 0/奇偶校验输入信号线 30 上提供一个奇偶校验输入信号并在输入端 32a 到 32n 间维持奇校验。

差动接收器 43 和 44 的第二输入端被分别连接到芯片选择线/CS0 和 /CS1，并且差动接收器 43 和 44 的输出端被分别连接到主锁存器 73 和 74 的第一输入端以及被连接到三输入端选择“与非”门 63 的第一和第二输入端。“与非”门 63 的输出端与多路复用器 60a 到 60e、61 和 62a 到 62n 的选择输入端相连。这些线初始化 DRAM 地址/命令解码，并因此当出现有效的地址/命令信号时，至少一条线将为低电平，并且当至少一个芯片选择输入端（CS0、/CS1）33a、33b 为低电平时，寄存器可以被编程以重新驱动所有数据输入端。此“与非”门 63 的第三输入端被连接到 CS 门启用电路 34，该电路 34 可以被设置为低电平，使得多路复用器 60a 到 60e 传递来自接收器 30a 到 30e 的信号，而与输入端 33a 和 33b 上的电平无关。

差动接收器 43 和 44 的输出端还分别通过线 172 和 174 被连接到“与”门 175 (图 4B), “与”门 175 的输出端被连接到错误逻辑电路 100 (也在图 4b 中示出)。

接收器 45a 具有连接到时钟启用信号源 35a (CKE0) 的输入端和连接到主锁存器 75a 的输出端。

接收器 45b 具有连接到时钟启用信号源 35b (CKE1) 的输入端和连接到主锁存器 75b 的输出端。

接收器 46a 具有连接到片上终结 (on die termination) 线信号输入线 36a (ODT0) 的输入端和连接到主锁存器 76a 的输出端。

接收器 46b 具有连接到片上终结线信号线 36b (ODT1) 的输入端和连接到主锁存器 76b 的输出端。

接收器 47 具有连接到重置 (/RST) 信号线 37 的输入端。输入端 35a 和 35b (CKE0、CKE1)、36a 和 36b (ODT0、ODT1) 是从存储器接口芯片 18 提供的并且与芯片选择 (CS) 输入端 33a 和 33b 不相关联, 并且来自源 37 (/RST) 的驱动放大器 47 的信号是异步重置输入, 当该信号为低电平时, 将重置所有主锁存器 70a 到 70e、71、72a 到 72n、73、74、75a、75b、76a、76b 以及所有第二级锁存器 92a 到 92n、93、94、95a、95b、96a 和 96b, 由此强制输出端为低电平。来自源 37 (/RST) 的此信号还重置来自错误逻辑电路 100 的错误总线寄存器和错误线。

连接到图 4A 的上述寄存器的是图 4B 的独特错误校正代码电路布置。

在图 4B 中, 模块位置标识被提供给错误逻辑电路 100, 该电路 100 将在以下结合图 6 被更全面地描述。该模块位置标识通过接收器 79a、79b 和 79c 被提供给错误逻辑电路 100, 所述接收器的输入端与 DIMM 地址输入范围源 (SA0、SA1、SA2) 78a、78b 和 78c 相连, 而其输出端与错误逻辑电路 100 相连。来自源 (SA0、SA1、SA2) 78a、78b 和 78c 的信号确定了 DIMM 地址, 当系统请求时, 将在错误总线上报告该地址。当 DRAM 芯片选择信号源 (/CS0) 33a 和 (/CS1) 33b 中的任何一个有效时, 此错误逻辑电路 100 由来自“与非”门 175 的信号来控制。错误逻辑电路 100

进一步具有连接到其的重置信号源 180。

还包括在图 4b 的错误校正代码电路中的是 SEC/DED ECC 电路 90，结合下面的图 5 对其进行了更全面的描述。连接到此 SEC/DED ECC 电路的是主锁存器 70a 到 70e、71 和 72a 到 72n 的输出端。此 SEC/DED ECC 电路 90 提供了三个输出端 109、110 和 111 到错误逻辑电路 100。这些输出端是：被提供给错误逻辑电路 100 的可校正错误（CE）线 109、不可校正错误（UE）线 110 以及奇偶校验错误位线 111，错误逻辑电路 100 提供与输出线 120 和 121 上的可校正和不可校正错误有关的输出。当错误线（CE）109 或不可校正错误线（UE）110 中的任何一个为低电平时，这指示错误被标识为与地址和/或命令输入相关联（可校正或不可校正）。当工作在 ECC 模式时，与重新驱动地址/命令数据同时，错误线 120、121 将保持有效（即，低电平）两个时钟周期，或者当工作在奇偶校验模式时，错误线 120、121 将延迟两个时钟周期。错误逻辑电路 100 还提供了错误总线（内部集成电路或 IIC）122，以便从外部采集错误信息（例如，错误类型、DIMM 地址、错误计数以及在第一次故障时 28 个输入和内部生成的出错位的状态）。所述信息保持被锁存，直到重置命令被写入到总线 122 或/RST 输入 37 转换到低电平为止。选定的 IIC 协议允许对九个寄存器进行唯一的字节寻址，这与用于串行程序解码电可擦可编程只读存储器（SPD EEPROM）的现行工业标准协议相一致并且是本领域所公知的。

此 SEC/DED ECC 电路 90 还具有数据位输出端，其通过第二级锁存器 92a 到 92n 被连接到所有输出或第二级多路复用器 102a 到 102n 的第一输入端。标有“旁路”的寄存器锁存器 72a 到 72n 的输出端被直接连接到输出或第二级多路复用器 102a 到 102n 的第二输入端，由此允许根据 ECC 模式输入 123 来旁路 SEC/DED ECC 电路 90。

主锁存器或寄存器锁存器 73、74、75a、75b、76a 和 76b 的输出端全部被连接到第二级锁存器或输出锁存器 93、94、95a、95b、96a 和 96b 的第一输入端并通过这些第二级锁存器 93、94、95a、95b、96a 和 96b 被连接到输出或第二级多路复用器 103、104、105a、105b、106a 和 106b 的第

一输入端。主锁存器 73、74、75a、75b、76a 和 76b 的输出端被直接连接到输出或第二级多路复用器 103、104、105a、105b、106a 和 106b 的第二输入端，由此允许根据/延迟 CKE 输入 124 和/ECC 模式输入 123 来旁路第二级锁存器 93、94、95a、95b、96a 和 96b。

控制电路包括差动寄存器 130，其第一输入端被连接到 CK 信号输入 131，第二输入端被连接到/CK 信号输入 132，并且其输出端被连接到所有主锁存器 70a 到 70e、71、72a 到 72n、73、74、75a、75b、76a 以及 76b 的第二输入端和所有输出或第二级锁存器 92a 到 92n、93、94、95a、95b、96a 和 96b 的第二输入端，并且通过线 88 被连接到错误逻辑电路 100。/ECC 模式信号源 135 被连接到第二级多路复用器 102a 到 102n、103 和 104 的选择第三输入端和错误逻辑电路 100。输出或第二级多路复用器 105a、105b、106a 和 106b 将其选择输入端连接到/延迟，CKE_ODT 信号的源 124。

为此模块选择的 ECC 代码是单错误校正/双错误检测 (SEC/DED) 代码并在图 6 的 H 矩阵中示出。此 SEC/DED 代码的使用确保了所有与地址和控制位关联的单错误都被检测和校正，并且所有双位错误都被检测到。应当指出，互连故障几乎全部作为单点故障开始，其他故障可能随着时间而出现（与初始故障的根本原因相关或无关）。

概括地说，本发明描述了独特的 DIMM，其具有增强的 28 位 1:2 寄存器且附加的错误校正代码逻辑 (ECC) 被包含在该寄存器中以便校正单位错误，同时允许连续的存储器运行，而与这些错误的存在无关。还提供了奇偶校验工作模式，其与错误报告电路结合以允许系统询问设备以便确定错误情况。

本发明的上述 28 位 1:2 寄存器提供了关键运行特征，其不同于旨在用于存储器模块应用的现有寄存器设计，包括：错误检测和关键输入的采集；非选通输入端的可编程延迟；奇偶校验模式；重置电路；错误报告和标识以及 DIMM 地址的报告。

关键输入的 CS 选通（例如/CS0 和/CS1）被提供为降低内部锁存器的器件功率的装置，只有在系统时钟的上升边沿，一个或两个芯片选择 (CS)

输入端为有效低电平（并且芯片选择门启用被限制为高电平）时，所述内部锁存器才被更新。与此功能相关联的二十二个芯片选择选通信号包括根据芯片选择的状态，在每个时钟的上升边沿被连续地重新驱动的地址。但是，通过将芯片选择门启用输入端限制为低电平，可以禁用芯片选择选通功能，由此使所有内部锁存器在时钟的每个上升边沿可以被更新。

非选通输入端（/延迟 CKE-ODT）的可编程延迟与 CKE 和 ODT（DRAM 信号）相关联，所述输入端将在时钟信号（CLK）的每个上升边沿被锁存和重新驱动，与芯片选择（CS）信号的状态无关。但是，由于某些控制器可能被设计成在这些信号（芯片选择（CS）、地址（Addr）、行地址选通（RAS）、列地址选通（CAS）以及写入允许（WE））的延迟方面具有有限的灵活性，当错误校正代码电路（ECC）启用时，可以选择延迟块来重新调整定时关系（其被偏移 1 个时钟）。

ECC 模式（/ECC 模式为低电平）：对于所有由 CS 选通的输入端，片上 SEC/DED ECC 逻辑被启用，并且当 /ECC 模式输入端为低电平时，在 CHK 0/奇偶校验输入上接收的信号被接收为校验位 0。此 ECC 逻辑将在 28 个输入端（22 个“CS 选通的”输入端和 6 个校验位）之间工作，并且将校正所述二十二个芯片选择选通数据输入端上存在的所有单位错误以及检测所有双位错误。如果检测到可校正错误，并且如果其是自重置出现以来的第一个错误，则 /错误（CE）将被驱动为低电平两个时钟，并且错误将被计数并锁存在用于 28 个输入端的错误总线寄存器中。任何双位错误也将被检测（以及许多不可校正的其他错误），并且如果该错误是自重置出现以来的第一个错误，则将在 /错误（UE）错误线（被驱动为低电平两个时钟）上报告该错误并将其锁存在错误总线寄存器中。尽管 CS0-1 并未包括在 ECC 逻辑中，CS 输出信号的传送延迟将跟踪包括在 ECC 逻辑中的信号（延迟额外的 1 个时钟）。

除了以上 ECC 模式之外，相同的二十二个芯片选择选通数据信号可以工作在“奇偶校验”模式（/ECC 模式为高电平），由此在 CHK0/奇偶校验输入线上接收的信号被接收为到寄存器的奇偶校验（在芯片选择选通

数据输入端之后的一个时钟)。然后,将接收到的奇偶校验位与由寄存器奇偶校验逻辑在这些相同输入端之间所计算的奇偶校验进行比较,以验证信息未被破坏。所述二十二个芯片选择选通数据信号将在第一个时钟脉冲被锁存和重新驱动,并且任何错误将在两个时钟脉冲之后通过不可校正/错误(UE)线(被驱动为低电平两个时钟脉冲)被报告并被锁存在错误总线寄存器中。在此模式中,不会完成错误的校正。在此应用中,奇偶校验的惯例是奇校验(数据中奇数的1并且奇偶校验输入等于有效的奇偶校验)。

/RST信号输入端被用来清除所有内部锁存器(包括错误寄存器),并且除了将被驱动为高电平的错误线,所有输出端都将被快速地驱动为低电平。

错误报告电路被包括以允许外部监视DIMM运行。提供两个漏极开路输出端以允许多个模块共享公共的信号线,以便报告在有效命令(/CS=低电平)周期(与重新驱动信号相一致)期间出现的错误。这两个输出端被驱动为低电平两个时钟以允许存储器控制器有时间读出所述错误。/错误(CE)指示发生了可校正错误并由ECC逻辑来校正,/错误(UE)指示发生了不可校正的ECC错误并且取决于所选择的模式,其是不可校正的ECC错误或奇偶校验错误。注意在奇偶校验模式与ECC模式中,/错误(UE)的定时是不同的。

此外,提供了错误总线(通过IIC总线可以读取和重置9个寄存器)以允许设备被询问其他错误信息,例如错误类型(可校正、不可校正或奇偶校验错误)、错误计数和存储器插件位置(通过SAO-2地址引脚,所述引脚通常仅被连线到单独的串行程序解码(SPD)电可擦可编程只读存储器(EEPROM))。还可以提供其他信息以用于诊断,例如当芯片选择(CS)为有效的低电平时由寄存器接收到的信号(地址/命令、控制信号、校验位、奇偶校验位)和相关联的出错位,以便它们可以被解码以确定28个输入信号(22个“CS选通”加上6个校验位)或内部ECC逻辑中的哪些发生了故障。这些寄存器将包含关于第一次故障的信息,并且错误计数器将持续

递增，直到其被重置或达到最大计数（64K）。通过在 IIC 总线上写入重置错误总线命令或通过/RST 引脚，所有寄存器都可以被重置。

除了使用以上定义的 ECC 结构(同时包括在存储器接口芯片和 DIMM 上的寄存器中)，冗余触点被包括在模块引脚输出上以有效地消除互连系统中其他可能的 SPOF(单点故障)影响。由于各种原因，不能由上述 ECC 结构保护的触点包括：电压基准 (Vref)、时钟、芯片选择 (CS)、CKE、ODT、VSS/VDD 触点或引脚、错误线、IIC 总线上的数据输入 (SDA)、IIC 总线上的数据时钟 (SCL) 和相关信号。在本发明中，这些触点中的每一个触点都具备在 DIMM 的第一面上的第一触点和在 DIMM 的相对面上与所述第一触点直接相对的冗余触点。例如，如果电压基准源 28 通过 DIMM 正面的触点或引脚 1 被施加，其也通过 DIMM 背面的触点或引脚 139 被施加(触点 1 与触点 139 直接相对)。类似地，SDA 信号通过 DIMM 正面的触点或引脚 135 被施加，其还通过 DIMM 背面的触点或引脚 273 被施加，并且 SCL 信号通过 DIMM 正面的触点或引脚 136 被施加，其还通过 DIMM 背面的触点或引脚 274 被施加。图 7A、7B 和 7C 示出了对本发明的触点或引脚分配矩阵的完整描述。特定触点布置被选择以最大化容错。由于提供了这种相对的冗余触点，例如由 DIMM 的轻微弯曲引起的问题将导致 DIMM 一侧触点上的低压力而在相对触点上产生高压力。在这种情况下，如以上所讨论的，当使用了这种冗余和相对触点时，将始终确保良好的信号流。因为此解决方案还允许嵌入式布线，通过最小化布线拥挤，这些相对和冗余触点还将有助于电路板布线。下表是若干这些触点的 DIMM 位置的列表：

信号	触点或引脚 编号	DIMM 的 面	距离键的标称 距离	距离键的 方向
CS0	86	正面	11.495mm	右侧
CS0	224	背面	11.495mm	左侧
CS1	91	正面	16.495mm	右侧

CS1	229	背面	16.495mm	左侧
CKE0	65	正面	13.505mm	左侧
CKE0	203	背面	13.505mm	右侧
CKE1	62	正面	16.505mm	左侧
CKE1	200	背面	16.505mm	右侧
RAS	222	背面	9.495mm	左侧
CAS	87	正面	12.495mm	右侧
WE	84	正面	9.495mm	右侧
CK0	77	正面	2.495mm	右侧
CK0	215	背面	2.495mm	左侧
CK0B	78	正面	3.495mm	右侧
CK0B	216	背面	3.495mm	左侧

ECC 功能将单个时钟脉冲延迟（以计划的工作频率）添加到 DIMM 寄存器性能，这可能关系到某些性能最优化的应用。这样，两种额外的模式被包括在模块中，允许系统用户在性能与可靠性之间进行权衡。在奇偶校验模式中，结合将完整的地址和命令区段提供给模块，存储器接口芯片或控制器将生成单个奇偶校验位。所述模块将在下一个周期中将地址和命令位重新驱动到 DRAM，而不是添加 ECC 模式所需的额外周期。地址和命令总线上的任何错误都将在以后的时间被报告给系统，并且从故障恢复的可能性很小，因此，此选择对于很多应用来说不够理想。最后的模式将只是使存储器工作在没有奇偶校验位和 ECC 位的模式中，既没有由于 ECC 而添加的延迟，也没有任何检测地址/命令总线上的故障（按照这些模块现在所使用的现有技术惯例）的装置。

图 5 是图 4B 的 SEC/DED ECC 电路的方块图。经由二十二个锁存器 72a 到 72n 和线 82a 到 82n，二十二个数据输入端 32a 到 32n 被同时提供给校验位生成器电路 230 和奇偶校验生成器/校验器电路 231 的第一输入端。奇偶校验生成器/校验器电路 231 进一步具有通过主锁存器 71 和输出

线 81 连接到奇偶校验输入信号源 31 的第二输入端, 并且取决于输入端 31 上的奇偶校验输入信号的状态, 在输出线 111 上将奇偶校验错误信号 (PERR) 发送到错误逻辑电路 100。

同时, 校验位生成器电路 230 将二十二个输入的数据信号传输到出错位生成器 232 的第一输入端, 出错位生成器 232 的第二输入端通过来自主锁存器 70a 到 70e 的线 80a 到 80e 与校验位输入端 30a 到 30e 相连。

然后, 出错位生成器 232 将二十二个数据信号传输到出错位解码器的第一输入端, 并将六个校验位传输到错误生成器 235, 错误生成器 235 判定在接收到的数据中是否存在可校正或不可校正的错误, 并通过线 109 或 110 将合适的可校正错误或不可校正错误信号提供给错误逻辑电路 100。出错位解码器现在解码二十二个数据位并将它们传输到数据校正电路 234。在所述校正电路中, 与图 6 所示的 H 矩阵相一致, 出错位被有选择地与数据输入端“异或”, 同时数据区段中的任何单位错误被翻转以校正错误。

错误逻辑块 100 包括三个主要的部分(未示出), 它们是错误计数器、状态寄存器块(包含多个状态寄存器)以及 IIC 逻辑块, 所有这些部分都通过公共逻辑电路互连在一起。所有这些块以及互连逻辑电路都是本领域技术人员公知的常用的和可以容易地获得的电路。

更具体地, 所述错误计数器是 16 位计数器, 当其接收到来自 SEC/DED ECC 90 的错误输入 (CE、UE 或奇偶校验) 时将递增。即使当状态寄存器正在被从 IIC 总线上读出时, 此错误计数器也继续计数错误 (直到达到其最大计数为止)。

在当前情况下, 状态寄存器块包括九个八位寄存器集 (0-8), 其包含以下信息: 数据输入 (D0-21) 信号、校验位信号 (C0-5 和奇偶校验输入)、从存储器控制器 19 接收的信号以及来自存储器模块 20 (FCC/奇偶校验模式, SAO-2) 的信号、错误计数以及由 SEC/DED ECC 90 计算的出错位 (S0-5)。

所述 IIC 逻辑块包括必需的逻辑以支持“IIC 总线规范, 版本 2.1, 2000 年 1 月, 标准”。在此情况下, 寄存器从属于 IIC, 其中寄存器由 DIMM

地址输入范围源 (SA0、SA1、SA2) 78a、78b 和 78c 来寻址，并响应若干 ICC 总线命令 - 重置、从九 (9) 个状态寄存器读取和测试模式。

互连上述错误计数器、状态寄存器块和 IIC 逻辑块的各种逻辑电路包括被设计成从外部重置信号 (/RST) 源 37 或内部接通电源重置来重置错误计数器和九 (9) 个状态寄存器的逻辑电路，以便当发生 IIC 总线读取时，加载 IIC 逻辑将在 IIC 总线上发送出的九个状态寄存器的内容和逻辑 (包括一组影子寄存器)，并一起加载某些控制逻辑以驱动可校正错误 (CE) 和不可校正错误 (UE) 线 (如果出现此类错误)。

包括九 (9) 个寄存器 (可以通过 IIC 总线来读取和重置) 的错误总线允许设备被询问额外的错误信息，例如错误类型 (可校正、不可校正或奇偶校验错误)、错误计数和存储器插件位置 (通过 SA0-2 地址引脚，也被单独的 SPD EPROM 所共享)。还可提供其他信息用于诊断，例如由与 CS (为有效的低电平) 关联的寄存器 (地址/命令、控制信号、校验位、奇偶校验位) 接收的信号和出错位，以便它们可以被解码以确定 (在发生故障的情况下) 28 个输入信号 (22 个“CS 选通”加上 6 个校验位) 中的哪些发生了故障。这些寄存器将包含有关第一次故障的信息，并且错误计数器将持续递增，直到其被重置或达到最大计数 (64K)。通过在 IIC 总线上写入重置错误总线命令，所有寄存器都可以被重置。

字节 0: 状态寄存器是通用状态位寄存器，其可以被读取以确定错误类型、模式和 DIMM 地址 (与 DIMM SPD 地址相同)。

字节 0: 状态寄存器

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RFU	DIMM 地址	DIMM 地址	DIMM 地址	模式 1=ECC	奇偶校验 错误 1=PERR	ECC 错误 1=UE	ECC 错误 1=CE
0	SA2	SA1	SA0	0=Pty	1=PERR		

字节 1 和 2: 错误计数器

16 位错误计数器将基于任何错误 (CE、UE 或奇偶校验错误) 来计数最多 64K 个错误 (十六进制的 FFFF)。字节 1 是错误计数器的 LSB 而字节 2 是错误计数器的 MSB。一旦 16 位计数器计数到全部为 1, 其将停留在全部为 1, 直到错误总线被重置。在 IIC 读取操作期间, 错误计数器寄存器将不会递增, 但如果错误出现, 则将继续计数错误。

字节 1: (LSB)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
E7	E6	E5	E4	E3	E2	E1	E0

字节 2: (MSB)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
E15	E14	E13	E12	E11	E10	E9	E8

字节 3-7: 数据寄存器

字节 3-7 示出了在第一次故障时接收的全部 28 个地址和命令信号的极性以及校验位和奇偶校验位。

字节 3: 数据寄存器 A (D0-7)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
D7	D6	D5	D4	D3	D2	D1	D0

字节 4: 数据寄存器 B (D8-15)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
D15	D14	D13	D12	D11	D10	D9	D8

字节 5: 数据寄存器 C (D16-21、CS0-1)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
CS1	CS0	D21	D20	D19	D18	D17	D16

字节 6: 数据寄存器 D (CKE0-1、ODT0-1)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RFU	RFU	RFU	RFU	ODT1	ODT0	CKE1	CKE0
0	0	0	0				

字节 7: 校验位 (C0-5) 和奇偶校验寄存器

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RFU	RFU	校验	校验	校验	校验	校验	校验
		位	位	位	位	位	位
0	0	5	4	3	2	1	0/Pty In

字节 8: 出错寄存器

字节 8 示出了与第一次错误相关联的出错位。这些出错位可以被解码以确定 22 个“CS-选通”信号或 6 个校验位中的哪些引起了故障。字节 3-7 示出了故障时的所有输入信号的极性。

图 8 示出了用于本发明的时间图。

字节 8: 出错位 (0-5) 寄存器

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RFU	RFU	出错	出错	出错	出错	出错	出错
0	0	位 5	位 4	位 3	位 2	位 1	位 0

本领域技术人员设计此错误逻辑块 100 所需的全部信息都包括在图 6 所示的 H 矩阵中，其中 D0 到 D21 指数据位、C0 到 C5 指校验位，S0 到

S5 指出错位。

为了检测安装在服务器中的模块是否能够正确地监视地址和控制总线完整性、校正地址和控制总线上的错误、报告错误并记录和计数错误，需要 DIMM 错误总线是可以使用的并使用工业 IIC 协议和 SA0-1 位对其进行正确评估，以使 DIMM 可以提供包括上述字节 0 的数据字节。这可以通过回送字节 0 的位 4、5 和 6 上的 SA0-1 位并使位 3 (ECC 标志位) 为“1”或高电平来实现。这证明了唯一的签名。如果匹配没有出现，则模块不能够监视地址和控制总线完整性、校正地址和控制总线上的错误、报告错误并记录和计数检测到的错误。

本发明中的奇偶校验错误报告是通过以下方式实现的：如果检测到错误，在奇偶校验信号所应用的地址和命令之后一个周期传递奇偶校验信号，并在地址和命令位被从存储器接口芯片驱动到 DRAM 之后两个时钟周期将错误线驱动为低电平，即“0”。在保持错误线为低电平仅两个时钟周期之后，驱动器将被禁用并且输出被允许返回未驱动状态（高阻抗），从而允许该线被多个模块所共享。

本发明还提供了一种装置和方法，所述装置和方法用于调整未包括在 ECC 电路中的存储器模块上的信号的传送延迟，以使所述信号可以在一个或两个时钟周期内被有选择地重新驱动。这导致模块运行速度显著增加。

此外，通过使存储器模块运行在奇偶校验模式，未使用的 ECC 校验位输入端可以被保持在低电平，即“0”，从而确保这些输入端处于已知和静止状态。

最后，通过有效地从延迟路径移除第二级寄存器（后 ECC）（通过将 /ECC 模式控制引脚设置成高电平，即“1”），可以如同其是传统无 ECC 保护的模块那样来运行本发明的模块。

概括地说，本发明是一种增强功能 28 位 1:2 寄存器，旨在用于主存储器模块。本发明的寄存器添加了 ECC 逻辑以校正单位错误并允许连续的存储器运行，而与这些错误的存在无关。还提供了奇偶校验工作模式，其与错误报告电路结合以允许系统询问设备以便确定错误情况。

本发明还提供了关键输入的 CS 选通 (/CS0、CS1、CS 门启用)。作为降低器件功率的装置，只有在时钟的上升边沿，一个或两个 CS 输入端为有效低电平（并且 CS 门启用被限制为高电平）时，寄存器的内部锁存器才会被更新。与此功能相关联的 22 个“CS-选通”信号包括地址（地址 0:15、BA 0:2）。RAS、CAS、WE-以及其余信号（CS、CKE、ODT）在每个时钟的上升边沿继续被重新驱动，因为它们与 CS 无关。通过将 CS 门启用限制为低电平，可以禁用 CS 选通功能，使得所有内部锁存器在时钟的每个上升边沿可以被更新。

还提供了用于非选通输入端 (/延迟 CKE-ODT) 的可编程延迟。对于与 CKE 和 ODT (DRAM 信号) 相关联的引脚，输入端将在时钟的每个上升边沿被锁存和重新驱动，而与芯片选择 (CS) 的状态无关。但是，由于某些控制器可能被设计成在这些信号 (CS、Addr、RAS、CAS 以及 WE) 的延迟方面具有有限的灵活性，当错误校正代码被启用时，可以选择延迟块来重新调整定时关系（其被偏移 1 个时钟）。

此外，对于所有由 CS 选通的输入端，片上 SEC/DED ECC 逻辑被启用，并且通过编程引脚在 CHK 0/奇偶校验输入上接收的信号被接收为校验位 0 (ECC 模式为低电平)。此 ECC 逻辑将在 28 个输入端 (22 个 CS 选通输入端和 6 个校验位) 之间工作，并且将校正所述 22 个 CS 选通输入端上存在的所有单位错误。/错误 (CE) 将被驱动为低电平两个时钟，并且错误将被计数并锁存在用于 28 个输入端的错误总线寄存器中。任何双位错误也将被检测（以及任何不可校正的错误），并且将在 /错误 (UE) 错误线（被驱动为低电平两个时钟）上报告该错误并将其锁存在错误总线寄存器中。尽管 CS0-1 并未包括在 ECC 逻辑中，CS 输出信号的传送延迟将跟踪包括在 ECC 逻辑中的信号（延迟额外的 1 个时钟）。

除了以上 ECC 模式之外，相同的 22 个“CS 选通的”信号可以工作在“奇偶校验”模式 (/ECC 模式为高电平)，由此在 CHK0/奇偶校验输入上接收的信号被接收为到寄存器的奇偶校验（在“CS 选通的”输入端之后的一个时钟）。然后，将接收到的奇偶校验位与由寄存器奇偶校验逻

辑在这些相同输入端之间所计算的奇偶校验进行比较，以验证信息未被破坏。所述 22 个“CS 选通的”信号将在第一个时钟被锁存和重新驱动，并且任何错误将在两个时钟之后通过/错误（UE）线（被驱动为低电平两个时钟）被报告并被锁存在错误总线寄存器中。在此模式中，不会完成错误的校正。奇偶校验的惯例是奇校验（数据中奇数的 1 并且奇偶校验输入等于有效的奇偶校验）。

/RST 引脚被用来清除所有内部锁存器（包括错误寄存器），并且除了将被驱动为高电平的错误线，所有输出端都将被快速地驱动为低电平。

本发明的错误报告电路被包括以允许外部监视设备运行。提供两个漏极开路输出端以允许多个模块共享公共的信号引脚，以便报告在有效命令（/CS=低电平）周期（与重新驱动信号相一致）期间出现的错误。这两个输出端被驱动为低电平两个时钟以允许存储器控制器有时间读出所述错误。/错误（CE）指示发生了可校正错误并由 ECC 逻辑来校正，/错误（UE）指示发生了不可校正的错误并且取决于所选择的模式，其是不可校正的 ECC 错误或奇偶校验错误。注意在奇偶校验模式与 ECC 模式中，UE 的定时是不同的。

此外，提供了错误总线（通过 IIC 总线可以读取和重置的上述九个寄存器）以允许设备被询问其他错误信息，例如错误类型（可校正、不可校正或奇偶校验错误）、错误计数和存储器插件位置（通过 SAO-2 地址引脚，其还被单独的 SPD EPROM 所共享）。还可以提供其他信息以用于诊断，例如当 CS 为有效的低电平时由寄存器接收到的信号（地址/命令、控制信号、校验位、奇偶校验位）和出错位，以便它们可以被解码以确定 28 个输入信号（22 个“CS 选通”加上 6 个校验位）中的哪些发生了故障。这些寄存器将包含关于第一次故障的信息，并且错误计数器将继续递增，直到其被重置或达到最大计数（64K）。通过在 IIC 总线上写入重置错误总线命令，所有寄存器都可以被重置。

这完成了对本发明的优选实施例的描述。因为可以对上述结构做出更改而不偏离此处描述的本发明的范围，包含在以上描述中或在附图中示出

的所有内容应在示例性而不是限制性的意义上被解释。因此对于本领域的技术人员,在不偏离如以下权利要求说明的本发明的精神和范围的情况下,其他替换和修改现在将变得显而易见。

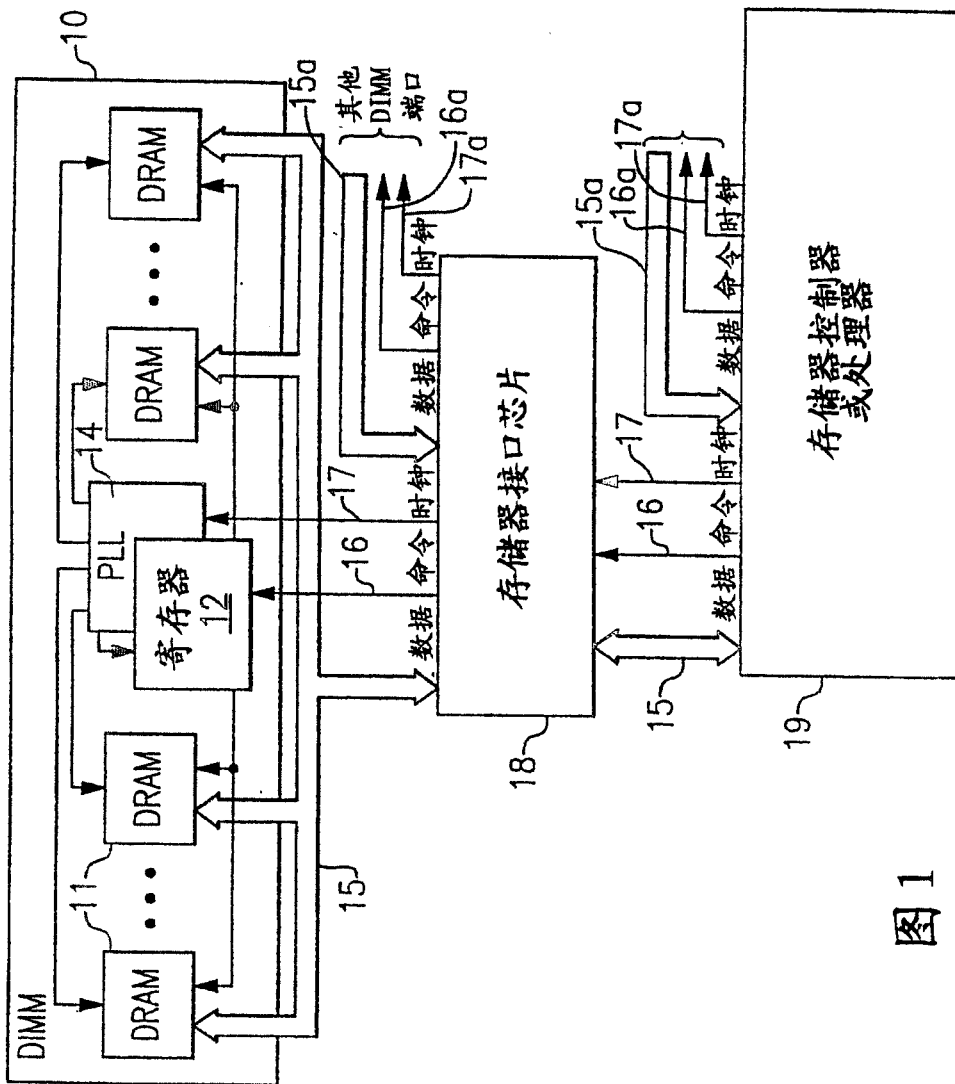


图1

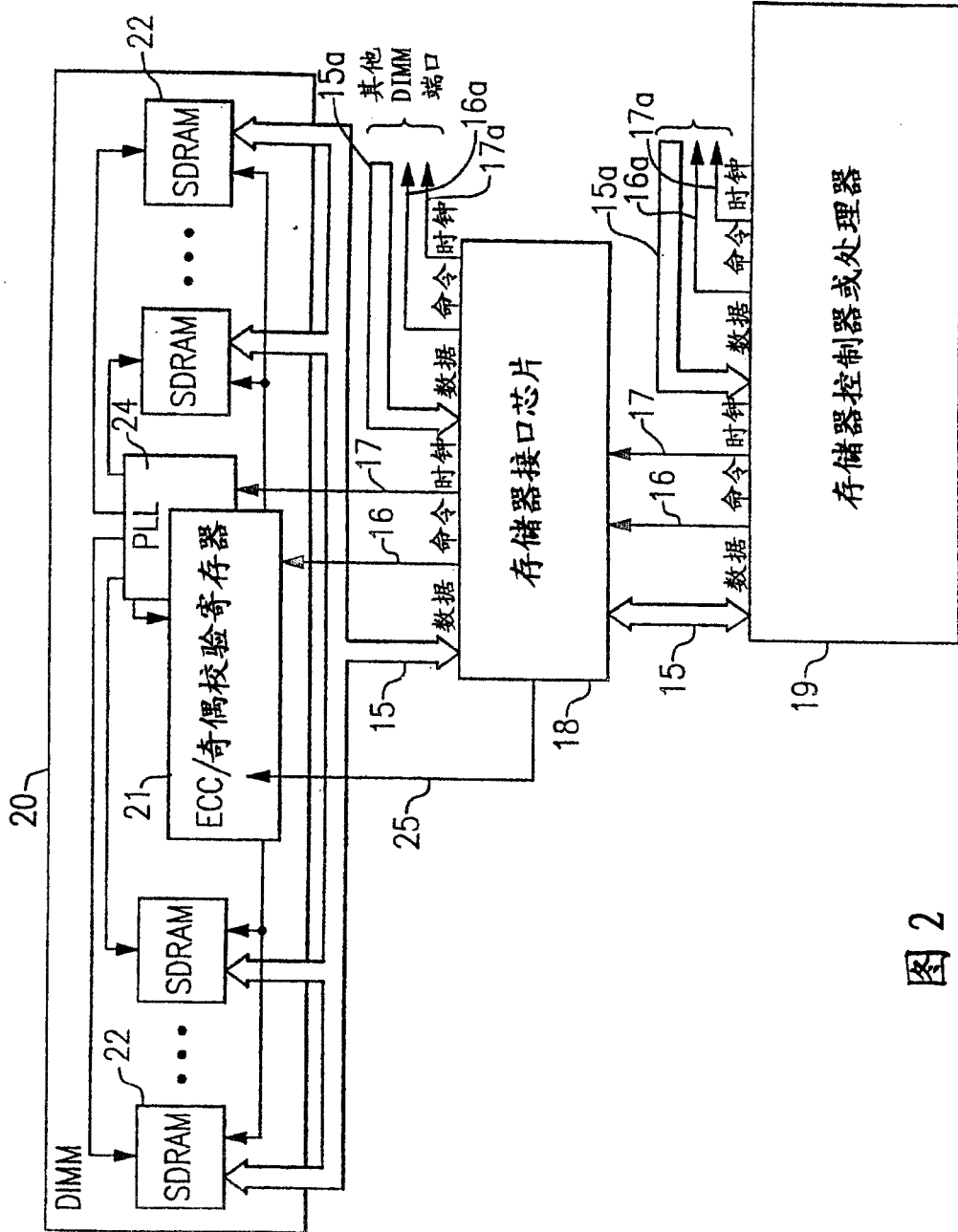
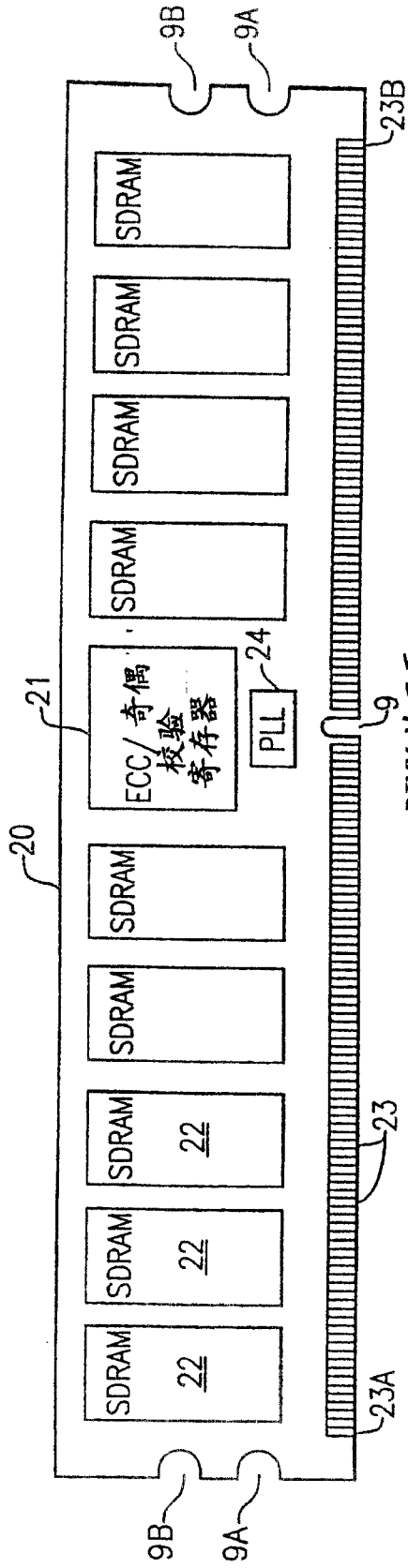
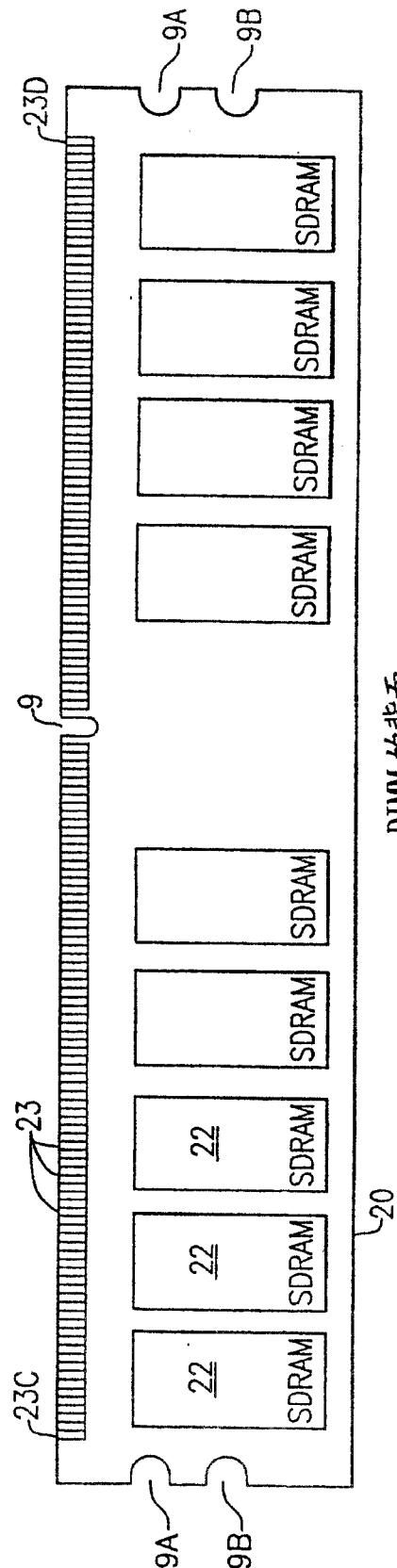


图 2



DIMM 的正面
图 3A



DIMM 的背面
图 3B

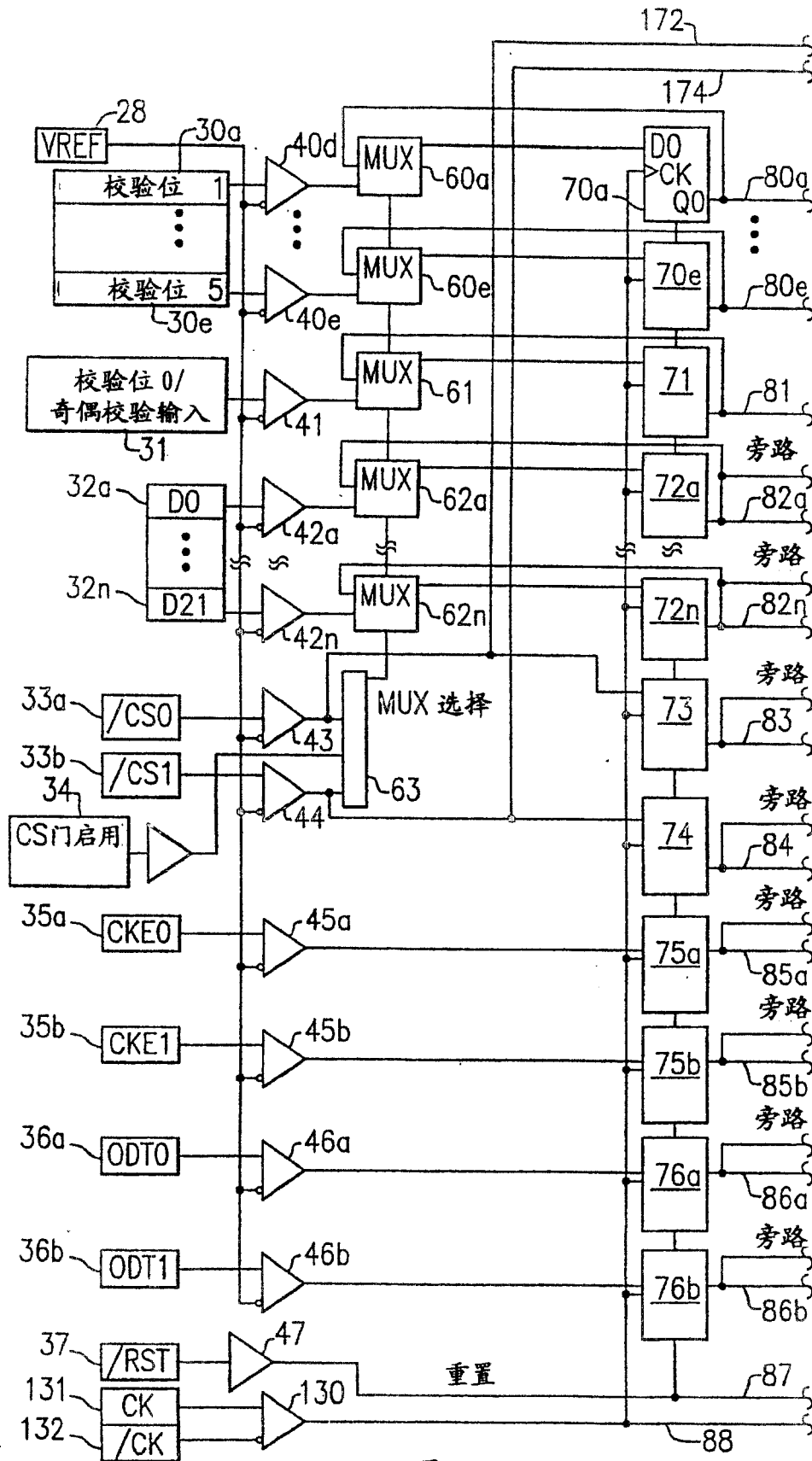


图 4A

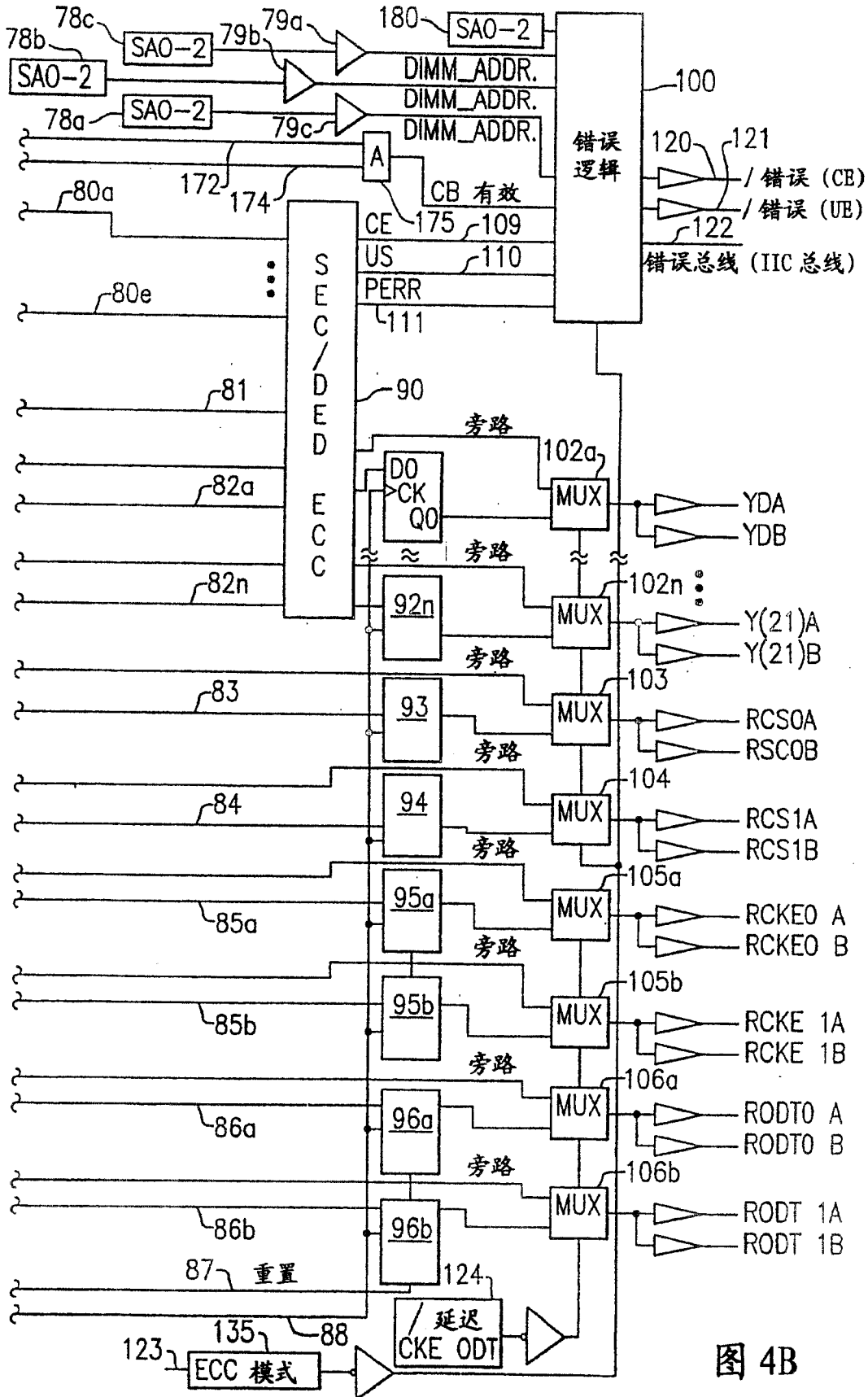


图 4B

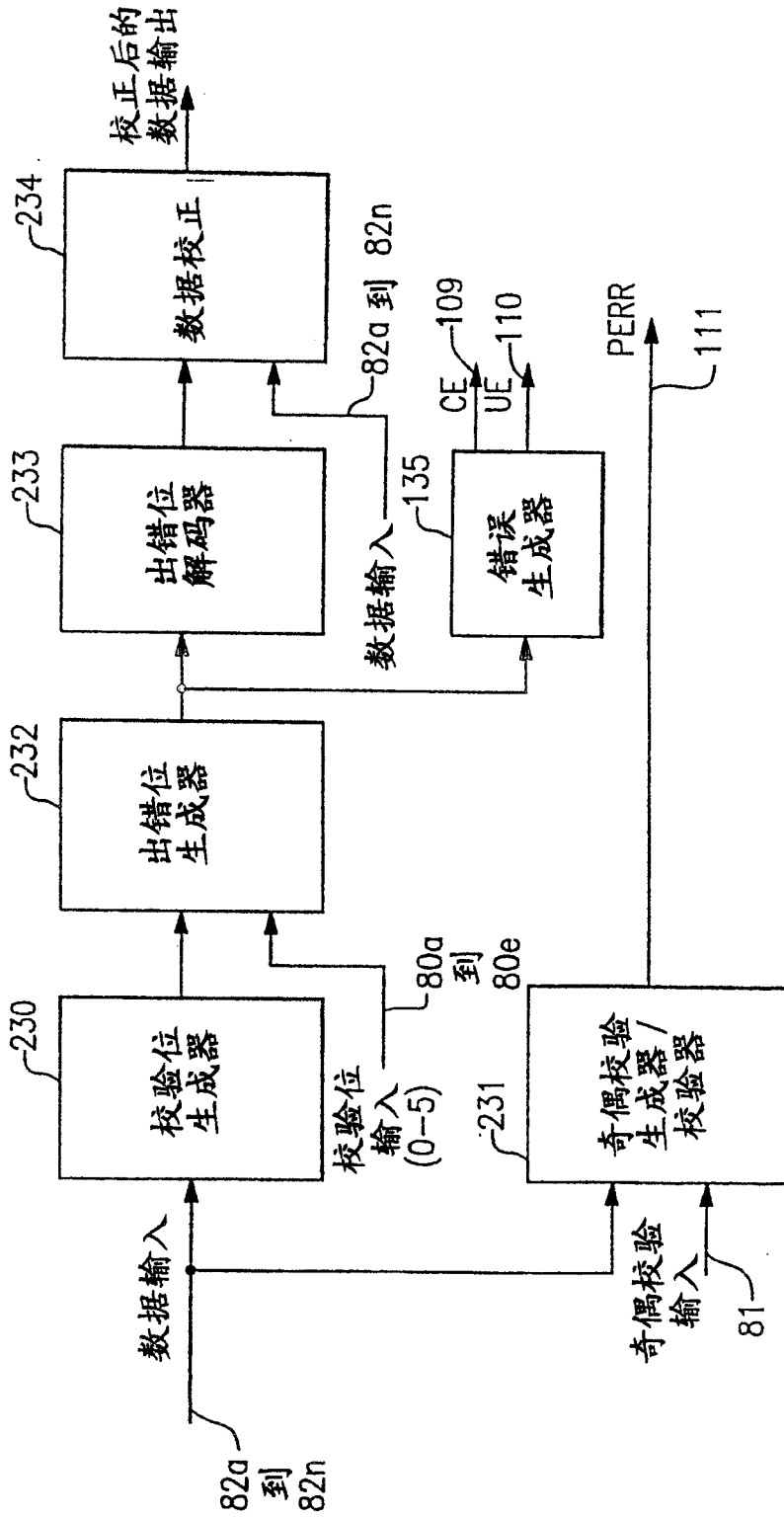


图 5

	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	C0	C1	C2	C3	C4	C5
S0	1	1	1	0	0	1	1	0	1	0	0	0	0	1	1	0	0	1	0	1	0	1	1	0	0	0	0	0
S1	0	1	1	0	0	1	1	0	1	1	0	0	0	1	1	0	0	0	1	0	1	0	0	1	0	0	0	0
S2	0	0	1	1	1	0	1	1	0	1	1	0	0	0	0	0	1	0	0	1	1	1	0	0	1	0	0	0
S3	1	0	0	1	1	0	1	0	1	1	0	1	1	0	0	1	0	1	0	0	1	1	0	0	0	1	0	0
S4	1	1	0	0	1	1	0	1	0	1	0	0	1	1	0	0	1	0	1	0	1	1	0	0	0	0	1	0
S5	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	1

图6

服务器 DIMM		服务器 DIMM	
引脚编号	引脚名称	引脚编号	引脚名称
1	Vref	139	Vref
2	SCL	140	SCL
3	SDA	141	SDA
4	UE	142	UE
5	CE	143	CE
6	VDD	144	VDD
7	ECCMODE	145	ECCMODE
8	DLY CKE/ODT	146	DLY CKE/ODT
9	CS GATE EN	147	CS GATE EN
10	GND	148	GND
11	DQ0	149	DQ4
12	DQ1	150	DQ5
13	GND	151	GND
14	DQS0*	152	DQS9
15	DQS0	153	DQS9*
16	GND	154	GND
17	DQ2	155	DQ6
18	DQ3	156	DQ7
19	GND	157	GND
20	VDD	158	VDD
21	GND	159	GND
22	DQ8	160	DQ12
23	DQ9	161	DQ13
24	GND	162	GND
25	DQS1*	163	DQS10
26	DQS1	164	DQS10*
27	GND	165	GND
28	DQ10	166	DQ14
29	DQ11	167	DQ15
30	GND	168	GND
31	DQ16	169	DQ20
32	DQ17	170	DQ21
33	GND	171	GND
34	DQS2*	172	DQS11
35	DQS2	173	DQS11*
36	GND	174	GND
37	DQ18	175	DQ22
38	DQ19	176	DQ23
39	GND	177	GND
40	RESET	178	RESET
41	VDD	179	VDD
42	GND	180	GND
43	DQ24	181	DQ28
44	DQ25	182	DQ29
45	GND	183	GND
46	DQS3*	184	DQS12
47	DQS3	185	DQS12*
48	GND	186	GND
49	DQ26	187	DQ30
50	DQ27	188	DQ31
51	GND	189	GND
52	CB0	190	CB4

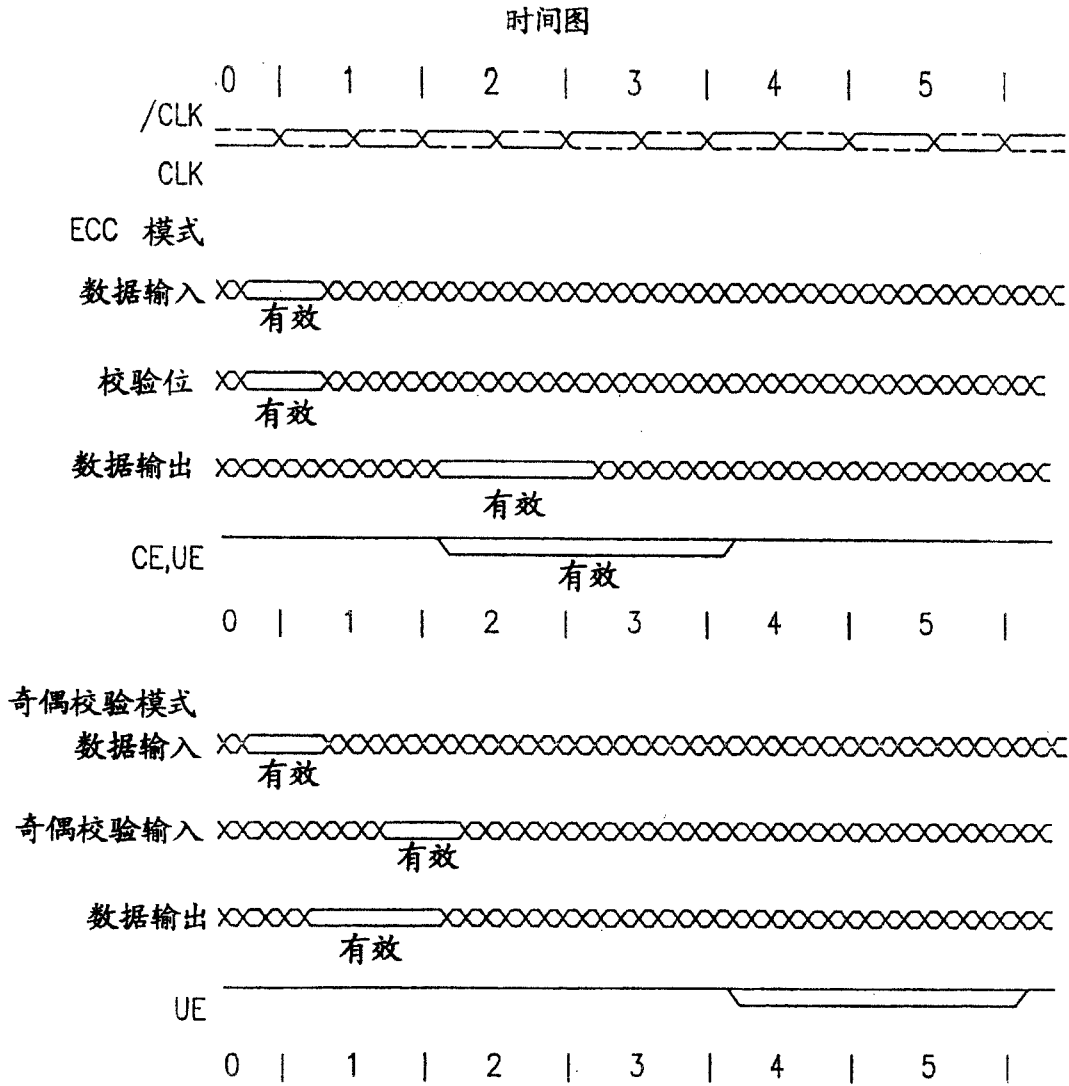
图 7A

53	CB1	191	CB5
54	GND	192	GND
55	DQS8*	193	DQS17
56	DQS8	194	DQS17*
57	GND	195	GND
58	CB2	196	CB6
59	CB3	197	CB7
60	GND	198	GND
61	VDD	199	VDD
62	CKE1	200	CKE1
63	CHKBT4	201	CHKBT1
64	CHKBT5	202	CHKBT3
65	CKE0	203	CKE0
66	VDD	204	VDD
67	A15	205	A14
68	BA2	206	A12
69	CHKBTO/PTY	207	A9
70	A11	208	CHKBT2
71	VDD	209	VDD
72	A7	210	A8
73	A5	211	A6
74	A4	212	A3
75	A2	213	A1
76	VDD	214	VDD
77	CK0	215	CK0
78	CK0B	216	CK0B
79	VDD	217	VDD
80	GND	218	GND
81	VDD	219	VDD
82	A10	220	A0
83	BA0	221	BA1
84	WE	222	RAS
85	VDD	223	VDD
86	CS0	224	CS0
87	CAS	225	NC
88	ODT0	226	ODT0
89	NC	227	A13
90	VDD	228	VDD
91	CS1	229	CS1
92	ODT1	230	ODT1
93	NC	231	TEST/NC
94	VDD	232	VDD
95	GND	233	GND
96	DQ32	234	DQ36
97	DQ33	235	DQ37
98	GND	236	GND
99	DQS4*	237	DQS13
100	DQS4	238	DQS13*
101	GND	239	GND
102	DQ34	240	DQ38

图 7B

103	DQ35	241	DQ39
104	GND	242	GND
105	DQ40	243	DQ44
106	DQ41	244	DQ45
107	GND	245	GND
108	DQS5*	246	DQS14
109	DQS5	247	DQS14*
110	GND	248	GND
111	DQ42	249	DQ46
112	DQ43	250	DQ47
113	GND	251	GND
114	DQ48	252	DQ52
115	DQ49	253	DQ53
116	GND	254	GND
117	DQS6*	255	DQS15
118	DQS6	256	DQS15*
119	GND	257	GND
120	DQ50	258	DQ54
121	DQ51	259	DQ55
122	GND	260	GND
123	DQ56	261	DQ60
124	DQ57	262	DQ61
125	GND	263	GND
126	DQS7*	264	DQS16
127	DQS7	265	DQS16*
128	GND	266	GND
129	DQ58	267	DQ62
130	DQ59	268	DQ63
131	GND	269	GND
132	VDD	270	VDD
133	SA2	271	SA2
134	VDDSPD	272	VDDSPD
135	SDA	273	SDA
136	SCL	274	SCL
137	SA0	275	SA0
138	SA1	276	SA1

图 7C



注: CS 选通被禁用
 奇偶校验输入和校验位 0 共享公共的引脚 (CHK0/PARITY_IN)
 如果错误发生, 则 CE 或 UE 被驱动为低电平

图 8