



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0019968
(43) 공개일자 2025년02월11일

(51) 국제특허분류(Int. Cl.)
H10D 8/00 (2025.01) H10D 48/00 (2025.01)
H10D 62/80 (2025.01)
(52) CPC특허분류
H10D 8/00 (2025.01)
H10D 62/80 (2025.01)
(21) 출원번호 10-2023-0101226
(22) 출원일자 2023년08월02일
심사청구일자 없음

(71) 출원인
현대자동차주식회사
서울특별시 서초구 현릉로 12 (양재동)
기아 주식회사
서울특별시 서초구 현릉로 12 (양재동)
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
김태현
경기도 수원시 팔달구 권광로 373, 109동 2503호
(우만동, 월드메르디앙 아파트)
정영균
서울특별시 도봉구 도봉로136길 28, 507동 1401호
(창동, 북한산아이파크)
(뒷면에 계속)
(74) 대리인
유미특허법인

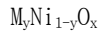
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 소자 및 이의 제조 방법

(57) 요약

기판의 제1 면에 위치하고 베타-산화갈륨(β -Ga₂O₃)을 포함하는 n형층; 상기 n형층 위에 위치하고 하기 화학식 1로 표시되는 니켈 산화물을 포함하는 p형층; 상기 p형층 위에 위치하는 제1 전극; 및 상기 기판의 제2 면에 위치하는 제2 전극을 포함하는 반도체 소자 및 이의 제조 방법을 제공한다.

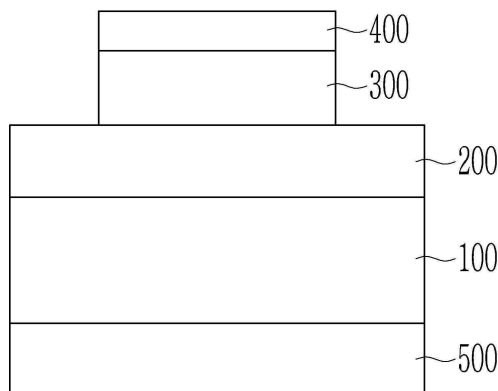
[화학식 1]



(상기 화학식 1에서, M은 도핑 원소이고, x는 $0.8 \leq x \leq 1.0$ 이고, y는 $0 \leq y < 1$ 이다.)

대표도 - 도1

10



(52) CPC특허분류

H10D 8/045 (2025.01)

H10D 99/00 (2025.01)

(72) 발명자

임유승

서울특별시 광진구 능동로 209 대양AI센터 605호

민지영

서울특별시 광진구 능동로 209 대양AI센터 328호

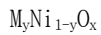
명세서

청구범위

청구항 1

기판의 제1 면에 위치하고 베타-산화갈륨(β -Ga₂O₃)을 포함하는 n형층;
 상기 n형층 위에 위치하고 하기 화학식 1로 표시되는 니켈 산화물을 포함하는 p형층;
 상기 p형층 위에 위치하는 제1 전극; 및
 상기 기판의 제2 면에 위치하는 제2 전극을 포함하는 반도체 소자.

[화학식 1]



(상기 화학식 1에서, M은 도핑 원소이고, x는 $0.8 \leq x \leq 1.0$ 이고, y는 $0 \leq y < 1$ 이다.)

청구항 2

제1항에서,
 상기 n형층과 상기 p형층의 접촉면에서 P-N 이종접합(hetero junction)을 형성하는 반도체 소자.

청구항 3

제1항에서,
 상기 기판은 n형 산화갈륨(Ga₂O₃)을 포함하는 반도체 소자.

청구항 4

제3항에서,
 상기 n형 산화갈륨은 Si 또는 Sn으로 도핑된 n형 산화갈륨을 포함하는 반도체 소자.

청구항 5

제1항에서,
 상기 기판은 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 의 도핑 농도를 가지는 반도체 소자.

청구항 6

제1항에서,
 상기 기판의 두께는 100 μm 내지 700 μm 인 반도체 소자.

청구항 7

제1항에서,
 상기 베타-산화갈륨은 Si 또는 Sn으로 도핑된 베타-산화갈륨을 포함하는 반도체 소자.

청구항 8

제7항에서,
 상기 n형층은 $1 \times 10^{15} \text{ cm}^{-3}$ 내지 $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도를 가지는 반도체 소자.

청구항 9

제1항에서,

상기 n형층의 두께는 $1\ \mu\text{m}$ 내지 $10\ \mu\text{m}$ 인 반도체 소자.

청구항 10

제1항에서,

상기 화학식 1에서 y 는 $0 < y < 1$ 인 반도체 소자.

청구항 11

제1항에서,

상기 화학식 1에서 y 는 $0.06 \leq y \leq 0.1$ 인 반도체 소자.

청구항 12

제1항에서,

상기 도핑 원소는 1가 원소, 2가 원소 또는 이들의 조합을 포함하는 반도체 소자.

청구항 13

제12항에서,

상기 1가 원소는 Li, K, Cu, Ag, Cs 또는 이들의 조합을 포함하고,

상기 2가 원소는 Mg, Ca, Sr, Ba 또는 이들의 조합을 포함하는 반도체 소자.

청구항 14

제1항에서,

상기 p형층의 두께는 $10\ \text{nm}$ 내지 $300\ \text{nm}$ 인 반도체 소자.

청구항 15

제1항에서,

상기 제1 전극은 애노드(anode)이고, 상기 제2 전극은 캐소드(cathode)인 반도체 소자.

청구항 16

기판의 제1 면에 베타-산화갈륨($\beta\text{-Ga}_2\text{O}_3$)을 포함하는 n형층을 형성하는 단계;

상기 n형층 위에 하기 화학식 1로 표시되는 니켈 산화물을 포함하는 p형층을 형성하는 단계;

상기 p형층 위에 제1 전극을 형성하는 단계; 및

상기 기판의 제2 면에 제2 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

[화학식 1]



(상기 화학식 1에서, M은 도핑 원소이고, x 는 $0.8 \leq x \leq 1.0$ 이고, y 는 $0 \leq y < 1$ 이다.)

청구항 17

제16항에서,

상기 p형층은 RF 스퍼터링(radio frequency sputtering) 공정에 의해 형성되는 반도체 소자의 제조 방법.

청구항 18

제17항에서,

상기 RF 스퍼터링 공정시 주입하는 산소 분압은 5% 내지 30%인 반도체 소자의 제조 방법.

청구항 19

제16항에서,

상기 화학식 1에서 y 는 $0 < y < 1$ 인 반도체 소자의 제조 방법.

청구항 20

제16항에서,

상기 도핑 원소는 1가 원소, 2가 원소 또는 이들의 조합을 포함하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 반도체 소자 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 인버터, 컨버터 및 OBC(on board charge)와 같은 전력변환장치는 전기 에너지를 전장부품에 적합한 형태로 변환시켜 주는 역할을 하며, 전력반도체는 이러한 전력변환 역할을 담당하는 부품에서 스위칭 및 정류 동작을 수행한다.

[0003] 기존 전력반도체는 실리콘(Si) 소재를 주로 활용했지만, 근래에는 성능이 보다 향상된 질화갈륨(GaN) 및 실리콘 카바이드(SiC) 전력반도체가 양산화되어 차량에 탑재되기 시작하였다. 최근에는 초고내압 및 전력 IC의 요구와 저가 소재에 대한 관심이 증가하고 있고, 4H-SiC (3.2 eV)보다 넓은 밴드갭을 갖는 베타-산화갈륨(β -Ga₂O₃)(4.8 eV)이 최근 주목받고 있다.

[0004] 한편, 더 낮은 비저항(R_{on})과 더 높은 파괴전압을 필요로 하는 전력반도체 다이오드 및 다른 장치의 추가적인 개선을 위해서는 p형 재료의 사용이 필요하다. 현재 p형 β -Ga₂O₃의 개발은 구현이 쉽지 않아 상품화하기엔 안정적이지 않은 상황이다.

발명의 내용

해결하려는 과제

[0005] 일 구현예는 높은 항복전압과 낮은 누설전류를 가지는 반도체 소자를 제공한다.

[0006] 다른 일 구현예는 상기 반도체 소자의 제조 방법을 제공한다.

과제의 해결 수단

[0007] 일 구현예에 따르면, 기판의 제1 면에 위치하고 베타-산화갈륨(β -Ga₂O₃)을 포함하는 n형층; 상기 n형층 위에 위치하고 하기 화학식 1로 표시되는 니켈 산화물을 포함하는 p형층; 상기 p형층 위에 위치하는 제1 전극; 및 상기 기판의 제2 면에 위치하는 제2 전극을 포함하는 반도체 소자를 제공한다.

[0008] [화학식 1]

[0009] $M_yNi_{1-y}O_x$

[0010] (상기 화학식 1에서, M은 도핑 원소이고, x는 $0.8 \leq x \leq 1.0$ 이고, y는 $0 \leq y < 1$ 이다.)

[0011] 상기 n형층과 상기 p형층의 접촉면에서 P-N 이종접합(hetero junction)을 형성할 수 있다.

- [0012] 상기 기판은 n형 산화갈륨(Ga_2O_3)을 포함할 수 있고, 상기 n형 산화갈륨은 Si 또는 Sn으로 도핑된 n형 산화갈륨을 포함할 수 있다.
- [0013] 상기 기판은 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있다.
- [0014] 상기 기판의 두께는 $100 \mu\text{m}$ 내지 $700 \mu\text{m}$ 일 수 있다.
- [0015] 상기 베타-산화갈륨은 Si 또는 Sn으로 도핑된 베타-산화갈륨을 포함할 수 있다.
- [0016] 상기 n형층은 $1 \times 10^{15} \text{ cm}^{-3}$ 내지 $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있다.
- [0017] 상기 n형층의 두께는 $1 \mu\text{m}$ 내지 $10 \mu\text{m}$ 일 수 있다.
- [0018] 상기 화학식 1에서 y는 $0 < y < 1$ 일 수 있고, 상기 화학식 1에서 y는 $0.06 \leq y \leq 0.1$ 일 수 있다.
- [0019] 상기 도핑 원소는 1가 원소, 2가 원소 또는 이들의 조합을 포함할 수 있고, 상기 1가 원소는 Li, K, Cu, Ag, Cs 또는 이들의 조합을 포함할 수 있고, 상기 2가 원소는 Mg, Ca, Sr, Ba 또는 이들의 조합을 포함할 수 있다.
- [0020] 상기 p형층의 두께는 10 nm 내지 300 nm 일 수 있다.
- [0021] 상기 제1 전극은 애노드(anode)이고, 상기 제2 전극은 캐소드(cathode)일 수 있다.
- [0022] 다른 구현예에 따르면, 기판의 제1 면에 베타-산화갈륨($\beta\text{-Ga}_2\text{O}_3$)을 포함하는 n형층을 형성하는 단계; 상기 n형층 위에 상기 화학식 1로 표시되는 니켈 산화물을 포함하는 p형층을 형성하는 단계; 상기 p형층 위에 제1 전극을 형성하는 단계; 및 상기 기판의 제2 면에 제2 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다.
- [0023] 상기 p형층은 RF 스퍼터링(radio frequency sputtering) 공정에 의해 형성될 수 있고, 상기 RF 스퍼터링 공정시 주입하는 산소 분압은 5% 내지 30% 일 수 있다.

발명의 효과

- [0024] 일 구현예에 따른 반도체 소자는 누설전류를 억제하면서 높은 항복전압을 가질 수 있으며, 이에 따라 베타-산화갈륨($\beta\text{-Ga}_2\text{O}_3$) 기반 소자에 있어서 단순한 공정으로 고성능을 구현할 수 있다. 이는 $\beta\text{-Ga}_2\text{O}_3$ 기반 소자로서, 쇼트키, MOS 타입뿐 아니라 접합 FET를 포함한 다양한 소자 구조의 개발로 이어지는데 기여할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 일 구현예에 따른 반도체 소자의 구조를 간략하게 도시한 단면도이다.
- 도 2a는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 캐리어 농도(carrier concentration)를 나타낸 그래프이고, 도 2b는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 이동도(mobility)를 나타낸 그래프이고, 도 2c는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 저항율(resistivity)을 나타낸 그래프이다.
- 도 3a는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 캐리어 농도(carrier concentration)를 나타낸 그래프이고, 도 3b는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 이동도(mobility)를 나타낸 그래프이고, 도 3c는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 저항율(resistivity)을 나타낸 그래프이다.
- 도 4는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 밴드갭을 나타낸 그래프이다.
- 도 5는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 밴드갭을 나타낸 그래프이다.
- 도 6은 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 전류 특성을 나타낸 그래프이다.
- 도 7은 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 온(on) 저항 특성을 나타낸 그래프이다.
- 도 8은 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 전기적 특성을 나타낸 그래프이다.
- 도 9는 일 구현예에 따른 Li 도핑된 NiO_x 박막의 도핑 함량에 따른 전기적 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이후 설명하는 기술의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 구현예들을 참조하면 명확해질 것이다. 그러나 구현되는 형태는 이하에서 개시되는 구현예들에 한정되는 것이 아니라 할 수 있다. 다른 정의가 없다면 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 해당 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다. 명세서 전체에서 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0027] 또한, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.
- [0028] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- [0029] 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0030] 일 구현예에 따른 반도체 소자는 UWBG(ultra wide band gap) 물질인 베타-산화갈륨(β -Ga₂O₃) 소재 기반의 소자로서, 다이오드 구조를 가질 수 있으나 이 구조로 한정되는 것은 아니며, P-N 이종접합(hetero junction)을 통하여 높은 항복전압 및 낮은 누설전류 특성을 구현할 수 있다.
- [0031] 도 1은 일 구현예에 따른 반도체 소자의 구조를 간략하게 도시한 단면도이다.
- [0032] 도 1을 참고하면, 일 구현예에 따른 반도체 소자(10)는 기판(100), n형층(200), p형층(300), 제1 전극(400) 및 제2 전극(500)을 포함한다.
- [0033] 기판(100)은 n형 산화갈륨(Ga₂O₃)을 포함할 수 있다. n형 산화갈륨은 베타상의 베타-산화갈륨(β -Ga₂O₃)일 수 있다. 상기 n형 산화갈륨은 도핑되지 않은 n형 산화갈륨, Si 또는 Sn으로 도핑된 n형 산화갈륨, 또는 이들의 조합을 포함할 수 있고, 예컨대 Si 또는 Sn으로 도핑된 n형 산화갈륨이 사용될 수 있다.
- [0034] 기판(100)은 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{20} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있고, 예컨대 $1 \times 10^{17} \text{ cm}^{-3}$ 내지 $1 \times 10^{19} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있다. 기판이 상기 범위의 도핑 농도를 가질 경우 트레이드 오프(trade-off) 관계에 있는 온(on) 저항과 항복전압 특성의 사용 적합한 수치를 확보할 수 있다.
- [0035] 기판(100)의 두께는 100 μm 내지 700 μm 일 수 있고, 예컨대 200 μm 내지 700 μm 일 수 있다.
- [0036] n형층(200)은 에피택셜 층(epitaxial layer)으로서, 기판(100)의 제1 면에 위치한다.
- [0037] n형층(200)은 n형 반도체 물질로서 베타-산화갈륨(β -Ga₂O₃)을 포함한다. 베타-산화갈륨은 도핑되지 않은 베타-산화갈륨, Si 또는 Sn으로 도핑된 베타-산화갈륨, 또는 이들의 조합을 포함할 수 있으며, 예컨대 Si 또는 Sn으로 도핑된 베타-산화갈륨을 사용할 수 있다.
- [0038] n형층(200)은 $1 \times 10^{15} \text{ cm}^{-3}$ 내지 $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있고, 예컨대 $1 \times 10^{16} \text{ cm}^{-3}$ 내지 $1 \times 10^{17} \text{ cm}^{-3}$ 의 도핑 농도를 가질 수 있다. n형층이 상기 범위의 도핑 농도를 가질 경우 트레이드 오프(trade-off) 관계에 있는 온(on) 저항과 항복전압 특성의 사용 적합한 수치를 확보할 수 있다.
- [0039] n형층(200)의 두께는 1 μm 내지 10 μm 일 수 있고, 예컨대 2 μm 내지 10 μm 일 수 있다.
- [0040] p형층(300)은 n형층(200) 위에 위치하며, p형 반도체 물질인 니켈 산화물을 포함한다. p형층(300)은 n형층(200)과 제1 전극(400) 사이에 배치되어 계면층(interlayer)을 형성한다.
- [0041] 일 구현예에 따르면, n형 베타-산화갈륨 소재의 n형층(200)과 금속 소재의 제1 전극(400) 사이에 p형 니켈 산화물 소재의 p형층(300)을 삽입하여 형성함으로써, n형층(200)과 p형층(300)의 접촉면에서 P-N 이종접합(hetero junction)의 구조가 형성되며, 이에 따라 높은 항복전압 및 낮은 누설전류 특성을 가지는 반도체 소자를 얻을 수 있다.

- [0042] 니켈 산화물은 구체적으로 하기 화학식 1로 표시될 수 있다.
- [0043] [화학식 1]
- [0044] $M_yNi_{1-y}O_x$
- [0045] (상기 화학식 1에서, M은 도핑 원소이고, x는 $0.8 \leq x \leq 1.0$ 이고, y는 $0 \leq y < 1$ 이다.)
- [0046] 니켈 산화물은 화학식 1에서 보는 바와 같이, 도핑되지 않은 NiO_x , 또는 도핑 원소로 도핑된 NiO_x 를 사용할 수 있다.
- [0047] 니켈 산화물의 전도도는 Ni 빈자리(vacancy)에 의해 유도된 홀(hole) 상태에 기인하며, 따라서 산소가 풍부한 조건에서는 Ni 빈자리에 대한 에너지 형성이 낮고 산소(O) 빈자리에 대한 에너지 형성이 높다. 이에 따르면, Li와 같은 불순물을 첨가하여 Ni의 빈자리를 증가시킬 수 있고, 하나의 홀이 밸런스 밴드로 가면서 전하를 중립으로 유지하게 된다. 따라서, 니켈 산화물을 이용한 p형층 형성시 산소량의 조절이나 도핑을 통하여 캐리어 농도를 제어할 수 있다.
- [0048] 즉, p형층(300) 형성시 도핑 원소로 도핑된 NiO_x 를 사용하는 경우, Ni 빈자리(vacancy)를 증가시켜 니켈 산화물의 전도도를 증가시킬 수 있고 캐리어 농도를 제어할 수 있어, 더욱 우수한 높은 항복전압 및 낮은 누설전류 특성을 나타낼 수 있다.
- [0049] 도핑 원소는 1가 원소, 2가 원소 또는 이들의 조합을 포함할 수 있다. 1가 원소는 Li, K, Cu, Ag, Cs 또는 이들의 조합을 포함할 수 있고, 예컨대 Li를 사용할 수 있다. 2가 원소는 Mg, Ca, Sr, Ba 또는 이들의 조합을 포함할 수 있다.
- [0050] 도핑 원소의 함량을 나타내는 y는 $0 \leq y < 1$ 이고, 예컨대 $0 < y < 1$ 일 수 있고, 예컨대 $0.06 \leq y \leq 0.1$ 일 수 있다. 상기 함량 범위 내로 도핑된 니켈 산화물을 사용하여 p형층을 형성할 경우 전도도 및 캐리어 농도를 증가시킬 수 있으며, 이를 통해 더욱 우수한 높은 항복전압 및 낮은 누설전류 특성을 가질 수 있다.
- [0051] p형층(300)의 두께는 10 nm 내지 300 nm 일 수 있고, 예컨대 50 nm 내지 300 nm 일 수 있다.
- [0052] 제1 전극(400)은 기판(100)의 상부에서 p형층(300) 위에 위치하며, 애노드(anode)일 수 있다.
- [0053] 제1 전극(400)은 Ni, Au, Ag 또는 이들의 조합의 금속을 포함할 수 있으며, 예컨대 Ni 금속을 사용할 수 있다.
- [0054] 제1 전극(400)은 단층 또는 다층의 구조일 수 있다.
- [0055] 제2 전극(500)은 기판(100)의 하부, 즉 기판(100)의 제2 면에 위치하며, 캐소드(cathode)일 수 있다.
- [0056] 제2 전극(500)은 Ti, Au, Al, Mo 또는 이들의 조합의 금속을 포함할 수 있으며, 예컨대 Ti 및 Au의 금속을 사용할 수 있다.
- [0057] 제2 전극(500)은 단층 또는 다층의 구조일 수 있으며, 다층 구조인 경우 제2 전극은 예컨대 Ti 금속층 및 Au 금속층을 포함할 수 있다.
- [0058] 전술한 반도체 소자는 니켈 산화물 소재의 p형층의 삽입을 통하여 $\beta\text{-Ga}_2\text{O}_3$ 소재의 n형층과 Ni 금속과 같은 제1 전극 사이의 계면을 P-N 이종접합 형성에 의해 제어함으로써, 높은 항복전압 및 낮은 누설전류 특성을 나타낼 수 있다. 따라서, 베타-산화갈륨($\beta\text{-Ga}_2\text{O}_3$) 기반 소자에 있어서 단순한 공정으로 고성능을 구현할 수 있으며, 이로 인하여 $\beta\text{-Ga}_2\text{O}_3$ 기반 소자로서 쇼트키(schottky), MOS(metal oxide semiconductor) 타입뿐 아니라 접합 FET(field effect transistor)를 포함한 다양한 소자 구조의 개발로 이어질 수 있다.
- [0059] 반도체 소자는 다음과 같은 방법으로 제조될 수 있다.
- [0060] 기판(100)을 준비하고, 기판(100)의 제1 면에 n형층(200), p형층(300) 및 제1 전극(400)을 차례로 형성하고, 기판(100)의 제2 면에 제2 전극(500)을 형성한다.
- [0061] 예컨대, 제2 전극(500), 기판(100), p형층(200), p형층(300) 및 제1 전극(400)을 차례대로 증착 후 리프트 오프(Lift-off) 공정 또는 식각 공정을 통해 원하는 구조로 형성할 수 있다.
- [0062] p형층(300)은 RF 스퍼터링(radio frequency sputtering) 공정에 의해 형성될 수 있다.

- [0063] RF 스퍼터링 공정시 주입하는 산소 분압은 5% 내지 30% 일 수 있고, 예컨대 10% 내지 30% 일 수 있다. 상기 범위의 산소량을 주입할 경우 니켈 산화물의 전도도 및 캐리어 농도를 제어할 수 있어, 더욱 우수한 높은 항복전압 및 낮은 누설전류 특성을 나타낼 수 있다.
- [0064] 진술한 반도체 소자의 제조 방법에 따르면, 단순한 공정으로 낮은 누설전류 및 높은 항복전압 특성을 가지는 고성능의 반도체 소자를 제조할 수 있다.
- [0066] 이하 실시예를 통하여 상술한 구현예를 보다 상세하게 설명한다. 다만 하기의 실시예는 단지 설명의 목적을 위한 것이며 권리범위를 제한하는 것은 아니다.
- [0067] **실시예 1**
- [0068] 도 1에서와 같은 구조로, 기판(100)의 제1 면에 n형층(200), p형층(300) 및 제1 전극(400)을 차례로 형성하고, 기판(100)의 제2 면에 제2 전극(500)을 형성하여, 반도체 소자를 제조하였다.
- [0069] 이때, 기판(100)으로는 Sn 도핑된 n형 Ga₂O₃을 사용하였고 4.3x10¹⁸ cm⁻³의 도핑 농도를 가지며 642 μ m의 두께로 준비하였다. n형층(200)으로는 Si 도핑된 n형 β -Ga₂O₃을 사용하였고 3.5x10¹⁶ cm⁻³의 도핑 농도를 가지며 10 μ m의 두께로 형성하였다. p형층(300)으로는 도핑되지 않은 NiO_x를 사용하였고 300nm의 두께로 형성하였다. 제1 전극(400)은 애노드로서 Ni 금속을 사용하였고 100nm의 두께로 형성하였다. 제2 전극(500)은 캐소드로서 160nm 두께의 Au 금속층 및 Au 금속층 위의 20nm 두께의 Ti 금속층을 가지는 다층 구조로 형성하였다.
- [0070] p형층은 RF 스퍼터링 공정에 의해 형성하였으며, 구체적으로 NiO(Ni:O = 1:1) 타겟에 산소 분압을 20% 주입하여 증착을 진행하였다. 형성된 NiO 박막에 대한 X선 광전자 분광법(XPS) 분석 결과, 니켈(Ni) 49.59 원자% 및 산소(O) 50.41 원자%로 약 1:1의 원자비를 가지며, 안정적인 NiO 박막이 형성되었음을 확인하였다.
- [0071] **실시예 2**
- [0072] 실시예 1에서 p형층(300)으로 Li 도핑된 NiO_x를 사용한 것을 제외하고는, 실시예 1과 동일한 방법으로 반도체 소자를 제조하였다.
- [0073] **비교예 1**
- [0074] 실시예 1에서 p형층(300)을 형성하지 않은 것을 제외하고는, 실시예 1과 동일한 방법으로 반도체 소자를 제조하였다.
- [0076] **평가 1: 니켈 산화물 박막의 전기적 특성**
- [0077] (1) 실시예 1에서 p형층 형성에 사용된 도핑되지 않은 NiO_x 박막의 전기적 특성을 조사하기 위해, 슬라이드 글래스(slide glass) 위에 도핑되지 않은 NiO_x 박막을 RF 스퍼터링 공정에 의해 산소량을 늘려가며 증착하여, 홀 효과 측정법(hall effect measurement)을 통해 전기적 특성을 측정하였고, 그 결과를 도 2a 내지 도 2c에 나타내었다.
- [0078] 도 2a는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 캐리어 농도(carrier concentration)를 나타낸 그래프이고, 도 2b는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 이동도(mobility)를 나타낸 그래프이고, 도 2c는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 저항율(resistivity)을 나타낸 그래프이다.
- [0079] 도 2a를 참고하면, 산소량이 증가할수록 도핑되지 않은 NiO_x 박막의 캐리어 농도는 증가하다가 수렴하는 경향을 보였다. 도 2b를 참고하면, 도핑되지 않은 NiO_x 박막의 이동도는 산소량이 1 sccm 에서부터 2 sccm 까지 큰 폭으로 감소하였다가 3 sccm 부터 증가함을 보였다. 도 2c를 참고하면, 도핑되지 않은 NiO_x 박막의 저항율은 산소량이 1 sccm 넘어서부터 큰 폭으로 감소하였고 2 sccm 부터는 1 Ω cm 미만까지 감소함을 확인하였다.
- [0080] (2) 실시예 2에서 p형층 형성에 사용된 Li 도핑된 NiO_x 박막의 전기적 특성을 조사하기 위해, 슬라이드 글래스

(slide glass) 위에 Li 도핑된 NiO_x 박막을 RF 스퍼터링 공정에 의해 산소량을 늘려가며 증착하여, 홀 효과 측정법(hall effect measurement)을 통해 전기적 특성을 측정하였고, 그 결과를 도 3a 내지 도 3c에 나타내었다.

[0081] 도 3a는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 캐리어 농도(carrier concentration)를 나타낸 그래프이고, 도 3b는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 이동도(mobility)를 나타낸 그래프이고, 도 3c는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 저항율(resistivity)을 나타낸 그래프이다.

[0082] 도 3a를 참고하면, 산소량이 증가할수록 Li 도핑된 NiO_x 박막의 캐리어 농도는 증가하여 $1 \times 10^{18} \text{ cm}^{-3}$ 내지 $1 \times 10^{22} \text{ cm}^{-3}$ 범위로 농도 제어가 가능함을 확인하였다. 도 3b를 참고하면, Li 도핑된 NiO_x 박막의 이동도는 산소량이 증가할수록 감소하는 경향을 보였다. 도 3c를 참고하면, Li 도핑된 NiO_x 박막의 저항율은 산소 주입시 $1 \text{ } \Omega \text{ cm}$ 미만으로 감소함을 확인하였다.

[0083] 평가 2: 니켈 산화물 박막의 광학적 특성

[0084] (1) 실시예 1에서 p형층 형성에 사용된 도핑되지 않은 NiO_x 박막의 광학적 특성을 조사하기 위해, RF 스퍼터링을 이용하여 형성된 도핑되지 않은 NiO_x 박막의 투과율을 자외 및 가시선 분광분석법(UV-visible spectrometer)를 통해 측정하였고, 그 결과를 도 4a 내지 도 4e에 나타내었다.

[0085] 도 4는 일 구현예에 따른 도핑되지 않은 NiO_x 박막에 대한 밴드갭을 나타낸 그래프이다. 도 4에서 (a) 내지 (e)는 순차적으로 스퍼터링 공정시 산소 분압을 0%, 5%, 10%, 15% 및 20%로 주입한 경우의 밴드갭을 나타낸다.

[0086] 도 4를 참고하면, 측정된 투과율을 이용해 밴드갭을 구한 결과, 증착된 NiO_x 박막은 3.35 eV 내지 3.58 eV 정도의 밴드갭을 가지고 있음을 확인하였으며, 산소량이 증가할수록 밴드갭은 감소하는 경향을 보였다.

[0087] (2) 실시예 2에서 p형층 형성에 사용된 Li 도핑된 NiO_x 박막의 광학적 특성을 조사하기 위해, RF 스퍼터링을 이용하여 형성된 Li 도핑된 NiO_x 박막의 투과율을 자외 및 가시선 분광분석법(UV-visible spectrometer)를 통해 측정하였고, 그 결과를 도 4a 내지 도 4e에 나타내었다.

[0088] 도 5는 일 구현예에 따른 Li 도핑된 NiO_x 박막에 대한 밴드갭을 나타낸 그래프이다. 도 5에서 (a) 내지 (e)는 순차적으로 스퍼터링 공정시 산소 분압을 0%, 5%, 10%, 20% 및 30%로 주입한 경우의 밴드갭을 나타낸다.

[0089] 도 5를 참고하면, 측정된 투과율을 이용해 밴드갭을 구한 결과, 증착된 Li 도핑된 NiO_x 박막은 3.37 eV 내지 3.54 eV 정도의 밴드갭을 가지고 있음을 확인하였으며, 산소량이 증가할수록 밴드갭은 감소하는 경향을 보였다.

[0090] 평가 3: 반도체 소자의 전기적 특성

[0091] 도 6은 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 전류 특성을 나타낸 그래프이다. 도 6에서, (a) 및 (b)는 순방향 바이어스(forward bias)인 경우, (c)는 역방향 바이어스(reverse bias)인 경우를 나타낸다.

[0092] 도 6에서 (a) 및 (b)를 참고하면, SBD(schottky barrier diode) 타입과 같이 p형층이 없는 비교예 1, p형층이 도핑되지 않은 NiO_x 로 형성된 실시예 1, 그리고 p형층이 Li 도핑된 NiO_x 로 형성된 실시예 2에 대한 전류 특성을 비교한 결과, NiO_x 로 형성된 p형층의 유무 여부에 따라 포워드(forward) 영역의 전류 값은 우측으로 이동하며 전류 감소가 일어남을 볼 수 있다. 또한, 도 6에서 (c)를 참고하면, 리버스(reverse) 영역에서는 실시예 1 및 2의 경우 비교예 1 대비 항복전압이 증가하고 누설전류 또한 눈에 띄게 감소함을 볼 수 있다.

[0093] 도 7은 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 온(on) 저항 특성을 나타낸 그래프이다.

[0094] 도 7을 참고하면, 비교예 1, 실시예 1 및 실시예 2의 경우 2V에서의 온 저항 값은 각각 $0.184 \text{ m}\Omega \cdot \text{cm}^2$, $52.01 \text{ m}\Omega \cdot \text{cm}^2$ 및 $6.71 \text{ m}\Omega \cdot \text{cm}^2$ 로 나타났으며, 3V에서의 온 저항 값은 각각 $0.097 \text{ m}\Omega \cdot \text{cm}^2$, $0.215 \text{ m}\Omega \cdot \text{cm}^2$ 및 $0.067 \text{ m}\Omega \cdot \text{cm}^2$ 로 나타났다. 즉, 2V에서 온 저항은 비교예 1의 경우 가장 낮은 값을 보이다가, 3V에서는 온 저항 값의 전환이 일어나면서 실시예 2의 경우 비교예 1 보다 더 낮은 값을 보였다. 이는, p형층의 삽입으로 P-N 이종접합이 형성된 실시예 1 및 2의 경우 Ni 컨택 저항이 감소하여 전압 값이 증가할수록 온 저항 값이 감소하

면서, 전류 값이 향상되어 전도도 손실이 감소하는 것을 확인할 수 있다.

[0095] 이를 통해, n형층과 전극의 계면에 NiO_x 로 형성된 p형층이 삽입될 경우 항복전압은 증가되면서 온 저항 특성이 향상됨을 알 수 있다. 이는 NiO_x 에 Li를 도핑함으로써 Ni 사이트를 치환하여 LiNi 수용체를 제조하거나, NiO 박막 증착 중에 반응성 산소를 공급하여 Ni의 빈 공간의 형성을 유도함으로써 효과적인 전도도 제어가 가능함을 유추해볼 수 있다.

[0096] 도 8은 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 전기적 특성을 나타낸 그래프이다. 도 8에서, (a)는 쇼트키 장벽 높이(SBH)를, (b)는 이상 계수(ideality factor)를, (c)는 온(on) 저항을 보여준다. 구체적으로, 실시예 1 및 2와 비교예 1에 따른 반도체 소자의 전기적 특성 값을 하기 표 1에 나타내었다.

표 1

	V_{on} (V)	$R_{on} @ 2V$ ($m\Omega \cdot cm^2$)	B.V. (V)	이상 계수(n)	SBH (eV)
비교예 1	1.52	0.184	-552	1.67	1.10
실시예 1	2.83	52.01	-807	2.07	1.39
실시예 2	2.57	6.71	-974	2.65	1.15

[0098] 도 8 및 표 1을 참고하면, p형층의 삽입으로 P-N 이종접합이 형성된 실시예 1 및 2의 경우 p형층이 없는 비교예 1 보다 전기적 특성이 우수함을 알 수 있다.

[0099] 평가 4: 니켈 산화물 박막의 도핑 함량에 따른 전기적 특성

[0100] 도 9는 일 구현예에 따른 Li 도핑된 NiO_x 박막의 도핑 함량에 따른 전기적 특성을 나타낸 그래프이다. 구체적으로, 일 구현예에 따른 Li 도핑된 NiO_x 박막의 도핑 함량에 따른 전기적 특성 값을 하기 표 2에 나타내었다.

[0101] Li 도핑된 NiO_x 는 $\text{Li}_y\text{Ni}_{1-y}\text{O}_x$ 으로 표시되며, 하기 표 2에서 y는 Li의 도핑 함량(농도)을 나타내며, d는 두께를, σ 는 전도도를, E_a 는 밴드갭을, S는 전도도를, p는 정공캐리어 농도를, μ 는 홀 효과 이동도를, T는 가시광 영역에서의 투과율을 나타낸다.

표 2

y	d(nm)	σ ($S \cdot cm^{-1}$)	E_a (eV)	S ($\mu V \cdot K^{-1}$)	p(cm^{-3})	μ ($cm^2 \cdot V^{-1} \cdot s^{-1}$)	T(%)
0	31	-	-	-	-	-	87.3
0.006	32	0.10	0.224	649	5.90×10^{19}	0.011	80.9
0.03	31	2.7	0.185	485	3.94×10^{20}	0.047	66.6
0.06	29	6.6	0.182	297	3.31×10^{21}	0.023	54.9
0.09	19	11.2	0.166	239	6.13×10^{21}	0.025	44

[0103] 도 9 및 표 2를 참고하면, Li의 도핑 함량이 높아질수록 니켈 산화물의 전도도와 캐리어 농도가 증가하는 경향을 보이며, y가 0.06 부터는 증가 폭이 늘어남을 볼 수 있다. 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0104] 10: 반도체 소자
100: 기판
200: n형층

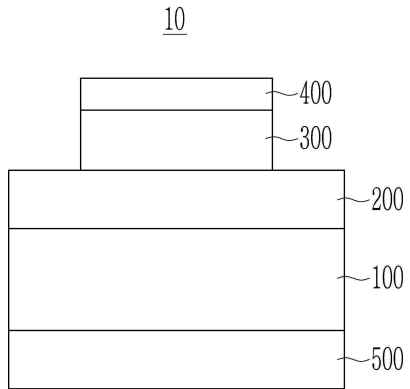
300: p형층

400: 제1 전극

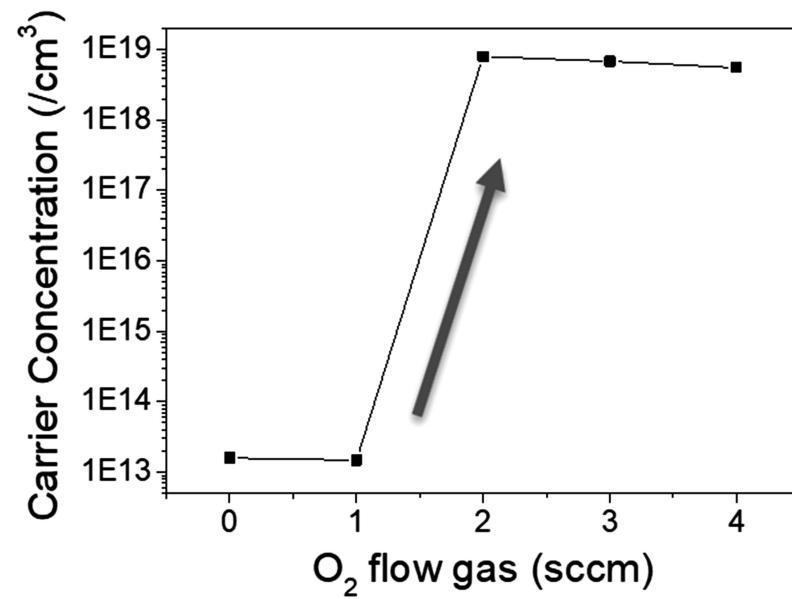
500: 제2 전극

도면

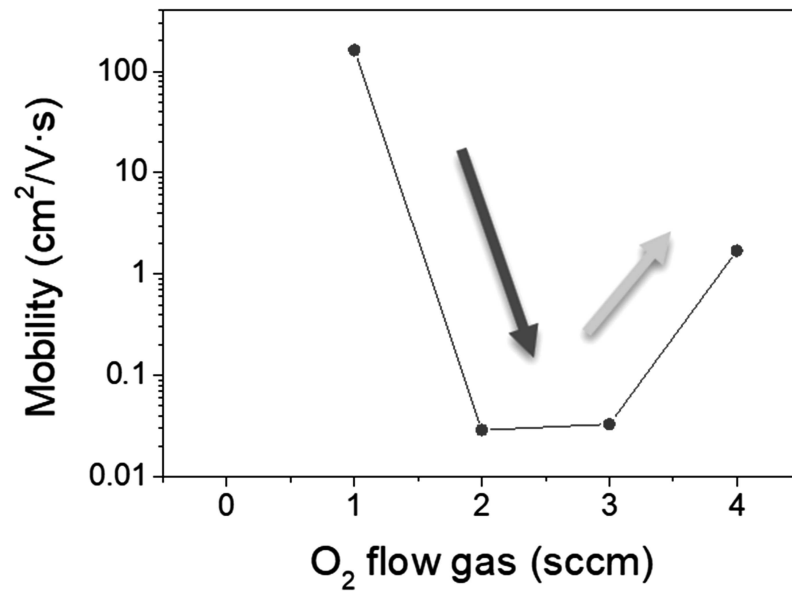
도면1



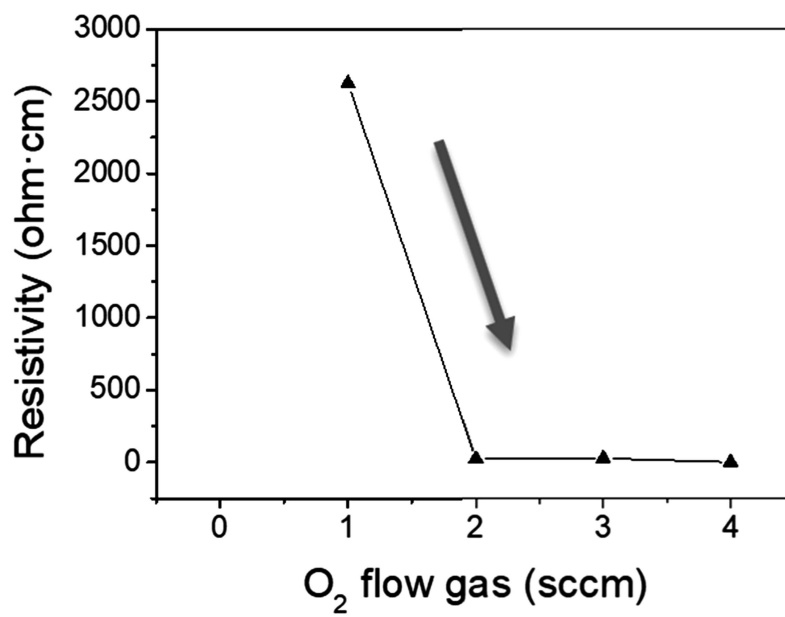
도면2a



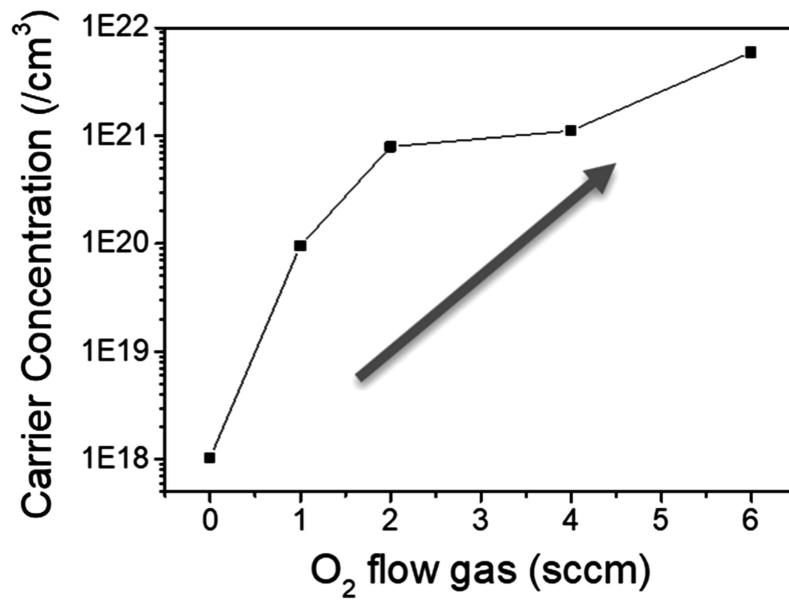
도면2b



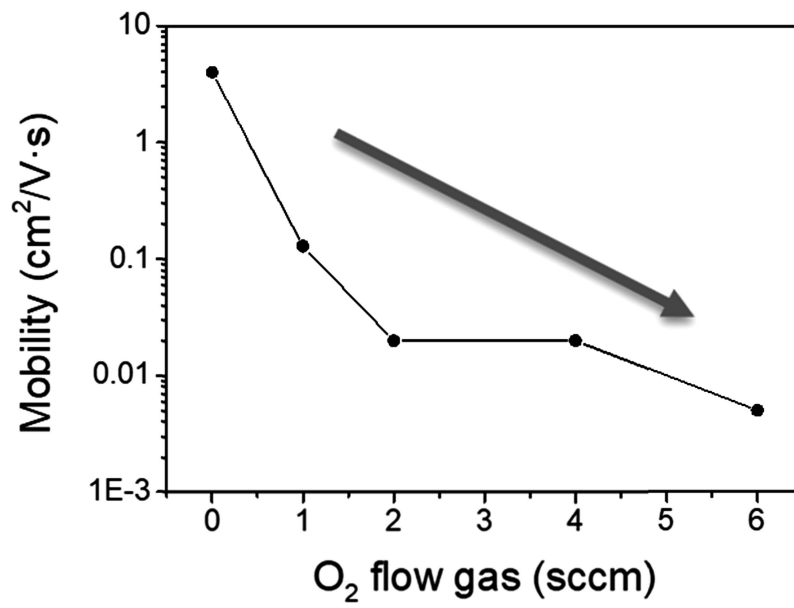
도면2c



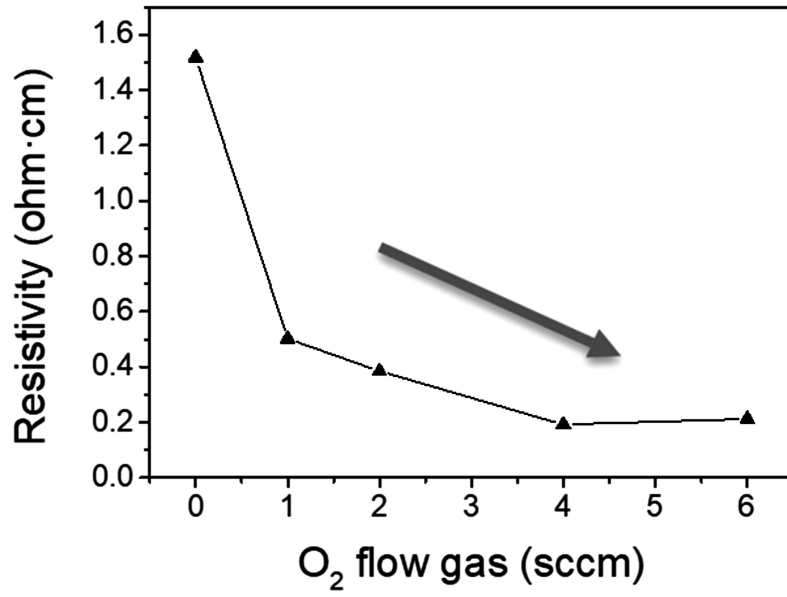
도면3a



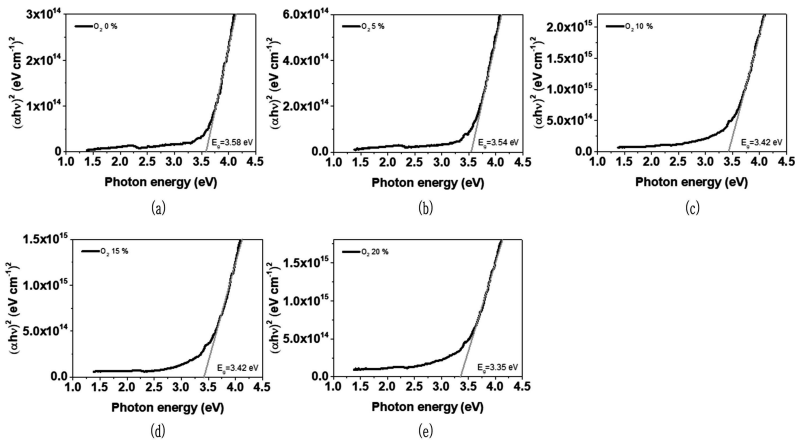
도면3b



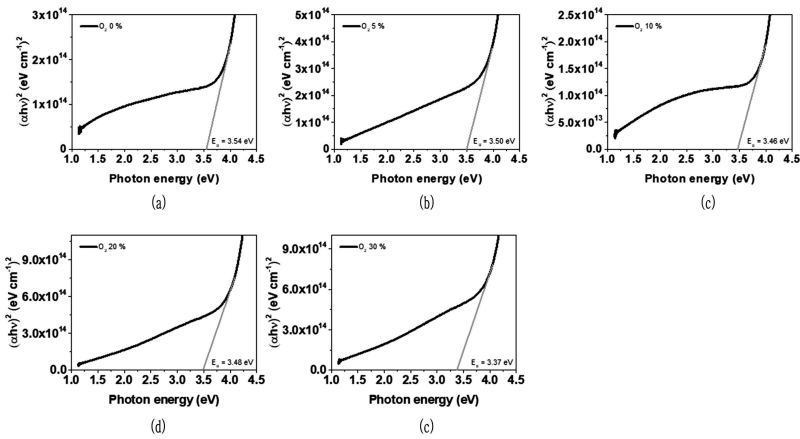
도면3c



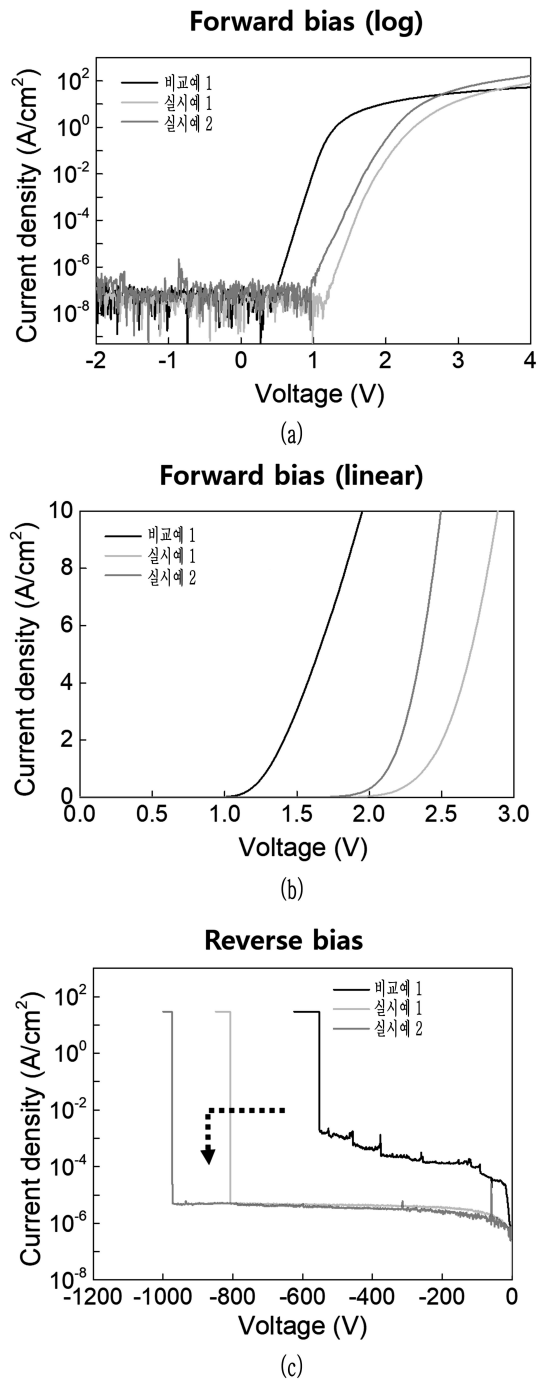
도면4



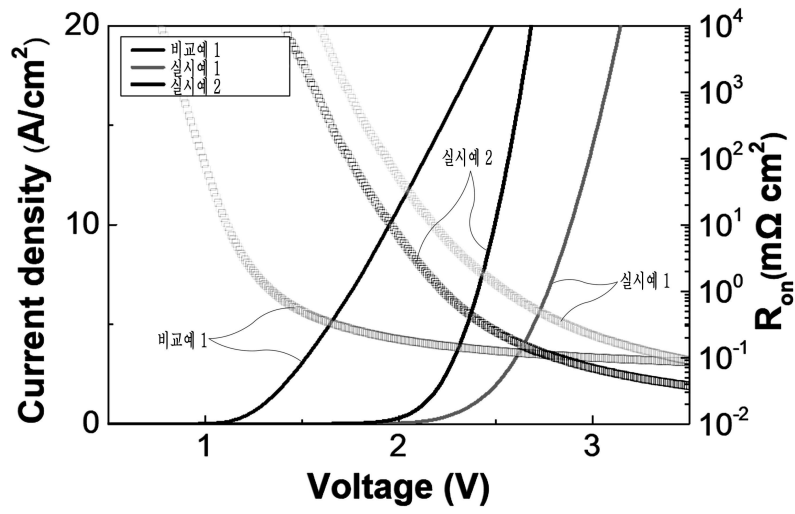
도면5



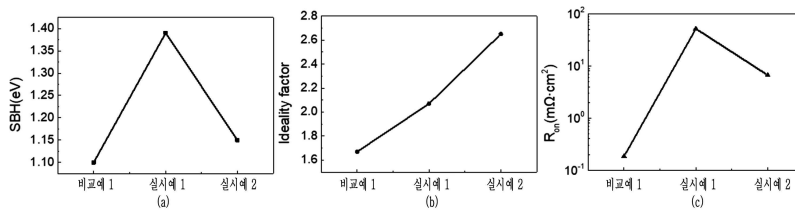
도면6



도면7



도면8



도면9

