

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
G11C 11/407

(45) 공고일자 1992년 12월 05일  
(11) 공고번호 특 1992-0010560

(21) 출원번호	특 1984-0007504	(65) 공개번호	특 1985-0004684
(22) 출원일자	1984년 11월 29일	(43) 공개일자	1985년 07월 25일
(30) 우선권 주장	83-241966 1983년 12월 23일	일본(JP)	
(71) 출원인	가부시끼가이샤 히다찌세이사쿠쇼 미다 가쓰시게 일본국 도쿄도 지요다구 간다 스루가다이 4-6		

(72) 발명자 마쯔모토 데쓰로  
일본국 도쿄도 다찌가와시 와카바쵸 1-3-17  
(74) 대리인 백남기

심사관 : 안대진 (책자공보 제3062호)

(54) 반도체 기억장치

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명에 앞서 제안되어 있는 너블 모드를 설명하기 위한 타이밍도.

제2도는 본 발명의 1실시예를 도시한 회로도.

제3도는 그 데이터 출력 버퍼와 데이터 입력 버퍼 DIB1~DIB4 및 타이밍 발생회로 TG의 일부의 1실시예를 도시한 블럭도.

제4도 및 제5도는 제3도의 회로 블럭 R1 및 W1의 구체적인 회로도.

제6도는 타이밍 발생회로의 구체적인 블럭도.

제7도는 제3도 및 제6도의 실시예 회로의 동작의 1예를 설명하기 위한 타이밍도.

제8도는 데이터 출력 버퍼의 다른 1실시예를 도시한 회로도.

\* 도면의 주요부분에 대한 부호의 설명

MARY : 메모리 어레이                      SA : 센스앰프  
MC : 메모리셀                                AR : 액티브리스토어 회로  
MA : 메인앰프                                DC : 더미셀  
ADB : 어드레스 버퍼                        R-DCR : 로우 디코더  
C-DCR : 컬럼 디코더

[발명의 상세한 설명]

본 발명은 반도체 기억장치에 관한 것으로, 예를들면 여러개의 비트로 되는 데이터를 시리얼로 라이트 또는 리드를 행하는 기능을 갖는 반도체 기억장치에 유효한 기술에 관한 것이다.

예를들면, 다이내믹형 RAM(Random Access Memory)에 있어서는 1비트 단위로 데이터를 액세스하는 방식이외에, 니블 모드라고 부르는 액세스 방식이 제안되고 있다.

제1도에는 니블 모드에 있어서의 신호의 타이밍도가 도시되어 있다.

RAM의 액세스를 위해서 로우 어드레스 스트로브 신호  $\overline{RAS}$  및 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 가 도시된 바와 같이 로우 레벨로 강해진다. 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 는 도시되어 있는 것과 같이 여러번 강하게 된다.

RAM은 신호  $\overline{RAS}$  및  $\overline{CAS}$ 의 처음의 하강에 동기해서 1조의 어드레스 신호, 즉 로우 어드레스 신호 및 컬럼 어드레스 신호를 입력한다. 니블 동작이 가능한 RAM은 그 내부의 여러개의 신호 유지회로, 그 동작을 제어하기 위한 시프트 레지스터 및 레지스터를 갖는다. 1회의 어드레스 설정이 행하여지면, RAM내의 신호 유지회로에는 4비트의 데이터가 입력된다. 이 4비트의 데이터는 제1c도의 타

이밍도에 도시한 것과 같이, 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 의 하강에 동기해서 1비트씩 RAM에서 차례로 출력된다.

이 종류의 다이내믹형 RAM에 있어서 타이밍 발생 회로와 같은 내부 회로가 타이밍 회로로 구성될때, 그 내부 회로는 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 가 하이레벨로 되는 것에 의해서 프리차지 상태

또는 리셋 상태로 되며, 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 가 로울 레벨로 되는 것에 의해서 여러가지의 신호를 형성하도록 구성된다.

여기서 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 가 하이 레벨인 기간은 통상 RAM을 사용하는 전자 시스템의 시스템 클럭에 의해서 그 최소 펄스폭이 제한된다. 이로인해서, 이와 같이 컬럼 어드레스 스트

로브 신호  $\overline{CAS}$ 가 하이 레벨로 되는 것에 의해서, 프리차지 기간이 설정될때는 RAM의 액세스 타임이 지연된다는 결점이 있다.

본 발명의 목적은 여러개의 비트의 데이터의 입출력을 고속으로 행할 수 있는 반도체 기억장치를 제공하는데 있다.

본 발명의 상기 및 그외의 목적과 새로운 특징은 본 명세서의 기술 및 첨부 도면에서 명확하게 될 것이다.

본 출원에 있어서 공개되는 발명중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 여러개의 메모리 어레이에 대한 데이터의 입출력을 컬럼 어드레스 스트로브 신호의 변화 타이밍 신호에 동기해서 시리얼로 행하게 하므로써 고속의 액세스를 실현하는 것이다.

제2도에는 본 발명을 다이내믹형 RAM에 적용했을때의 1실시예의 회로도가 도시되어 있다. 실시예에서의 다이내믹형 RAM은 특히 제한되지 않지만 4개의 메모리 어레이 MARY1~MARY4, 각각의 메모리 어레이에 결합된 센스 앰프 SA, 액티브 리스토어 회로 AR, 컬럼 스위치 회로 CW, 메인 앰프 MA, 로우 및 컬럼 어드레스 디코더 RC-DCR, 어드레스 버퍼 ADB 및 타이밍 발생 회로등으로 되는 주변 회로를 갖는다.

4개의 메모리 어레이는 서로가 대응되는 메모리 어드레스를 갖는다. 4개의 메모리 어레이에 결합되는 어드레스 디코더, 컬럼 스위치 회로등의 주변 회로가 적당한 구성으로 되는 것에 의해서 4개의 메모리 어레이의 서로가 대응되는 메모리 어드레스는 동시에 선택된다.

제2도에 있어서는 도면을 간단하게 하기 위해서 여러개의 메모리 어레이 중 1개의 메모리 어레이 MARY1과 그 주변 회로가 대표로서 도시되어 있다. 그리고 이들의 메모리 어레이 및 주변 회로는 주지의 반도체 집적회로 기술에 의해서 1개의 반도체 기판에 형성되어 있다.

동일 도면에 도시한 실시예의 회로는 n채널 MOSFET를 대표로 하는 IGFET(Insulated Gate Field Effect Transistor)로 구성되어 있다.

메모리 어레이 MARY1은 여러개의 데이터선(비트선)  $DL1$  내지  $DL2$  워드선 WL1, WL2 및 메모리 셀 MC로 구성되어 있다. 특히 제한되지 않지만, 메모리 어레이 MARY1은 폴디드 비트 라인 방식으로 되어

있다. 서로가 인접하며, 또한 평행으로 연장된 데이터선  $DL1$ 과  $DL1$ 는 서로 쌍으로 되어 있다. 메

모리 셀 MC는 한쌍의 데이터선  $DL1$  및  $DL1$ 와 1개의 워드선 WL1에 의해서 형성되는 2개의 교차점 중의 한쪽에 결합되어 있다.

1비트의 메모리 셀 MC는 정보 기억용 캐패시터 Cs와 어드레스 선택용 MOSFET Qm으로 되고, 논리 "1", "0"의 정보는 캐패시터 Cs에 전하가 있는가, 없는가의 형태로 기억된다.

정보의 리드는 MOSFET Qm을 "on" 상태로 하는 것에 의해서, 캐패시터 Cs를 공통 데이터선 DL에 결합시켜 데이터선 DL의 전위가 캐패시터 Cs에 축적된 전하량에 따라서 어떠한 변화가 일어나는가를 감지하는 것에 의해서 행하여진다. 선택된 메모리 셀 MC에 의해서 데이터선 DL에 부여되는 전위 변화 즉, 데이터신호의 레벨은 데이터선 DL이 비교적 큰 기생용량을 가지므로 미소하다.

특히 제한되지 않지만, 이와 같은 미소한 신호를 검출하기 위한 기준으로서 미리 셀 DC가 마련되어 있다. 이 더미 셀 DC는 그 캐패시터 Cd의 용량값이 메모리 셀 MC의 캐패시터 Cs의 약 1/20이라는 것을 제외하고, 메모리 셀 MC와 마찬가지로의 제조 조건, 같은 설계정수로 만들어져 있다. 캐패시터 Cd

는 어드레싱에 앞서, MOSFET Qd' 에 의해서 접지 전위로 충전된다.

캐패시터 Cd의 용량값이 캐패시터 Cs의 약 1/2의 용량 값으로 설정되어 있으므로, 더미 셀 DC는 메모리 셀 MC에서 데이터선 쌍의 한쪽에 부여되는 리드 신호의 약 1/2과 동일한 기준 전압을 데이터선 쌍의 다른쪽에 부여되는 것으로 된다.

상보 데이터 선 DL,  $\overline{DL}$ 의 각각에 결합되는 메모리 셀의 수는 검출 정확도를 높이기 위해, 즉 상보 데이터선 DL 및  $\overline{DL}$ 의 각각에 결합되는 기생 용량을 서로 동일하게 하기 위해서 서로 같게 된다. DL,  $\overline{DL}$ 의 각각에 1개씩의 더미 셀이 결합되어 있다. 또, 각 메모리 셀 MC는 상술한 바와 같이 1줄의 워드선 WL과 상보 데이터선 쌍의 한쪽의 사이에 결합되어 있다.

어드레싱에 있어서 상보 데이터선 쌍 DL,  $\overline{DL}$ 의 한쪽에 결합된 메모리 셀 MC가 선택되었을때, 다른 쪽의 데이터선에는 반드시 더미 셀 DC가 결합되도록 1쌍의 더미 워드선 DWL,  $\overline{DWL}$ 의 한쪽이 선택된다.

센스 앰프 SA는 상기 어드레싱에 의해 일어나는 이와 같은 전위 변화의 차를 타이밍 신호(센스 앰프 제어 신호)Φpa로 결정되는 센스 기간으로 확대한다. 센스 앰프 SA는 그 1쌍의 입출력 노드가 1쌍의 평행으로 배치된 상보 데이터선 DL,  $\overline{DL}$ 에 결합되어 있다. 이 센스 앰프 SA는 1쌍의 교차 결선된 MOSFET Q1, Q2를 가지며, 이들이 정구한 작용에 의해 상보 데이터선 DL,  $\overline{DL}$ 에 나타난 미소한 신호를 차동적으로 증폭한다.

각 워드선 WL이 데이터선 쌍의 각각과 교차되어, 그 결과로서 각 워드선과 데이터선과의 사이에 바라지않는 커플링 용량이 형성되기 때문에, 1개의 워드선이 선택되면 그 커플링 용량을 거쳐서 각 데이터선에 노이즈가 부여되어 버린다. 그러나 플리드 비트 라인 방식의 메모리 어레이에 있어서, 워드선에서 커플링 용량을 거쳐서 데이터선 쌍 DL,  $\overline{DL}$ 의 각각에 부여되는 노이즈(잡음)는 그 레벨이 서로 같다. 이 노이즈는 공통 모드 노이즈이므로, 차동형의 센스 앰프 SA에 의해서 상쇄된다.

상기의 어드레싱을 할때, 일단 파괴되기 시작한 메모리 셀 MC의 라이트 정보는 이 센스 동작에 의해서 얻어진 하이 레벨 또는 로우 레벨의 전위를 그대로 받는 것에 의해서 회복한다.

그러나 센스 앰프 SA의 동작의 결과로서 설정되는 하이 레벨이 전원 전압 Vcc에 대해서 일정이상 떨어지면, 여러번의 리드, 리라이트를 반복하는 동안에 논리 "0"으로서 리드될 수 있는 오동작이 일어난다. 이 오동작을 방지하기 위해서 마련된 것이 액티브 리스토어 회로 AR이다. 이 액티브 리스토어 회로 AR은 로우 레벨의 신호에 대해서 아무런 영향을 주지 않고, 하이 레벨의 신호에만 선택적으로 전원 전압 Vcc의 전위로 부스트(승압)하는 작용이 있다.

동일 도면에 도시되어 있는 데이터선 쌍 DL1,  $\overline{DL1}$ 은 컬럼 스위치 CW를 구성하는 MOSFET Q3, Q4를 거쳐서 공통상보 데이터선 쌍 CDL1,  $\overline{CDL1}$ 에 접속되어 있다. 다른 데이터선 쌍도 마찬가지로 MOSFET Q5, Q6을 거쳐서 공통 상보 데이터선 쌍 CDL1,  $\overline{CDL1}$ 에 접속되어 있다. 이 공통 상보 데이터선 쌍 CDL1,  $\overline{CDL1}$ 는 다음에 제3도에서 기술하는 데이터 출력회로의 입력단자와 데이터 입력 회로의 출력 단자에 각각 접속되어 있다. 공통 상보 데이터선 CDL1,  $\overline{CDL1}$ 은 메인 앰프 MA의 1쌍의 입출력 단자에 결합되어 있다.

로우 디코더 및 컬럼 디코더 RC-DCR은 어드레스 버퍼 ADB에서 형성된 내부 상보 어드레스 신호를 받아서 1줄의 워드선, 더미 워드선 및 컬럼 스위치 선택 신호를 형성한다. 이로인해서 메모리 셀 및 더미 셀의 어드레싱이 행하여진다.

어드레스 버퍼 ADB, 로우 디코더 및 컬럼 디코더 RC-DCR의 각각의 구성은 잘 알려져 있는 다이내믹형 RAM의 그것과 동일하게 된다. 따라서, 각각에 대해서 상세한 설명을 생략한다. 즉, 이들의 회로는 다이내믹 동작의 회로로 구성되며, 다음에 설명하는 타이밍 발생회로에서 출력되는 여러가지의 타이밍 신호에 의해서 각각의 동작이 제어된다. 즉, 어드레스 버퍼 ADB는 로우 어드레스 스트로브

신호  $\overline{RAS}$ 에 의해 형성된 타이밍 신호  $\overline{\phi_{ar}}$ 에서 동기해서 외부 어드레스 신호 XA0 내지 XAi를 결합하여, 내부 상보 어드레스신호 xa0,  $\overline{xa0}$  내지 xai,  $\overline{xai}$ 를 형성한다. 어드레스 버퍼 ADB는 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 에 의해 형성된 타이밍 신호  $\overline{\phi_{ac}}$ 에 동기해서 외부 어드레스 신호 YA0 내지 YAi를 결합하여, 내부 상보 어드레스신호 ya0,  $\overline{ya0}$  내지 yai,  $\overline{yai}$ 를 형성한다. 특히 제한되지 않지만 컬럼계의 내부 상보 어드레스 신호 xa0 내지  $\overline{xai}$ 중의 xai 및  $\overline{xai}$ 는 다음에 제3도에서 설명하는 어드레스 디코더 SR-DCR에 공급된다. 나머지의 상부 어드레스 신호 xa0,  $\overline{xa0}$  내지 xai-1,  $\overline{xai-1}$ 는 로우 디코더 R-DCR에 공급된다. 마찬가지로 컬럼계의 내부 상보 어드레스 신호 ya0,  $\overline{ya0}$  내지 yai,  $\overline{yai}$ 중의 yai 및  $\overline{yai}$ 는 어드레스 디코더 SR-DCR에 공급되고, 나머지의 어드레스

신호  $ya_0$ ,  $\overline{ya_0}$  내지  $yai-1$ ,  $\overline{yai-1}$  는 컬럼 디코더 C-DCR에 공급된다.

로우 어드레스 디코더 R-DCR은 로우 어드레스 스트로브 신호에 따라서 형성된 워드 선택 타이밍 신호  $\Phi_x$ 와 상기 내부 상보 어드레스 신호를 받아 어드레스 신호 XA0 내지 XAi-1에 의해서 지정된 워드선 및 더미 워드선을 타이밍 신호  $\Phi_x$ 에 동기해서 선택한다.

컬럼 디코더 C-DCR는 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 에 따라서 형성된 데이터선 선택 타이밍 신호  $\Phi_y$ 와 상기 내부 상보 어드레스 신호를 받아 상기 어드레스 신호  $ya_0$  내지  $yai-1$ 에 의해서 지시된 데이터선을 상기 데이터선 선택 신호  $\Phi_y$ 에 동기해서 선택한다.

메인 앰프 MA는 그 동작이 타이밍 신호  $\Phi_{ma}$ 에 의해서 제어되고, 공통 상보 데이터선 CDL1 및

$\overline{CDL1}$ 에 부여되는 데이터 선호를 증폭한다.

제3도에는 4비트의 데이터를 시리얼로 라이트 또는 리드를 행하는 니블 모드 기능을 실현하기 위한 데이터 리드 회로 R1 내지 R4, 데이터 라이트 회로 W1 내지 W4 및 그들의 동작을 제어하는 타이밍 발생 회로 TG의 일부를 도시한 1실시예의 블럭도가 도시되어 있다.

특히 제한되지 않지만, 본 실시예에서는 4조의 메모리 어레이 MARY1 내지 MARY4가 형성되고 각각의 공통 상보 데이터선쌍 CDL1,  $\overline{CDL1}$  내지 CDL4,  $\overline{CDL4}$ 로 얻어진 리드 신호를 증폭하는 4조의 리드 회로 또는 리드 앰프 R1 내지 R4, 상기 각각의 공통 상보 데이터선쌍 CDL1,  $\overline{CDL1}$  내지

CDL4,  $\overline{CDL4}$ 에 라이트 신호를 공급하는 라이트 회로 또는 라이트 앰프 W1 내지 W4가 마련되어 있다. 그리고 상기 각 라이트 앰프 R1 내지 R4의 출력 신호는 공통의 출력 버퍼 OB를 거쳐서 외부로 송출된다. 한편 상기 각 라이트 앰프의 입력 단자에는 공통의 입력 버퍼 IB를 거쳐서 외부로부터의 라이트 신호가 공급된다. 이와 같이 출력버퍼 OB와 입력 버퍼 IB를 공통화했을때에 그들의 회로 OB, IB는 특히 제한되지 않지만 CMOS회로와 같은 스테이팅형 회로로 구성된다.

본 실시예에서는 4비트의 데이터를 시리얼로 리드 또는 라이트를 행하기 위해 상기 리드 앰프 R1 내지 R4와 라이트 앰프 W1 내지 W4는 리드 또는 라이트 제어신호  $we$ 와 다음에 기술하는 타이밍 발생회로 TG에 의해서 형성된 타이밍 신호  $\Phi_1$  내지  $\Phi_4$ 에 따라서 시계열적으로 동작되어진다. 즉, 라이트 인에이블 신호  $\overline{WE}$ 가 하이 레벨이면, 리드 앰프 R1 내지 R4가 타이밍 발생회로 TG에 의해서 형성된 타이밍 신호  $\Phi_1$  내지  $\Phi_4$ 에 따라서 시계열적으로 동작되어진다. 라이트 인에이블 신호  $\overline{WE}$ 가 로우 레벨이면, 라이트 앰프 W1 내지 W4가 타이밍 발생회로 TG에 의해서 형성된 타이밍 신호  $\Phi_1$  내지  $\Phi_4$ 에 따라서 시계열적으로 동작되어진다.

리드 앰프 R1은 라이트 제어 신호  $we$ 가 로우 레벨로 되어 있을때에, 타이밍 신호  $\Phi_{10}$ 이 하이 레벨로 되면 그에 따라서 동작 상태로 된다. 동작 상태의 리드 앰프 R1은 메모리 어레이 MARY1에 결합된 공통 상보 데이터선 CDL1과  $\overline{CDL1}$ 에 부여되는 데이터 신호에 대응한 데이터 신호를 상보 신호선 CDR과  $\overline{CDR}$ 에 출력한다. 리드 앰프 R1은 라이트 제어신호  $we$ 가 하이 레벨로 되어 있을때, 즉 외부 라이트 인에이블 신호  $\overline{WE}$ 가 로우 레벨로 되는 것에 의해서 메모리에 라이트 동작 모드가 지시되어 있을때 및 타이밍 신호  $\Phi_{10}$ 이 로우 레벨로 되어 있을때 비 동작 상태로 된다. 비 동작 상태의 리드 앰프 R1은 그 출력 임피던스가 하이 임피던스 상태로 된다.

리드 앰프 R1의 구체적인 회로예가 제4도에 도시되어 있다. 리드 앰프 R1은 도시한 바와 같이 각각의 게이트가 공통 상보 데이터선 CDL1,  $\overline{CDL1}$ 에 결합된 증폭용 MOSFET Q15, Q16, 스위칭 MOSFET Q17, Q18 및 스위칭 MOSFET Q17, Q18을 제어하기 위한 MOSFET Q10 내지 Q14로 구성되어 있다.

라이트 제어 신호  $we$ 가 하이 레벨이면, 이에 따라서 MOSFET Q11, Q14가 "on" 상태로 되고, 스위칭 MOSFET Q17 및 Q18의 게이트는 대략 0V의 로우 레벨로 유지된다. 따라서 스위칭 MOSFET Q17 및 Q18은 "off" 상태로 된다.

라이트 제어 신호  $we$ 가 로우 레벨로 되어 있는 상태에서 타이밍 신호  $\Phi_{ma}$  및  $\Phi_{10}$ 이 하이레벨로 되면, 이에 따라서 스위칭 MOSFET Q17 및 Q18은 "on" 상태로 된다. 그 결과로서 증폭용 MOSFET Q15

및 Q16이 각각 상보 신호선 CDR,  $\overline{CDR}$ 에 결합된다. 공통 상보 데이터선 CDL1,  $\overline{CDL1}$ 에 부여되는 데이터 신호에 의해서 증폭용 MOSFET Q15와 Q16이 상보적으로 동작되기 때문에, 1쌍의 상보 신호선 CDR과  $\overline{CDR}$ 중의 한쪽이 강제로 대략 0V의 로우 레벨로 된다.

그리고 상보 신호선 CDR 및  $\overline{CDR}$ 의 각각에 사전에 전위를 부여하는 수단인 제3도의 데이터 출력 버퍼OB중에 없을때, 상보 신호선 CDR,  $\overline{CDR}$ 의 각각과 회로의 전원 단자  $V_{cc}$ 와의 사이에 풀업 저항 수단(도시하지 않음)이 마련된다.

제3도의 리드 앰프 R2 내지 R4는 R1과 마찬가지로 구성으로 된다.

리드 앰프 R1 내지 R4는 타이밍 신호  $\Phi_1$  내지  $\Phi_4$ 가 차례로 발생하는 것에 따라서 차례로 동작된다.

리드 앰프 R1 내지 R4는 타이밍 신호  $\Phi_1$  내지  $\Phi_4$ 가 차례로 발생하는 것에 따라서 차례로

동작된다.

라이트 앰프 W1은 라이트 제어 신호 we가 하이 레벨로 되어 있을때 타이밍 신호  $\Phi 10$ 이 하이 레벨로 되면, 그에 따라서 동작 상태로 된다. 동작 상태의 라이트 앰프 W1은 상보 신호선 CDW와  $\overline{CDW}$ 에 공급되고 있는 데이터 신호와 대응한 데이터 신호를 공통 상보 데이터선 CDL1과  $\overline{CDL1}$ 에 부여한다. 이로인해 외부 데이터 신호 Din과 대응된 데이터 신호가 입력 버퍼 IB 및 라이트 앰프 W1을 거쳐서 공통 상보 데이터선 CDL1 및  $\overline{CDL1}$ 에 부여된다. 라이트 앰프 W1은 라이트 제어 신호 we 및 타이밍 신호  $\Phi 10$ 이 로우 레벨로 되어 있으면, 그에 따라서 비동작 상태로 된다. 비동작 상태의 라이트 앰프 W1은 높은 출력 임피던스를 갖도록 된다.

제5도는 라이트 앰프 W1의 구체적인 회로예를 도시하고 있다.

라이트 제어 신호 we가 로우 레벨이고,  $\overline{WE}$ 가 하이 레벨이면, 그에 의해 MOSFET Q21, Q22, Q24 및 Q29가 "on" 상태로 되며, MOSFET Q23, Q28이 "off" 상태로 된다. 이때, 출력 버퍼를 구성하는 MOSFET Q26, Q27, Q31 및 Q32는 각각의 게이트가 상기 MOSFET Q21, Q22, Q24 및 Q29에 의해서 대략 0V로 되므로 "off" 상태로 된다. 따라서, 이 상태에서 공통 상보 데이터선 CDL1 및  $\overline{CDL1}$ 의 전위는 라이트 회로 W1에 의해서는 변경되지 않는다.

라이트 제어 신호 we 및  $\overline{WE}$ 가 각각 하이 레벨, 로우 레벨로 되어 있으면, MOSFET Q26, Q27, Q31 및 Q32의 도통상태는 타이밍 신호  $\Phi 10$ 이 발생되었을때 상보 신호선 CDW 및  $\overline{CDW}$ 의 레벨에 의해서 결정된다. 이때의 회로 동작은 다음과 같이 된다.

예를들면, 상보 신호선 CDW 및  $\overline{CDW}$ 의 레벨이 제3도의 데이터 입력 버퍼 IB에 의해서 각각 하이 레벨, 로우 레벨로 되어 있다고 한다. 타이밍 신호  $\Phi 10$ 이 하이 레벨로 되면, 그에 따라서 스위칭 MOSFET Q19, Q20이 "on" 상태로 된다. 그 결과 MOSFET Q25 및 Q27의 게이트는 신호선 CDW가 하이 레벨로 되는 것에 따라서 하이 레벨로 된다. 타이밍 신호  $\Phi 10$ 은 MOSFET Q23을 거쳐서 MOSFET Q26의 게이트에 공급된다. 그러나, 이때 MOSFET Q26의 게이트는 MOSFET Q25가 그 게이트 전위를 하이 레벨로 하는 것에 의해서 "on" 상태로 되므로, 대략 0V의 로우 레벨 그대로 된다. MOSFET Q30 및 Q32의 게이트는 신호선  $\overline{CDW}$ 가 로우 레벨로 되어 있으므로, 로우 레벨 그대로 된다. 타이밍 신호  $\Phi 10$ 은 MOSFET Q28을 거쳐서 MOSFET Q31의 게이트에 공급된다. 이때 MOSFET Q30이 "off" 상태로 되어 있으므로, MOSFET Q31의 게이트는 타이밍 신호  $\Phi 10$ 이 하이 레벨로 되면 그에 따라서 하이 레벨로 된다. 그 결과로서, 공통 상보 데이터선 CDL1 및  $\overline{CDL1}$ 는 강제로 각각 로우 레벨, 하이 레벨로 된다. 라이트 앰프 W2 내지 W4는 W1과 마찬가지로 구성으로 된다. 그 결과로서, 라이트 앰프 W1 내지 W4는 타이밍 신호  $\Phi 1$  내지  $\Phi 4$ 가 차례로 발생하는 것에 의해서 차례로 동작된다.

타이밍 발생회로 TG의 일부는 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 를 받는 에지트리거 회로 EG 및 시프트 레지스터 SR로 구성된다. 타이밍 발생 회로 TG의 보다 구체적인 구성은 다음에 제6도에 의해서 설명한다.

상기 에지 트리거 회로 EG는 특히 제한되지 않지만, 상기 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 와 그 지연 신호  $\overline{CAS'}$ 를 형성해서 배타적 논리합 회로에 공급하는 것에 의해서 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 의 변화 타이밍을 검출한다. 그리고, 최초의 변화 타이밍에는 응답하지 않도록 되어 있다. 이와 같이 해서, 형성된 타이밍 신호 EG는 시프트 레지스터 SR의 시프트 클럭으로서 이용된다.

시프트 레지스터 SR은 4비트의 시프트 레지스터이며, 외부 어드레스 신호 XAi와 YAi에 대응하는 내부 어드레스 신호 xai,  $\overline{xai}$ , yai 및  $\overline{yai}$ 를 입력하는 어드레스 디코더 SR-DCR에서 출력되는 디코더 신호와 프리셋 신호  $\Phi ps$ 에 의해서 그 초기값이 설정된다.

즉, 제2도의 어드레스 버퍼 ADB에서 내부 어드레스 신호 xai,  $\overline{xai}$ , yai 및  $\overline{yai}$ 가 출력된 후에 타이밍 신호  $\Phi y$ 가 발생되면, 그에 따라서, 어드레스 디코더 SR-DCR이 동작된다. 이에 따라서, 어드레스 디코더 SR-DCR의 4개의 출력 중의 1비트가 하이 레벨(논리 "1")로 된다. 그후, 프리셋 신호  $\Phi ps$ 가 발생되면, 어드레스 디코더 SR-DCR의 출력이 시프트 레지스터 SR에 프리셋된다. 즉, 시프트 레지스터 SR은 그 4비트중 어드레스 신호 XAi와 YAi 의해서 지시된 1비트가 논리 "1"로 되고, 나머지 3비트가 논리 "0"으로 되어서 초기값이 설정된다. 상기 논리 "1"의 정보는 상기 시프트 클럭에 따라서 차례로 오른쪽 방향으로 시프트 되어 최종단 출력은 최단측으로 귀환된다.

이로인해, 상기 시프트 레지스터 SR의 각단에서 4개의 타이밍 신호  $\Phi 1$  내지  $\Phi 4$ 가 형성된다. 각각의 타이밍 신호는 대응하는 앰프 R1, W1 내지 R4, W4에 공급된다.

제6도는 타이밍 발생회로 TG의 구체적인 블럭도를 도시하고 있다.

에지 트리거 회로 EG는 특히 제한되지 않지만 도시한 바와 같이 인버터 회로 IV1 S지 IV4, 배타적 논리합 회로 EX1, NAND 회로 ND1, 지연회로 DLY1, DLY2 및 MOSFET Q10, Q11로 구성되어 있다.

지연 회로 DLY2와 배타적 논리합 회로 EX1은 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 의 과도현상을 검출하기 위한 검출회로를 구성하고 있다. 지연 회로 DLY2는 연어야 할 검출 펄스의 펄스폭과 실질적으로

동일한 지연 시간을 갖도록 된다. 이로 인해 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 가 제7b도에 도시된 것과 같이 변화되면, 배타적 논리합 회로 EX1에서 출력되는 검출 펄스 N3은 제7도 H에 도시된 것과 같이 변화된다.

인버터 회로 IV1, IV2 및 MOSFET Q10, Q11은 컬럼 어드레스 스트로브 신호 검출 회로를 구성하고 있다. 로우 어드레스 스트로브 신호  $\overline{\text{RAS}}$ 와 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 의 모든 것이 하이 레벨로 유지되어 있으면, 인버터회로 IV2의 출력 N1은 제7c도에 도시된 것과 같이 하이레벨로 되어 있다. 이때, 다이오드 접속의 MOSFET Q10은 실질적으로 "on" 상태로 되어 있고, MOSFET Q11은 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 를 받은 인버터 회로 IV2의 출력(로우 레벨)에 의해서  $\overline{\text{off}}$ 상태로 되어 있다. 이로 인해서, 신호  $\overline{\text{CAS1}}$ 는 제7d도에 도시한 것과 같이 하이 레벨로 되어 있다.

로우 어드레스 스트로브 신호  $\overline{\text{RAS}}$ 가 로우 레벨로 변화되면, 그에 따라서 인버터 회로 IV2의 출력은 제7c도에 도시되어 있는 것과 같이 로우 레벨로 변화된다. 이때 MOSFET Q10은 자동적으로 "off" 상태로 된다. 신호  $\overline{\text{CAS1}}$ 는 MOSFET Q10과 Q11의 접속점에 존재하는 부유용량이나 기생용량에 의해서 하이 레벨로 유지된다.

그후 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 가 제7b도에 도시된 것과 같이 로우 레벨로 변화되면, 그에 따라서 MOSFET Q11이 "on" 상태로 된다. 그 결과로서 신호  $\overline{\text{CAS1}}$ 는 제7d도에 도시된 것과 같이 로우 레벨로 된다. 신호  $\overline{\text{CAS1}}$ 는 그후의 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 의 레벨 변화에 관계 없이 로우 레벨로 유지된다. 즉, 신호  $\overline{\text{CAS1}}$ 는  $\overline{\text{CAS}}$  신호의 최초의 하강에만 응답해서 로우 레벨로 된다. 신호  $\overline{\text{CAS1}}$ 는 제7d도에 도시된 것과같이  $\overline{\text{RAS}}$  신호 및  $\overline{\text{CAS}}$  신호의 양쪽이 하이 레벨로 되는 것에 따라서 하이 레벨로 된다.

지연 회로 DLY1과 NAND회로 ND1은 게이트 회로를 구성하고 있다. 지연 회로 DLY1은 신호 반전 기능을 갖는다. 지연 회로 DLY1의 지연 시간을 지연 회로 DLY2의 그것에 대해서 어느 정도 크게 되어 있다.

지연 회로 DLY1의 출력 N2는 제7e도에 도시되어 있는 것과 같이 사전에 로우 레벨로 되어 있으며, 신호  $\overline{\text{CAS1}}$ 이 로우 레벨로 된 후에 하이 레벨로 된다. 지연 회로 DLY1의 지연 시간이 적당히 설정되는 것에 의해서 출력 N2는 배타적 논리합 회로 EX1의 출력의 최초의 하이 레벨 기간 후에 하이 레벨로 된다. NAND회로 ND1은 출력 N2가 하이 레벨로 되는 것에 의해서 열려진다.

이로 인해서 인버터 회로 IV4를 거쳐서 얻어진 NAND 회로 ND1의 출력  $\Phi_{eg}$  즉, 시프트 클럭  $\Phi_{eg}$ 는 제7i도에 도시되어 있는 것과 같이  $\overline{\text{CAS}}$  신호의 최초의 과도 현상에는 응답되지 않는다.

제6도에 있어서 프리셋 펄스 발생 회로 PSG는 신호  $\overline{\text{CAS1}}$ 의 하강을 검출하는 것에 의해서 제7f도에 도시된 것과 같은 프리셋 신호  $\Phi_{ps}$ 를 형성한다. 이 프리셋 신호  $\Phi_{ps}$ 는 제3도의 시프트 레지스터 SR에 공급된다.

제6도에 있어서 로우 타이밍 발생 회로 RTG는 로우 어드레스 스트로브 신호  $\overline{\text{RAS}}$ 를 받는 것에 의해서 로우 계통의 여러가지 타이밍 신호를 형성한다.

타이밍 신호  $\phi_{pc}$ 는  $\overline{\text{RAS}}$  신호가 하이 레벨로 되어 있을 대에 하이 레벨로 되고,  $\overline{\text{RAS}}$  신호가 로우 레벨로 되는 것에 의해서 로우 레벨로 된다. 제2도의 액티브 리스토어 회로 AR에서의 프리차지 회로(도시하지 않음)는 타이밍 신호  $\phi_{pc}$ 의 하이 레벨에 의해서 동작되고, 각각 쌍을 이루는 데이터선을 대략 전원 전압  $V_{cc}$ 레벨의 프리차지 레벨로 한다.

타이밍 신호  $\phi_{ar}$ 는  $\overline{\text{RAS}}$  신호가 로우 레벨로 되는 것에 의해서 로우 레벨로 된다. 어드레스 버퍼 ADB는 상술한 바와 같이 타이밍 신호  $\phi_{ar}$ 에 의해서 그 동작이 제어 되며, 로우 계통의 어드레스 신호 XA0 내지 XAi를 결합한다.

타이밍 신호  $\phi_x$ 는 타이밍 신호  $\phi_{ar}$ 이 로우 레벨로 된 후에 하이 레벨로 된다. 이로 인해서 로우 디코더R-DEC가 동작된다.

타이밍 신호  $\Phi_{pa}$ 는  $\overline{RAS}$  신호가 하이 레벨로 되는 것에 따라서 로우 레벨로 되며, 타이밍 신호  $\Phi_x$ 가 하이레벨로 된 후에 하이 레벨로 된다. 이로 인해서 제2도의 센스 앰프는 워드선이 선택된 후에 동작된다.

타이밍 신호  $\Phi_{act}$ 는  $\overline{RAS}$  신호가 로우 레벨로 되면 그에 따라서 로우 레벨로 되고, 타이밍 신호  $\Phi_{PA}$ 가 하이 레벨로 된 후에 하이 레벨로 된다. 이로 인해서 액티브 리스토어 회로 AR은 메모리 셀에서 데이터선 DL1,  $\overline{DL1}$  등에 부여된 데이터 신호가 센스 앰프 SA에 의해서 증폭된 후에 동작되어진다.

제6도의 에지트리거 회로 EG에서 출력되는 신호  $\overline{CAS1}$  및  $\Phi_{eg}$ 는 컬럼 타이밍 발생 회로 CTG의 동작을 제어하기 위한 제어 신호로 된다.

컬럼 타이밍 발생 회로 CTG는 상기 신호  $\overline{CAS1}$  과 함께 로우 타이밍 발생 회로 RTG에서 출력 되는 타이밍 신호  $\Phi_x$ 와 실질적으로 같은 위상의 타이밍 신호  $\Phi_x$ 를 받는 것에 의해서 여러가지의 타이밍 신호를 출력한다.

타이밍 신호  $\overline{\phi_{ac}}$  는 신호  $\overline{CAS1}$  이 신호 레벨로 변화되면, 그에 따라서 로우 레벨로 된다. 어드레스 버퍼ADB는 타이밍 신호  $\overline{\phi_{ac}}$  가 로우 레벨로 되는 것에 의해서 컬럼 계통의 어드레스 신호 YA0 내지 YA<sub>i</sub>를 입력한다.

타이밍 신호  $\Phi_y$ 는 신호  $\overline{CAS1}$  이 로우 레벨로 되면, 로우 타이밍 발생 회로 RTG에서 타이밍 신호  $\Phi'_x$ 가 출력된 후에 하이 레벨로 된다. 컬럼 디코더 C-DCR은 타이밍 신호  $\Phi_y$ 에 의해서 동작된다.

타이밍 신호  $\Phi_{ma}$ 는 NOR회로 NR1에서 출력되는 신호가 제7k도에 도시된 바와 같이 하이 레벨로 되는 것에 따라서 하이 레벨로 된다.

제2도의 메인 앰프 MA는 이 타이밍 신호  $\Phi_{ma}$ 에 의해서 동작된다.

그리고 NOR 회로 NR1 및 그로 부터 출력되는 신호 CAS2는 본 실시예의 컬럼 타이밍 발생 회로 CTG에서 필요로 하지 않는다. 만약 제3도의 출력 버퍼 OB 및 입력 버퍼 IB가 프라차지 회로를 포함하는

것과 같은 다이내믹 회로로 구성되면, 신호 CAS2는 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 의 과도현상에 응답해서 그들의 회로의 프리차지 개시 및 동작의 제어를 행하기 위해서 필요로 된다.

상기 신호 CAS2 대신에 배타적 논리합 회로 EX1의 출력 N3이 이용되어도 좋으나 이때는 다음의 점에 주의할 필요가 있다.

즉, 출력 N3이 로우 레벨로 변화되는 타이밍은  $\overline{CAS}$  신호의변화 타이밍에 대해 지연 회로 DLY2의 지연 시간 만큼 지연된다. 이로 인해  $\overline{CAS}$  신호가 최초로 로우 레벨로 되고 나서 출력 N3이 로우 레벨로 변화될때까지 약간 긴 시간이 필요하다. 그 결과  $\overline{CAS}$  신호의 최초의 하강에 대한 회로의 응답 속도가 제한된다.

본 실시예 회로의 호출 동작을 제7도의 타이밍도에 따라서 설명한다.

로우 어드레스 스트로브 신호  $\overline{RAS}$ 가 로우 레벨로 되면, 상술한 바와 같이 X계통의 어드레싱이 행하여져 데이터선 DL에 호출 신호가 나타난다. 이어서 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 가 로우 레벨로 되면, 상술한 바와 같이 Y계통의 어드레싱이 행하여져 4개의 메모리 어레이에서 각각 1개씩의 메모리 셀이 선택되고, 메모리 셀로부터의 리드신호가 공통상보 데이터선 쌍 CDL1,  $\overline{CDL1}$  내지 CDL4,  $\overline{CDL4}$  에서 얻어진다. 그리고 상기 어드레스 신호 XA<sub>i</sub>, YA<sub>i</sub>에 의해서 시프트 레지스터 SR의 예를들면 초단 회로가 논리 "1" 로 설정되고, 이로 인해 타이밍 신호  $\Phi_1$ 이 하이 레벨로 된다. 라이트 인에이블 신호  $\overline{WE}$  가 하이레벨(도시하지 않음)로 되어 있을때, 이 타이밍 신호  $\Phi_1$ 에 의해서 리드 앰프 R1이 동작한다. 이로 인해서 출력 버퍼 OB에서는 메모리 어레이 M-RAY1로부터의 리드 신호가 최초로 출력된다. 이어서 컬럼 어드레스 스트로브 신호  $\overline{CAS}$ 가 하이 레벨로 변화 되면, 이에 따라서 에지 트리거 회로 EG 에서 시프트 클럭  $\Phi_{eg}$ 가 송출되기 때문에 시프트 레지스터 SR의 논리 "1" 의 다음단으로 시프트 된다. 이로 인해서 타이밍 신호  $\Phi_2$ 가 하이 레벨로 되고, 리드 앰프 R1 대신에 리드 앰프 R2가 동작한다. 이로 인해서 출력 버퍼 OB에서는 메모리 어레이 M-RAY2로부터의 리드 신호가 출력된다. 다음에도 마찬가지로 해서 컬럼 어드레스 스트로브신호  $\overline{CAS}$ 가 변화 할때 마다 시프트 레지스터 SR의 논리 "1" 이 시프트 되기 때문에 메모리 어레이 M-RAY3, 메모리 어레이 M-RAY4로부터의 리드 신호가 차례로 출력된다. 이와 같은 최초의 리드를 행하는 메모리 어레이의

설정은 상기 어드레스 신호 AXi와 YAi의 설정에 의해서 임의로 행하여진다.

그리고 라이트 동작은 상기 컬럼 어드레스 스트로브 신호  $\overline{\text{CAS}}$ 의 변화 타이밍에 동기해서 외부 단자 Din에 라이트 데이터를 공급하면, 상기와 마찬가지로 차례 차례로 라이트 앰프 W1 내지 W4가 동작하므로, 4개의 메모리 어레이로의 라이트가 차례로 행하여 진다.

실시예의 회로는 변경 가능하다. 예를들면, 출력 버퍼 OB 및 입력 버퍼 IB는 상술한 바와 같이 프리차지 회로를 포함하는 것과 같은 다이내믹 회로로 구성하여도 좋다. 이때 출력 버퍼 OB 및 입력 버퍼 IB는 제7k도에 도시된 것과 같은 검출 펄스 CAS2에 의해서 그 동작이 제어된다. 즉, 이들의 회로 OB, IB는 검출 펄스(CAS2)의 로우 레벨에 의해서 사전에 프리차지 상태로 되고, 컬럼 어드레스 스트

로브 신호  $\overline{\text{CAS}}$  이 레벨 변화가 검출되는 것에 의해서(즉, CAS2가 하이 레벨로 되는 것에 의해서) 동작된다. 이때 회로 OB 및 IB의 여러가지의 노드가 사전에 기준 레벨로 프리셋이 되기 때문에, 이들의 회로는 각각에 가해지는 데이터 신호가 충분히 큰 레벨로 증대 되지 않는 타이밍에 있어서도 틀리는 일없이 동작한다. 또, 이때는 사전에 프리차지 또는 프리셋이 실행되기 때문에, 회로 OB 및 IB의 동작 타이밍을 일정하게 할 수가 있다

출력 버퍼 OB 및 입력 버퍼 IB는 각각 공통의 회로로 구성되어 있지 않아도 좋다. 예를들어, 출력 버퍼 OB는 리드 앰프 R1 내지 R4의 각각에 1대 1로 대응되는 회로 부분을 가지고 있어도 좋다.

제8도에는 이와 같은 데이터 출력 버퍼 OB의 1실시예의 회로 도면이 도시되어 있다.

상기 리드 앰프(메인 앰프) R1 내지 R4(제3도 참조)로부터의 증폭 출력 신호는 각각 다음의 구동단 회로 DV1 내지 DV4에 공급된다. 동일 도면에서는 대표적인 예로서, 구동단 회로 DV1과 DV4가 도시되어있다. 즉, 구동단 회로 DV1은 타이밍 신호  $\Phi 1$ 이 공급되는 단자와 회로의 접지 전위점과의 사이

에 마련되고, 상기 리드 앰프 R1로 부터의 상보 데이터 신호 dout1,  $\overline{\text{dout1}}$  를 교대로 입력하는 푸시풀 형태의 MOSFET Q10, Q12 및 Q11, Q13으로 구성되어 있다. 즉, 반전출력신호  $\overline{\text{dout1}}$  는 MOSFET Q10과 Q13의 게이트에 공급되고, 비반전 출력신호 dout1은 MOSFET Q11과 Q12의 게이트에 공급된다. 상기 MOSFET Q10과 Q12 및 MOSFET Q11과 Q13의 접속점에서 얻어진 신호는 다음의 푸시풀 형태의 출력 MOSFET Q14, Q15의 게이트에 공급된다. 즉, MOSFET Q10과 Q12의 접속점의 신호는 접지 전위측의 출력 MOSFET Q15의 게이트에 공급되고, MOSFET Q11과 Q13의 접속점의 신호는 전원 전압 VCC측의 출력 MOSFET Q14의 게이트에 공급된다.

나머지의 구동단 회로 DV2 내지 DV4와 출력 회로 OB2 내지 OB4도 상기와 마찬가지로 구성된다. 그리고 출력 회로 OB1 내지 OB4의 출력 단자는 공통화 되어서 즉, 와이어 오어(wired-or) 형태의 구성으로 되어서 1개의 출력 단자 Dout에 접속된다. 상기 각 구동단 회로 DV1 내지 DV4에 공급하는 타이밍 신호  $\Phi 1$  내지  $\Phi 4$ 는 상기 제3도의 타이밍 발생 회로 TG로 형성된다.

타이밍 발생 회로 TG는 2비트의 어드레스 신호 AXi와 AYi에 의해 지정된 최초로 출력하는 메모리 어레이에서 차례로 컬럼 어드레스 스트로브 신호의 변화 타이밍에 따라서 타이밍 신호  $\Phi 1$  내지  $\Phi 4$ 를 형성한다. 따라서 상기 제7도의 타이밍 도면에 도시한 것과 같이 4개의 구동단 회로 DV1 내지 DV4가 타이밍 발생 회로 TG에 의해서 형성된 타이밍 신호  $\Phi 1$  S지  $\Phi 4$ 에 따라서 택일적으로 차례 차례로 동작하므로, 4개의 메모리 어레이로 부터의 호출 신호가 시리얼로 출력 되는 것으로 된다.

그리고 타이밍 신호  $\Phi 1$  내지  $\Phi 4$ 가 로우 레벨로 되는 것에 의해서 부동작 상태로 된 구동단 회로 DV1 내지 DV4는 그 출력이 로우 레벨로 되기 때문에, 출력 회로 OB1 내지 OB4는 하이 임피던스 상태로 되며, 상기 타이밍 신호  $\Phi 1$  내지  $\Phi 4$ 의 하이 레벨에 의해서 동작 상태로 된 구동단 회로 DV1 내지 DV4를 통해서 공급된 신호를 입력하는 출력 버퍼 OB1 내지 OB4의 출력 신호가 외부 출력 단자 Dout에서 송출되는 것이다.

본 출원에서 개시된 발명중 대표적인 것에 의해 얻을 수 있는 효과를 간단히 설명하면 다음과 같다.

- (1). 컬럼 어드레스 스트로브 신호가 변화할때마다 여러개의 메모리 어레이에 대한 라이트 또는 리드를 실행할 수가 있으므로 고속화를 도모할 수가 있다는 효과가 얻어진다. 또한, 컬럼 어드레스 스트로브 신호에 의해서 프리차지를 행하는 출력회로가 리드 회로 또는 출력 버퍼에 마련될때에 약 30ns의 프리차지 기간을 요하기 때문에, 4비트로 되는 데이터를 리드할때에는 전체로 약 330ns의 시간을 소비하는 것으로 되어 버린다. 이에 대해서 상기와 같이 컬럼 어드레스 스트로브 신호의 변화 타이밍 때마다 리드를 실행하면, 전체 약 240ns로 리드를 실행할 수가 있다.
- (2). 여러개의 메모리 어레이로 부터의 신호를 각각 입력하는 리드 회로에 대해서 공통의 출력 버퍼를 사용하였을대에는 비교적 간단한 회로에 의해서 리드를 고속화할 수가 있다는 효과가 얻어진다.
- (3). 여러개의 메모리 어레이로 부터의 신호를 각각 구동단 회로와 출력 버퍼 회로를 사용해서 출력시키는 것과 같은 회로 구성으로 하였을대에는 상기 구동단 회로를 시계열적으로 동작 시키든가, 동시에 동작시킨다는 간단한 회로 변경에 의해서 여러개 비트의 데이터를 시리얼 또는 패러럴로 리드 할 수가 있다는 효과가 얻어진다.

이상 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경이 가능하다는 것은 물론이다. 예를들면, 메모리 어레이의 수와 그 주변 회로의 수는 필요에 따라서 여러가지로 변형해서 채택할 수가 있는 것이다.

제3도에서의 각 회로의 구체적 회로 구성은 상기 동작을 행하는 것이라면 어떤 것이라도 좋다. 상기 제4도의 실시예에서의 구동단 회로는 타이밍 신호에 따라서 그 부동작 기간에 출력 회로를 하이 임

피턴스 상태로 하고, 동작 기간에는 메인 앰프로 부터의 신호를 출력 회로로 공급하는 것이라면 어떠한 것이라도 좋다.

본 발명은 어드레스 스트로브 신호에 따라서 어드레스 신호를 다중화 해서 공급하는 반도체 기억 장치에 널리 이용할 수 있다.

**(57) 청구의 범위**

**청구항 1**

여러개의 다이내믹 메모리 셀을 각각 갖는 여러개의 메모리 어레이, 상기 메모리 어레이에 각각 결합된 여러개의 리드 회로, 반도체 기억 장치에 인가된 컬럼 어드레스 스트로브 신호의 변화마다 검출하고, 상기 검출된 신호에 따라 타이밍 신호를 형성하는 수단을 갖는 타이밍 발생 회로 및 상기 타이밍 신호를 수신하여 상기 반도체 기억 장치가 차례로 리드 동작에서 상기 컬럼 어드레스 스트로브 신호의 변화마다 동기해서 차례로 출력 데이터를 출력하도록, 상기 여러개의 리드 회로가 차례로 동작하도록 제어신호를 출력하는 제어회로를 포함하는 반도체 기억 장치.

**청구항 2**

특허청구의 범위 제1항에 있어서, 상기 제어회로는 상기 타이밍 신호를 시프트 펄스로서 수신하는 시프트 레지스터를 포함하는 반도체 기억 장치.

**청구항 3**

특허청구의 범위 제1항에 있어서, 상기 메모리 어레이의 각각에 포함된 다이내믹 메모리 셀은 매트릭스 형상으로 배치되며, 또 상기 각각의 메모리 어레이는 각각의 다이내믹 메모리 셀의 선택 단자에 접속된 여러개의 워드선과 상기 리드 회로에 상기 다이내믹 메모리 셀을 결합하기 위해 각각의 다이내믹 메모리 셀의 데이터 입출력 단자에 결합된 여러개의 데이터선을 갖는 반도체 기억 장치.

**청구항 4**

특허청구의 범위 제3항에 있어서, 상기 여러개의 리드 회로의 출력 단자는 공통 접속 되어 있는 반도체 기억 장치.

**청구항 5**

특허청구의 범위 제4항에 있어서, 또 상기 반도체 메모리 장치는 또 상기 메모리 어레이에 결합된 여러개의 라이트 회로를 포함하며, 상기 여러개의 라이트 회로는 상기 시프트 레지스터에서 출력된 제어 신호에 의해 차례로 동작되는 반도체 기억 장치.

**청구항 6**

여러개의 다이내믹 메모리 셀을 각각 갖는 여러개의 메모리 어레이, 각각의 상기 메모리 어레이가 소정의 리드 회로에 결합되도록 상기 메모리 어레이에 각각 결합된 여러개의 리드회로 및 상기 여러개의 리드회로에 결합되고 여러개의 순차적인 스테이지를 갖는 시프트 레지스터와 반도체 기억 장치에 인가되는 컬럼 어드레스 스트로브 신호의 변화에 검출에 따라 상기 시프트 레지스터에서 여러개의 시프트 신호를 발생하기 위해 상기 시프트 레지스터에 결합된 신호 발생 회로를 포함하여, 상기 여러개의 리드 회로를 순차적으로 동작시키도록 여러개의 제어신호를 발생하는 타이밍 발생 회로를 포함하며, 상기 시프트 신호는 리드 동작에서 상기 컬럼 어드레스 스트로브 신호의 변화마다 동기해서 상기 여러개의 시프트 레지스터의 스테이지에 결합된 여러개의 리드 회로를 차례로 동작 시키기 위해서 상기 스테이지를 시프트 하도록 상기 시프트 레지스터를 동작시키는 반도체 기억 장치.

**청구항 7**

특허청구의 범위 제6항에 있어서, 또 상기 신호발생 회로가 최초의 상기 컬럼 어드레스 스트로브 신호의 변화를 검출할때 제1의 리드회로로서 동작하도록 상기 여러개의 리드회로 중의 소정의 하나를 선택하도록 상기 시프트 레지스터에 초기 어드레스를 설정하기 위해 상기 시프트 레지스터에 결합된 수단을 포함하는 반도체 기억 장치.

**청구항 8**

로우 어드레스 스트로브 신호의 소정의 변화에 따른 제1의 어드레스 신호와 컬럼 어드레스 스트로브 신호의 소정의 변화에 따른 제2의 어드레스 신호를 수신하는 다이내믹 기억 장치에 있어서, 여러개의 메모리 어레이, 각각의 상기 메모리 어레이가 소정의 리드회로에 결합되도록 상기 메모리 어레이에 결합된 여러개의 리드회로, 상기 여러개의 메모리 어레이에서 리드한 출력 데이터를 수신하도록 상기 여러개의 리드회로에 결합된 출력단자, 상기 컬럼 어드레스 스트로브 신호의 변화마다 검출하고, 상기 검출된 신호에 따라 타이밍 신호를 형성하는 수단을 갖는 타이밍 발생 회로 및 상기 타이밍 신호에 따라 상기 다이내믹 기억 장치 리드 동작에서 상기 컬럼 어드레스 스트로브 신호의 변화마다 동기해서 차례로 출력 데이터를 출력하도록, 상기 여러개의 리드 회로가 차례로 동작하도록 제어신호를 출력하는 제어수단을 포함하는 다이내믹 기억 장치.

**청구항 9**

특허청구의 범위 제8항에 있어서, 상기 각각의 메모리 어레이는 메모리 셀 로우와 메모리 셀 컬럼을 갖는 매트릭스 형태로 배치된 여러개의 다이내믹 메모리 셀, 상기 메모리 셀 로우의 하나에 따라 각각 형성되고 상기 메모리 셀 로우중의 하나에 형성된 메모리 셀의 선택단자에 결합된 여러개의 워드선, 상기 메모리 셀의 하나에 따라 각각 형성되고 상기 메모리 셀 컬럼 중의 하나에 형성된 메모리

셀의 소정의 하나의 데이터 입출력 단자에 결합되고, 위치되어 있는 메모리 어레이에 대응하는 상기 리드회로에 결합되는 여러개의 데이터선을 포함하는 다이내믹 기억 장치.

**청구항 10**

특허청구의 범위 제9항에 있어서, 또 상기 워드선의 하나를 선택하기 위해 상기 워드선에 결합된 선택회로를 포함하는 다이내믹 기억 장치.

**청구항 11**

로우 어드레스 스트로브 신호의 소정의 변화에 따른 제1의 어드레스 신호와 컬럼 어드레스 스트로브 신호의 소정의 변화에 따른 제2의 어드레스 신호를 수신하는 다이내믹 기억 장치에 있어서, 로우 및 컬럼 어드레스 스트로브 신호에 따라 상기 다이내믹 기억장치에서 모드를 결정하는 모드결정 수단, 여러개의 메모리 어레이, 각각의 상기 메모리 어레이가 소정의 리드 회로에 결합되도록 상기 메모리 어레이에 결합된 여러개의 리드 회로, 상기 여러개의 메모리 어레이에서 리드한 출력 데이터를 수신하도록 상기 여러개의 리드회로에 결합된 출력단자, 상기 컬럼 어드레스 스트로브 신호의 변화마다 검출하고, 상기 모드 검출 수단이 소정의 모드를 나타낼 때 상기 검출된 변화에 따라 타이밍 신호를 형성하는 타이밍 발생 회로 및 상기 타이밍 신호에 따라 상기 다이내믹 기억 장치가 리드동작에서 상기 컬럼 어드레스 스트로브 신호의 변화마다 동기해서 차례로 출력 데이터를 출력하도록, 상기 여러개의 리드회로가 차례로 동작하도록 제어 신호를 출력하는 제어수단을 포함하는 다이내믹 기억 장치.

**청구항 12**

특허청구의 범위 제11항에 있어서, 상기 각각의 메모리 어레이는 메모리 셀 로우와 메모리 셀 컬럼을 갖는 매트릭스 형태로 배치된 여러개의 다이내믹 메모리 셀, 상기 메모리 셀 로우의 하나에 따라 각각 형성되고 상기 메모리 셀 로우 중의 하나위에 형성된 메모리 셀의 선택단자에 결합된 여러개의 워드선, 상기 메모리 셀의 하나에 따라 각각 형성되고 상기 메모리 셀 컬럼중의 하나에 형성된 메모리 셀의 소정의 하나의 데이터 입출력 단자에 결합되고, 위치되어 있는 메모리 어레이에 대응하는 상기 리드회로에 결합되는 여러개의 데이터선을 포함하는 다이내믹 기억 장치.

**청구항 13**

특허청구의 범위 제12항에 있어서, 또 상기 워드선의 하나를 선택하기 위해 상기 워드선에 결합된 선택회로를 포함하는 다이내믹 기억 장치.

**청구항 14**

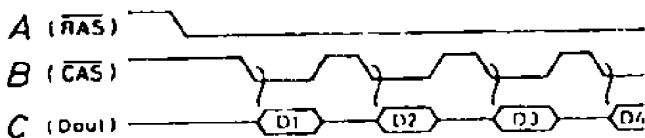
특허청구의 범위 제13항에 있어서, 상기 제어수단은 시프트 펄스로서 상기 타이밍 신호를 수신하는 시프트 레지스터를 포함하는 다이내믹 기억 장치.

**청구항 15**

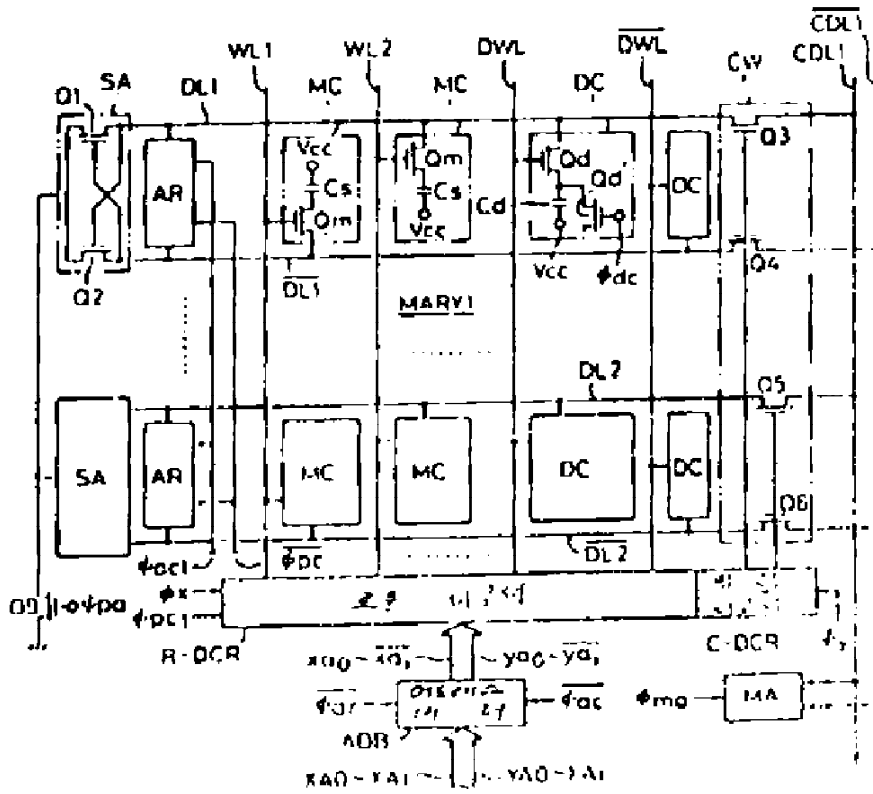
특허청구의 범위 제14항에 있어서, 또 상기 메모리 어레이에 결합된 여러개의 라이트 회로를 포함하며, 상기 여러개의 라이트 회로는 상기 시프트 레지스터에서 출력된 제어신호에 의해 차례로 동작되는 다이내믹 기억 장치.

**도면**

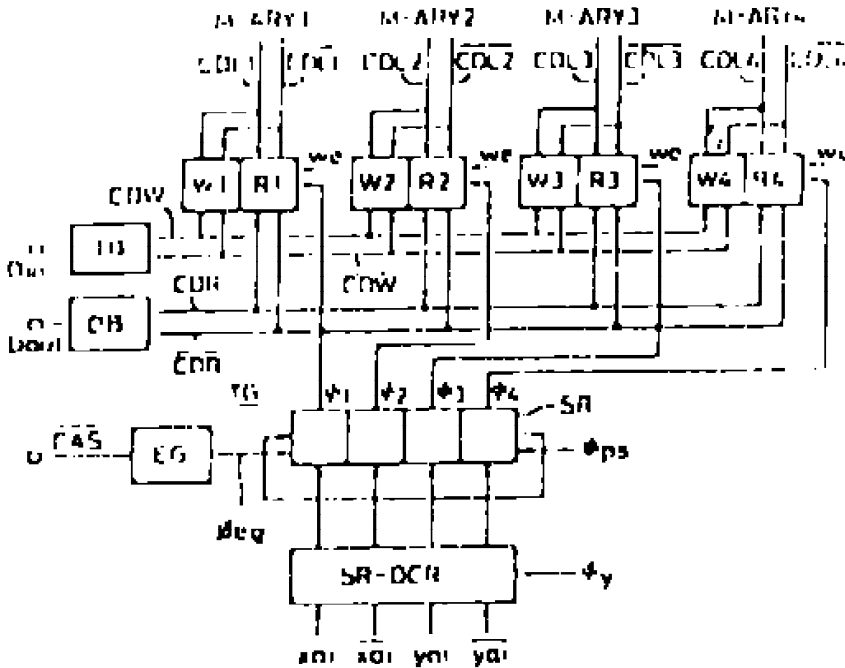
도면1



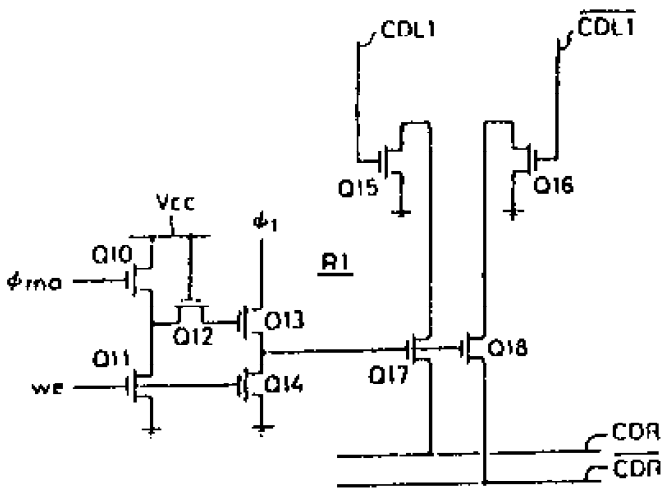
도면2



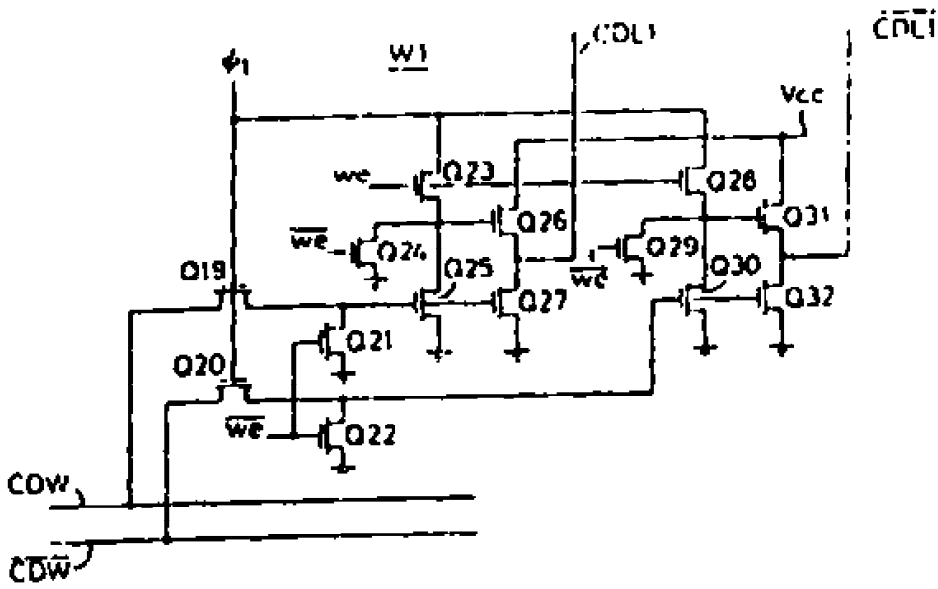
도면3



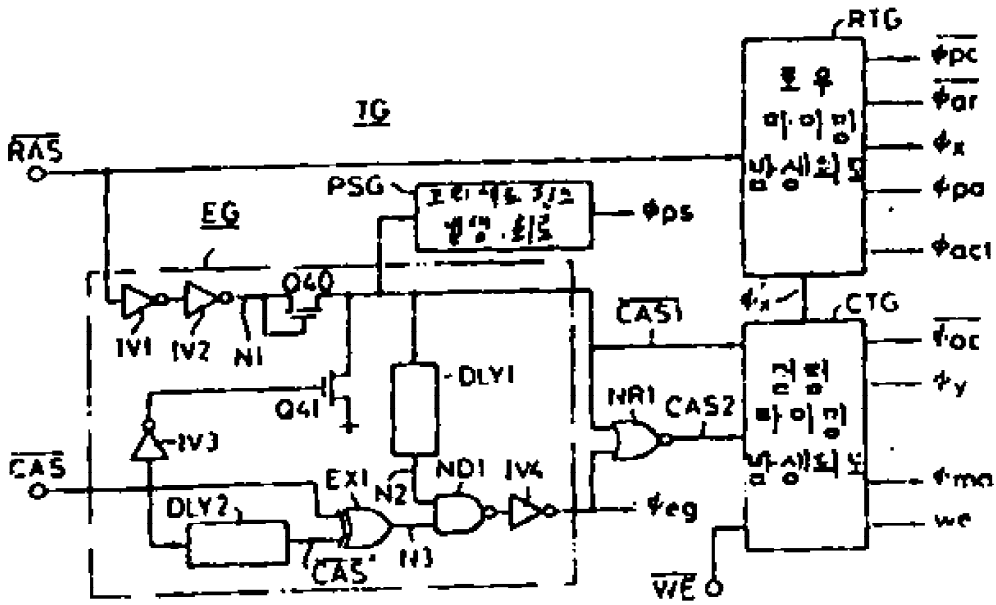
도면4



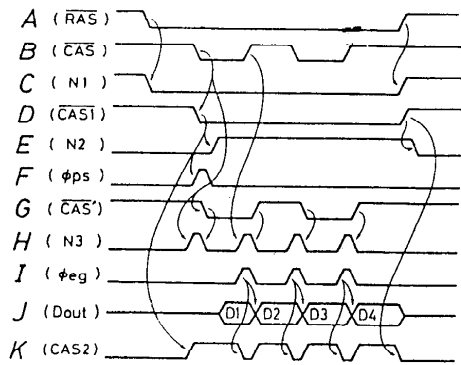
도면5



도면6



도면7



도면8

