

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294638
(P2005-294638A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78	3 K O O 7
HO 1 L 29/786	HO 5 B 33/14	5 F 1 1 O
HO 5 B 33/14	HO 1 L 29/78	
	HO 1 L 29/78	

審査請求 有 請求項の数 13 O L (全 25 頁)

(21) 出願番号	特願2004-109213 (P2004-109213)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成16年4月1日(2004.4.1)	(74) 代理人	100095728 弁理士 上柳 雅誉
		(74) 代理人	100107076 弁理士 藤網 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	石田 幸政 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	野澤 陵一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

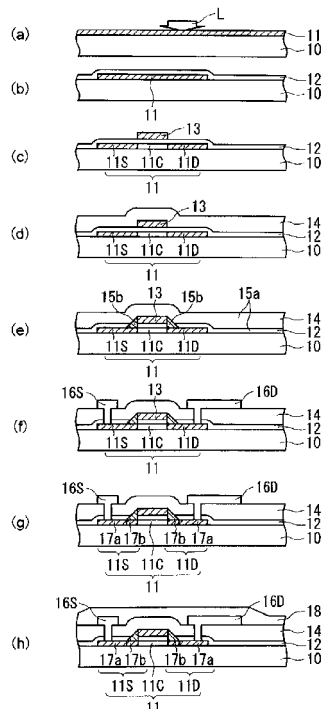
(54) 【発明の名称】 半導体装置の製造方法、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器

(57) 【要約】

【課題】 自己整合的にLDD構造を形成可能とし、ドーピング領域の長さを制御できると共に、過飽和な水素原子の注入に伴う特性の不安定化を抑制できる半導体装置の製造方法、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器を提供する。

【解決手段】 半導体層11の上方に電極13を形成する電極形成工程と、当該電極13上に窒素含有の絶縁膜12、14を形成する絶縁膜形成工程と、水蒸気、酸素、又は水素を含む雰囲気中で熱処理を施して、前記絶縁膜12、14中に窒素濃度分布を形成する熱処理工程とを含むことを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体層の上方に電極を形成する電極形成工程と、
当該半導体層の上方に窒素含有の絶縁膜を形成する絶縁膜形成工程と、
水蒸気、酸素、又は水素を含む雰囲気中で熱処理を施して、前記絶縁膜中に窒素濃度分布を形成する熱処理工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記熱処理工程の後に、前記半導体層に水素原子を注入する水素化処理工程を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

【請求項 3】

前記水素化処理工程は、水素プラズマ処理又は水素拡散処理であることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記電極形成工程の後に前記半導体層に不純物を注入する不純物注入工程を含むことを特徴とする請求項 1 から請求項 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記不純物注入工程は、第 1 濃度不純物及び第 2 濃度不純物を前記半導体層に注入し、
当該半導体層のチャンネル領域に隣接する第 1 濃度不純物領域と、
当該第 1 濃度不純物領域に隣接する第 2 濃度不純物領域と、
を形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

20

【請求項 6】

前記熱処理工程の後に、前記絶縁膜をエッチングして、前記電極に隣接する側壁部を形成する側壁部形成工程と、
当該側壁部をマスクとして前記半導体層に不純物を注入する不純物注入工程と、
を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】

前記不純物注入工程は、前記側壁部の形状に応じて、第 1 濃度不純物及び第 2 濃度不純物を前記半導体層に注入することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記電極はゲート電極、又はソース・ドレイン電極のいずれかであることを特徴とする請求項 1 から請求項 7 のいずれかに記載の半導体装置の製造方法。

30

【請求項 9】

半導体層の上方に、電極と、窒素含有の絶縁膜とを備え、当該絶縁膜中の窒素濃度は前記電極の両側部に対称的に分布していることを特徴とする半導体装置。

【請求項 10】

前記絶縁膜中の窒素濃度は、前記電極の近傍で高く、前記電極から離れた部分で低く、かつ、連続して分布していることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

基板上に半導体装置を備えた電気光学装置用基板であって、
請求項 9 又は請求項 10 に記載の半導体装置を備えることを特徴とする電気光学装置用基板。

40

【請求項 12】

請求項 11 に記載の電気光学装置用基板を備えることを特徴とする電気光学装置。

【請求項 13】

請求項 12 に記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、半導体装置の製造方法、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器に関する。

【背景技術】

【0002】

従来、薄膜トランジスタを始めとする半導体装置は、アクティブマトリックス型電気光学装置（例えば、液晶ディスプレイ、有機エレクトロルミネッセンスディスプレイ、プラズマディスプレイ等）において、画素のスイッチング素子やドライバ回路、或いは密着型イメージセンサー、更にはSRAM（Static Random Access Memories）等に応用されている。

10

このような半導体装置を備える電気光学装置においては、ディスプレイの応答速度の高速化や、基板上に形成する回路のシステム化に対応するため、非晶質シリコンよりもキャリア移動度が高い多結晶シリコンが利用されている。

【0003】

このような多結晶シリコン薄膜においては、結晶粒と結晶粒との境界領域に、欠陥準位が高密度で分布する結晶粒界が存在する。この欠陥準位の存在とドレイン端に印加される電界との相乗効果によってオフリーク電流が増加してしまうが、この対策として、ドレイン端の電界緩和のためにLDD（Lightly Doped Drain）構造あるいはオフセット構造を形成することが有効であることが知られている。このようなLDD構造を形成するには、異方性エッチング等の技術を利用し、ゲート電極端部に側壁（サイドウォール）を形成し、当該側壁をマスクとして利用することで、不純物濃度が異なるドーピング領域を形成している。また、近年では、LDD構造を形成するために、フォトレジストを用いてドーピング時のマスクを形成して低濃度、高濃度ドーピング領域を形成する手法が提案されている（特許文献1参照。）。

20

【0004】

一方、従来の半導体装置の製造方法においては、その特性を改善する方法として、水素プラズマ等の水素化処理が提案されている。当該方法は、多結晶シリコン薄膜内に水素原子を注入することで、欠陥を終端させて、より安定な特性を有する半導体装置を製造することを可能としている。

30

【特許文献1】特開2003-257990号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献においては、ゲート電極をマスクとして低濃度ドーピング領域を形成する工程と、ゲート電極よりも幅の広いフォトレジストをマスクとして高濃度ドーピング領域を形成する工程によってオフセット構造を形成しているが、フォト合わせによってオフセット構造が形成されており、自己整合的に形成されていないため、ソース領域とドレイン領域とで低濃度ドーピング領域の長さが非対称になってしまうという問題があった。即ち、低濃度ドーピング領域の長さを制御するのが困難であるという問題があった。

40

【0006】

また、上記の水素化処理においては、水素原子が過飽和に多結晶シリコン薄膜やゲート絶縁膜に注入されてしまうので、図11のドレイン電流-ゲートバイアス特性に示すように、負電圧のゲートバイアスに応じて、大きくドリフトが生じてしまうという問題があった。従って、安定した特性を有する半導体装置を製造することができないという問題があった。

【0007】

本発明は、上述の課題に鑑み創案されたもので、自己整合的にLDD構造を形成可能とし、ドーピング領域の長さを制御できると共に、過飽和な水素原子の注入に伴う特性の不

50

安定化を抑制できる半導体装置の製造方法、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の目的を達成するために、本発明は以下の構成を採用した。

本発明の半導体装置は、半導体層の上方に電極を形成する電極形成工程と、当該半導体層の上方に窒素含有の絶縁膜を形成する絶縁膜形成工程と、水蒸気、酸素、又は水素を含む雰囲気中で熱処理を施して、前記絶縁膜中に窒素濃度分布を形成する熱処理工程とを含むことを特徴としている。

このように熱処理工程が施されることによって、絶縁膜中における電極近傍を除く部分の窒素が除去される。また、絶縁膜中における電極近傍では熱処理が十分に施されないため、窒素が高濃度で残留する。従って、絶縁膜中に、電極近傍と、当該電極から離れた部分との間に、窒素濃度分布を形成することができる。また、絶縁膜中の電極の近傍では窒素濃度を高くすることができ、電極から離れた部分では窒素濃度を低くすることができる。そして、このように濃度の高低を連続させて窒素濃度を形成できるので、絶縁膜内に窒素濃度の勾配を持たせることができる。

10

このような窒素濃度の高低は、熱処理工程の時間や温度によって所望に決定することができ、また、電極側部の傾斜角を調節することにより、所望に決定することができる。

このように、本発明においては、窒素濃度分布を自己整合的に形成することができる。

【0009】

20

また、前記半導体装置の製造方法は、前記熱処理工程の後に、前記半導体層に水素原子を注入する水素化処理工程を含むことを特徴としている。

このように水素化処理工程が施されることによって、水素原子は絶縁膜の表面から入り込む。絶縁膜中においては上記の窒素濃度分布が形成されているので、当該窒素濃度分布に応じて、水素原子は絶縁膜を通過し半導体層に注入される。ここで、窒素濃度が高い部分においては、水素原子が透過し難く、窒素濃度が低い部分においては水素原子が透過し易い性質を有しているので、窒素濃度分布に応じた濃度分布で水素原子を半導体層に注入することができる。

従って、上記のように絶縁膜中の電極近傍では窒素濃度分布が高く、電極から離れた部分では窒素濃度分布が低くなっているため、電極直下の半導体層のチャンネル領域近傍に水素原子を低濃度で注入することができ、当該チャンネル領域から離れた部分の半導体層に水素原子を高濃度で注入することができる。そして、このように水素濃度の高低を連続して形成できるので、半導体層内に水素濃度の勾配を持たせることができる。

30

また、半導体層の欠陥密度分布は、水素濃度分布に応じて形成されるので、チャンネル領域近傍の欠陥密度を高くすることができ、当該チャンネル領域から離れた部分の半導体層の欠陥密度を低くすることができる。そして、このように欠陥密度の高低を連続して形成できるので、半導体層内に欠陥密度の勾配を持たせることができる。

このように、本発明においては、水素濃度分布及び欠陥密度分布を自己整合的に形成することができる。

【0010】

40

また、このように半導体層に水素原子が注入されることにより、電極直下に位置する半導体層のチャンネル領域と、当該チャンネル領域に隣接するソース領域あるいはドレイン領域との間に、自己整合的に高抵抗領域を形成することができ、ドレイン端での電界集中によるオフリーク電流を低減することができる。本発明は自己整合的に高抵抗（欠陥）領域を形成できるため、半導体装置の特性のパラッキが生じにくくすることができる。また、ホットエレクトロンの発生によるしきい値変動を防止できる。

また、半導体層の上方に、上記の工程によって形成された高窒素濃度領域を有していることにより、半導体層中の（ダングリングボンドを終端している）水素原子が半導体層から脱離し難くなり、ブロッキング効果が得られ、より安定な信頼性を有する半導体装置を実現できる。

50

また、上記電極と半導体層の間にゲート絶縁膜が形成されている場合においては、水素化処理時にゲート絶縁膜中に対する過飽和な水素注入を防止できるため、特にP型半導体装置にゲート負バイアスを動作させた際に、ゲート絶縁膜へのホール注入効果に起因する、閾値のエンハンス側へのシフトを抑制できる。従って、CMOS回路の動作信頼性を向上できる。

【0011】

また、前記半導体装置の製造方法は、前記水素化処理工程は、水素プラズマ処理又は水素拡散処理であることを特徴としている。

ここで、水素プラズマ処理とは、真空チャンバ内に水素ガスを供給した状態で高周波電力を供給することによって水素ガスを励起分解し、当該水素原子を半導体層に注入する方法である。このようにすれば、水素プラズマの作用によって半導体層に水素を注入することができる。

10

また、水素拡散処理とは、絶縁膜上に水素原子を含有する材料を形成した状態で熱処理を行うことによって、当該材料中の水素を半導体層に拡散させて注入する方法である。このようにすれば、水素拡散の作用によって半導体層に水素を注入することができる。

【0012】

また、前記半導体装置の製造方法は、前記電極形成工程の後に前記半導体層に不純物を注入する不純物注入工程を含むことを特徴としている。

ここで、不純物注入工程においては、電極をマスクとして利用する場合、フォトリソグラフィをマスクとして利用する場合、電極の側部に側壁部を形成する場合等が利用される。

20

このような不純物注入工程を半導体層に施すことにより、不純物領域とチャンネル領域を半導体層に形成することができる。

更に、当該半導体層においては、上記の工程が施されることにより、絶縁膜中の窒素濃度分布に応じて水素濃度分布と欠陥密度分布が形成される。従って、不純物領域とチャンネル領域を有する半導体層の各領域に欠陥密度分布を形成することができる。

【0013】

このように、本発明によれば、欠陥密度分布を有し、更にチャンネル領域、及び不純物領域を有する半導体装置を製造できるので、先に記載の発明の効果をより促進させることができる。即ち、ドレイン端での電界集中によるオフリーク電流の低減を更に促進させることができる。また、半導体装置の特性のバラツキを更に抑制できる。また、ホットエレクトロンの発生によるしきい値変動を更に抑制できる。また、より安定な信頼性を有する半導体装置を実現できる。CMOS回路の動作信頼性を更に向上できる。

30

【0014】

また、前記半導体装置の製造方法は、前記不純物注入工程は、第1濃度不純物及び第2濃度不純物を前記半導体層に注入し、当該半導体層のチャンネル領域に隣接する第1濃度不純物領域と当該第1濃度不純物領域に隣接する第2濃度不純物領域とを形成することを特徴としている。

ここで、第1濃度は第2濃度よりも相対的に濃度が低いことを意味する。

このように第1濃度不純物と第2濃度不純物を半導体層に注入することにより、チャンネル領域に隣接する第1濃度不純物領域と、当該第1濃度不純物領域に隣接する第2濃度不純物領域を形成することができる。

40

更に、当該各領域を有する半導体層に対して、上記の工程が施されることによって、絶縁膜中の窒素濃度分布に応じて水素濃度分布が形成され、当該水素濃度分布に応じて欠陥密度分布が形成される。従って、第1濃度不純物領域、第2濃度不純物領域、及びチャンネル領域を有する半導体層の各領域に欠陥密度分布を形成することができる。

従って、本発明においては、半導体層に、高欠陥密度のチャンネル領域と、高欠陥密度の第1濃度不純物領域と、低欠陥密度の第1濃度不純物領域と、低欠陥密度の第2濃度不純物領域とを形成することができる。即ち、半導体層の各領域の不純物濃度を異ならせることができると共に、欠陥密度を異ならせることができる。

【0015】

50

また、このように欠陥密度分布を有すると共に、チャンネル領域、第1濃度不純物領域、及び第2濃度不純物領域を有する半導体装置を製造できるので、先に記載の発明の効果をより促進させることができる。即ち、ドレイン端での電界集中によるオフリーク電流の低減を更に促進させることができる。また、半導体装置の特性のパラツキを更に抑制できる。また、ホットエレクトロンの発生によるしきい値変動を更に抑制できる。また、より安定な信頼性を有する半導体装置を実現できる。CMOS回路の動作信頼性を更に向上できる。

【0016】

また、前記半導体装置の製造方法は、前記熱処理工程の後に、前記絶縁膜をエッチングして、前記電極に隣接する側壁部を形成する側壁部形成工程と、当該側壁部をマスクとして前記半導体層に不純物を注入する不純物注入工程とを含むことを特徴としている。 10

ここで、絶縁膜中には、上記のように窒素濃度分布が形成されているので、当該窒素濃度分布に応じて絶縁膜の膜質、特にエッチング選択性が連続的に異なっている。詳述すれば、同一条件で絶縁膜にエッチングを施した場合には、窒素濃度が高い部分のエッチング速度が小さく、また、窒素濃度が低い部分のエッチング速度が大きくなる。即ち、電極の近傍ではエッチング速度が小さく、また、電極から離れた部分ではエッチング速度が大きくなる。従って、エッチング工程を施すことによって、電極の近傍に絶縁膜を残留させることができ、また、電極から離れた部分の絶縁膜を除去することができる。これにより、電極に隣接する側壁部を形成することができる。

更に、このように形成された側壁部をマスクとして半導体層に不純物を注入するので、当該側壁部の形状に応じて半導体層に不純物領域を自己整合的に形成することができる。 20

【0017】

また、このように自己整合的に不純物領域が形成されることによって、ドレイン端での電界集中によるオフリーク電流を低減することができる。従って、本発明は自己整合的に高抵抗（欠陥）領域を形成できるため、半導体装置の特性ばらつきが生じにくくすることができる。

【0018】

また、前記半導体装置の製造方法は、前記不純物注入工程は、前記側壁部の形状に応じて、第1濃度不純物及び第2濃度不純物を前記半導体層に注入することを特徴としている。 30

ここで、側壁部は、電極近傍において不純物を透過させ難く、電極から離れるほど不純物を透過させやすいので、電極直下のチャンネル領域近傍に低濃度で不純物が注入され、当該チャンネル領域から離れるに従って高濃度で不純物が注入される。従って、側壁部の形状に応じて半導体層に不純物が注入され、当該不純物の濃度が異なる第1濃度不純物領域と第2濃度不純物領域を形成することができる。従って、本発明においては、このような第1濃度不純物領域及び第2濃度不純物領域を自己整合的に形成することができる。

【0019】

また、このように自己整合的に第1濃度不純物領域と第2濃度不純物領域が形成されることによって、ドレイン端での電界集中によるオフリーク電流を低減することができる。従って、本発明は自己整合的に高抵抗（欠陥）領域を形成できるため、半導体装置の特性ばらつきが生じにくくすることができる。 40

【0020】

また、前記半導体装置の製造方法は、前記電極はゲート電極、又はソース・ドレイン電極のいずれかであることを特徴としている。

ここで、電極がゲート電極である場合には、半導体層上にゲート絶縁膜を介してゲート電極が配置されたトップゲート構造の半導体装置を製造することができる。

また、電極がソース・ドレイン電極である場合には、半導体層の下方にゲート電極を備え、半導体層上に層間絶縁膜を介してソース・ドレイン電極が配置されたボトムゲート構造の半導体装置を製造することができる。

【0021】

また、本発明の半導体装置は、半導体層の上方に、電極と、窒素含有の絶縁膜とを備え、当該絶縁膜中の窒素濃度は前記電極の両側部に対称的に分布していることを特徴としている。また、前記半導体装置は、絶縁膜中の窒素濃度は、前記電極の近傍で高く、電極から離れた部分で低く、連続して分布していることが好ましい。

このような半導体装置は、先に記載した半導体装置の製造方法を用いることによって、製造されたものである。上記のように窒素含有の絶縁膜に熱処理が施されることにより、熱処理が十分に行き届かない電極近傍に窒素が残留する。そして、自己整合的に当該窒素が残留するので、電極の両側に対称的な濃度分布を形成することができる。また、当該半導体装置は、窒素濃度を電極近傍で高くすることができ、窒素濃度を電極から離れた部分で低くすることができ、更に、当該分布を連続させることができる。

10

【0022】

また、本発明の電気光学装置用基板は、基板上に半導体装置を備えた電気光学装置用基板であって、先に記載の半導体装置を備えることを特徴としている。

このようにすれば、半導体装置のドレイン端での電界集中によるオフリーク電流を低減できる。また、半導体装置の特性のバラツキを抑制でき、ホットエレクトロンの発生によるしきい値変動を更に抑制できる。また、より安定な信頼性を有する半導体装置用基板を実現でき、CMOS回路の動作信頼性を向上できる。

【0023】

また、本発明の電気光学装置は、先に記載の電気光学装置用基板を備えることを特徴としている。

20

このようにすれば、安定な信頼性を有する半導体装置用基板を実現でき、CMOS回路の動作信頼性を向上できる。

【0024】

また、本発明の電子機器は、先に記載の電気光学装置を備えることを特徴としている。

このような電子機器としては、例えば、携帯電話機、移動体情報端末、時計、ワープロ、パソコンなどの情報処理装置等を例示することができる。また、大型の表示画面を有するテレビや、大型モニタ等を例示することができる。このように電子機器の表示部に、本発明の電気光学装置を採用することによって、動作信頼性が高い表示部を備えた電子機器を提供することが可能となる。

【発明を実施するための最良の形態】

30

【0025】

次に、図1～図10を参照し、本発明の半導体装置の製造方法、半導体装置、電気光学装置用基板、電気光学装置、及び電子機器について説明する。

本実施形態は、本発明の一態様を示すものであり、本発明を限定するものではなく、本発明の技術的思想の範囲内で任意に変更可能である。なお、以下に示す各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材ごとに縮尺を異ならせてある。

【0026】

(半導体装置の製造方法の第1実施形態)

図1及び図2を参照して、半導体装置の製造方法の第1実施形態について説明する。

40

図1において、図1(a)～(h)の各々は半導体装置の製造方法を説明するための工程図であり半導体装置の断面拡大図である。図2において、図2(a)は、ゲート電極13近傍を示す半導体装置の断面拡大図、図2(b)は、図2(a)に対応させた窒素濃度分布を示す図、図2(c)は、図2(a)に対応させた多結晶シリコン膜の水素濃度分布と欠陥密度分布を説明するための図である。

【0027】

まず、図1(a)に示すように、ガラス基板10上に下地保護膜を形成し、当該下地膜上に多結晶シリコン膜(半導体層)11を形成する。

当該半導体層11を形成する前に、ガラス基板10を超音波洗浄等により清浄化し、ガラス基板10の温度が150～450となる条件下で、ガラス基板10の全面に、シリ

50

コン酸化膜等の絶縁膜からなる下地保護膜を成膜する。具体的には、プラズマCVD法等により10 μ m未満(例えば500nm程度)の厚さに成膜する。この工程において用いる原料ガスとしては、モノシランと一酸化二窒素との混合ガスや、TEOS(テトラエトキシシラン、Si(OC₂H₅)₄)と酸素、モノシランとアンモニア、ジシランとアンモニア等が好適である。当該下地保護膜は、緩衝層やバリア層として機能する。

【0028】

更に、ガラス基板10の温度が150~450となる条件下で、下地保護膜を形成したガラス基板10の全面に、非晶質シリコン膜をプラズマCVD法等により例えば30~100nmの厚さに成膜する。この工程において用いる原料ガスとしては、ジシランやモノシランが好適である。

10

次に、この非晶質シリコン膜に対して、エキシマレーザー光L(XeClエキシマレーザーの場合は波長308nm、KrFエキシマレーザーの場合は波長249nm)を照射してレーザーアニールを行い、多結晶シリコン膜11を生成する。

次に、多結晶シリコン膜11をフォトリソグラフィ法により、形成する能動層の形状にパターニングする。即ち、多結晶シリコン膜11上にフォトレジストを塗布した後、フォトレジストの露光、現像、多結晶シリコン膜11のエッチング、フォトレジストの除去を行うことにより、多結晶シリコン膜11のパターニングを行う。なお、非晶質シリコン膜をパターニングしてから、レーザーアニールを行って多結晶シリコン膜を形成しても良い。半導体層を形成する材料は、非晶質シリコン、熱処理により結晶化した多結晶シリコンであってもよい。

20

【0029】

次に、図1(b)に示すように、多結晶シリコン膜11上にゲート絶縁膜(絶縁膜)12を形成する(絶縁膜形成工程)。

当該ゲート絶縁膜12を形成するには、350以下の温度条件下で、多結晶シリコン膜11を含むガラス基板10の全面に、シリコン酸化膜及び/又はシリコン窒化膜等からなるゲート絶縁膜12を成膜する。ここで、酸化珪素を主成分として、窒素濃度が 5×10^{21} atom/cm³以上である。好ましくは 1×10^{20} atom/cm³~ 1×10^{21} atom/cm³程度とするのが良く、また、ゲート絶縁膜12の厚さは、5nm~200nm程度とするのが好ましい。この工程において用いる原料ガスとしては、モノシランと一酸化二窒素、ジシランとアンモニアとの混合ガスを用いる。このような混合ガスの混合比を調整することにより、ゲート絶縁膜12中の窒素濃度を高くすることができる。ゲート絶縁膜12においては、必ずしも窒素濃度を高くする必要はないので、TEOS(テトラエトキシシラン、Si(OC₂H₅)₄)と酸素との混合ガスを用いて、当該ゲート絶縁膜12を形成してもよい。

30

【0030】

次に、図1(c)に示すように、ゲート電極(電極)13を形成する(電極形成工程)

。当該ゲート電極13を形成するには、ゲート絶縁膜12を含むガラス基板10の全面に、スパッタリング法等により、アルミニウム、タンタル、モリブデン等の金属、又はこれらの金属のいずれかを主成分とする合金等の導電性材料を成膜した後、フォトリソグラフィ法によりパターニングし、300~800nmの厚さのゲート電極13を形成する。即ち、導電性材料を成膜したガラス基板10上にフォトレジストを塗布した後、フォトレジストの露光、現像、導電性材料のエッチング、フォトレジストの除去を行うことにより、導電性材料をパターニングし、ゲート電極13を形成する。

40

【0031】

次に、多結晶シリコン膜11にイオン注入を行う(不純物注入工程)。

当該イオン注入を行うには、ゲート電極13より幅広のレジストマスクを形成して高濃度の不純物イオン(リンイオン)を約 0.1×10^{15} ~約 10×10^{15} /cm²のドーズ量で打ち込み、ソース領域(不純物領域)11S、及びドレイン領域(不純物領域)11Dを形成する。そして、ゲート電極13の直下に位置する部分はチャンネル領域11C

50

が形成される。

【0032】

次に、図1(d)に示すように、層間絶縁膜(絶縁膜)14を形成する(絶縁膜形成工程)。

当該層間絶縁膜14を形成するには、CVD法等を利用することにより、ゲート電極13の表面に酸化シリコン膜からなる層間絶縁膜14を成膜する。具体的には、原料ガスとしてモノシランと一酸化二窒素、ジシランとアンモニアとの混合ガスを用い、各ガスの流量比を適宜設定することで所定の窒素濃度の酸化珪素膜を得るものとしている。酸化珪素を主成分として、窒素濃度が $5 \times 10^{21} \text{ atom/cm}^3$ 以上である。好ましくは $1 \times 10^{20} \text{ atom/cm}^3 \sim 1 \times 10^{21} \text{ atom/cm}^3$ 程度とするのが良く、また、層間絶縁層14の厚さは、400nm~1200nm程度とするのが好ましい。

10

【0033】

次に、図1(e)に示すように、ゲート絶縁膜12及び層間絶縁膜14中に窒素濃度分布を形成する。

当該ゲート絶縁膜12及び層間絶縁膜14中に窒素濃度分布を形成するには、アニール処理(熱処理工程)が採用される。この場合のアニール処理は、水蒸気、酸素、又は水素を含む雰囲気で行う。具体的には、アニール装置のチャンバ内に半導体層12が形成された基板10を配置し、所定圧力に設定されたチャンバ内に、高温の水蒸気、酸素、又は水素を供給することで、アニール処理を施している。

【0034】

ここで、図2(a)、図2(b)を参照して、アニール処理後のゲート絶縁膜12及び層間絶縁膜14における窒素濃度分布について説明する。

上記のようにアニール処理を施すと、ゲート電極13から離れた部分の第1領域15aにおいて、窒素濃度が低いゲート絶縁膜12、層間絶縁膜14が形成され、低窒素濃度領域となる。当該低窒素濃度領域における窒素濃度は、 $5 \times 10^{21} \text{ atom/cm}^3$ 以下となる。これにより、後の水素化処理工程によって効率的に水素を注入することが可能となる。一方、ゲート電極13の近傍、アニール処理の陰となる部分の第2領域15bでは、アニール処理を施しても、窒素濃度が殆ど変化しないため、高窒素濃度領域となる。この領域は水素イオンが透過しにくいいため後の水素化処理工程におけるマスクとなる。また、このアニール処理は、ゲート絶縁膜12、層間絶縁膜14、半導体層11に含まれる欠陥(ダングリングボンド)を低減する役割を果たす。

20

30

従って、このアニール処理により、第1領域(低窒素濃度)15a、第2領域(高窒素濃度)15bからなる窒素濃度分布を有するゲート絶縁膜12及び層間絶縁膜14が形成される。また、図2(b)に示すように、ゲート絶縁膜12及び層間絶縁膜14においては、第2領域15bから第1領域15aに向けて窒素濃度の高低が連続して分布する。更に、窒素濃度分布はゲート電極13の両側に対称的に形成される。

【0035】

なお、例えば、300程度の条件のCVD法でゲート絶縁膜12及び層間絶縁膜14を形成し、同じく300程度の条件でアニール処理を行うものとするれば、該絶縁膜の成膜工程とアニール工程とを同一チャンバ内で施すことができ、例えば流入ガスを切り換えて簡便な連続プロセスを施すことが可能となる。

40

【0036】

また、図2(b)に示すように窒素濃度の分布は、アニール工程の時間や温度によって所望に決定することが可能である。また、ゲート電極13の側部の傾斜角を調節することにより、その分布を所望に決定することが可能である。

【0037】

次に、図1(f)に示すように、ソース電極16S、ドレイン電極16Dを形成する。

当該工程においては、所定のパターンのレジストマスクを形成し、レジストマスクを介して層間絶縁膜14のドライエッチングを行い、層間絶縁膜14においてソース領域及びドレイン領域に対応する部分にコンタクトホールを各々形成する。その後、層間絶縁膜1

50

4の全面に、アルミニウム、チタン、窒化チタン、タンタル、モリブデン、又はこれらの金属のいずれかを主成分とする合金等の導電性材料を、スパッタリング法等により成膜した後、フォトリソグラフィ法によりパターンニングし、例えば400～800nmの厚さのソース電極16S及びドレイン電極16Dを形成する。即ち、導電性材料を成膜したガラス基板10上にフォトレジストを塗布した後、フォトレジストの露光、現像、導電性材料のドライエッチング、フォトレジストの除去を行うことにより、導電性材料をパターンニングし、ソース電極16S及びドレイン電極16Dを形成する。

【0038】

次に、図1(g)に示すように、水素化処理工程を行う。

当該工程においては、窒素濃度分布を有するゲート絶縁膜12及び層間絶縁膜14に対して、水素プラズマ処理を行い、多結晶シリコン膜11に水素原子を注入する。 10

水素プラズマ処理とは、真空チャンバ内に水素ガスを供給した状態で高周波電力を供給することによって水素ガスを励起分解し、当該水素原子を多結晶シリコン膜11に注入する方法である。このようにすれば、水素プラズマの作用によって多結晶シリコン膜11に水素を注入することができる。

なお、水素化処理工程においては、プラズマ処理を限定せずに、水素拡散処理を施してもよい。これは、層間絶縁膜14上に水素原子を含有する材料を形成した状態で熱処理を行うことによって、当該材料中の水素を多結晶シリコン膜11に拡散させて注入する方法である。このようにすれば、水素拡散の作用によって多結晶シリコン膜11に水素を注入することができる。 20

【0039】

ここで、図2(a)、(c)を参照して、水素化処理後の多結晶シリコン膜11における水素濃度分布及び欠陥密度分布について説明する。

上記のように、窒素濃度分布を有するゲート絶縁膜12及び層間絶縁膜14を介して、水素原子を注入すると、第2領域15bにおける高窒素濃度領域では、水素の透過率が低く、多結晶シリコン膜11に水素イオンが注入しにくくなる。これにより、第2領域15bに対応する多結晶シリコン膜11において欠陥終端が行われず、欠陥密度が高くなり、高抵抗領域(欠陥領域)17bが形成される。

一方、第1領域15aにおける低窒素濃度領域では、水素の透過率が高く、多結晶シリコン膜11に水素イオンが注入し易くなる。これにより、第1領域15aに対応する多結晶シリコン膜11において欠陥終端が行われ、欠陥密度が低くなり、低抵抗領域17aが形成される。 30

従って、図2(c)に示すように、多結晶シリコン膜11内には、水素濃度分布と、当該水素濃度分布に応じた欠陥分布が生じる。

【0040】

また、多結晶シリコン膜11での欠陥が終端されると共に、ソース電極16S及びドレイン電極Dにおいてはドライエッチングした際に生じた多結晶シリコン膜11、多結晶シリコン膜11とゲート絶縁膜12との界面、或いは、ゲート絶縁膜12に対するダメージも修復される。

また、ゲート絶縁膜12及び層間絶縁膜14内の窒素濃度分布はゲート電極13の形状により、自己整合的に形成したものであるため、ソース領域11S及びドレイン領域11Dに対して、自己整合的に高抵抗領域17bと低抵抗領域17aが形成される。 40

【0041】

次に、図1(h)に示すように、パシベーション膜18を形成する。

これによって、半導体装置の製造工程が終了となる。

当該工程では、窒化珪素膜からなるパシベーション膜18をソース電極16S及びドレイン電極16Dを覆うように形成する。このようなパシベーション膜18は、水素化した多結晶シリコン膜11の水素が留まるようにする役割を果たす。従って、パシベーション膜18としては、ガス透過率が低い窒化珪素膜が好ましい。

【0042】

なお、本実施形態では、層間絶縁膜 14 を形成した後に、アニール処理を施して窒素濃度分布を形成しているが、当該アニール処理を行う工程は層間絶縁膜 14 の直後を限定するものではない。例えば、ソース電極 16S 及びドレイン電極 16D を形成した後に、アニール処理を施して窒素濃度分布を形成してもよい。

【0043】

上述したように、本実施形態においては、窒素含有の層間絶縁膜 14 及びゲート絶縁膜 12 にアニール工程を施すので、層間絶縁膜 14 及びゲート絶縁膜 12 中に窒素濃度分布を形成することができる。ゲート電極 13 の近傍では窒素濃度を高くすることができ、ゲート電極 13 から離れた部分では窒素濃度を低くすることができる。そして、このように濃度の高低を連続させて窒素濃度を形成することができるので、絶縁膜内に窒素濃度の勾配を持たせることができる。また、当該窒素濃度分布を自己整合的に形成することができる。

10

【0044】

また、水素化処理工程を行うことにより、層間絶縁膜 14 及びゲート絶縁膜 12 中の窒素濃度分布に応じて、水素原子を多結晶シリコン膜 11 に注入することができる。チャンネル領域 11C 近傍に水素原子を低濃度で注入することができ、当該チャンネル領域 11C から離れたソース領域 11S、ドレイン領域 11D に水素原子を高濃度で注入することができる。そして、このように水素濃度の高低を連続して形成できるので、多結晶シリコン膜 11 内に水素濃度の勾配を持たせることができる。そして、水素濃度分布に応じて、多結晶シリコン膜 11 の欠陥密度分布を形成することができる。従って、水素濃度分布及び欠陥密度分布を自己整合的に形成することができる。

20

【0045】

また、このように多結晶シリコン膜 11 に水素原子が注入されることにより、チャンネル領域 11C と、ソース領域 11S 或いはドレイン領域 11D との間に、自己整合的に高抵抗領域 17b を形成することができ、ドレイン端での電界集中によるオフリーク電流を低減することができる。また、高抵抗領域 17b が自己整合的に形成されるため、半導体装置の特性のバラツキが生じにくくなるという効果が得られる。また、ホットエレクトロンの発生によるしきい値変動を防止できる。また、多結晶シリコン膜 11 の上方に、高窒素濃度領域を有していることにより、多結晶シリコン膜 11 の（ダングリングボンドを終端している）水素原子が多結晶シリコン膜 11 から脱離し難くなり、ブロッキング効果が得られ、より安定な信頼性を有する半導体装置を実現できる。

30

また、水素化処理時にゲート絶縁膜 12 に対する過飽和な水素注入を防止できるため、特に P 型半導体装置にゲート負バイアスを動作させた際に、ゲート絶縁膜 12 へのホール注入効果に起因する、閾値のエンハンス側へのシフトを抑制できる。従って、CMOS 回路の動作信頼性を向上できる。

【0046】

また、多結晶シリコン膜 11 には、不純物注入工程によってソース領域 11S 及びドレイン領域 11D が形成されているので、当該ソース・ドレイン領域 11S、11D に水素濃度分布を形成することができ、当該水素濃度分布に応じた欠陥密度分布を形成することができる。従って、チャンネル領域 11C に近づく程、欠陥密度を高くすることができ、チャンネル領域 11C から離れる程、欠陥密度を低くすることができる。また、多結晶シリコン膜 11 内のソース・ドレイン領域 11S、11D において、水素濃度の高低を連続させた濃度勾配と、当該濃度勾配に応じた欠陥密度分布の勾配を形成することができる。

40

【0047】

（半導体装置の製造方法の第 2 実施形態）

図 3 及び図 4 を参照して、半導体装置の製造方法の第 2 実施形態について説明する。

図 3 において、図 3 (a) ~ (i) の各々は半導体装置の製造方法を説明するための工程図であり半導体装置の断面拡大図である。図 4 において、図 4 (a) は、ゲート電極 13 近傍を示す半導体装置の断面拡大図、図 4 (b) は、図 4 (a) に対応させた窒素濃度分布を示す図、図 4 (c) は、図 4 (a) に対応させた多結晶シリコン膜の水素濃度分布

50

、欠陥密度分布、及び不純物濃度分布を説明するための図である。

なお、本実施形態においては、先に記載した第1実施形態と異なる部分について説明し、同一構成には同一符号を付して説明を簡略化している。

【0048】

まず、図3(a)に示すように、ガラス基板10に下地保護膜を形成し、当該下地膜上に多結晶シリコン膜(半導体層)11を形成する。

次に、図3(b)に示すように、多結晶シリコン膜11上にゲート絶縁膜12を形成する。

当該ゲート絶縁膜12を形成するには、350以下の温度条件下で、多結晶シリコン膜11を含むガラス基板10の全面に、シリコン酸化膜及び/又はシリコン窒化膜等からなるゲート絶縁膜12を成膜する。ここで、酸化珪素を主成分として、窒素濃度が $5 \times 10^{21} \text{ atom/cm}^3$ 以上である。好ましくは $1 \times 10^{20} \text{ atom/cm}^3 \sim 1 \times 10^{21} \text{ atom/cm}^3$ 程度とするのが良く、また、ゲート絶縁膜12の厚さは、5nm~200nm程度とするのが好ましい。このようにすることによって、後のサイドウォール形成工程の際にゲート絶縁膜12がエッチングされにくくなり、選択的にサイドウォールを形成することが可能となる。

10

次に、図3(c)に示すように、ゲート電極(電極)13を形成する。

【0049】

次に、図3(d)に示すように、酸窒化膜19を形成する。

当該酸窒化膜19を形成するには、CVD法等を利用することにより、ゲート電極13の表面に酸窒化シリコン膜からなる酸窒化膜19を成膜する。具体的には、原料ガスとしてモノシランと一酸化二窒素、ジシランとアンモニアとの混合ガスを用い、各ガスの流量比を適宜設定することで所定の窒素濃度の酸窒化珪素膜を得るものとしている。酸化珪素を主成分として、窒素濃度が $5 \times 10^{21} \text{ atom/cm}^3$ 以上である。好ましくは $1 \times 10^{20} \text{ 原子/cm}^3 \sim 1 \times 10^{21} \text{ atom/cm}^3$ 程度とするのが良く、また、層間絶縁層14の厚さは、400nm~1200nm程度とするのが好ましい。

20

【0050】

次に、図3(e)に示すように、ゲート絶縁膜12及び酸窒化膜19中に窒素濃度分布を形成する。

当該ゲート絶縁膜12及び酸窒化膜19中に窒素濃度分布を形成するには、アニール処理が採用される。この場合のアニール処理は、水蒸気、酸素、又は水素を含む雰囲気で行う。ゲート電極13によって、陰とならない第1領域15aでは、窒素酸化膜を酸化することによりゲート絶縁膜12、酸窒化膜19の窒素濃度が $5 \times 10^{21} \text{ atom/cm}^3$ 以下になる低窒素濃度領域とすることができる。これにより、後の水素化処理工程にて、効率的に水素が注入しやすくする。一方、ゲート電極13により陰となる第2領域15bでは、アニール処理により、窒素濃度が変化しないため、高窒素濃度領域となる。この領域は水素イオンが透過しにくいいため後の水素化処理の際のマスクとなる。

30

【0051】

次に、図3(f)に示すように、サイドウォール(側壁部)20を形成する(側壁部形成工程)。

当該サイドウォール形成工程においては、高窒素濃度領域(第2領域)15bと低窒素濃度領域(第1領域)15aではエッチングレートが異なるため、選択的に低窒素濃度領域15aをエッチングすることが可能となる。これにより、ゲート電極13付近に高窒素濃度領域15bからなるサイドウォール20を形成することができる。例えば、フッ酸を有するエッチング液にてウェットエッチングすることにより、このサイドウォールを選択的に形成することができる。

40

【0052】

次に、図3(g)に示すように、多結晶シリコン膜11にイオン注入を行う(不純物注入工程)。

当該イオン注入を行うには、ゲート電極13及びサイドウォール20をマスクとして、

50

高濃度の不純物イオン（リンイオン）を $0.1 \times 10^{15} \sim 約 10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込む。この時、上部にサイドウォール 20 が形成されていない多結晶シリコン膜 11 では上記のドーズ量に対応した量の不純物がドーブされるのに対して、サイドウォール 20 が形成されたゲート電極 13 の近傍の多結晶シリコン膜 11 では、このサイドウォール 20 が存在することによりドーズ量より低い量の不純物がドーブされる。これにより、低濃度ソース領域（第 1 濃度不純物領域）11SL、低濃度ドレイン領域（第 1 濃度不純物領域）11DL、高濃度ソース領域（第 2 濃度不純物領域）11SH、及び高濃度ドレイン領域（第 2 濃度不純物領域）11DH が形成される。また、低濃度ソース領域 11SL と低濃度ドレイン領域 11DL の間は、チャンネル領域 11C となる。

ここで、サイドウォール 20 はゲート電極 13 の形状により、自己整合的に形成したものであるため、自己整合的に低濃度ソース領域 11SL および低濃度ドレイン領域 11DL が形成される。 10

【0053】

次に、図 3 (h) に示すように、層間絶縁膜 14 を形成する。

当該層間絶縁膜 14 を形成するには、CVD 法等を利用することにより、ゲート電極 13 の表面に酸化シリコン膜からなる層間絶縁膜 14 を成膜する。具体的には、原料ガスとしては、モノシランと一酸化二窒素との混合ガスや、TEOS（テトラエトキシシラン、 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）と酸素と窒素、モノシランと一酸化二窒素とアンモニア等が好適である。成膜後、所定のパターンのレジストマスクを形成し、レジストマスクを介して層間絶縁膜 14 のドライエッチングを行い、層間絶縁膜 14 において高濃度ソース領域 11SH 及び高濃度ドレイン領域 11DH に対応する部分にコンタクトホールをそれぞれ形成する。 20

【0054】

次に、層間絶縁膜 14 の全面に、アルミニウム、チタン、窒化チタン、タンタル、モリブデン、又はこれらの金属のいずれかを主成分とする合金等の導電性材料を、スパッタリング法等により成膜した後、フォトリソグラフィ法によりパターンニングし、ソース電極 16S 及びドレイン電極 16D を層間絶縁膜 14 のコンタクトホール形成する。即ち、導電性材料を成膜したガラス基板 10 上にフォトレジストを塗布した後、フォトレジストの露光、現像、導電性材料のドライエッチング、フォトレジストの除去を行うことにより、導電性材料をパターンニングし、ソース電極 16S 及びドレイン電極 16D を形成する。ソース電極 16S 及びドレイン電極 16D の膜厚は、例えば 400 ~ 800 nm 程度が好ましい。 30

【0055】

次に、アニール処理を行う。

当該アニール処理は、上記同様に水蒸気中、酸素中、水素中等の雰囲気にて行われる。これにより、後の水素化処理にて、効率的に水素が注入しやすくする。また、このアニール処理は、ゲート絶縁膜 12、層間絶縁膜 14、多結晶シリコン膜 11 に含まれる欠陥（ダングリングボンド）を低減する役割を果たす。

【0056】

ここで、図 4 (a)、(b) を参照して、アニール処理後のゲート絶縁膜 12 及び層間絶縁膜 14 における窒素濃度分布について説明する。 40

上記のアニール処理を施すことによって、第 1 領域 15a が低窒素濃度領域となり、第 2 領域 15b が高窒素濃度領域となる。また、図 4 (b) に示すように、窒素濃度はゲート電極 13 から離れる程、低くなり、連続的に分布する。この領域は水素イオンが透過しにくいために、水素化処理工程におけるマスクとなる。また、このアニール処理は、ゲート絶縁膜 12、層間絶縁膜 14、半導体層 11 に含まれる欠陥（ダングリングボンド）を低減する役割を果たす。

【0057】

なお、例えば 300 程度の条件の CVD 法で層間絶縁膜 14 を形成し、同じく 300 程度の条件でアニール処理を行うものとするれば、当該層間絶縁膜 14 の成膜工程とアニ 50

ール工程とを同一チャンバ内で施すことができ、例えば流入ガスを切り換えて簡便な連続プロセスを施すことが可能となる。

【0058】

次に、水素化処理工程を行う。

当該工程においては、多結晶シリコン膜11に対して、水素プラズマ処理を行い、終端処理を行う。これにより、多結晶シリコン膜11での欠陥が修復されるとともに、ソース電極16S及びドレイン電極16Dにおいてはドライエッチングした際に生じた多結晶シリコン膜11、多結晶シリコン膜11とゲート絶縁膜12との界面、あるいは、ゲート絶縁膜12に対するダメージも修復される。

【0059】

ここで、図4(a)、(c)を参照して、水素化処理後の多結晶シリコン膜11における水素濃度分布、欠陥密度分布、及び不純物濃度分布について説明する。

上記のように、窒素濃度分布を有するゲート絶縁膜12及び層間絶縁膜14を介して、水素原子を注入すると、第2領域15bにおける高窒素濃度領域では、水素濃度が低いため、欠陥密度が高くなり、高抵抗領域(欠陥領域)17bが形成される。一方、第1領域15aにおける低窒素濃度領域では、水素濃度が高いため、欠陥密度が低くなり、低抵抗領域17aが形成される。

また、多結晶シリコン膜11には、低濃度ソース領域11SL、低濃度ドレイン領域11DL、高濃度ソース領域11SH、及び高濃度ドレイン領域11DHが自己整合的に形成されているので、上記のように欠陥密度分布を多結晶シリコン膜11に形成することで、各領域11SL、11DL、11SH、11DHに欠陥密度分布が形成される。

従って、高抵抗領域(欠陥領域)17bであると共に、低濃度ソース領域11SL及び低濃度ドレイン領域11DLである、高抵抗低濃度領域21Aが形成される。また、低抵抗領域(欠陥領域)17aであると共に、高濃度ソース領域11SH及び低濃度ドレイン領域11DHである、低抵抗高濃度領域21Bが形成される。また、各領域21A、21Bは自己整合的に形成される。

【0060】

次に、図3(i)に示すように、パシベーション膜18を形成する。

これによって、半導体装置の製造工程が終了となる。

当該工程では、窒化珪素膜からなるパシベーション膜18をソース電極16S及びドレイン電極16Dを覆うように形成する。このようなパシベーション膜18は、水素化した多結晶シリコン膜11の水素が留まるようにする役割を果たす。従って、パシベーション膜18としては、ガス透過率が低い窒化珪素膜が好ましい。

【0061】

上述したように、本実施形態においては、ゲート絶縁膜12及び酸窒化膜19中の窒素濃度分布を形成することにより、当該ゲート絶縁膜12及び酸窒化膜19の膜質、特にエッチング選択性を連続的に異ならせているので、ゲート電極13の近傍にゲート絶縁膜12及び酸窒化膜19を残留させることができ、また、ゲート電極13から離れた部分のゲート絶縁膜12及び酸窒化膜19を除去することができる。これにより、ゲート電極13に隣接するサイドウォール20を形成することができる。

更に、このように形成されたサイドウォール20をマスクとして多結晶シリコン膜11に不純物イオンを注入するので、サイドウォール20の形状に応じて多結晶シリコン膜11に、低濃度ソース領域11SL、低濃度ドレイン領域11DL、高濃度ソース領域11SH、及び高濃度ドレイン領域11DHを自己整合的に形成することができる。

これによって、高抵抗低濃度領域21Aと、低抵抗高濃度領域21Bを自己整合的に形成することができる。

【0062】

また、このように自己整合的に上記ソース・ドレイン領域が形成されることによって、ドレイン端での電界集中によるオフリーク電流を低減することができる。従って、自己整合的に高抵抗(欠陥)領域17bを形成できるため、半導体装置の特性ばらつきが生じに

10

20

30

40

50

くくすることができる。

【0063】

(半導体装置の製造方法の第3実施形態)

図5及び図6を参照して、半導体装置の製造方法の第3実施形態について説明する。

図5において、図5(a)~(h)の各々は半導体装置の製造方法を説明するための工程図であり半導体装置の断面拡大図である。図6において、図6(a)は、ゲート電極13近傍を示す半導体装置の断面拡大図、図6(b)は、図6(a)に対応させた窒素濃度分布を示す図、図6(c)は、図6(a)に対応させた多結晶シリコン膜の水素濃度分布、欠陥密度分布、及び不純物濃度分布を説明するための図である。

なお、本実施形態においては、先に記載した第1及び第2実施形態と異なる部分について説明し、同一構成には同一符号を付して説明を簡略化している。 10

【0064】

まず、図5(a)~図5(c)に示すように、下地保護膜が形成されたガラス基板10上に、多結晶シリコン膜11と、ゲート絶縁膜12と、ゲート電極13を形成する。

【0065】

次に、同じく図5(c)に示すように、多結晶シリコン膜11にイオン注入を行う。

当該イオン注入を行うには、ゲート電極13より幅広のレジストマスクを形成して予め低濃度の不純物イオン(リンイオン)を約 $0.1 \times 10^{14} \sim 10 \times 10^{14} / \text{cm}^2$ のドーズ量で打ち込む。更に、フォトリソグラフィ法により低不純物濃度領域となるべき領域をフォトレジストで被覆し、高濃度の不純物イオン(リンイオン)を約 $0.1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で打ち込む。そして、フォトレジストを剥離することにより、ソース領域、及びドレイン領域及び高不純物濃度領域を形成する。 20

これにより、低濃度ソース領域11SL、低濃度ドレイン領域11DL、高濃度ソース領域11SH、及び高濃度ドレイン領域11DHが形成される。ゲート電極13の直下に位置する部分はチャンネル領域11Cが形成される。

ここで、低濃度ソース領域11SL及び低濃度ドレイン領域11DLの幅は、後に形成される第2領域15b(高窒素濃度領域)の幅よりも広く設定している。

【0066】

次に、図5(d)に示すように、層間絶縁膜(絶縁膜)14を形成する。

次に、図5(e)に示すように、アニール処理を施し、先の実施形態と同様にゲート絶縁膜12及び層間絶縁膜14中に窒素濃度分布を形成する(図6(b)参照)。 30

【0067】

次に、図5(f)に示すように、ソース・ドレイン電極16S、16Dを形成する。

次に、図5(g)に示すように、水素化処理工程を行う。

【0068】

ここで、図6(a)、(c)を参照して、水素化処理後の多結晶シリコン膜11における水素濃度分布、欠陥密度分布、及び不純物濃度分布について説明する。

上記のように、窒素濃度分布を有するゲート絶縁膜12及び層間絶縁膜14を介して、水素原子を注入すると、第2領域15bにおける高窒素濃度領域では、欠陥密度が高くなり、高抵抗領域(欠陥領域)17bが形成される。一方、第1領域15aにおける低窒素濃度領域では、欠陥密度が低くなり、低抵抗領域17aが形成される。 40

また、多結晶シリコン膜11には、低濃度ソース領域11SL、低濃度ドレイン領域11DL、高濃度ソース領域11SH、及び高濃度ドレイン領域11DHが形成されているので、上記のように欠陥密度分布を多結晶シリコン膜11に形成することで、各領域11SL、11DL、11SH、11DHに欠陥密度分布が形成される。

更に、低濃度ソース領域11SL及び低濃度ドレイン領域11DLの幅が、高抵抗領域17bよりも広く設定されているので、低抵抗領域(欠陥領域)17aであると共に、低濃度ソース領域11SL及び低濃度ドレイン領域11DLである、低抵抗低濃度領域21Cが自己整合的に形成される。

【0069】

次に、図5(h)に示すように、パシベーション膜18を形成する。

これによって、半導体装置の製造工程が終了となる。

【0070】

上述したように、本実施形態においては、低濃度不純物と高濃度不純物を多結晶シリコン膜11に注入することで、低濃度ソース領域11SL、低濃度ドレイン領域11DL、高濃度ソース領域11SH、及び高濃度ドレイン領域11DHを形成することができる。

また、各領域11SL、11DL、11SH、11DHを形成すると共に、欠陥密度を分布させることができる。

また、低濃度ソース領域11SL及び低濃度ドレイン領域11DLの幅は、第2領域15b(高窒素濃度領域)の幅よりも広く設定しているため、低抵抗低濃度領域21Cを自己整合的に形成することができる。

10

【0071】

また、このように欠陥密度分布を有すると共に、低抵抗低濃度領域21Cを有する半導体装置を製造できるので、先に記載の効果をもより促進させることができる。即ち、ドレイン端での電界集中によるオフリーク電流を低減することができる。また、仮にレジストを介して注入することにより形成された不純物領域とゲート電極との位置関係にずれが生じていたとしても、欠陥密度分布を有することにより、この位置ずれによる影響を低減することができる。また、半導体装置の特性のバラツキをもより抑制できる。また、ホットエレクトロンの発生によるしきい値変動をもより抑制できる。また、より安定な信頼性を有する半導体装置を実現できる。CMOS回路の動作信頼性をもより向上できる。

20

【0072】

なお、本実施形態では、層間絶縁膜14を形成した後に、アニール処理を施して窒素濃度分布を形成しているが、当該アニール処理を行う工程は層間絶縁膜14の直後を限定するものではない。例えば、ソース電極16S及びドレイン電極16Dを形成した後に、アニール処理を施して窒素濃度分布を形成してもよい。

【0073】

また、本実施形態では、低濃度ソース領域11SL及び低濃度ドレイン領域11DLの幅を、高抵抗領域17bよりも広くすることで、低抵抗低濃度領域21Cを自己整合的に形成しているが、当該低濃度ソース領域11SL及び低濃度ドレイン領域11DLの幅を、高抵抗領域17bよりも狭くすることで、高抵抗高濃度領域を自己整合的に形成し、2つの高抵抗領域を形成してもよい。

30

【0074】

また、本実施形態は、本発明を限定するものではなく、各請求項に記載した範囲を逸脱しない限り、各請求項の記載文言に限定されず、当業者がそれらから容易に置き換えられる範囲にも及び、かつ、当業者が通常有する知識に基づく改良を適宜付加することができる。例えば、本実施形態では、nチャネル型の半導体装置を例として説明したが、pチャネル型の半導体装置に対しても本発明の構成を適用することができる。

【0075】

また、本実施形態ではトップゲート型の半導体装置を示したが、ボトムゲート型の半導体装置に対しても本発明の構成を適用することができる。あるいは、低ドーズ領域形成と組み合わせれば、より滑らかな抵抗分布を形成することもできる。

40

【0076】

(電気光学装置用基板、電気光学装置)

図7~図9を参照して、電気光学装置用基板、電気光学装置について説明する。

なお、本実施形態においては、先に記載した第1~第3実施形態と異なる部分について説明し、同一構成には同一符号を付して説明を簡略化している。

【0077】

(有機エレクトロルミネッセンス装置)

まず、本発明の電気光学装置の一実施形態となる有機エレクトロルミネッセンス装置(以下、有機EL装置と称する。)について説明する。

50

本実施形態の有機EL装置50は、スイッチング素子として先の実施形態に記載した半導体装置からなる薄膜トランジスタ(Thin Film Transistor、以下、TFTと略記する)を有するアクティブマトリクス方式の有機EL装置である。そして、特にR(赤)、G(緑)、B(青)の3種類の高分子有機発光層を備えたカラー有機EL装置である。

【0078】

図7は、本実施形態に係る有機EL装置の等価回路を示す模式図である。

有機EL装置50は、複数の走査線101と、各走査線101に対して直角に交差する方向に延びる複数の信号線102と、各信号線102に並列に延びる複数の電源線103とがそれぞれ配線された構成を有するとともに、走査線101と信号線102の各交点付近に、画素領域Xが設けられている。

10

【0079】

信号線102には、シフトレジスタ、レベルシフタ、ビデオライン及びアナログスイッチを備えるデータ線駆動回路100が接続されている。また、走査線101には、シフトレジスタ及びレベルシフタを備える走査線駆動回路80が接続されている。さらに、各画素領域Xには、走査線101を介して走査信号がゲート電極に供給されるスイッチング用TFT51bと、このスイッチング用TFT51bを介して信号線102から共有される画素信号を保持する保持容量51cと、該保持容量51cによって保持された画素信号がゲート電極に供給される駆動用TFT51a(駆動用電子素子)と、この駆動用TFT51aを介して電源線103に電氣的に接続したときに当該電源線103から駆動電流が流れ込む陽極(画素電極)52と、この陽極52と陰極(共通電極)57との間に挟み込まれた電気光学層Eとが設けられている。陽極52と陰極57と電気光学層Eにより、発光素子が構成されている。

20

【0080】

この有機EL装置50によれば、走査線101が駆動されてスイッチング用TFT51bがオン状態になると、そのときの信号線102の電位が保持容量51cに保持され、該保持容量51cの状態に応じて、駆動用TFT51aのオン・オフ状態が決まる。そして、駆動用TFT51aのチャンネルを介して、電源線103から陽極52に電流が流れ、さらに電気光学層Eを介して陰極57に電流が流れる。電気光学層Eは、これを流れる電流量に応じて発光する。

【0081】

次に、図8を用いて本実施形態の有機EL装置50の平面構造について説明する。

図8に示すように、本実施形態の有機EL装置50は、電気絶縁性の基板10上に、スイッチング用TFTが設けられたTFT基板(電気光学装置用基板)53を備えた構成となっている。更に、有機EL装置50は、TFT基板53のスイッチング用TFTに接続された陽極52と、当該陽極52が基板10上にマトリクス状に配置されてなる図示略の画素電極域と、当該画素電極域の周囲に配置されるとともに各陽極52に接続される電源線103(図7参照)と、少なくとも画素電極域上に位置する平面視ほぼ矩形の画素部30(図中一点鎖線枠内)とを具備している。また、画素部30は、中央部分の実表示領域31(図中二点鎖線枠内)と、実表示領域31の周囲に配置されたダミー領域32(一点鎖線および二点鎖線の間の領域)とに区画されている。

30

40

【0082】

実表示領域31には、各々画素電極を有する表示領域R、G、BがA-B方向及びC-D方向に離間して配置されている。また、実表示領域31の図中両側には、走査線駆動回路80が配置されている。該走査線駆動回路80は、ダミー領域32の下側に位置して設けられている。更に、実表示領域31の図中上側には、検査回路90が配置されている。該検査回路90は、ダミー領域32の下側に位置して設けられている。検査回路90は、有機EL装置50の作動状況を検査するための回路であって、例えば、検査結果を外部に出力する不図示の検査情報出力手段を備え、製造途中や出荷時の表示装置の品質、欠陥の検査を行うことができるように構成されている。

【0083】

50

走査線駆動回路 80 及び検査回路 90 の駆動電圧は、所定の電源部から駆動電圧導通部を介して印加されている。また、これら走査線駆動回路 80 及び検査回路 90 への駆動制御信号及び駆動電圧は、この有機 EL 装置 50 の作動制御を司る所定のメインドライバなどから駆動制御信号導通部等を介して送信および印加されるようになっている。なお、この場合の駆動制御信号とは、走査線駆動回路 80 及び検査回路 90 が信号を出力する際の制御に関連するメインドライバなどからの指令信号である。

【0084】

次に、図 9 を参照し、有機 EL 装置 50 の断面構造について説明する。

図 9 に示すように、有機 EL 装置 50 は、TFT 基板 53 と、電気光学層 E と、封止層 54 とから構成されている。

TFT 基板 53 は、基板 10 上に、薄膜トランジスタ（半導体装置）55 と、層間絶縁層 56 を備えた構成となっている。更に、層間絶縁層 56 には、コンタクトホールを介して陽極 52 が形成されている。

【0085】

ここで、薄膜トランジスタ 55 は、先の実施形態に記載した製造方法によって形成されたものである。即ち、窒素を含有するゲート絶縁膜 12 や層間絶縁膜 14 を形成した後に、アニール処理を施してゲート絶縁膜 12 や層間絶縁膜 14 内に窒素濃度分布を形成し、水素化処理工程によって半導体層 11 に欠陥領域 17b が形成されたものである。また、薄膜トランジスタ 55 には、低濃度ソース領域 11SL、低濃度ドレイン領域 11DL、高濃度ソース領域 11SH、及び高濃度ドレイン領域 11DH が形成されており、各領域内において欠陥密度分布が形成されることで、高抵抗低濃度領域 21A や低抵抗高濃度領域 21B が形成されている。また、適宜、低抵抗低濃度領域 21C や、高抵抗高濃度領域が形成されている。更に、このような各領域は、自己整合的に形成されている。

【0086】

また、TFT 基板 53 と電気光学層 E との間には、第 1 隔壁 41 と第 2 隔壁 42 が形成されている。第 1 隔壁 41 は、SiO₂ 等の親液性を有する材料からなり、層間絶縁膜 56 上を全面に被覆すると共に、陽極 52 の一部分を露出させている。第 2 隔壁 42 は、ポリイミドやアクリル等の樹脂材料からなり、露出状態の陽極 52 近傍の第 1 隔壁 41 を露出させている。また、第 2 隔壁 42 は、第 1 隔壁 41 よりも撥液性が高いことが好ましく、陽極 52 上に液滴受容部 46 を形成している。

【0087】

電気光学層 E は、陽極 52 と陰極 57 の間に発光機能層 60 を備えた構成となっている。

【0088】

次に、発光機能層 60 の各構成、及び陰極 57 について説明する。

発光機能層 60 は、陽極 52 側から陰極 57 に向けて、正孔注入層 61 と、発光層 62 と、電子注入層 63 が積層された構成となっている。

【0089】

正孔注入層 61 の形成材料としては、特に 3, 4 - ポリエチレンジオキシチオフエン / ポリスチレンスルホン酸 (PEDOT / PSS) の分散液、即ち、分散媒としてのポリスチレンスルホン酸に 3, 4 - ポリエチレンジオキシチオフエンを分散させ、さらにこれを水に分散させた分散液が好適に用いられる。

なお、正孔注入層 61 の形成材料としては、前記のものに限定されることなく種々のものが使用可能である。例えば、ポリスチレン、ポリピロール、ポリアニリン、ポリアセチレンやその誘導体などを、適宜な分散媒、例えば前記のポリスチレンスルホン酸に分散させたものなどが使用可能である。

【0090】

発光層 62 を形成するための材料としては、蛍光あるいは燐光を発光することが可能な公知の発光材料が用いられる。また、R (赤)、G (緑)、B (青) の各色の発光層 62 を複数の画素電極 41a 毎に設けることで、フルカラー表示が可能な有機 EL 装置となる

10

20

30

40

50

。 発光層 6 2 の形成材料として具体的には、(ポリ)フルオレン誘導体 (P F)、(ポリ)パラフェニレンビニレン誘導体 (P P V)、ポリフェニレン誘導体 (P P)、ポリパラフェニレン誘導体 (P P P)、ポリビニルカルバゾール (P V K)、ポリチオフェン誘導体、ポリメチルフェニルシラン (P M P S) などのポリシラン系などが好適に用いられる。また、これらの高分子材料に、ペリレン系色素、クマリン系色素、ローダミン系色素などの高分子系材料や、ルブレン、ペリレン、9, 10 - ジフェニルアントラセン、テトラフェニルプタジエン、ニールレッド、クマリン 6、キナクリドン等の低分子材料をドーピングして用いることもできる。

また、赤色の発光層 6 2 の形成材料としては例えば M E H P P V (ポリ(3 - メトキシ 6 - (3 - エチルヘキシル)パラフェニレンビニレン)を、緑色の発光層 6 2 の形成材料としては例えばポリジオクチルフルオレンと F 8 B T (ジオクチルフルオレンとベンゾチアジアゾールの交互共重合体)の混合溶液を、青色の発光層 6 2 の形成材料としては例えばポリジオクチルフルオレンを用いる場合がある。また、このような発光層 6 2 については、特にその厚さについては制限がなく、各色毎に好ましい膜厚が調整されている。

【 0 0 9 1 】

電子注入層 6 3 は、発光層 6 2 の上に形成されたものである。当該電子注入層 6 3 の材料は、発光層 6 2 の各種材料に応じて適宜選択される。具体的な材料としては、アルカリ金属のフッ化物として、L i F (フッ化リチウム)、N a F (フッ化ナトリウム)、K F (フッ化カリウム)、R b F (フッ化ルビジウム)、C s F (フッ化セシウム)などや、あるいはアルカリ金属の酸化物、即ち L i ₂ O (酸化リチウム)、N a ₂ O (酸化ナトリウム)などが好適に用いられる。また、この電子注入層 6 3 の厚さとしては、0 . 5 n m ~ 1 0 n m 程度とするのが好ましい。

【 0 0 9 2 】

陰極 5 7 は、電子注入層 6 3 の総面積より広い面積を備え、それを覆うように形成されたもので、電子注入層 6 3 上に設けられた低仕事関数の金属からなる第 1 陰極と、該第 1 陰極上に設けられて該第 1 陰極を保護する第 2 陰極とからなるものである。第 1 陰極を形成する低仕事関数の金属としては、特に仕事関数が 3 . 0 e V 以下の金属であるのが好ましく、具体的には C a (仕事関数 ; 2 . 6 e V)、S r (仕事関数 ; 2 . 1 e V)、B a (仕事関数 ; 2 . 5 e V) が好適に用いられる。第 2 陰極は、第 1 陰極を覆って酸素や水分などからこれを保護するとともに、陰極 5 7 全体の導電性を高めるために設けられたものである。この第 2 陰極の形成材料としては、化学的に安定で比較的工作関数が低いものであれば特に限定されることなく、任意のもの、例えば金属や合金などが使用可能であり、具体的には A l (アルミニウム)や A g (銀)などが好適に用いられる。

【 0 0 9 3 】

なお、上記構成の有機 E L 装置 1 は、ボトムゲート型の構造を有しているが、これを限定するものではない。当該有機 E L 装置 1 は、封止基板 7 2 側から発光光を取り出す所謂トップゲート型においても適用可能である。

トップゲート型の有機 E L 装置の場合には、基板 1 0 の対向側である封止基板 7 2 側から発光光を取り出す構成であるので、透明基板及び不透明基板のいずれも用いることができる。不透明基板としては、例えば、アルミナ等のセラミック、ステンレススチール等の金属シートに表面酸化などの絶縁処理を施したものの他に、熱硬化性樹脂、熱可塑性樹脂などが挙げられる。

【 0 0 9 4 】

また、封止層 5 4 は、窒素ガス充填層 7 0 と、ゲッター剤 7 1 と、封止基板 7 2 を備えた構成となっている。

ここで、ゲッター剤 7 1 は、封止基板 7 2 の内面に貼着されており、水分や酸素を吸収するものである。このように、封止層 5 4 が窒素ガス充填層 7 0 及びゲッター剤 7 1 を備えることにより、有機 E L 装置 5 0 内部に水分や酸素が浸透するのが抑制され、これにより有機 E L 装置 5 0 はその長寿命化が図られたものとなっている。

【0095】

上述したように、本実施形態においては、有機EL装置50のスイッチング素子として、薄膜トランジスタ55を備えているので、ドレイン端での電界集中によるオフリーク電流を低減することができる。また、高抵抗領域17bが自己整合的に形成されるため、半導体装置の特性のバラツキが生じにくくなるという効果が得られる。また、ホットエレクトロンの発生によるしきい値変動を防止できる。また、多結晶シリコン膜11の上方に、高窒素濃度領域を有していることにより、多結晶シリコン膜11の(ダングリングボンドを末端している)水素原子が多結晶シリコン膜11から脱離し難くなり、ブロッキング効果が得られ、より安定な信頼性を有する半導体装置を実現できる。

また、水素化処理時にゲート絶縁膜12に対する過飽和な水素注入を防止できるため、特にP型半導体装置にゲート負バイアスを動作させた際に、ゲート絶縁膜12へのホール注入効果に起因する、閾値のエンハンス側へのシフトを抑制できる。従って、CMOS回路の動作信頼性を向上できる。

また、特に、本発明の半導体装置を駆動用TFT51aに採用することにより、OFF電流を制御できるとともに、自己整合的に形成されるためTFTの特性ばらつきの少ない、即ち、表示領域における輝度が均一な有機EL装置を実現することができる。

【0096】

なお、本実施形態においては、薄膜トランジスタ55を備えるTFT基板53、有機EL装置50について説明したが、これを限定するものではない。例えば、液晶装置にTFT基板53を採用した構成でもよい。

【0097】

(電子機器)

次に、上記実施形態の有機EL装置を備えた電子機器の例について説明する。

図10(a)は、携帯電話の一例を示した斜視図である。図10(a)において、符号500は携帯電話本体を示し、符号501は有機EL装置を備えた表示部を示している。

図10(b)は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図10(b)において、符号600は情報処理装置、符号601はキーボードなどの入力部、符号603は情報処理本体、符号602は有機EL装置を備えた表示部を示している。

図10(c)は、腕時計型電子機器の一例を示した斜視図である。図10(c)において、符号700は時計本体を示し、符号701は有機EL装置を備えたEL表示部を示している。

図10(a)~(c)に示す電子機器は、先の実施形態に示した有機EL装置が備えられたものであるので、表示特性が良好な電子機器となる。

【0098】

なお、電子機器としては、上記電子機器に限られることなく、種々の電子機器に適用することができる。例えば、デスクトップ型コンピュータ、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置等の電子機器に適用することができる。

【図面の簡単な説明】

【0099】

【図1】本発明の第1実施形態に示す半導体装置の製造方法を説明するための図。

【図2】本発明の第1実施形態に示す半導体装置を説明するための図。

【図3】本発明の第2実施形態に示す半導体装置の製造方法を説明するための図。

【図4】本発明の第2実施形態に示す半導体装置を説明するための図。

【図5】本発明の第3実施形態に示す半導体装置の製造方法を説明するための図。

【図6】本発明の第3実施形態に示す半導体装置を説明するための図。

【図7】本発明の電気光学装置として示す有機EL装置の等価回路図。

10

20

30

40

50

【図8】本発明の電気光学装置として示す有機EL装置の平面図。

【図9】本発明の電気光学装置として示す有機EL装置の要部の断面拡大図。

【図10】本発明の電子機器を示す図。

【図11】従来技術を説明するための図。

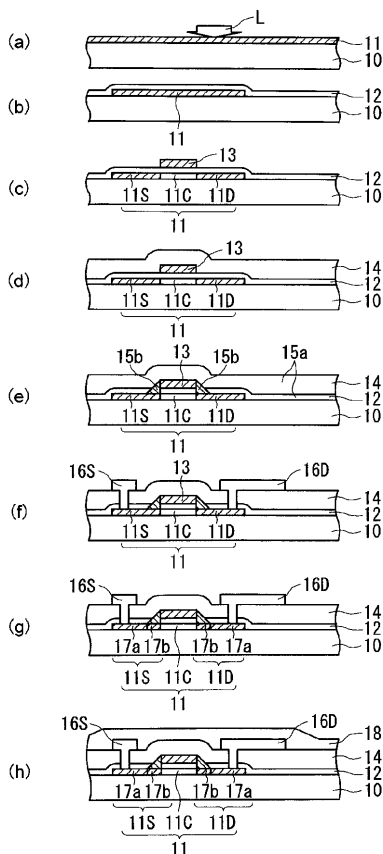
【符号の説明】

【0100】

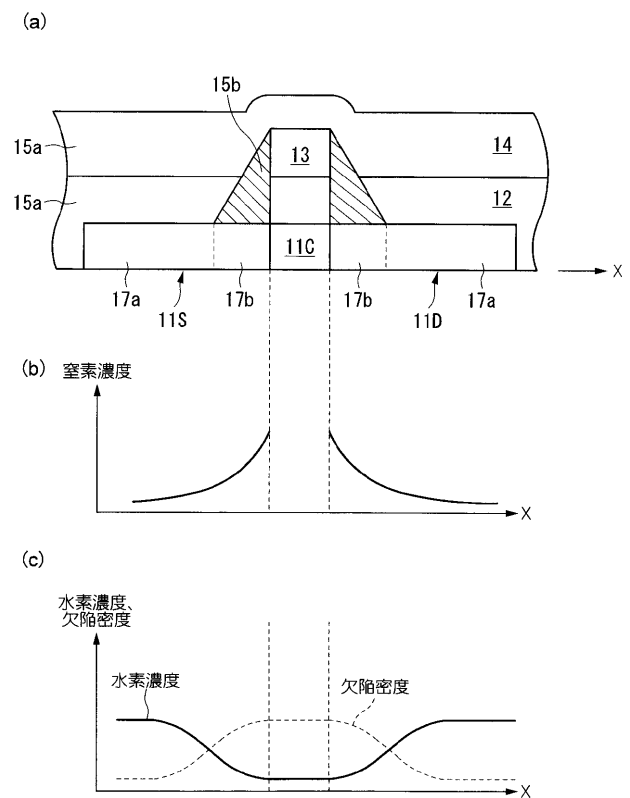
11 多結晶シリコン膜（半導体層）、11C チャンネル領域、11S ソース領域（不純物領域）、11D ドレイン領域（不純物領域）、11SL 低濃度ソース領域（第1濃度不純物領域）、11DL 低濃度ドレイン領域（第1濃度不純物領域）、11SH 高濃度ソース領域（第2濃度不純物領域）、11DH 高濃度ドレイン領域（第2濃度不純物領域）、12 ゲート絶縁膜（絶縁膜）、13 ゲート電極（電極）、14 層間絶縁膜（絶縁膜）、20 サイドウォール（側壁部）、50 有機EL装置（電気光学装置）、53 TFT基板（電気光学装置用基板）、500 携帯電話本体（電子機器）、600 携帯型情報処理装置（電子機器）、700 腕時計型電子機器（電子機器）

10

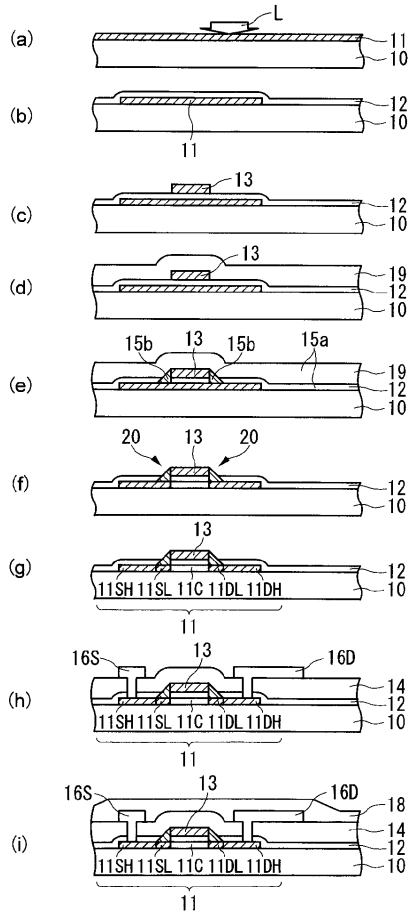
【図1】



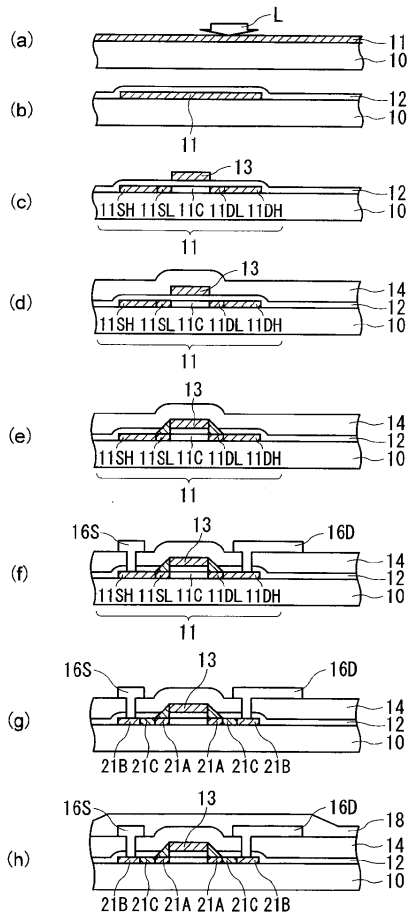
【図2】



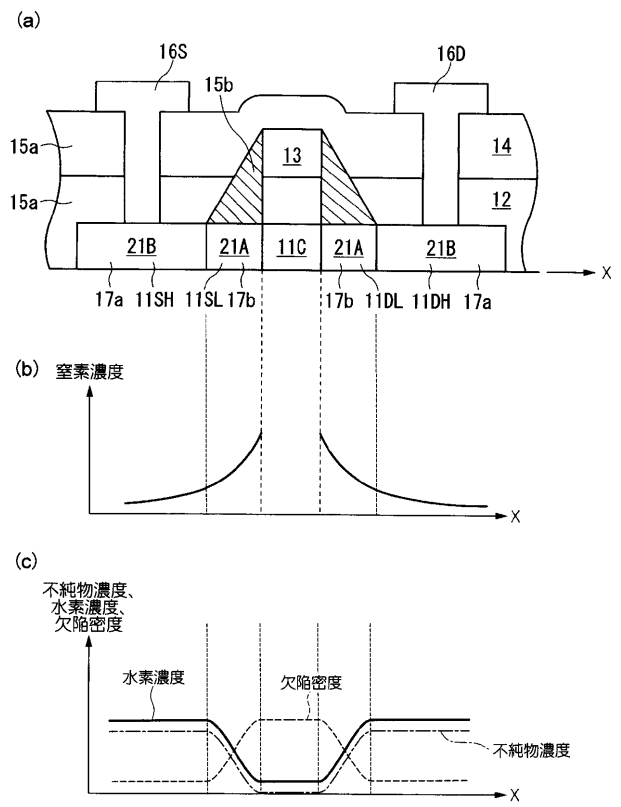
【 図 3 】



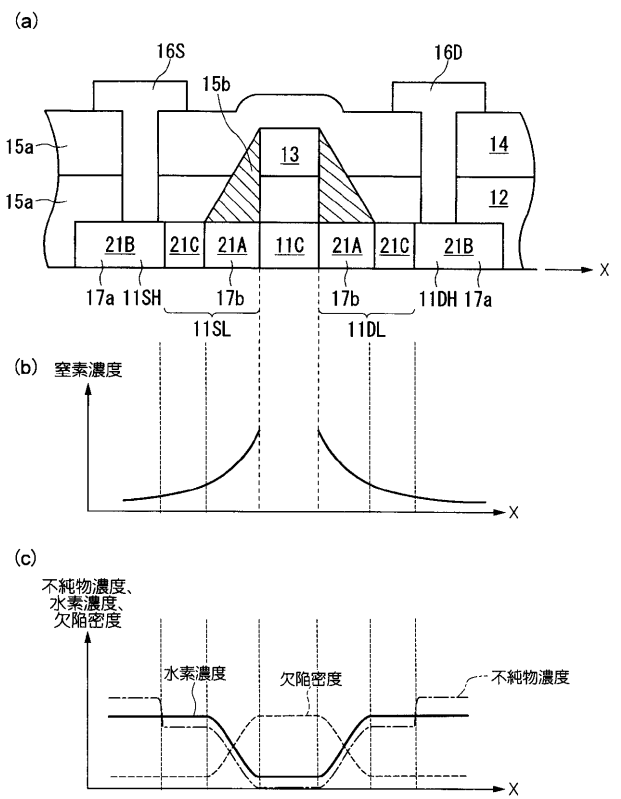
【 図 5 】



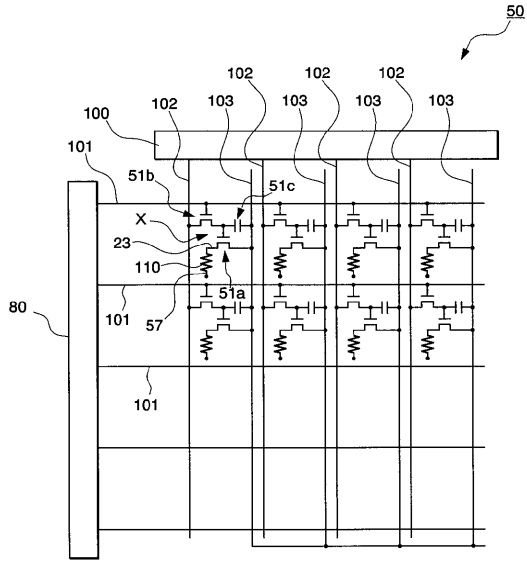
【 図 4 】



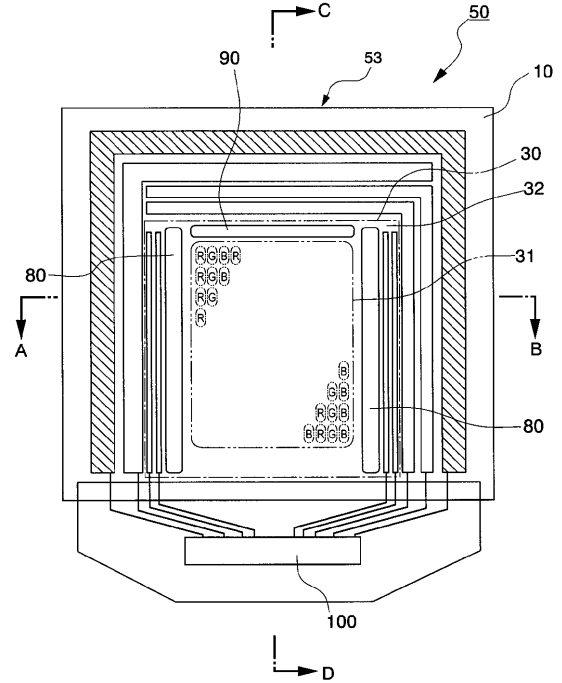
【 図 6 】



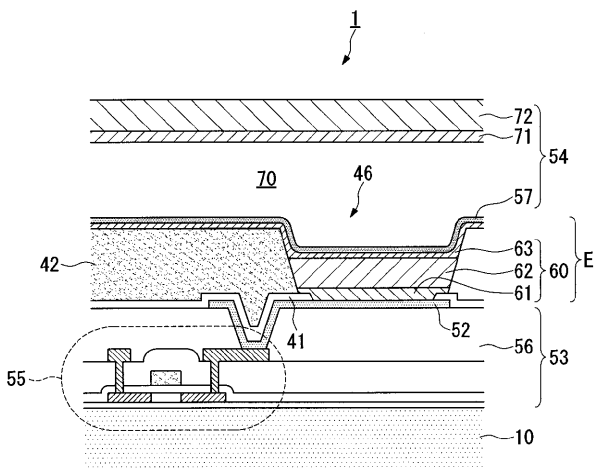
【 図 7 】



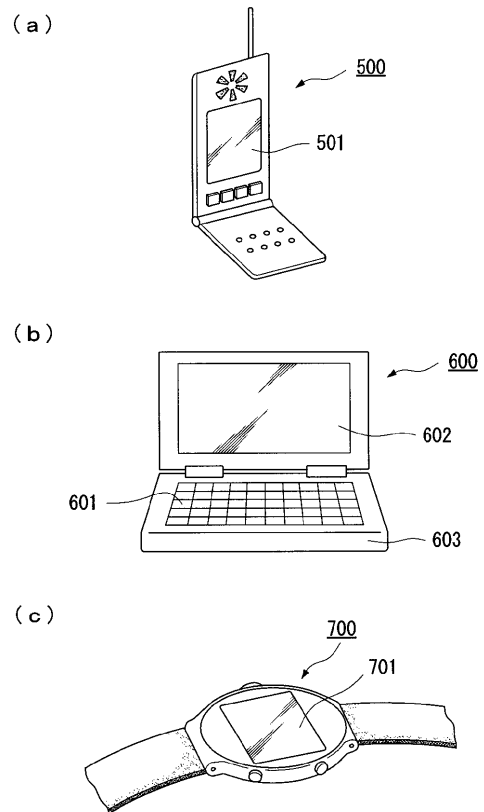
【 図 8 】



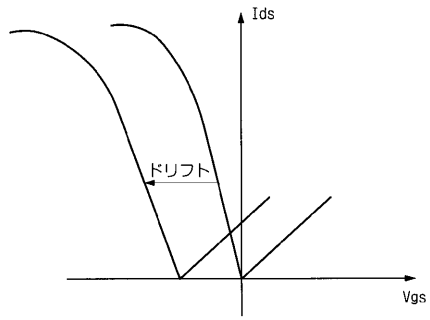
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

Fターム(参考) 3K007 BA06 DB03 GA00
5F110 AA30 BB01 BB07 BB10 CC02 DD02 DD13 EE03 EE04 EE32
EE44 FF02 FF03 FF05 GG02 GG13 GG25 GG45 GG57 HJ01
HJ04 HJ13 HL01 HL03 HL04 HL23 HM15 NN01 NN02 NN22
NN23 NN24 NN28 NN35 NN40 PP03 QQ11 QQ23 QQ25