



등록특허 10-2119829



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년06월05일

(11) 등록번호 10-2119829

(24) 등록일자 2020년06월01일

(51) 국제특허분류(Int. Cl.)

H01L 21/31 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2013-0115522

(22) 출원일자 2013년09월27일

심사청구일자 2018년09월07일

(65) 공개번호 10-2015-0035224

(43) 공개일자 2015년04월06일

(56) 선행기술조사문헌

KR1020120019529 A*

US20100130001 A1*

US20120270390 A1*

KR1020100072559 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

(72) 발명자

양기홍

경기 성남시 분당구 중앙공원로 54, 218동 307호
(서현동, 우성아파트)

(74) 대리인

김두식, 문용호, 오종한

전체 청구항 수 : 총 2 항

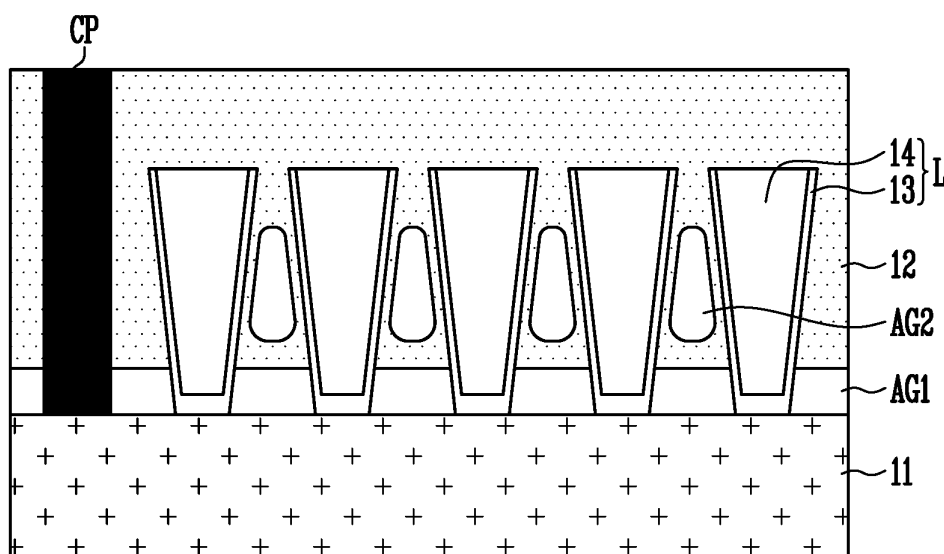
심사관 : 손희수

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치는 제1 절연막; 상기 제1 절연막의 상부에 형성된 제2 절연막; 상기 제2 절연막 내에 형성된 복수의 배선들; 및 상기 제1 절연막과 상기 제2 절연막의 사이에 정의된 제1 에어 갭을 포함한다.

대표도 - 도1a



명세서

청구범위

청구항 1

제1 절연막;

상기 제1 절연막의 상부에 형성된 제2 절연막;

상기 제2 절연막 내에 형성된 복수의 배선들; 및

상기 제1 절연막과 상기 제2 절연막의 사이에 정의되고, 상기 배선들의 하부를 노출시키고 상기 배선들보다 낮은 높이를 갖는 제1 에어 갭

을 포함하는 반도체 장치.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제2 절연막 내에 위치되며, 상기 배선들 사이에 정의된 복수의 제2 에어 갭들

을 더 포함하는 반도체 장치.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제2 절연막을 관통하여 상기 제1 에어 갭까지 확장된 콘택 플러그

를 더 포함하는 반도체 장치.

청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제3항에 있어서,

상기 콘택 플러그는 더미 콘택 플러그인

반도체 장치.

청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 배선들은 비트라인인

반도체 장치.

청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1 절연막의 하부에 위치되며, 교대로 적층된 도전막들 및 절연막들; 및

상기 도전막들 및 상기 절연막들을 관통하며, 상기 배선들과 연결된 복수의 채널막들

을 더 포함하는 반도체 장치.

청구항 7

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제1항에 있어서,

상기 제1 절연막 내에 형성되며, 상기 배선들과 연결된 복수의 콘택 플러그들

을 더 포함하는 반도체 장치.

청구항 8

제1 절연막 상에 식각정지막을 형성하는 단계;

상기 식각정지막 상에, 복수의 배선들을 포함하는 제2 절연막을 형성하는 단계;

상기 제2 절연막을 관통하여 상기 식각정지막을 노출시키는 홀을 형성하는 단계; 및

상기 홀을 통해 상기 식각정지막을 제거하여, 상기 배선들의 하부를 노출시키고 상기 배선들보다 낮은 높이를 갖는 제1 에어 갭을 형성하는 단계

를 포함하는 반도체 장치의 제조 방법.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제8항에 있어서,

상기 제2 절연막을 형성하는 단계는,

상기 식각정지막 상에 희생막을 형성하는 단계;

상기 희생막을 관통하는 상기 복수의 배선들을 형성하는 단계;

상기 배선들이 노출되도록 상기 희생막을 제거하는 단계; 및

상기 배선들 사이에 정의된 복수의 제2 에어 갭들을 포함하는 상기 제2 절연막을 형성하는 단계를 포함하는

반도체 장치의 제조 방법.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제8항에 있어서,
상기 홀 내에 콘택 플러그를 형성하는 단계
를 더 포함하는 반도체 장치의 제조 방법.

청구항 11

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆
제10항에 있어서,
상기 콘택 플러그는 더미 콘택 플러그인
반도체 장치의 제조 방법.

청구항 12

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆
제8항에 있어서,
상기 배선들은 비트라인인
반도체 장치의 제조 방법.

청구항 13

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆
제8항에 있어서,
상기 제1 절연막을 형성하기 전에, 교대로 적층된 도전막들 및 절연막들, 상기 도전막들 및 상기 절연막들을 관
통하며 상기 배선들과 연결되는 복수의 채널막들을 형성하는 단계
를 더 포함하는 반도체 장치의 제조 방법.

청구항 14

◆청구항 14은(는) 설정등록료 납부시 포기되었습니다.◆
제8항에 있어서,
상기 제1 절연막을 형성한 후, 상기 제1 절연막을 관통하는 복수의 콘택 플러그들을 형성하는 단계
를 더 포함하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치 및 그 제조 방법에 관한 것으로, 보다 상세히는 배선을 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치는 신호를 전달하기 위한 다양한 배선들을 포함한다. 그런데, 반도체 장치의 집적도가 향상됨에 따
라, 배선들 간의 간격이 점차 좁아지게 된다. 따라서, 이웃한 배선들 간의 캐패시턴스 증가, 로딩 효과 증가,

프로그램 특성 저하 등이 유발되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예는 특성이 개선된 반도체 장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 반도체 장치는 제1 절연막; 상기 제1 절연막의 상부에 형성된 제2 절연막; 상기 제2 절연막 내에 형성된 복수의 배선들; 및 상기 제1 절연막과 상기 제2 절연막의 사이에 정의된 제1 에어 갭을 포함한다.

[0005] 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은 제1 절연막 상에 식각정지막을 형성하는 단계; 상기 식각정지막 상에, 복수의 배선들을 포함하는 제2 절연막을 형성하는 단계; 상기 제2 절연막을 관통하여 상기 식각정지막을 노출시키는 홀을 형성하는 단계; 및 상기 홀을 통해 상기 식각정지막을 제거하여 제1 에어 갭을 형성하는 단계를 포함한다.

발명의 효과

[0006] 반도체 장치는 배선들의 하부에 위치한 제1 에어 갭 및 이웃한 배선들의 사이에 위치한 제2 에어 갭 중 적어도 하나를 포함한다. 따라서, 이웃한 배선들 간의 캐패시턴스를 감소시키고, 배선의 로딩 효과, 프로그램 특성 등을 개선할 수 있다.

도면의 간단한 설명

[0007] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

도 2a 및 도 2b는 본 발명의 일 실시예에 따른 반도체 장치의 사시도이고, 도 2c는 도 2a 및 도 2b의 A영역을 확대한 확대도이다.

도 3은 본 발명의 일 실시예에 따른 반도체 장치의 배선 레이아웃을 나타낸다.

도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 단면도이다.

도 5는 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다.

도 6은 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다.

도 7은 본 발명의 일 실시예에 따른 컴퓨팅 시스템의 구성을 나타내는 블록도이다.

도 8은 본 발명의 일 실시예에 따른 컴퓨팅 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하에서는, 본 발명의 가장 바람직한 실시예가 설명된다. 도면에 있어서, 두께와 간격은 설명의 편의를 위하여 표현된 것이며, 실제 물리적 두께에 비해 과장되어 도시될 수 있다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 공지의 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

[0009] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 반도체 장치의 단면도이다.

[0010] 도 1a 및 도 1b에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 장치는 제1 절연막(11), 제2 절연막(12) 및 복수의 배선들(L)을 포함한다. 여기서, 제1 및 제2 절연막들(11, 12)은 하부 구조물이 형성된 기판(미도시됨) 상에 차례로 적층되며, 중간절연막일 수 있다. 예를 들어, 제1 및 제2 절연막들(11, 12)은 산화물을 포함한다. 또한, 복수의 배선들(L)은 제2 절연막(12) 내에 형성되며, 배리어막(13) 및 금속막(14)을 포함할 수 있다. 예를 들어, 복수의 배선들(L)은 텅스텐, 구리 등의 금속물을 포함한다.

- [0011] 본 발명의 일 실시예에 따른 반도체 장치는 기판(미도시됨) 상에 형성된 메모리 셀들(미도시됨)을 더 포함할 수 있다. 또한, 제1 절연막(11)은 메모리 셀들이 형성된 기판 상에 형성된 층간절연막이고, 배선들(L)은 비트라인일 수 있다. 메모리 셀들은 기판의 표면을 따라 수평으로 배열되거나, 기판으로부터 돌출된 채널막을 따라 수직으로 적층될 수 있다. 메모리 셀들이 수평으로 배열된 경우, 배선들(L)은 기판의 드레인 콘택 영역에 연결된다. 예를 들어, 배선들(L)은 제1 절연막(11) 내에 포함된 콘택 플러그들을 통해 드레인 콘택 영역에 연결된다. 메모리 셀들이 수직으로 적층된 경우, 배선들(L)은 채널막의 끝단과 연결된다. 예를 들어, 배선들(L)은 제1 절연막(11) 내에 포함된 콘택 플러그들을 통해 채널막의 상단과 연결된다.
- [0012] 본 발명의 일 실시예에 따른 반도체 장치는 제1 에어 갭(AG1) 및 복수의 제2 에어 갭들(AG2) 중 적어도 하나를 더 포함한다. 여기서, 에어 갭은 막의 내부 또는 막들 사이에 형성된 빈 공간일 수 있다.
- [0013] 제1 에어 갭(AG1)은 제1 절연막(11)과 제2 절연막(12)의 사이에 정의될 수 있다. 예를 들어, 제1 에어 갭(AG1)은 식각정지막을 제거한 영역에 정의된다. 또한, 복수의 제2 에어 갭들(AG2)은 제2 절연막(12) 내에 위치되며 배선들(L) 사이에 정의된다.
- [0014] 도 1a는 반도체 장치가 제1 에어 갭(AG1)과 제2 에어 갭(AG2)을 둘다 포함한 경우를 나타내고, 도 1b는 반도체 장치가 제1 에어 갭(AG1)만을 포함하는 경우를 나타낸다. 여기서, 배선들(L)의 하부가 제1 에어 갭(AG1) 내로 돌출될 수 있다. 또한, 본 도면에서는 제1 에어 갭(AG1)과 제2 에어 갭(AG2)이 제2 절연막(12)에 의해 분리된 경우를 나타내었으나, 제1 에어 갭(AG1)과 제2 에어 갭(AG2)이 연결되는 것도 가능하다.
- [0015] 본 발명의 일 실시예에 따른 반도체 장치는 제2 절연막(12)을 관통하여 제1 에어 갭(AG1)까지 확장된 적어도 하나의 콘택 플러그(CP)를 더 포함할 수 있다. 여기서, 콘택 플러그(CP)는 더미 영역, 주변 영역, 가이드 영역 등에 위치한 더미 콘택 플러그일 수 있다.
- [0016] 전술한 바와 같은 구조에 따르면, 이웃한 배선들(L) 간에 제2 에어 갭(AG2)을 정의함으로써, 이웃한 배선들 간의 캐패시턴스를 감소시킬 수 있다. 또한, 제1 절연막(11)과 제2 절연막(12)의 사이에 제1 에어 갭(AG1)을 정의함으로써, 이웃한 배선들 간의 캐패시턴스를 더욱 감소시킬 수 있다. 따라서, 배선의 로딩 효과, 프로그램 특성 등을 개선할 수 있다.
- [0017] 도 2a 및 도 2b는 본 발명의 일 실시예에 따른 반도체 장치의 사시도이고, 도 2c는 도 2a 및 도 2b의 A영역을 확대한 확대도이다. 단, 도 2a 및 도 2b는 설명의 편의를 위해 절연막은 생략하고 도시하였다.
- [0018] 도 2a 및 도 2c에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 장치는 제1 방향(I-I') 및 제1 방향(I-I')과 교차된 제2 방향(II-II')으로 배열된 U형태, W형태 등의 채널막들(CH)을 포함한다. 여기서, 채널막들(CH)은 파이프 채널막(P_CH) 및 파이프 채널막(P_CH)과 연결된 소스 및 드레인 사이드 채널막들(S_CH, D_CH)을 포함할 수 있다. 본 도면에서는 채널막들(CH)이 매트릭스 형태로 배열된 경우를 도시하였으나, 집적도 향상을 위해 지그재그 형태로 엇갈리게 배열되는 것도 가능하다.
- [0019] 본 발명의 일 실시예에 따른 반도체 장치는 기판(SUB) 상에 교대로 적층된 도전막들 및 절연막들을 포함한다. 여기서, 도전막들은 파이프 게이트(PG), 소스 사이드 워드라인들(S_WL), 드레인 사이드 워드라인들(D_WL), 소스 선택 라인들(SSL) 및 드레인 선택 라인들(DSL)을 더 포함한다. 파이프 게이트(PG), 워드라인들(WL), 드레인 및 소스 선택 라인들(DSL, SSL)은 채널막(CH)을 감싸면서 적층된다. 예를 들어, 파이프 게이트(PG)는 파이프 채널막(P_CH)을 감싼다. 또한, 소스 사이드 워드라인들(S_WL) 및 소스 선택 라인들(SSL)은 적어도 하나의 열의 소스 사이드 채널막(S_CH)을 감싸면서 적층되고, 드레인 사이드 워드라인들(D_WL) 및 드레인 선택 라인들(DSL)은 적어도 하나의 열의 드레인 사이드 채널막들(D_CH)을 감싸면서 적층된다.
- [0020] 본 발명의 일 실시예에 따른 반도체 장치는 채널막들(CH)과 워드라인들(WL) 사이에 개재된 메모리막(미도시됨)을 더 포함한다. 메모리막은 터널절연막, 데이터저장막 및 전하차단막을 포함할 수 있다. 예를 들어, 데이터저장막은 질화막 등의 트랩막, 폴리실리콘막 등의 플로팅 게이트, 나노 닷, 상변화 물질막 등을 포함한다.
- [0021] 본 발명의 일 실시예에 따른 반도체 장치는 소스 사이드 채널막들(S_CH)과 연결된 소스 라인(SL) 및 드레인 사이드 채널막들(D_CH)과 연결된 비트라인들(BL)을 더 포함한다. 여기서, 소스 라인(SL)과 비트라인들(BL)은 상호 교차되는 방향으로 확장될 수 있다.
- [0022] 또한, 본 발명의 일 실시예에 따른 반도체 장치는 제1 에어 갭(AG1) 및 제2 에어 갭(AG2) 중 적어도 하나를 더 포함한다. 도 2c를 참조하면, 제1 에어 갭(AG1)은 비트라인들(BL)의 하부에 위치되고, 제1 절연막(11)과 제2

절연막(IL2)의 사이에 정의될 수 있다. 또한, 제2 에어 갭(AG2)은 제2 절연막(IL2) 내에 위치되고, 비트라인들(BL)의 사이에 정의될 수 있다. 참고로, 본 도면에는 도시되지 않았으나, 비트라인들(BL)과 채널막들(CH) 사이에는 콘택 플러그가 개재될 수 있다.

[0023] 이와 같은 구조에 따르면, 채널막(CH)과 드레인 선택 라인들(DSL)이 교차되는 영역에 드레인 선택 트랜지스터(DST)가 형성되고, 채널막(CH)과 소스 선택 라인들(SSL)이 교차되는 영역에 소스 선택 트랜지스터(SST)가 형성되고, 채널막(CH)과 워드라인들(WL)이 교차되는 영역에 메모리 셀들(MC)이 형성된다. 따라서, 직렬로 연결된 적어도 하나의 드레인 선택 트랜지스터, 복수의 메모리 셀들, 파이프 트랜지스터, 복수의 메모리 셀들 및 적어도 하나의 소스 선택 트랜지스터가 하나의 스트링을 구성하며, 스트링들은 U형대로 배열된다.

[0024] 또한, 비트라인(BL)과 최상부 도전막(드레인 선택 라인 또는 소스 선택 라인) 사이에 제1 에어 갭(AG1)을 정의하거나, 제1 방향(I-I')으로 이웃한 비트라인들(BL) 사이에 제2 에어 갭(AG2)을 정의함으로써, 비트라인들(BL)의 로딩 효과를 개선하고, 프로그램 특성을 개선할 수 있다.

[0025] 도 2b 및 도 2c에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 장치는 소스 영역(미도시됨)을 구비한 기판(SUB)으로부터 돌출되고, 제1 방향(I-I') 및 제2 방향(II-II')으로 배열된 채널막들(CH)을 포함한다. 본 도면에서는 채널막들(CH)이 매트릭스 형태로 배열된 경우를 도시하였으나, 집적도 향상을 위해 지그재그 형태로 엇갈리게 배열되는 것도 가능하다.

[0026] 본 발명의 일 실시예에 따른 반도체 장치는 기판(SUB) 상에 교대로 적층된 절연막들 및 도전막들을 포함한다. 여기서, 도전막들은 하부 선택 라인(LSL), 워드라인들(WL) 및 상부 선택 라인들(USL)을 포함할 수 있다. 하부 선택 라인(LSL), 워드라인들(WL) 및 상부 선택 라인들(USL)은 적어도 하나의 채널 열을 감싸면서 적층된다. 또한, 구동 방식에 따라, 플레이트 형태를 갖거나, 제1 방향(I-I')으로 확장된 라인 형태를 가질 수 있다.

[0027] 본 발명의 일 실시예에 따른 반도체 장치는 채널막들(CH)과 워드라인들(WL) 사이에 개재된 메모리막(미도시됨)을 더 포함한다. 메모리막은 터널절연막, 데이터저장막 및 전하차단막을 포함할 수 있다. 예를 들어, 데이터저장막은 질화막 등의 트랩막, 폴리실리콘막 등의 플로팅 게이트, 나노 닷, 상변화 물질막 등을 포함한다.

[0028] 본 발명의 일 실시예에 따른 반도체 장치는 채널막들(CH)과 연결된 비트라인들(BL)을 더 포함한다. 예를 들어, 비트라인들(BL)은 제2 방향(II-II')으로 확장될 수 있다.

[0029] 또한, 본 발명의 일 실시예에 따른 반도체 장치는 제1 에어 갭(AG1) 및 제2 에어 갭(AG2) 중 적어도 하나를 더 포함한다. 도 2c를 참조하면, 제1 에어 갭(AG1)은 비트라인들(BL)의 하부에 위치되고, 제1 절연막(IL1)과 제2 절연막(IL2)의 사이에 정의될 수 있다. 또한, 제2 에어 갭(AG2)은 제2 절연막(IL2) 내에 위치되고, 비트라인들(BL)의 사이에 정의될 수 있다. 참고로, 본 도면에는 도시되지 않았으나, 비트라인들(BL)과 채널막들(CH) 사이에는 콘택 플러그가 개재될 수 있다.

[0030] 이와 같은 구조에 따르면, 직렬로 연결된 적어도 하나의 하부 선택 트랜지스터, 복수의 메모리 셀들, 적어도 하나의 상부 선택 트랜지스터가 하나의 스트링을 구성하며, 스트링들은 수직으로 배열된다.

[0031] 또한, 비트라인(BL)과 최상부 도전막(상부 선택 라인) 사이에 제1 에어 갭(AG1)을 정의하거나, 제1 방향(I-I')으로 이웃한 비트라인들(BL) 사이에 제2 에어 갭(AG2)을 정의함으로써, 비트라인들(BL)의 로딩 효과를 개선하고, 프로그램 특성을 개선할 수 있다.

[0032] 한편, 앞서 설명한 실시예에서는 메모리 셀들이 적층된 3차원 반도체 장치에 대해 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 본 발명의 일 실시예는 메모리 셀들이 수평으로 배열된 2차원 반도체 장치 등에 적용될 수 있으며, 휘발성 메모리 소자, 비휘발성 메모리 소자 등 배선을 포함하는 다양한 반도체 장치에도 적용될 수 있다. 또한, 앞서 설명한 실시예에서는 반도체 장치의 비트라인 주변에 제1 및 제2 에어 갭들(AG1, AG2)을 정의하는 경우에 대해 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 본 발명의 일 실시예는 워드라인, 선택 라인 등 다양한 배선에 적용될 수 있다.

[0033] 예를 들어, 앞서 설명한 배선은 소스 및 드레인 선택 라인들(SSL, DSL)일 수 있다. 이러한 경우, 소스 및 드레인 선택 라인들(SSL, DSL)과 최상부 워드라인(WL)의 사이에 제1 에어 갭(AG1)이 정의되고, 이웃한 소스 및 드레인 선택 라인들(SSL, DSL)의 사이에 제2 에어 갭(AG2)을 정의된다.

- [0034] 도 3은 본 발명의 일 실시예에 따른 반도체 장치의 배선 레이아웃을 나타낸다.
- [0035] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 장치는 복수의 배선들(L) 및 적어도 하나의 더미 배선(DL)을 포함할 수 있다. 여기서, 배선들(L)은 비트라인일 수 있으며, 더미 배선(DL)은 비트라인 형성시 함께 형성될 수 있다. 비트라인은 메모리 셀에 신호를 전달하기 위한 것으로, 페이지 버퍼에 연결될 수 있다. 더미 배선(DL)은 단선된 형태를 가지며, 주변 회로 영역, 더미 영역, 가이드 영역 등에 위치될 수 있다.
- [0036] 본 발명의 일 실시예에 따른 반도체 장치는 더미 배선(DL)에 연결된 더미 콘택 플러그(DCP)를 더 포함한다. 더미 콘택 플러그(DCP)는 주변 회로 영역, 더미 영역, 가이드 영역 등에 위치될 수 있으며, 더미 콘택 플러그(DCP) 형성 공정을 이용하여 앞서 설명한 제1 에어 갭(AG1)을 형성할 수 있다. 이에 대해서는 도 4d를 참조하여 후술하도록 한다.
- [0037] 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 공정 단면도이다.
- [0038] 도 4a에 도시된 바와 같이, 하부 구조물이 형성된 기판 상에 제1 절연막(41), 식각정지막(42) 및 희생막(43)을 차례로 형성한다. 여기서, 하부 구조물은 기판으로부터 돌출된 채널막, 하부 배선, 콘택 플러그 등일 수 있다. 또한, 식각정지막(42)은 제1 절연막(41) 및 희생막(43)에 비해 유전율이 높은 물질을 포함할 수 있다. 예를 들어, 제1 절연막(41) 및 희생막(43)은 산화물을 포함할 수 있고, 식각정지막(42)은 질화물을 포함할 수 있다.
- [0039] 제1 절연막(41)은 제1 절연막(41)을 관통하는 복수의 제1 콘택 플러그들(CP1)을 포함할 수 있고, 희생막(43)은 이들을 관통하여 제1 콘택 플러그들(CP1)과 연결된 복수의 배선들(L)을 포함할 수 있다.
- [0040] 여기서, 제1 콘택 플러그들(CP1)은 집적도 향상을 위해 지그재그 형태로 엇갈리게 배열될 수 있다. 본 도면에서는 엇갈리게 배열된 제1 콘택 플러그들(CP1)을 나타내기 위해, 단면을 기준으로 뒷편에 위치한 제1 콘택 플러그들(CP1)을 점선으로 도시하였다.
- [0041] 또한, 배선들(L)은 베리어막(44) 및 금속막(45)을 포함할 수 있다. 예를 들어, 트렌치들(T)이 형성된 희생막(43) 상에 베리어막(44)을 형성한 후, 배선용 트렌치들(T)이 채워지도록 금속막(45)을 형성한다. 이어서, 희생막(43)의 상부면이 노출되도록 평탄화 공정을 실시하여, 배선들(L)을 형성한다.
- [0042] 한편, 제조 공정에 따라, 제1 콘택 플러그들(CP1) 및 배선들(L)의 형성 위치가 변경될 수 있다.
- [0043] 일 예로, 제1 절연막(41)을 관통하는 복수의 홀들(H)을 형성한 후, 홀들(H) 내에 도전막을 채워 복수의 제1 콘택 플러그들(CP1)을 형성한다. 이어서, 제1 절연막(41) 상에 식각정지막(42) 및 희생막(43)을 형성한 후, 희생막(43) 상에 마스크 패턴(미도시됨)을 형성한다. 이어서, 마스크 패턴을 식각베리어로 희생막(43) 및 식각정지막(42)을 식각하여 복수의 트렌치들(T)을 형성한다. 이어서, 복수의 트렌치들(T) 내에 배선들(L)을 형성한다. 이러한 경우, 제1 콘택 플러그들(CP1)은 제1 절연막(41)을 관통하고, 배선들(L)은 식각정지막(42) 및 희생막(43)을 관통하도록 형성된다.
- [0044] 다른 예로, 식각정지막(42) 및 제1 절연막(41)을 관통하는 복수의 홀들(H)을 형성한 후, 홀들(H) 내에 도전막을 채워 복수의 제1 콘택 플러그들(CP1)을 형성한다. 이어서, 식각정지막(42) 상에 희생막(43)을 형성한 후, 희생막(43) 상에 마스크 패턴(미도시됨)을 형성한다. 이어서, 마스크 패턴을 식각베리어로 희생막(43)을 식각하여 복수의 트렌치들(T)을 형성한다. 이어서, 복수의 트렌치들(T) 내에 배선들(L)을 형성한다. 이러한 경우, 제1 콘택 플러그들(CP1)은 제1 절연막(41) 및 식각정지막(42)을 관통하고, 배선들(L)은 희생막(43)을 관통하도록 형성된다.
- [0045] 도 4b에 도시된 바와 같이, 희생막(43)을 선택적으로 제거하여 배선들(L)을 노출시킨다. 이를 통해, 이웃한 배선들(L) 사이에 채워진 희생막(43)을 제거할 수 있다.
- [0046] 도 4c에 도시된 바와 같이, 배선들(L)이 노출된 식각정지막(42) 상에 제2 절연막(46)을 형성한다. 이때, 배선들(L) 사이의 갭 영역을 완전히 채우지 않도록, 스텝 커버리지가 낮은 물질로 제3 절연막(36)을 형성한다. 예를 들어, 제3 절연막은 PECVD(Plasma Enhanced Chemical Vapor Deposition) 공정으로 형성된 산화물을 포함한다. 이를 통해, 배선들(L) 사이에 제2 에어 갭(AG2)을 정의할 수 있다.
- [0047] 이어서, 배선들(L)의 상부면이 노출되도록 제2 절연막(46)을 평탄화한 후, 제2 절연막(46)의 상부에 제3 절연막

(47)을 더 형성할 수 있다. 예를 들어, 제3 절연막(47)은 산화물을 포함할 수 있다.

- [0048] 도 4d에 도시된 바와 같이, 제3 및 제4 절연막들(46, 47)을 관통하여 식각정지막(42)을 노출시키는 적어도 하나의 홀(H)을 형성한다. 여기서, 홀(H)은 후속 공정에서 더미 콘택 플러그를 형성하기 위한 더미 홀(DH) 일 수 있으며, 더미 영역, 주변 영역, 가이드 영역 등에 위치될 수 있다. 홀(H)은 별도의 공정으로 형성되거나, 다른 콘택 홀의 형성시 함께 형성될 수 있다. 예를 들어, 도 2a 및 도 2b를 참조하여 형성된 적층된 도전막들과 각각 연결된 콘택 플러그들을 형성하는 공정 시 함께 형성될 수 있다.
- [0049] 이어서, 홀(H)을 통해 식각정지막(42)을 제거한다. 예를 들어, 인산 딥 아웃 공정으로 식각정지막(42)을 제거한다. 이로써, 제1 절연막(41)과 제2 절연막(46) 사이에 제1 에어 갭(AG1)이 정의된다.
- [0050] 도 4e에 도시된 바와 같이, 홀(H) 내에 도전막을 채워 제2 콘택 플러그(CP2)를 형성한다. 여기서, 제2 콘택 플러그(CP2)는 더미 콘택 플러그(DCP)일 수 있다. 또한, 제2 콘택 플러그(CP2)는 더미 배선과 연결될 수 있다.
- [0051] 참고로, 본 실시예에서는 반도체 장치가 제1 및 제2 에어 갭들(AG1, AG2)을 모두 포함하는 경우에 대해 설명하였으나, 이들 중 적어도 하나만 포함하는 것도 가능하다. 예를 들어, 반도체 장치가 제1 에어 갭(AG1)만을 포함하는 경우, 도 4b 및 도 4c를 참조하여 설명한 공정은 생략한다. 또한, 배선들(L)을 형성한 후, 제2 절연막(46)을 관통하는 홀을 통해 식각정지막(42)을 제거하여, 제1 에어 갭(AG)을 정의한다.
- [0052] 전술한 바와 같은 제조 공정에 따르면, 상대적으로 유전율이 높은 식각정지막(42)을 제거하여 제1 에어 갭(AG1)을 정의한다. 따라서, 배선들(L) 간의 캐패시턴스를 효과적으로 감소시킬 수 있다. 특히, 더미 콘택 플러그 형성 공정을 이용하여, 식각정지막(42)을 제거하므로, 별도의 공정 추가 없이 제1 에어 갭(AG)을 형성할 수 있다.
- [0053] 도 5는 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다.
- [0054] 도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000)은 메모리 장치(1200)와 컨트롤러(1100)를 포함한다.
- [0055] 메모리 장치(1200)는 텍스트, 그래픽, 소프트웨어 코드 등과 같은 다양한 데이터 형태를 갖는 데이터 정보를 저장하는데 사용된다. 메모리 장치(1200)는 비휘발성 메모리일 수 있으며, 앞서 도 1a 내지 도 4e를 참조하여 설명된 반도체 장치일 수 있다. 또한, 메모리 장치(1200)는 제1 절연막, 제1 절연막의 상부에 형성된 제2 절연막, 제2 절연막 내에 형성된 복수의 배선들, 및 제1 절연막과 제2 절연막의 사이에 정의된 제1 에어 갭을 포함하도록 구성된다. 메모리 장치(1200)의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.
- [0056] 컨트롤러(1100)는 호스트 및 메모리 장치(1200)에 연결되며, 호스트로부터의 요청에 응답하여 메모리 장치(1200)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1100)는 메모리 장치(1200)의 읽기, 쓰기, 소거, 배경(background) 동작 등을 제어하도록 구성된다.
- [0057] 컨트롤러(1100)는 RAM(Random Access Memory; 1110), CPU(Central Processing Unit; 1120), 호스트 인터페이스(Host Interface; 110), ECC 회로(Error Correction Code Circuit; 1140), 메모리 인터페이스(Memory Interface; 1150) 등을 포함한다.
- [0058] 여기서, RAM(1110)은 CPU(1120)의 동작 메모리, 메모리 장치(1200)와 호스트 간의 캐시 메모리, 메모리 장치(1200)와 호스트 간의 버퍼 메모리 등으로 사용될 수 있다. 참고로, RAM(1110)은 SRAM(Static Random Access Memory), ROM(Read Only Memory) 등으로 대체될 수 있다.
- [0059] CPU(1120)는 컨트롤러(1100)의 전반적인 동작을 제어하도록 구성된다. 예를 들어, CPU(1120)는 RAM(1110)에 저장된 플래시 변환 계층(Flash Translation Layer; FTL)과 같은 펌웨어를 운용하도록 구성된다.
- [0060] 호스트 인터페이스(110)는 호스트와의 인터페이싱을 수행하도록 구성된다. 예를 들어, 컨트롤러(1100)는 USB(Universal Serial Bus) 프로토콜, MMC(MultiMedia Card) 프로토콜, PCI(Peripheral Component Interconnection)프로토콜, PCI-E(PCI-Express) 프로토콜, ATA(Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI(Small Computer Small Interface) 프로토콜, ESDI(Enhanced Small Disk Interface) 프로토콜, 그리고 IDE(Integrated Drive Electronics) 프로토콜, 프라이빗(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트와 통신한다.

- [0061] ECC 회로(1140)는 오류 정정 코드(ECC)를 이용하여 메모리 장치(1200)로부터 리드된 데이터에 포함된 오류를 검출하고, 정정하도록 구성된다.
- [0062] 메모리 인터페이스(1150)는 메모리 장치(1200)와의 인터페이싱을 수행하도록 구성된다. 예를 들어, 메모리 인터페이스(1150)는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0063] 참고로, 컨트롤러(1100)는 데이터를 임시 저장하기 위한 버퍼 메모리(미도시됨)를 더 포함할 수 있다. 여기서, 버퍼 메모리는 호스트 인터페이스(110)를 통해 외부로 전달되는 데이터를 임시 저장하거나, 메모리 인터페이스(1150)를 통해 메모리 장치(1200)로부터 전달되는 데이터를 임시로 저장하는데 사용될 수 있다. 또한, 컨트롤러(1100)는 호스트와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM을 더 포함할 수 있다.
- [0064] 이와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000)은 캐패시턴스를 감소시켜 구동 속도 등이 개선된 메모리 장치(1200)를 포함하므로, 메모리 시스템(1000)의 특성을 향상시킬 수 있다.
- [0065] 도 6는 본 발명의 일 실시예에 따른 메모리 시스템의 구성을 나타낸 블록도이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0066] 도 6에 도시된 바와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000)은 메모리 장치(1200')와 컨트롤러(1100)를 포함한다. 또한, 컨트롤러(1100)는 RAM(1110), CPU(1120), 호스트 인터페이스(110), ECC 회로(1140), 메모리 인터페이스(1150) 등을 포함한다.
- [0067] 메모리 장치(1200')는 비휘발성 메모리일 수 있으며, 앞서 도 1a 내지 도 4e를 참조하여 설명된 반도체 장치일 수 있다. 또한, 메모리 장치(1200')는 제1 절연막, 제1 절연막의 상부에 형성된 제2 절연막, 제2 절연막 내에 형성된 복수의 배선들, 및 제1 절연막과 제2 절연막의 사이에 정의된 제1 에어 갭을 포함하도록 구성된다. 메모리 장치(1200')의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.
- [0068] 또한, 메모리 장치(1200')는 복수의 메모리 칩들로 구성된 멀티-칩 패키지일 수 있다. 복수의 메모리 칩들은 복수의 그룹들로 분할되며, 복수의 그룹들은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(1100)와 통신하도록 구성된다. 또한, 하나의 그룹에 속한 메모리 칩들은 공통 채널을 통해 컨트롤러(1100)와 통신하도록 구성된다. 참고로, 하나의 채널에 하나의 메모리 칩이 연결되도록 메모리 시스템(1000')이 변형되는 것도 가능하다.
- [0069] 이와 같이, 본 발명의 일 실시예에 따른 메모리 시스템(1000')은 캐패시턴스를 감소시켜 구동 속도 등이 개선된 메모리 장치(1000')를 포함하므로, 메모리 시스템(1000')의 특성 또한 향상시킬 수 있다. 특히, 메모리 장치(1200')를 멀티-칩 패키지로 구성함으로써, 메모리 시스템(1000')의 데이터 저장 용량을 증가시키고, 구동 속도를 향상시킬 수 있다.
- [0070] 도 7은 본 발명의 일 실시예에 따른 컴퓨팅 시스템의 구성을 나타내는 블록도이다. 이하, 앞서 설명된 내용과 중복된 내용은 생략하여 설명하도록 한다.
- [0071] 도 7에 도시된 바와 같이, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(2000)은 메모리 장치(2100), CPU(2200), RAM(2300), 유저 인터페이스(2400), 전원(2500), 시스템 버스(2600) 등을 포함한다.
- [0072] 메모리 장치(2100)는 유저 인터페이스(2400)를 통해 제공된 데이터, CPU(2200)에 의해 처리된 데이터 등을 저장한다. 또한, 메모리 장치(2100)는 시스템 버스(2600)를 통해 CPU(2200), RAM(2300), 유저 인터페이스(2400), 전원(2500) 등에 전기적으로 연결된다. 예를 들어, 메모리 장치(2100)는 컨트롤러(미도시됨)를 통해 시스템 버스(2600)에 연결되거나, 시스템 버스(2600)에 직접 연결될 수 있다. 메모리 장치(2100)가 시스템 버스(2600)에 직접 연결되는 경우, 컨트롤러의 기능은 CPU(2200), RAM(2300) 등에 의해 수행될 수 있다.
- [0073] 여기서, 메모리 장치(2100)는 비휘발성 메모리일 수 있으며, 앞서 도 1a 내지 도 4e를 참조하여 설명된 반도체 장치일 수 있다. 또한, 메모리 장치(2100)는 제1 절연막, 제1 절연막의 상부에 형성된 제2 절연막, 제2 절연막 내에 형성된 복수의 배선들, 및 제1 절연막과 제2 절연막의 사이에 정의된 제1 에어 갭을 포함하도록 구성된다. 메모리 장치(2100)의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.
- [0074] 또한, 메모리 장치(2100)는 도 6을 참조하여 설명한 바와 같이 복수의 메모리 칩들로 구성된 멀티-칩 패키지일 수 있다.

- [0075] 이와 같은 구성을 갖는 컴퓨팅 시스템(2000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(Portable Multimedia Player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치 등일 수 있다.
- [0076] 이와 같이, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(2000)은 캐패시턴스를 감소시켜 구동 속도 등이 개선된 메모리 장치(2100)를 포함하므로, 컴퓨팅 시스템(2000)의 특성 또한 향상시킬 수 있다.
- [0077] 도 8은 본 발명의 일 실시예에 따른 컴퓨팅 시스템을 나타내는 블록도이다.
- [0078] 도 8에 도시된 바와 같이, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(3000)은 운영 체제(3100), 어플리케이션(3200), 파일 시스템(3300), 변환 계층(3400) 등을 포함하는 소프트웨어 계층을 포함한다. 또한, 컴퓨팅 시스템(3000)은 메모리 장치(3500) 등의 하드웨어 계층을 포함한다.
- [0079] 운영 체제(3100)는 컴퓨팅 시스템(3000)의 소프트웨어, 하드웨어 자원 등을 관리하기 위한 것으로, 중앙처리장치의 프로그램 실행을 제어할 수 있다. 어플리케이션(3200)은 컴퓨팅 시스템(3000)에서 실시되는 다양한 응용 프로그램으로, 운영 체제(3100)에 의해 실행되는 유틸리티일 수 있다.
- [0080] 파일 시스템(3300)은 컴퓨팅 시스템(3000)에 존재하는 데이터, 파일 등을 관리하기 위한 논리적인 구조를 의미하며, 규칙에 따라 메모리 장치(3500) 등에 저장할 파일 또는 데이터를 조직화한다. 파일 시스템(3300)은 컴퓨팅 시스템(3000)에서 사용되는 운영 체제(3100)에 따라 결정될 수 있다. 예를 들어, 운영 체제(3100)가 마이크로소프트(Microsoft)사의 윈도우즈(Windows) 계열인 경우, 파일 시스템(3300)은 FAT(File Allocation Table), NTFS(NT file system) 등일 수 있다. 또한, 운영 체제(3100)가 유닉스/리눅스(Unix/Linux) 계열인 경우, 파일 시스템(3300)은 EXT(extended file system), UFS(Unix File System), JFS(Journaling File System) 등일 수 있다.
- [0081] 본 도면에서는 운영 체제(3100), 어플리케이션(3200) 및 파일 시스템(3300)을 별도의 블록으로 도시하였으나, 어플리케이션(3200) 및 파일 시스템(3300)은 운영 체제(3100) 내에 포함된 것일 수 있다.
- [0082] 변환 계층(Translation Layer; 3400)은 파일 시스템(3300)으로부터의 요청에 응답하여 메모리 장치(3500)에 적합한 형태로 어드레스를 변환한다. 예를 들어, 변환 계층(3400)은 파일 시스템(3300)이 생성한 로직 어드레스를 메모리 장치(3500)의 피지컬 어드레스로 변환한다. 여기서, 로직 어드레스와 피지컬 어드레스의 맵핑 정보는 어드레스 변환 테이블(address translation table)로 저장될 수 있다. 예를 들어, 변환 계층(3400)은 플래시 변환 계층(Flash Translation Layer; FTL), 유니버설 플래시 스토리지 링크 계층(Universal Flash Storage Link Layer, ULL) 등일 수 있다.
- [0083] 메모리 장치(3500)는 비휘발성 메모리일 수 있으며, 앞서 도 1a 내지 도 4e를 참조하여 설명된 반도체 장치일 수 있다. 또한, 메모리 장치(1200)는 제1 절연막, 제1 절연막의 상부에 형성된 제2 절연막, 제2 절연막 내에 형성된 복수의 배선들, 및 제1 절연막과 제2 절연막의 사이에 정의된 제1 에어 갭을 포함하도록 구성된다. 메모리 장치(3500)의 구조 및 제조 방법은 앞서 설명한 바와 동일하므로, 구체적인 설명은 생략하도록 한다.
- [0084] 이러한 구성을 갖는 컴퓨팅 시스템(3000)은 상위 레벨 영역에서 수행되는 운영체제 계층과 하위 레벨 영역에서 수행되는 컨트롤러 계층으로 구분될 수 있다. 여기서, 어플리케이션(3100), 운영 시스템(3200) 및 파일 시스템(3300)은 운영 체제 계층에 포함되며, 컴퓨팅 시스템(2000)의 동작 메모리에 의해 구동될 수 있다. 또한, 변환 계층(3400)은 운영 체제 계층에 포함되거나, 컨트롤러 계층에 포함될 수 있다.
- [0085] 이와 같이, 본 발명의 일 실시예에 따른 컴퓨팅 시스템(3000)은 캐패시턴스를 감소시켜 구동 속도 등이 개선된 메모리 장치(3500)를 포함하므로, 컴퓨팅 시스템(3000)의 특성 또한 향상시킬 수 있다.

[0086] 본 발명의 기술 사상은 상기 바람직한 실시예들에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

부호의 설명

- [0087]
- 11: 제1 절연막

12: 제2 절연막

13: 배리어막

14: 금속막

L: 배선

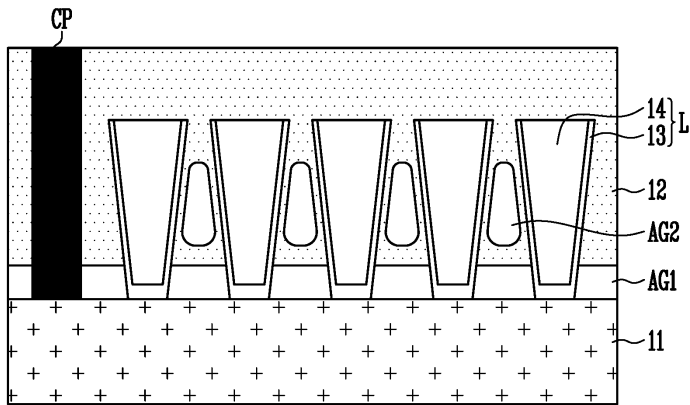
AG1: 제1 에어 갭

AG2: 제2 에어 갭

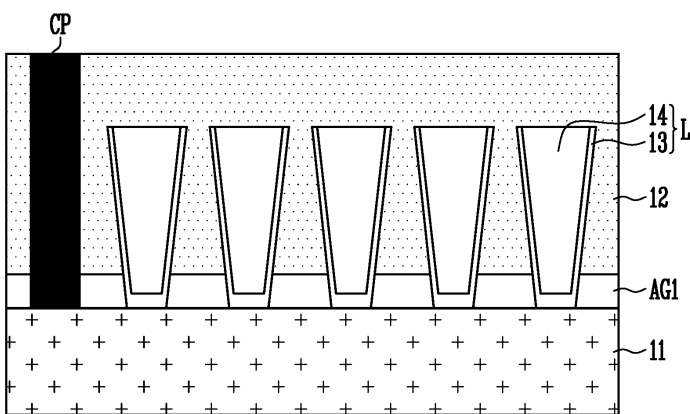
CP: 콘택 플러그

도면

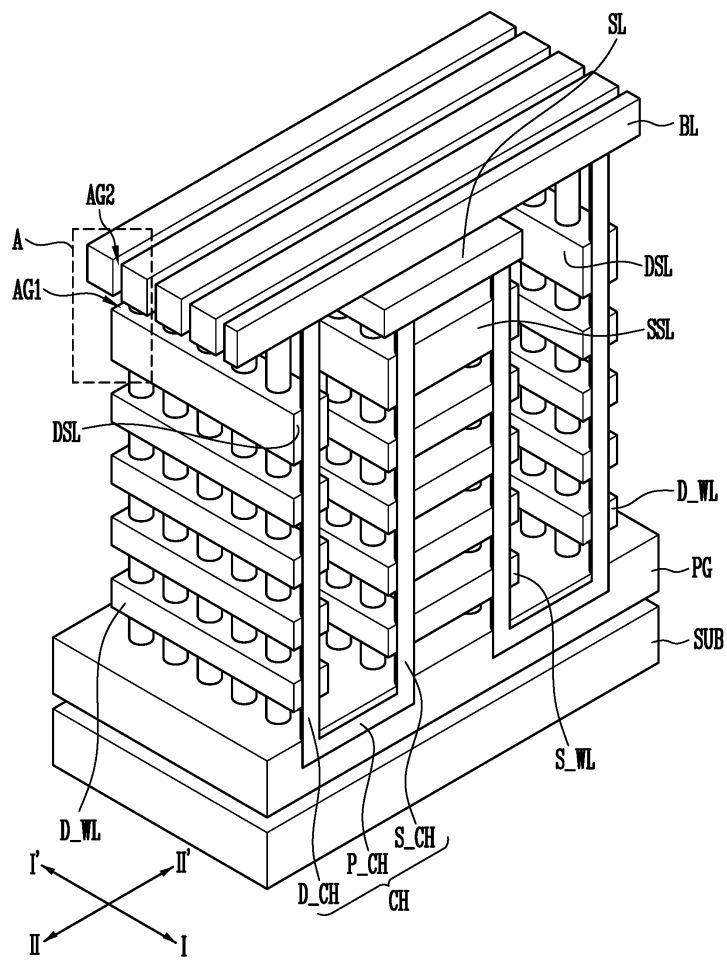
도면1a



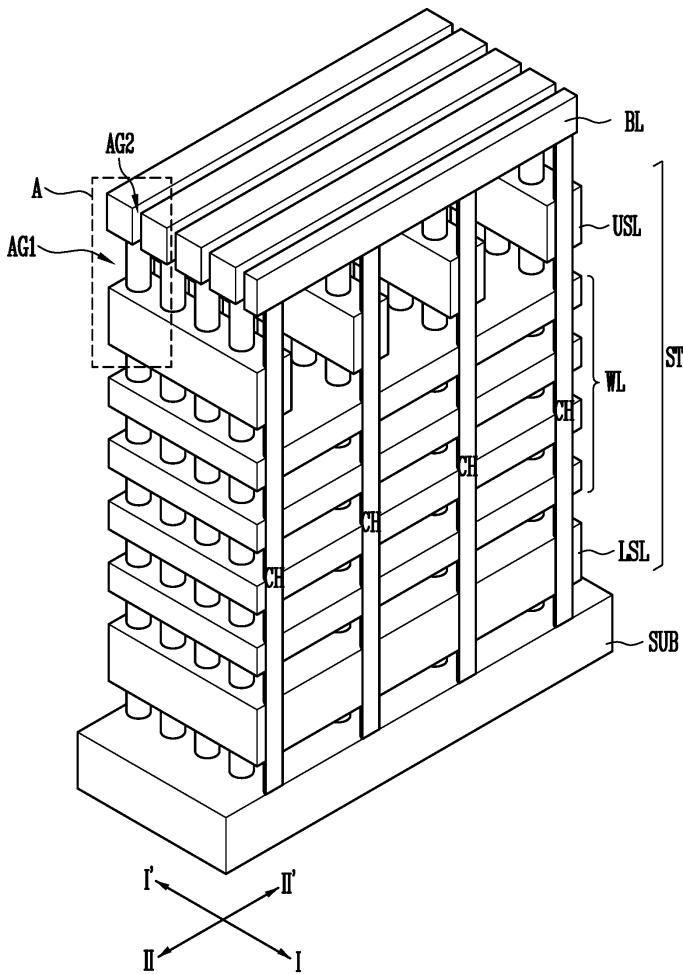
도면1b



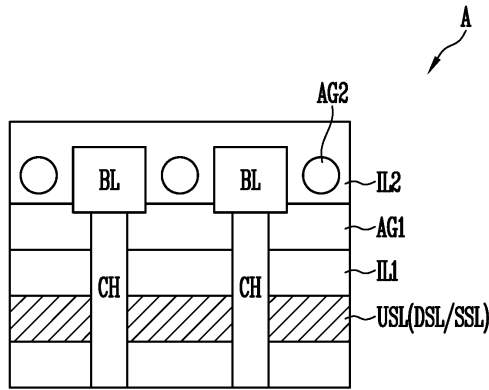
도면2a



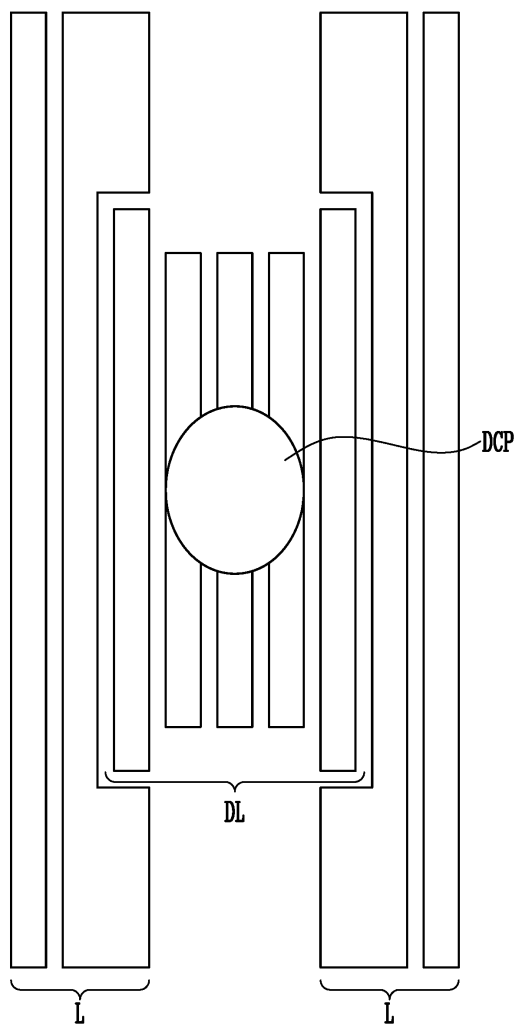
도면2b



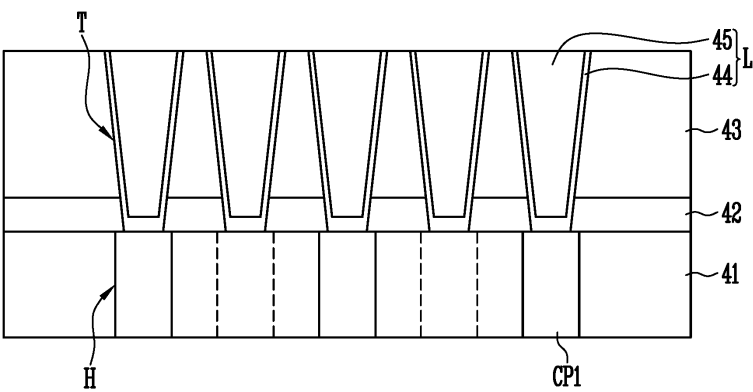
도면2c



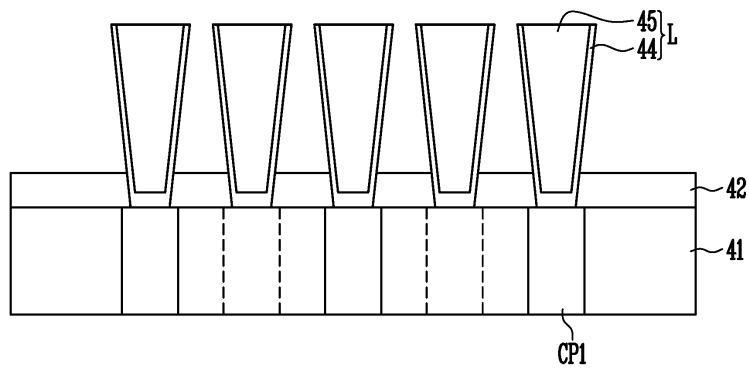
도면3



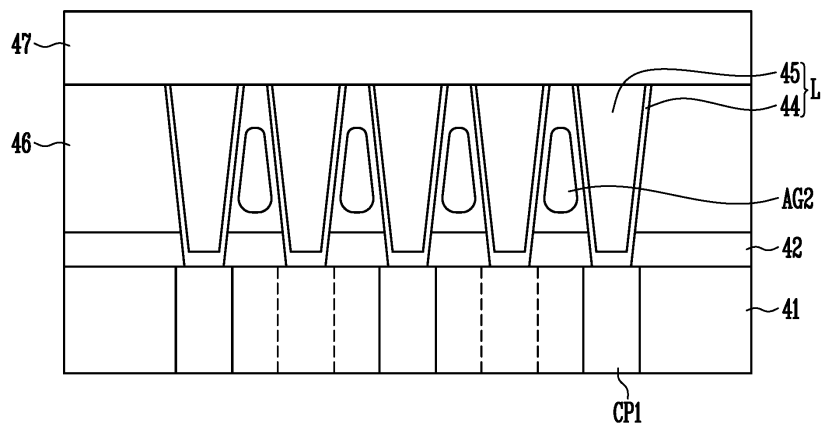
도면4a



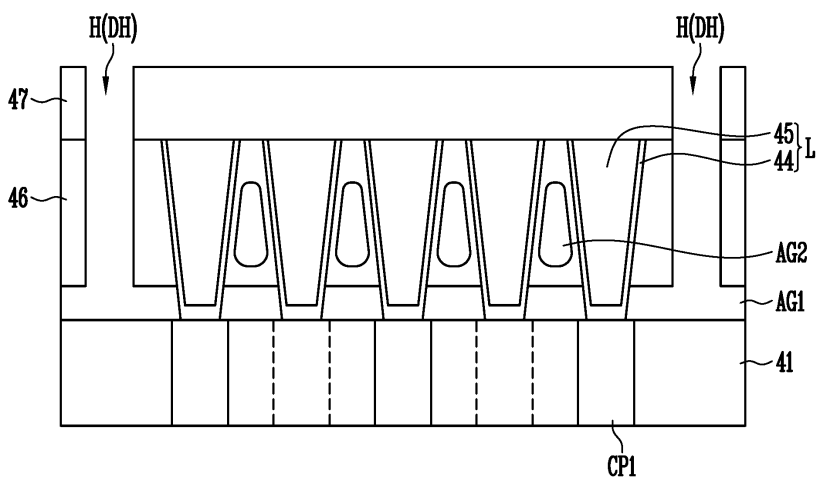
도면4b



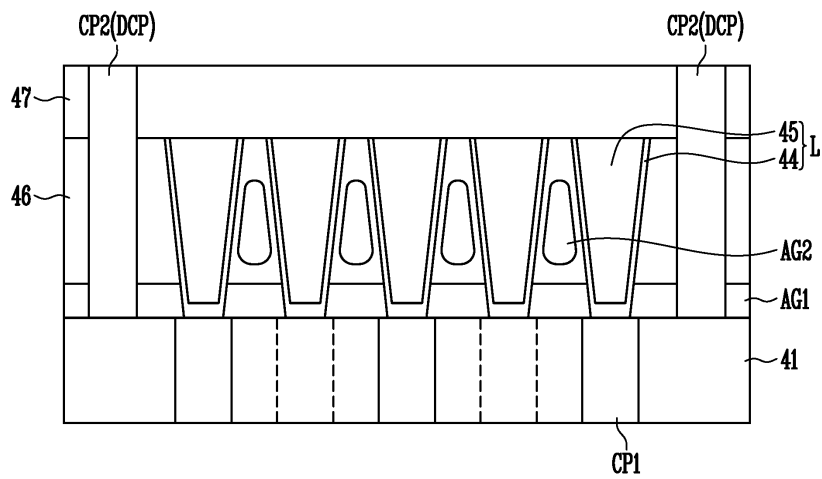
도면4c



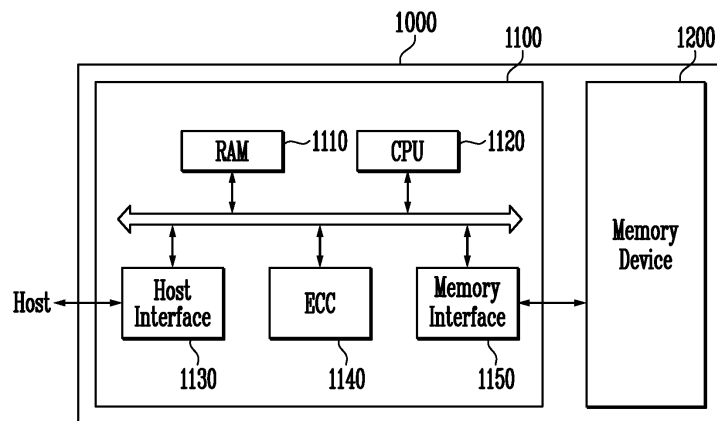
도면4d



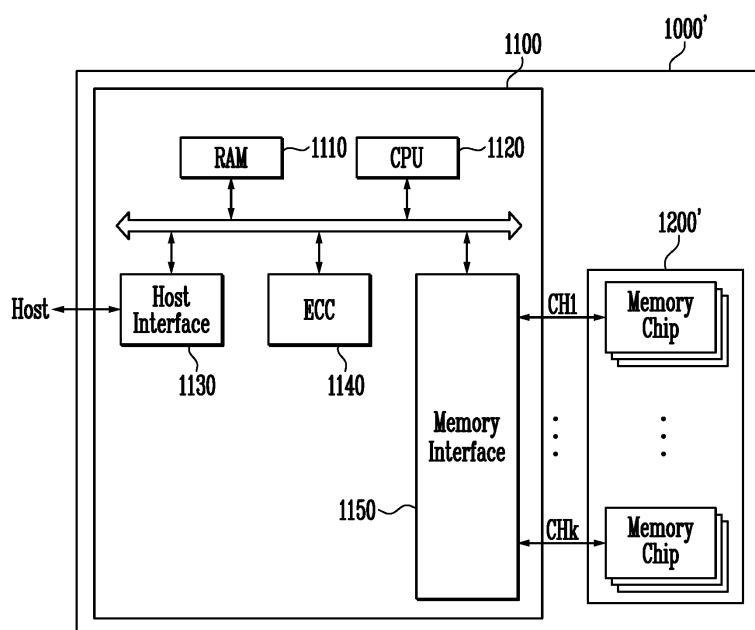
도면4e



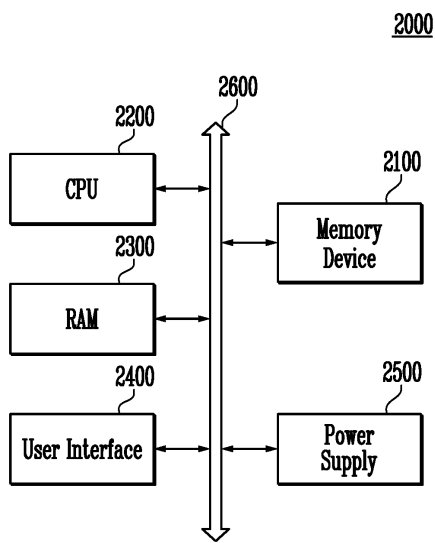
도면5



도면6



도면7



도면8

