

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和3年1月7日(2021.1.7)

【公開番号】特開2018-152555(P2018-152555A)

【公開日】平成30年9月27日(2018.9.27)

【年通号数】公開・登録公報2018-037

【出願番号】特願2018-31470(P2018-31470)

【国際特許分類】

H 01 L 21/338 (2006.01)

H 01 L 29/778 (2006.01)

H 01 L 29/812 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/80 H

H 01 L 29/78 3 0 1 B

H 01 L 29/78 3 0 1 G

H 01 L 29/78 3 0 1 H

H 01 L 29/78 3 0 1 W

【手続補正書】

【提出日】令和2年11月18日(2020.11.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基材と、

前記基材の上方に位置する第1の活性層と、

前記第1の活性層と第2の活性層との間に横方向導電チャネルが生じるように、前記第1の活性層上に位置する前記第2の活性層と、

前記第2の活性層の上方に位置する、ソース接点とゲート接点とドレイン接点と、

前記ゲート接点と前記ドレイン接点との間において前記第2の活性層の上方に位置する導電性電荷分配構造物と、

を備え、

前記導電性電荷分配構造物が、前記ゲート接点に容量的にのみ結合され、

前記導電性電荷分配構造物が、複数の電荷分配構造物コンポーネントを含み、

前記電荷分配構造物コンポーネントのうちの第1の電荷分配構造物コンポーネントが、前記ゲート接点に容量的にのみ結合され、

前記電荷分配構造物コンポーネントのうちの第2の電荷分配構造物コンポーネントが、前記第1の電荷分配構造物コンポーネントに容量的にのみ結合され、

前記電荷分配構造物コンポーネントの各々が、第1の長尺部材と第2の長尺部材とが互いに電気的に接続されるように、第1の層内に形成された前記第1の長尺部材と第2の層内に形成された前記第2の長尺部材とを含み、

前記横方向導電チャネルの長さが、25マイクロメートル未満である、

半導体デバイス。

【請求項2】

前記導電性電荷分配構造物が、第1の距離ぶん前記ゲート接点から横方向に離間しており、

前記導電性電荷分配構造物が、前記第1の距離より大きな第2の距離ぶん前記ドレイン接点から離間している、

請求項1に記載の半導体デバイス。

【請求項3】

前記第2の活性層と前記導電性電荷分配構造物との間に位置する誘電体層をさらに備える、

請求項1に記載の半導体デバイス。

【請求項4】

前記誘電体層が、前記第2の活性層と前記ゲート接点との間にさらに位置する、

請求項3に記載の半導体デバイス。

【請求項5】

前記第1の活性層が、III族窒化物半導体材料を含む、

請求項1に記載の半導体デバイス。

【請求項6】

前記第1の活性層が、GaNを含む、

請求項5に記載の半導体デバイス。

【請求項7】

前記第2の活性層が、III族窒化物半導体材料を含む、

請求項1に記載の半導体デバイス。

【請求項8】

前記第2の活性層が、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ を含み、 $0 < x < 1$ である、

請求項7に記載の半導体デバイス。

【請求項9】

前記第2の活性層が、AlGaN、AlInN、およびAlInGaNからなる群から選択された、

請求項7に記載の半導体デバイス。

【請求項10】

電界効果トランジスタ(FET)であって、

基材上に位置する複数の半導体層と、

前記半導体層に電気的に結合されたソースとドレインとゲートと、

前記半導体層の上方に位置して、前記ゲートに容量的にのみ結合された、容量結合された電荷分配構造物と、

を備え、

前記電荷分配構造物が、オン状態からオフ状態への過渡状態中の、前記ゲートと前記ドレインとの間に位置する前記電界効果トランジスタの表面部分における表面放電と、前記オフ状態から前記オン状態への過渡状態中の、前記表面部分における表面再充電とをもたらすように構成され、

容量結合された前記電荷分配構造物が、前記表面部分の上方に位置する複数の導電性長尺部材を含む金属グリッドを含み、

前記導電性長尺部材が、互いに容量結合され、

前記導電性長尺部材の各々が、第1の長尺部材と第2の長尺部材とが互いに電気的に接続されるように、第1の層内に形成された前記第1の長尺部材と第2の層内に形成された前記第2の長尺部材とを含み、

前記導電性長尺部材のうちの1つの前記導電性長尺部材の前記第1の長尺部材が、前記導電性長尺部材のうちの別の前記導電性長尺部材の前記第2の長尺部材のうちの1つと少なくとも部分的に重なり、

横方向導電チャネルの長さが、25マイクロメートル未満である、

電界効果トランジスタ(FET)。

【請求項 1 1】

前記 F E T が、設計目標のスイッチング速度をもち、

前記電荷分配構造物が、前記設計目標のスイッチング速度より大きな速度で前記表面放電と前記表面再充電とをもたらすようにさらに構成された、

請求項 1 0 に記載の電界効果トランジスタ。

【請求項 1 2】

複数の前記導電性長尺部材が、周期的に反復する構造物を規定する、

請求項 1 0 に記載の電界効果トランジスタ。

【請求項 1 3】

第 1 のセットの前記長尺部材に含まれる前記長尺部材が、互いに平行であり、

第 2 のセットの前記長尺部材に含まれる前記長尺部材が、互いに平行である、

請求項 1 0 に記載の電界効果トランジスタ。

【請求項 1 4】

前記表面放電が、前記表面部分から、前記表面部分において達成される最大電荷の少なくとも約 9 0 % を除去する、

請求項 1 0 に記載の電界効果トランジスタ。

【請求項 1 5】

前記表面再充電が、前記表面部分における電荷を少なくとも前記最大電荷の 9 0 % に増やす、

請求項 1 4 に記載の電界効果トランジスタ。

【請求項 1 6】

半導体デバイスを形成する方法であって、

基材上に第 1 の活性層を形成することと、

前記第 1 の活性層と第 2 の活性層とが前記第 1 の活性層と前記第 2 の活性層との間において二次元電子気体層を発生させるように、前記第 1 の活性層の上方に前記第 2 の活性層を形成することと、

前記第 2 の活性層の上方にソース接点とゲート接点とドレイン接点とを形成することと、

前記ゲート接点に容量的にのみ結合されるように電荷分配構造物が結合されるように、前記ゲート接点と前記ドレイン接点との間において前記第 2 の活性層の上方に前記電荷分配構造物を形成することと、

を含み、

前記電荷分配構造物が、前記半導体デバイスの表面部分の上方に位置する複数の導電性長尺部材を含む金属グリッドを含み、

前記導電性長尺部材が、互いに容量結合され、

第 1 の長尺部材と第 2 の長尺部材とが互いに電気的に接続されるように、前記導電性長尺部材の各々が、第 1 の層内に形成された前記第 1 の長尺部材と第 2 の層内に形成された前記第 2 の長尺部材とを含み、

前記第 1 の層内における前記第 1 の長尺部材が、前記導電性長尺部材のうちの別の前記導電性長尺部材の前記第 2 の長尺部材のうちの 1 つと少なくとも部分的に重なる、

半導体デバイスを形成する方法。

【請求項 1 7】

前記第 1 の層内における前記第 1 の長尺部材のうちの少なくとも 1 つが、前記第 2 の層内における前記第 2 の長尺部材のうちの 1 つと少なくとも部分的に重なる、

請求項 1 に記載の半導体デバイス。

【請求項 1 8】

前記導電性長尺部材が、互いに容量的にのみ結合された、

請求項 1 0 に記載の電界効果トランジスタ。

【請求項 1 9】

前記導電性長尺部材が、互いに容量的にのみ結合された、

請求項 1 6 に記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

前述の詳細な説明を考慮して、本発明の例に対してこれらの変更が適用され得る。後述の請求項で使用される用語は、本発明を明細書と請求項とに開示される特定の実施形態に限定するように解釈されてはならない。むしろ、範囲は、後述の請求項により完全に定義されなければならない。

[付記項 1]

基材と、

前記基材の上方に位置する第 1 の活性層と、

前記第 1 の活性層と第 2 の活性層との間に横方向導電チャネルが生じるように、前記第 1 の活性層上に位置する前記第 2 の活性層と、

前記第 2 の活性層の上方に位置する、ソース接点とゲート接点とドレイン接点と、

前記ゲート接点と前記ドレイン接点との間において前記第 2 の活性層の上方に位置する導電性電荷分配構造物と、

を備え、

前記導電性電荷分配構造物が、前記ゲート接点に容量的にのみ結合され、

前記導電性電荷分配構造物が、複数の電荷分配構造物コンポーネントを含み、

前記電荷分配構造物コンポーネントのうちの第 1 の電荷分配構造物コンポーネントが、前記ゲート接点に容量的にのみ結合され、

前記電荷分配構造物コンポーネントのうちの第 2 の電荷分配構造物コンポーネントが、前記第 1 の電荷分配構造物コンポーネントに容量的にのみ結合され、

前記電荷分配構造物コンポーネントの各々が、第 1 の長尺部材と第 2 の長尺部材とが互いに電気的に接続されるように、第 1 の層内に形成された前記第 1 の長尺部材と第 2 の層内に形成された前記第 2 の長尺部材とを含み、

前記横方向導電チャネルの長さが、25マイクロメートル未満である、

半導体デバイス。

[付記項 2]

前記電荷分配構造物が、第 1 の距離ぶん前記ゲート接点から横方向に離間しており、

前記電荷分配構造物が、前記第 1 の距離より大きな第 2 の距離ぶん前記ドレイン接点から離間している、

付記項 1 に記載の半導体デバイス。

[付記項 3]

前記第 2 の活性層と前記電荷分配構造物との間に位置する誘電体層をさらに備える、

付記項 1 に記載の半導体デバイス。

[付記項 4]

前記誘電体層が、前記第 2 の活性層と前記ゲート接点との間にさらに位置する、

付記項 3 に記載の半導体デバイス。

[付記項 5]

前記第 1 の活性層が、II族窒化物半導体材料を含む、

付記項 1 に記載の半導体デバイス。

[付記項 6]

前記第 1 の活性層が、GaN を含む、

付記項 5 に記載の半導体デバイス。

[付記項 7]

前記第 2 の活性層が、II族窒化物半導体材料を含む、

付記項 1 に記載の半導体デバイス。

[付記項 8]

前記第 2 の活性層が、 Al_xGa_{1-x}N を含み、 0 < X < 1 である、

付記項 7 に記載の半導体デバイス。

[付記項 9]

前記第 2 の活性層が、 AlGaN、 AlInN、 および AlInGaN からなる群から選択された、

付記項 7 に記載の半導体デバイス。

[付記項 10]

電界効果トランジスタ (FET) であって、

基材上に位置する複数の半導体層と、

前記半導体層に電気的に結合されたソースとドレインとゲートと、

前記半導体層の上方に位置して、ゲートに容量的にのみ結合された、容量結合された電荷分配構造物と、

を備え、

前記電荷分配構造物が、オン状態からオフ状態への過渡状態中の、前記ゲートと前記ドレインとの間に位置する前記トランジスタの表面部分における表面放電と、前記オフ状態から前記オン状態への過渡状態中の、前記表面部分における表面再充電とをもたらすように構成され、

容量結合された前記電荷分配構造物が、前記表面部分の上方に位置する複数の導電性長尺部材を含む金属グリッドを含み、

前記導電性長尺部材が、互いに容量結合され、

前記導電性長尺部材の各々が、第 1 の長尺部材と第 2 の長尺部材とが互いに電気的に接続されるように、第 1 の層内に形成された前記第 1 の長尺部材と第 2 の層内に形成された前記第 2 の長尺部材とを含み、

前記導電性長尺部材のうちの 1 つの前記導電性長尺部材の前記第 1 の長尺部材が、前記導電性長尺部材のうちの別の前記導電性長尺部材の前記第 2 の長尺部材のうちの 1 つと少なくとも部分的に重なり、

前記横方向導電チャネルの長さが、25マイクロメートル未満である、

電界効果トランジスタ (FET)。

[付記項 11]

前記 FET が、設計目標のスイッチング速度をもち、

前記電荷分配構造物が、前記設計目標のスイッチング速度より大きな速度で前記表面放電と再充電とをもたらすようにさらに構成された、

付記項 10 に記載の電界効果トランジスタ。

[付記項 12]

複数の前記導電性長尺部材が、周期的に反復する構造物を規定する、

付記項 10 に記載の電界効果トランジスタ。

[付記項 13]

第 1 のセットの前記長尺部材に含まれる前記長尺部材が、互いに平行であり、

第 2 のセットの前記長尺部材に含まれる前記長尺部材が、互いに平行である、

付記項 10 に記載の電界効果トランジスタ。

[付記項 14]

前記表面放電が、前記表面部分から、前記表面部分において達成される最大電荷の少なくとも約 90 % を除去する、

付記項 10 に記載の電界効果トランジスタ。

[付記項 15]

前記表面再充電が、前記表面部分における電荷を少なくとも前記最大電荷の 90 % に増やす、

付記項 14 に記載の電界効果トランジスタ。

[付記項16]

半導体デバイスを形成する方法であつて、
基材上に第1の活性層を形成することと、
前記第1の活性層と第2の活性層とが前記第1の活性層と前記第2の活性層との間において二次元電子気体層を発生させるように、前記第1の活性層の上方に前記第2の活性層を形成することと、
前記第2の活性層の上方にソース接点とゲート接点とドレイン接点とを形成することと、
前記ゲート接点に容量的にのみ結合されるように電荷分配構造物が結合されるように、
前記ゲート接点と前記ドレイン接点との間において前記第2の活性層の上方に前記電荷分配構造物を形成することと、
を含み、
前記電荷分配構造物が、前記半導体デバイスの表面部分の上方に位置する複数の導電性長尺部材を含む金属グリッドを含み、
前記導電性長尺部材が、互いに容量結合され、
第1の長尺部材と第2の長尺部材とが互いに電気的に接続されるように、前記導電性長尺部材の各々が、第1の層内に形成された前記第1の長尺部材と第2の層内に形成された前記第2の長尺部材とを含み、
前記第1の層内における前記第1の長尺部材が、前記導電性長尺部材のうちの別の前記導電性長尺部材の前記第2の長尺部材のうちの1つと少なくとも部分的に重なる、
半導体デバイスを形成する方法。

[付記項17]

前記第1の層内における前記導電性長尺部材のうちの少なくとも1つが、前記第2の層内における前記長尺部材のうちの1つと少なくとも部分的に重なる、

付記項1に記載の半導体デバイス。

[付記項18]

前記導電性長尺部材が、互いに容量的にのみ結合された、
付記項10に記載の電界効果トランジスタ。

[付記項19]

前記導電性長尺部材が、互いに容量的にのみ結合された、
付記項16に記載の方法。