

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4880903号
(P4880903)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int.Cl.

F I

HO 1 L 27/15 (2006.01)
GO 2 F 1/015 (2006.01)
HO 1 L 31/10 (2006.01)
HO 1 L 21/331 (2006.01)
HO 1 L 29/737 (2006.01)

HO 1 L 27/15 A
GO 2 F 1/015 5 O 5
HO 1 L 31/10 A
HO 1 L 29/72 H

請求項の数 24 (全 23 頁)

(21) 出願番号 特願2005-24116 (P2005-24116)
(22) 出願日 平成17年1月31日(2005.1.31)
(65) 公開番号 特開2005-244213 (P2005-244213A)
(43) 公開日 平成17年9月8日(2005.9.8)
審査請求日 平成19年2月22日(2007.2.22)
(31) 優先権主張番号 特願2004-24503 (P2004-24503)
(32) 優先日 平成16年1月30日(2004.1.30)
(33) 優先権主張国 日本国(JP)

前置審査

(73) 特許権者 000004226
日本電信電話株式会社
東京都千代田区大手町二丁目3番1号
(74) 代理人 100121669
弁理士 本山 泰
(74) 代理人 100127535
弁理士 豊田 義元
(72) 発明者 柏尾 典秀
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内
(72) 発明者 栗島 賢二
東京都千代田区大手町二丁目3番1号 日
本電信電話株式会社内

最終頁に続く

(54) 【発明の名称】 光電子集積回路およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半絶縁性基板と、

この半絶縁性基板上に互いに独立かつ隣接して設けられている少なくとも2つの第1の電極層のうち一方の前記第1の電極層、ならびに一方の前記第1の電極層上に積層されて設けられた活性層および第2の電極層からなる光素子と、

前記各第1の電極層のうち他方の前記第1の電極層上に設けられた導電層、この導電層上に設けられたコレクタ層、このコレクタ層上に設けられたベース層、およびこのベース層上に設けられたエミッタ層からなるとともに、前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層が前記活性層および前記第2の電極層とはそれぞれ別途に積層されており、前記光素子に隣接して設けられているバイポーラトランジスタと、を具備することを特徴とする光電子集積回路。

【請求項2】

前記第1の電極層は、高濃度のn形InP層および高濃度のn形InGaAs層の2層からなる積層構造に形成されていることを特徴とする請求項1に記載の光電子集積回路。

【請求項3】

前記導電層は、高濃度のn形InP層からなることを特徴とする請求項1または2のうちのいずれかに記載の光電子集積回路。

【請求項4】

前記第1の電極層、前記活性層、および前記第2の電極層は、エピタキシャル結晶層で

10

20

あることを特徴とする請求項 1 ～ 3 のうちのいずれかに記載の光電子集積回路。

【請求項 5】

前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層は、エピタキシャル結晶層であることを特徴とする請求項 1 ～ 4 のうちのいずれかに記載の光電子集積回路。

【請求項 6】

前記半絶縁性基板は、InPにより形成されていることを特徴とする請求項 1 ～ 5 のうちのいずれかに記載の光電子集積回路。

【請求項 7】

前記バイポーラトランジスタは、前記ベース層と前記エミッタ層とが互いに異なる材料により形成されているヘテロ接合バイポーラトランジスタであることを特徴とする請求項 1 ～ 6 のうちのいずれかに記載の光電子集積回路。

10

【請求項 8】

前記バイポーラトランジスタは、前記ベース層が前記第 2 の電極層と異なる材料により形成されているヘテロ接合バイポーラトランジスタであることを特徴とする請求項 1 ～ 7 のうちのいずれかに記載の光電子集積回路。

【請求項 9】

前記他方の第 1 の電極層の一部に、イオン注入により絶縁層が形成されていることを特徴とする請求項 1 ～ 8 のうちのいずれかに記載の光電子集積回路。

【請求項 10】

20

前記イオンは、H、He、O、F、eのうちの少なくとも1つであることを特徴とする請求項 9 に記載の光電子集積回路。

【請求項 11】

前記光素子は、前記活性層が光吸収層および走行層からなるフォトダイオードであることを特徴とする請求項 1 ～ 10 のうちのいずれかに記載の光電子集積回路。

【請求項 12】

前記光素子は、前記活性層が第 1 のクラッド層と第 2 のクラッド層との間にコア層を挟んでなる光変調器であることを特徴とする請求項 1 ～ 10 のうちのいずれかに記載の光電子集積回路。

【請求項 13】

30

半絶縁性基板上に第 1 の電極層、活性層、および第 2 の電極層を順次積層して設ける工程と、

前記第 2 の電極層の表面の一部を選択的に覆って第 1 のマスクを設けるとともに、前記第 1 のマスク側から前記第 1 の電極層側に向かうに連れて前記第 2 の電極層および前記活性層を多く残しつつ、前記第 1 のマスク側から前記第 1 の電極層側に向けて、かつ前記第 2 の電極層および前記活性層の前記第 1 のマスクにより覆われている部分からその外側に向けて前記第 2 の電極層および前記活性層の前記第 1 のマスクにより覆われていない部分を順次除去して、前記第 1 の電極層の表面の一部を選択的に露出させる工程と、

前記第 1 のマスクを除去した後、露出された前記第 1 の電極層の表面、前記第 2 の電極層、および前記活性層を覆って、導電層、コレクタ層、ベース層、およびエミッタ層を前

40

記半絶縁性基板上に全面的に順次積層して設ける工程と、
前記半絶縁性基板上の領域のうち前記第 2 の電極層および前記活性層を介さずに前記第 1 の電極層上に前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層が設けられている第 1 の領域内において前記エミッタ層の表面の一部を選択的に覆って第 2 のマスクを設けるとともに、前記エミッタ層の前記第 2 のマスクにより覆われていない部分を前記半絶縁性基板上から全面的に除去して前記ベース層の表面を露出させ、前記第 2 のマスクを除去した後、前記第 1 の領域内において前記ベース層上に残された前記エミッタ層を全面的に覆って露出された前記ベース層の表面上に選択的に第 3 のマスクを設けるとともに、前記ベース層、前記コレクタ層、および前記導電層の前記第 3 のマスクにより覆われていない部分を前記半絶縁性基板上から順次全面的に除去して少なくとも前記第 1 の領

50

域内の前記第1の電極層の表面の一部を選択的に露出させる工程と、

前記第3のマスクを除去した後、前記第2の電極層の表面の一部を選択的に覆って第4のマスクを設けるとともに、前記第2の電極層および前記活性層の前記第4のマスクにより覆われていない部分を前記半絶縁性基板上から順次全面的に除去して、前記半絶縁性基板上の領域のうち前記第1の領域を除く第2の領域内の前記第1の電極層の表面の一部を選択的に露出させる工程と、

前記第4のマスクを除去した後、前記第1の領域内に残された前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層を全面的に覆って露出された前記第1の電極層の表面上に選択的に第5のマスクを設けるとともに、この第5のマスクとは独立した第6のマスクを前記第2の領域内に残された前記活性層および前記第2の電極層を全面的に覆って露出された前記第1の電極層の表面上に選択的に設けた後、前記第1の電極層の前記第5のマスクおよび前記第6のマスクにより覆われていない部分を前記半絶縁性基板上から全面的に除去して、前記第1の領域内に残された前記第1の電極層、前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層と、前記第2の領域内に残された前記第1の電極層、前記活性層、および前記第2の電極層とを電氣的に切り離す工程と、を含むことを特徴とする光電子集積回路の製造方法。

【請求項14】

前記第1の電極層を、高濃度のn形InP層および高濃度のn形InGaAs層の2層からなる積層構造に形成することを特徴とする請求項13に記載の光電子集積回路の製造方法。

【請求項15】

前記導電層を、高濃度のn形InP層により形成することを特徴とする請求項13または14のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項16】

前記第1の電極層、前記活性層、および前記第2の電極層を、有機金属気相成長法および分子線エピタキシャル成長法の少なくとも一方によって連続して設けることを特徴とする請求項13～15のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項17】

前記コレクタ層、前記ベース層、および前記エミッタ層を、有機金属気相成長法および分子線エピタキシャル成長法の少なくとも一方によって連続して設けることを特徴とする請求項13～16のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項18】

前記半絶縁性基板を、InPにより形成することを特徴とする請求項13～17のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項19】

前記ベース層と前記エミッタ層とを互いに異なる材料により形成してヘテロ接合することにより、前記コレクタ層、前記ベース層、および前記エミッタ層からなるヘテロ接合バイポーラトランジスタを前記第1の電極層上に設けることを特徴とする請求項13～18のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項20】

前記ベース層が前記第2の電極層と異なる材料により形成されているヘテロバイポーラトランジスタを前記第1の電極層上に設けることを特徴とする請求項13～19のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項21】

前記第1の電極層の表面の一部を選択的に露出させた後、前記コレクタ層、前記ベース層、および前記エミッタ層を設けるのに先立って、前記コレクタ層、前記ベース層、および前記エミッタ層のみにより覆われる前記第1の電極層の一部に選択的にイオン注入して加熱処理を施すことにより、前記第1の電極層の前記イオン注入された部分を絶縁化することを特徴とする請求項13～20のうちのいずれかに記載の光電子集積回路の製造方法。

【請求項 2 2】

前記イオンとして、H、He、O、Feのうちの少なくとも1つを用いることを特徴とする請求項 2 1 に記載の光電子集積回路の製造方法。

【請求項 2 3】

前記活性層を光吸収層および走行層から形成し、前記光吸収層および前記走行層を前記第 1 の電極層と前記第 2 の電極層との間に挟んでなるフォトダイオードを前記半絶縁性基板上に設けることを特徴とする請求項 1 3 ～ 2 2 に記載の光電子集積回路の製造方法。

【請求項 2 4】

前記活性層を第 1 のクラッド層と第 2 のクラッド層との間にコア層を挟んで形成し、前記第 1 のクラッド層、前記第 2 のクラッド層、および前記コア層を前記第 1 の電極層と前記第 2 の電極層との間に挟んでなる光変調器を前記半絶縁性基板上に設けることを特徴とする請求項 1 3 ～ 2 2 に記載の光電子集積回路の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光集積回路と半導体集積回路とを同一基板上に混載する技術に係り、特にフォトダイオードや光変調器などの光素子と半導体素子としてのヘテロ接合バイポーラトランジスタとを同一基板上に備える光電子集積回路およびその製造方法に関する。

【背景技術】

【0002】

半導体装置の応用技術として、半導体素子（電子素子）と光素子とを同一基板上に設ける、いわゆる光電子集積回路（Opto-Electronic Integrated Circuits：OEIC）がある。具体例としては、電子素子の一種であるヘテロ接合バイポーラトランジスタ（Hetero-junction Bipolar Transistor：HBT）と光デバイスとを、InPからなる半絶縁性基板上に混載したOEICがある。一般に、InP系材料は、高い電子輸送移動度や多彩なバンド設計などの優れた電子物性を有している。また、HBTは、高電流駆動やコンパクトな素子サイズなどのバイポーラトランジスタ固有の特徴を有している。したがって、InP基板上に設けられたHBTであるInP系HBTは、前述したInP系材料およびバイポーラトランジスタのそれぞれの特徴を兼ね備えており、高速性と高集積度に優れた電子素子である。さらに、InP系の半絶縁性基板は、長波長用光素子を作製する際に一般的に用いられている。したがって、InP系HBTは、エピタキシャル成長法により作製されたInP系結晶基板上に、長波長用光素子とともに集積可能であるという利点を有している。

【0003】

近年、前述したInP系HBTと光デバイスとをInP系基板上に集積したOEICの研究が盛んに行われている。例えば、InP系HBTとpinフォトダイオードとをInP系基板上に集積したOEICが報告されている（例えば非特許文献1参照）。この半絶縁性InP基板102上にInP系HBT103およびpinフォトダイオード104が集積されたOEIC101の断面図を、図25に示す。このOEIC101においては、図25中一点鎖線の左側が半導体素子形成領域（HBT形成領域）であり、一点鎖線の右側が光素子形成領域（pinフォトダイオード形成領域）である。OEIC101は、次に述べる構成および特徴を有している。

【0004】

図25に示すように、OEIC101では、InP系HBT103とpinフォトダイオード104とが半絶縁性InP基板102を共有している。InP系HBT103は、n形InGaAsからなるコレクタコンタクト層（サブコレクタ層）105を介して半絶縁性InP基板102上に設けられている。また、InP系HBT103は、アンドープInGaAsおよびn形InPなどからなるコレクタ層106、p形InGaAsからなるベース層107、ならびにn形InPからなるエミッタ層108を有している。コレクタコンタクト層105にはコレクタ電極109が、ベース層107にはベース電極110

10

20

30

40

50

が、そしてエミッタ層108にはエミッタ電極111が、それぞれ設けられている。

【0005】

また、図25に示すように、pinフォトダイオード104はInP系HBT103と略同じ構成に作製されている。すなわち、pinフォトダイオード104は、コレクタコンタクト層105を介して半絶縁性InP基板102上に設けられている。コレクタコンタクト層105は、pinフォトダイオード104の一方の電極であるカソードコンタクト層となる。また、pinフォトダイオード104は、その活性層がコレクタ層106を用いて形成されている。それとともに、pinフォトダイオード104は、その他方の電極であるアノードコンタクト層がベース層107を用いて形成されている。カソードコンタクト層105にはカソード電極112が、またアノードコンタクト層107にはアノード電極113が、それぞれ設けられている。

10

【0006】

このような構造によれば、InP系HBT103が有するベース層107、コレクタ層106、およびコレクタコンタクト層（高濃度n形InP層）105を用いて、pinフォトダイオード104を作製することができる。すなわち、活性層106内のアンドープInGaAs層を光吸収層とする、光吸収領域が1.55 μm 帯のpinフォトダイオード104を作製することができる。このように、OEIC101では、InP系HBT103およびpinフォトダイオード104の製造工程を共通化させて、同一のエピタキシャル結晶基板102上に作製できる。これにより、OEIC101は、その製造プロセスを大幅に簡略化できる。

20

【0007】

また、OEICの製造方法の一つに、いわゆる選択再成長法と呼ばれる製造方法がある。この選択再成長法とは、光素子形成領域にシリコン酸化膜もしくはシリコン窒化膜等の絶縁膜をマスクとして形成し、このマスクにより覆われていない部分を除去し、基板を露出させ、この露出した基板上に電子回路のエピタキシャル層を選択的に再成長させる方法である。選択再成長法は、電子回路のエピタキシャル層を光素子とは独立に設計して選択的に再成長させることができる利点がある（例えば非特許文献2参照）。

【非特許文献1】E. Sano et al., IEEE Electron Devices, 43, 1826(1996)

【非特許文献2】M. Ida et al., Journal of Crystal Growth, 158,437 (1996)

【発明の開示】

30

【発明が解決しようとする課題】

【0008】

しかしながら、前述したOEIC101においては、HBT103のベース層107、コレクタ層106、およびコレクタコンタクト層105を用いてダイオード104を作製しているため、ダイオード104の受光感度とHBT103との動作速度との間にトレードオフが生ずる。具体的には、HBT103のコレクタ層106を薄肉化してHBT103の高速化を図ると、ダイオード104のInGaAs光吸収層が薄くなりダイオード104の受光感度が低下する。また、ダイオード104のInGaAs光吸収層を厚肉化してダイオード104の高感度化を求めると、HBT103のコレクタ層106が厚くなりHBT103の動作速度が遅くなる。

40

【0009】

また、前述した選択再成長法では、マスク近傍のInGaAs膜の膜厚が一般的な結晶成長法に比べて約1.3~1.6倍に上昇し、その組成がInリッチとなる問題が報告されている。このため、InGaAs層がInP層と格子整合となる組成を得るためには、電子回路のエピタキシャル層（電子素子形成領域）をマスク（光素子形成領域）から少なくとも150 μm 以上離さなければならない。これは、選択再成長法では、電子回路と光素子との物理的最近接距離を150 μm 以内に設定することが不可能であることを意味している。この結果、選択再成長法を用いて作製されるOEICでは、電子回路と光素子との間に配線遅延が生じ、動作速度の高速化を図ることが困難である。

【0010】

50

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、バイポーラトランジスタおよび光素子がそれぞれの性能を互いに打ち消し合うおそれを抑制されて適正に設けられており、動作速度が速く、かつ、受光感度が高い光電子集積回路を提供することにある。また、そのような光電子集積回路を効率良く、かつ、容易に製造することができる光電子集積回路の製造方法を提供することにある。

【課題を解決するための手段】

【0013】

前記課題を解決するために、本発明の一態様に係る光電子集積回路は、半絶縁性基板と、この半絶縁性基板上に互いに独立かつ隣接して設けられている少なくとも2つの第1の電極層のうち一方の第1の電極層、ならびに一方の前記第1の電極層上に積層されて設けられた活性層および第2の電極層からなる光素子と、前記各第1の電極層のうち他方の前記第1の電極層上に設けられた導電層、この導電層上に設けられたコレクタ層、このコレクタ層上に設けられたベース層、およびこのベース層上に設けられたエミッタ層からなるとともに、前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層が前記活性層および前記第2の電極層とはそれぞれ別途に積層されており、前記光素子に隣接して設けられているバイポーラトランジスタと、を具備することを特徴とするものである。

【0014】

この光電子集積回路においては、光素子とバイポーラトランジスタとが電氣的に接触することなく、光素子の第1の電極層とバイポーラトランジスタが設けられる第1の電極層とが同じ材料を用いて形成されている。すなわち、光素子とバイポーラトランジスタとが互いに近接されて設けられている。それとともに、光素子の第1の電極層、活性層、および第2の電極層の各層と、バイポーラトランジスタの導電層、コレクタ層、ベース層、およびエミッタ層の各層とが互いに独立して形成されている。このような構造によれば、光素子の受光感度とバイポーラトランジスタの動作速度との間にトレードオフが生じるおそれは殆どない。また、光素子とバイポーラトランジスタとの間に配線遅延が生じるおそれも殆どない。

【0017】

また、前記課題を解決するために、本発明の他の態様に係る光電子集積回路の製造方法は、半絶縁性基板上に第1の電極層、活性層、および第2の電極層を順次積層して設ける工程と、前記第2の電極層の表面の一部を選択的に覆って第1のマスクを設けるとともに、前記第1のマスク側から前記第1の電極層側に向かうに連れて前記第2の電極層および前記活性層を多く残しつつ、前記第1のマスク側から前記第1の電極層側に向けて、かつ前記第2の電極層および前記活性層の前記第1のマスクにより覆われている部分からその外側に向けて前記第2の電極層および前記活性層の前記第1のマスクにより覆われていない部分を順次除去して、前記第1の電極層の表面の一部を選択的に露出させる工程と、前記第1のマスクを除去した後、露出された前記第1の電極層の表面、前記第2の電極層、および前記活性層を覆って、導電層、コレクタ層、ベース層、およびエミッタ層を前記半絶縁性基板上に全面的に順次積層して設ける工程と、前記半絶縁性基板上の領域のうち前記第2の電極層および前記活性層を介さずに前記第1の電極層上に前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層が設けられている第1の領域内において前記エミッタ層の表面の一部を選択的に覆って第2のマスクを設けるとともに、前記エミッタ層の前記第2のマスクにより覆われていない部分を前記半絶縁性基板上から全面的に除去して前記ベース層の表面を露出させ、前記第2のマスクを除去した後、前記第1の領域内において前記ベース層上に残された前記エミッタ層を全面的に覆って露出された前記ベース層の表面上に選択的に第3のマスクを設けるとともに、前記ベース層、前記コレクタ層、および前記導電層の前記第3のマスクにより覆われていない部分を前記半絶縁性基板上から順次全面的に除去して少なくとも前記第1の領域内の前記第1の電極層の表面の一部を選択的に露出させる工程と、前記第3のマスクを除去した後、前記第2の電極層の表面の一部を選択的に覆って第4のマスクを設けるとともに、前記第2の電極層および前記活性層の前記第4のマスクにより覆われていない部分を前記半絶縁性基板上から順次全面

的に除去して、前記半絶縁性基板上の領域のうち前記第1の領域を除く第2の領域内の前記第1の電極層の表面の一部を選択的に露出させる工程と、前記第4のマスクを除去した後、前記第1の領域内に残された前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層を全面的に覆って露出された前記第1の電極層の表面上に選択的に第5のマスクを設けるとともに、この第5のマスクとは独立した第6のマスクを前記第2の領域内に残された前記活性層および前記第2の電極層を全面的に覆って露出された前記第1の電極層の表面上に選択的に設けた後、前記第1の電極層の前記第5のマスクおよび前記第6のマスクにより覆われていない部分を前記半絶縁性基板上から全面的に除去して、前記第1の領域内に残された前記第1の電極層、前記導電層、前記コレクタ層、前記ベース層、および前記エミッタ層と、前記第2の領域内に残された前記第1の電極層、前記活性層、および前記第2の電極層とを電氣的に切り離す工程と、を含むことを特徴とするものである。

10

【0018】

この光電子集積回路の製造方法においては、光素子の第1の電極層、活性層、および第2の電極層の各層と、バイポーラトランジスタの導電層、コレクタ層、ベース層、およびエミッタ層の各層とを互いに独立して形成することができる。また、導電層、コレクタ層、ベース層、およびエミッタ層を半絶縁性基板上に全面的に設けた後、所定の形状に形成するので、選択再成長法で生じ易いマスク近傍の膜の組成に欠陥が生じるおそれが殆ど無い。さらに、光素子の第1の電極層から独立して電氣的に切断された第1の電極層上にバイポーラトランジスタを設けることにより、光素子とバイポーラトランジスタとを電氣的に接触させることなく近接して設けることができる。このような方法によれば、光素子の受光感度とバイポーラトランジスタの動作速度との間にトレードオフが生じるおそれを殆ど無くすることができる。また、光素子とバイポーラトランジスタとの間に配線遅延が生じるおそれも殆ど無くすることができる。さらに、光素子の第1の電極層とバイポーラトランジスタが設けられる第1の電極層とを、同じ工程で形成することができる。

20

【発明の効果】

【0019】

本発明に係る光電子集積回路においては、光素子の受光感度とバイポーラトランジスタの動作速度との間にトレードオフが生じるおそれが殆どない。また、光素子とバイポーラトランジスタとの間に配線遅延が生じるおそれも殆どない。すなわち、本発明の一態様に係る光電子集積回路は、バイポーラトランジスタおよび光素子がそれぞれの性能を互いに打ち消し合うおそれを抑制されて適正に設けられており、動作速度が速く、かつ、受光感度が高い。

30

【0020】

また、本発明に係る光電子集積回路の製造方法によれば、光素子の受光感度とバイポーラトランジスタの動作速度との間にトレードオフが生じるおそれを殆ど無くすることができる。また、光素子とバイポーラトランジスタとの間に配線遅延が生じるおそれも殆ど無くすることができる。さらに、光素子の第1の電極層とバイポーラトランジスタが設けられる第1の電極層とを、同じ工程で形成することができる。したがって、本発明の光電子集積回路の製造方法によれば、バイポーラトランジスタおよび光素子がそれぞれの性能を互いに打ち消し合うおそれを抑制されて適正に設けられており、動作速度が速く、かつ、受光感度が高い光電子集積回路を効率良く、かつ、容易に製造することができる。

40

【発明を実施するための最良の形態】

【0021】

以下、本発明に係る各実施形態を図面を参照しつつ説明する。

【0022】

(第1の実施の形態)

先ず、本発明に係る第1実施形態を図1～図6を参照しつつ説明する。図1は、本実施形態に係る光電子集積回路を示す断面図である。図2～図5は、本実施形態に係る光電子集積回路の製造方法を示す工程断面図である。図6は、本実施形態に係る光電子集積回路

50

の製造方法の特性および背景技術に係る光電子集積回路の製造方法の特性をそれぞれグラフにして示す図である。

【0023】

本実施形態は、半導体素子を構成する層を基板上に全面的に再成長させて設けることにより光電子集積回路を製造する技術に係る。特に、ヘテロ接合バイポーラトランジスタおよび光素子を、それらの各層を個別に最適化しつつエピタキシャル層構造に形成して、同一のエピタキシャル結晶基板上に作製する技術に関する。この技術より、光電子集積回路（光送受信回路）の高速化、高感度化、および高集積化の実現を図る。以下、詳しく説明する。

【0024】

先ず、図1を参照しつつ、本実施形態に係る光電子集積回路1について説明する。

【0025】

図1に示すように、光電子集積回路（Opto-Electronic Integrated Circuits：OEIC）1においては、図1中一点鎖線の右側が光素子形成領域であり、一点鎖線の左側が半導体素子形成領域である。本実施形態においては、光素子（光集積回路）としてフォトダイオード2が設けられている。それとともに、半導体素子（半導体集積回路、電子素子）としてヘテロ接合バイポーラトランジスタ（Hetero-junction Bipolar Transistor：HBT）3が設けられている。フォトダイオード2およびHBT3は、InPにより形成された同一の半絶縁性基板4上に搭載されている。すなわち、OEIC1では、フォトダイオード2およびInP系HBT3が半絶縁性InP基板4を共有している。

【0026】

フォトダイオード2は、n形InPからなる第1の電極層としてのカソードコンタクト層5、活性層6、およびp形InGaAsPからなる第2の電極層としてのアノードコンタクト層7から構成されている。また、本実施形態においては、活性層6は、その下側が傾斜InGaAsPおよびn形InPからなる走行層6a、その上側がp形InGaAsからなる光吸収層6bにより構成されている。カソードコンタクト層5にはカソード電極8が、またアノードコンタクト層7にはアノード電極9が、それぞれ設けられている。

【0027】

InP系HBT3は、カソードコンタクト層5と同じ材料（n形InP）を用いてカソードコンタクト層5とは独立に設けられた導電層10を介して、半絶縁性InP基板4上に搭載されている。導電層10は、いわゆるコレクタコンタクト層となる。InP系HBT3は、傾斜InGaAsPおよびn形InPからなるコレクタ層11、p形InGaAsからなるベース層12、およびn形InPからなるエミッタ層13から構成されている。このように、ベース層12とエミッタ層13とは、互いに異なる材料により形成されてヘテロ接合されている。それとともに、ベース層12は、アノードコンタクト層7とは異なる材料により形成されている。コレクタコンタクト層10にはコレクタ電極14が、ベース層12にはベース電極15が、そしてエミッタ層13にはエミッタ電極16が、それぞれ設けられている。

【0028】

次に、図2～図5および図1を参照しつつ、OEIC1の製造方法について説明する。

【0029】

先ず、図2に示すように、半絶縁性InP基板4上に、フォトダイオード2のカソードコンタクト層5、活性層6、アノードコンタクト層7を順次積層して設ける。これら各層5, 6, 7は、有機金属気相成長（Metal Organic Chemical Vapor Deposition：MOCVD）法および分子線エピタキシャル成長（Molecular Beam Epitaxy：MBE）法の少なくとも一方の方法により設けられる。すなわち、フォトダイオード2のカソードコンタクト層5、活性層6、およびアノードコンタクト層7は、それぞれ半絶縁性InP基板4上にエピタキシャル成長されて形成される。

【0030】

次に、図3に示すように、光素子形成領域内のアノードコンタクト層7の表面の一部を

10

20

30

40

50

覆ってマスク 17 を設ける。このマスク 17 は、具体的にはフォトリソグラフィ技術により所定の形状にパターニングされたフォトレジスト膜である。フォトレジスト膜 17 は、例えば塗布法によりアノードコンタクト層 7 上に設けられる。

【0031】

次に、図 4 に示すように、アノードコンタクト層 7 上にフォトレジスト膜 17 が塗布された状態で、ドライエッチングもしくはウェットエッチングを行う。これにより、アノードコンタクト層 7 および活性層 6 のフォトレジスト膜 17 で覆われていない部分を除去して、カソードコンタクト層 5 の表面の一部を選択的に露出させる。この後、フォトレジスト膜 17 をアノードコンタクト層 7 上から除去する。

【0032】

次に、図 5 に示すように、カソードコンタクト層 5 の露出面、活性層 6、およびアノードコンタクト層 7 を覆って、InP 系 HBT 3 のコレクタ層 11、ベース層 12、およびエミッタ層 13 を半絶縁性 InP 基板 4 上に全面的に順次積層して設ける。すなわち、本実施形態においては、InP 系 HBT 3 のコレクタ層 11、ベース層 12、およびエミッタ層 13 を、それぞれ全面再成長法により設ける。これら各層 11、12、13 も、フォトダイオード 2 のカソードコンタクト層 5、活性層 6、およびアノードコンタクト層 7 と同様に、MOCVD 法および MBE 法の少なくとも一方の方法により設けられる。すなわち、InP 系 HBT 3 のコレクタ層 11、ベース層 12、およびエミッタ層 13 は、それぞれ半絶縁性 InP 基板 4 上に全面的にエピタキシャル成長されて形成される。

【0033】

この後、所望される OEC 1 の仕様などに応じて、フォトダイオード 2 のカソードコンタクト層 5、活性層 6、およびアノードコンタクト層 7、ならびに InP 系 HBT 3 のコレクタ層 11、ベース層 12、およびエミッタ層 13 を、所定のフォトリソグラフィ工程やエッチング工程によりそれぞれ所定の形状に整える。

【0034】

具体的には、アノードコンタクト層 7 および活性層 6 を覆うコレクタ層 11、ベース層 12、およびエミッタ層 13 を除去する。これにより、コレクタ層 11、ベース層 12、およびエミッタ層 13 を、アノードコンタクト層 7 および活性層 6 から電氣的に切り離してカソードコンタクト層 5 上にのみ残す。それとともに、コレクタ層 11、ベース層 12、およびエミッタ層 13 のみにより覆われているカソードコンタクト層 5 を、アノードコンタクト層 7 および活性層 6 のみにより覆われているカソードコンタクト層 5 から電氣的に切り離す。これにより、コレクタ層 11、ベース層 12、およびエミッタ層 13 のみにより覆われているカソードコンタクト層 5 を、InP 系 HBT 3 のコレクタ層 11 が電氣的に接触するコレクタコンタクト層 10 とする。すなわち、InP 系 HBT 3 は、フォトダイオード 2 のカソードコンタクト層 5 を、コレクタコンタクト層 10 として利用している。

【0035】

この後、カソードコンタクト層 5 にはカソード電極 8 を、またアノードコンタクト層 7 にはアノード電極 9 を、それぞれ設ける。同様に、コレクタコンタクト層 10 にはコレクタ電極 14 を、ベース層 12 にはベース電極 15 を、そしてエミッタ層 13 にはエミッタ電極 16 を、それぞれ設ける。以後、予め定められている所定の工程を経ることにより、所望の構造からなる OEC 1 を得る。すなわち、図 1 に示すように、1 枚の半絶縁性 InP 基板 4 上に、フォトダイオード 2 と InP 系 HBT 3 とがそれぞれ予め規定された領域内で近接して設けられた OEC 1 を得る。

【0036】

ここで、図 6 を参照しつつ、前述した本実施形態の光電子集積回路の製造方法の特徴について説明する。図 6 には、光素子形成領域からの距離に対する InGaAs 層（膜）中の In 濃度増加量の変化をグラフにより示す。図 6 中実線で示すグラフは、本実施形態に係る全面再成長法により形成された InGaAs 層についての In 濃度増加量の変化を示すグラフである。また、図 6 中破線で示すグラフは、背景技術に係る選択再成長法により

10

20

30

40

50

形成された InGaAs 層についての In 濃度増加量の変化を示すグラフである。

【0037】

図6中破線で示すグラフによれば、選択再成長法により形成された InGaAs 層では、光素子形成領域に近づくに連れて In 濃度増加量の変化が著しく大きくなっている。これに対して、図6中実線で示すグラフによれば、成長マスクを使用せずに HBT 3層を基板4上に全面的に再成長させる全面再成長法により形成された InGaAs 層では、光素子形成領域からの距離に拘らず、 In 濃度増加量の変化は殆ど無い。すなわち、全面再成長法を用いる本実施形態の光電子集積回路の製造方法によれば、選択再成長法を用いる背景技術の光電子集積回路の製造方法で問題とされている光素子領域近傍の InGaAs 層の組成のずれ（欠陥）は殆ど発生しないことが分かった。この結果、本実施形態の光電子集積回路の製造方法によれば、フォトダイオード2と InP 系 HBT 3との物理的再近接距離を、従来では殆ど不可能であった約 $10\mu\text{m}$ 以下に容易に設定できることが明らかになった。したがって、本実施形態の光電子集積回路の製造方法によれば、フォトダイオード2と InP 系 HBT 3との間の配線遅延を容易に低減して、光電子集積回路1の動作速度を高速化することができる。それとともに、光電子集積回路1の集積度を容易に高めることができる。

10

【0038】

以上説明したように、この第1実施形態によれば、 InP 系 HBT 3は、フォトダイオード2のカソードコンタクト層5を、コレクタコンタクト層10として利用している。これにより、 InP 系 HBT 3を全面再成長させる際に、フォトダイオード2のカソードコンタクト層5および活性層6のそれぞれの厚みの和に略相当する段差を、 $0.5\mu\text{m}$ 程度に低減することができる。この結果、背景技術に係る選択再成長法に比べて、 InP 系 HBT 3をより平滑に成長させることができる。

20

【0039】

また、 InP 系 HBT 3のコレクタ層11、ベース層12、およびエミッタ層13を半絶縁性 InP 基板4上に全面的に再成長させる。これにより、 InP 系 HBT 3を構成する各エピタキシャル結晶層11、12、13の層構造をそれぞれ適正化しつつ設けることができる。それとともに、 InP 系 HBT 3のコレクタ層11およびベース層12を、フォトダイオード2の活性層6およびアノードコンタクト層7とは別途成長させる。これにより、フォトダイオード2を構成するカソードコンタクト層5、活性層6、およびアノードコンタクト層7の各エピタキシャル結晶層5、6、7の層構造も、それぞれ適正化しつつ設けることができる。この結果、背景技術において説明した InP 系 HBT 3の動作速度とフォトダイオード2の受光感度とのトレードオフを殆ど無くして、 InP 系 HBT 3の動作速度の高速化およびフォトダイオード2の高感度化を両立させることができる。すなわち、フォトダイオード2および InP 系 HBT 3を、それぞれの性能を互いに打ち消し合うおそれを殆ど無くして、それぞれ適正な設定で半絶縁性 InP 基板4上に混載させることができる。

30

【0040】

したがって、本実施形態の OEIC 1は、フォトダイオード2および InP 系 HBT 3がそれぞれの性能を互いに打ち消し合うおそれを抑制されて適正に設けられており、動作速度が速く、かつ、受光感度が高い。また、本実施形態によれば、全面再成長法を用いることにより、そのような OEIC 1を効率良く、かつ、容易に製造することができる。

40

【0041】

（第2の実施の形態）

次に、本発明に係る第2実施形態を図7および図8を参照しつつ説明する。図7は、本実施形態に係る光電子集積回路を示す断面図である。図8は、本実施形態に係る光電子集積回路の製造方法を示す工程断面図である。なお、前述した第1実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0042】

本実施形態は、 n 形 InP からなるコレクタコンタクト層（カソードコンタクト層）の

50

一部を絶縁化するためにイオン注入を行っている点、および光素子として光変調器を設けている点が前述した第1実施形態と異なっている。以下、説明する。

【0043】

図7に示すように、本実施形態に係る光電子集積回路(OEIC)21においては、InP系HBT22が搭載されているn形InPからなるコレクタコンタクト層23の一部に、絶縁層24が設けられている。この絶縁層24は、具体的には、次に述べる工程により形成される。

【0044】

先ず、図8に示すように、前述した第1実施形態と同様の工程により、コレクタコンタクト層23の表面の一部を選択的に露出させる。この後、図8中白抜き矢印で示すように、InP系HBT22の傾斜InGaAsPおよびn形InPからなるコレクタ層11、p形InGaAsからなるベース層12、およびn形InPからなるエミッタ層13を半絶縁性InP基板4上に全面的に再成長させるのに先立って、半導体素子形成領域内のコレクタコンタクト層23の露出面の一部に選択的にイオンを注入する。この選択的に注入されるイオンには、例えばH、He、O、Feのうちの少なくとも1つが用いられる。続けて、イオン注入されたコレクタコンタクト層23などに活性化アニール処理(加熱処理)を施す。これにより、コレクタコンタクト層23の一部を絶縁化させて絶縁層24を設ける。

【0045】

この後、半絶縁性InP基板4上にInP系HBT22のコレクタ層11、ベース層12、およびエミッタ層13を全面的に再成長させる。以後、第1実施形態と同様の工程を経ることにより、所望の構造からなるOEIC21を得る。すなわち、図7に示すように、1枚の半絶縁性InP基板4上に、フォトダイオード2とInP系HBT3とがそれぞれ予め規定された領域内で近接して設けられているとともに、コレクタコンタクト層23の一部に絶縁層24が設けられたOEIC21を得る。

【0046】

また、本実施形態においては、光素子形成領域に光素子として光変調器25を設けている。この場合、活性層26は、第1および第2の2層のクラッド層26a、26cの間にコア層26bを挟んだ構成に形成されている。それら各層26a、26b、26cもエピタキシャル結晶層である。具体的には、活性層26は、そのカソードコンタクト層5に接する側がn形InPからなる第1のクラッド層(下部クラッド層)26aとして、またそのアノードコンタクト層27に接する側がアンドープInGaAlAsからなる第2のクラッド層(上部クラッド層)26cとして、それぞれ形成されている。そして、それら第1のクラッド層26aと第2のクラッド層26cとの間に挟まれて、n形InPおよびp形InPからなるコア層26bが形成されている。さらに、この光変調器25においては、アノードコンタクト層27がn形InPからなるエピタキシャル結晶層により形成されている。

【0047】

以上説明したように、この第2実施形態によれば、前述した第1実施形態と同様の効果を得ることができる。また、コレクタコンタクト層23の一部に絶縁層24を設けることにより、InP系HBT22の外部ベースにおける寄生コレクタ容量成分を排除して、InP系HBT22の動作速度をより高めることが出来る。

【0048】

(第3の実施の形態)

次に、本発明に係る第3実施形態を図9～図24を参照しつつ説明する。図9は、本実施形態に係る光電子集積回路を示す断面図である。図10～図23は、本実施形態に係る光電子集積回路の製造方法を示す工程断面図である。図24は、本実施形態に係る光電子集積回路の製造方法の特性および背景技術に係る光電子集積回路の製造方法の特性をそれぞれグラフにして示す図である。なお、前述した第1および第2の各実施形態と同一部分には同一符号を付して、その詳しい説明を省略する。

【0049】

本実施形態は、光素子が有する第1の電極層と同じ工程で作られて電氣的に切り離された他の第1の電極層上に導電層を介してバイポーラトランジスタが設けられている点、およびそれら各第1の電極層が2層構造に形成されている点が前述した第1実施形態と異なっている。以下、図9～図24を参照しつつ詳しく説明する。

【0050】

先ず、図9を参照しつつ、本実施形態に係る光電子集積回路31について説明する。

【0051】

図9に示すように、本実施形態のOEIC31も、前述した第1および第2の各実施形態のOEIC1、21と同様に、図9中一点鎖線の右側が光素子形成領域であり、一点鎖線の左側が半導体素子形成領域である。光素子形成領域には、フォトダイオード32が設けられている。また、半導体素子形成領域には、HBT33が設けられている。フォトダイオード32およびHBT33は、InPにより形成された同一の半絶縁性基板4上に搭載されている。すなわち、OEIC31では、フォトダイオード32およびInP系HBT33が半絶縁性InP基板4を共有している。

【0052】

フォトダイオード32は、高濃度のn形InPおよびn形InGaAsからなる第1の電極層としてのカソードコンタクト層34、活性層6、およびp形InGaAsからなる第2の電極層としてのアノードコンタクト層35から構成されている。本実施形態においては、カソードコンタクト層34は、その下側が高濃度のn形InP層34a、その上側が高濃度のn形InGaAs層34bの2層からなる積層構造に形成されている。n形InP層34aは、そのドーピング濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されているとともに、その膜厚を約400～1000nmに形成されている。また、n形InGaAs層34bは、そのドーピング濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されているとともに、その膜厚を約10～50nmに形成されている。また、活性層6は、その下側が傾斜InGaAsPおよびn形InPの層からなる走行層6a、その上側がp形InGaAs層からなる光吸収層6bの2層からなる積層構造に形成されている。カソードコンタクト層34にはカソード電極8が、またアノードコンタクト層35にはアノード電極層9が、それぞれ設けられている。

【0053】

また、InP系HBT33は、フォトダイオード32が有するカソードコンタクト層34と同じn形InP層34aおよびn形InGaAs層34bの2層構造からなるとともに、カソードコンタクト層34とは電氣的に切り離されて互いに独立に設けられた他の第1の電極層36を介して、半絶縁性InP基板4上に搭載されている。この第1の電極層36は、いわゆるコレクタコンタクト層となる。InP系HBT33は、高濃度のn形InP層からなる導電層37、傾斜InGaAsPおよびn形InPからなるコレクタ層11、高濃度のp形InGaAsからなるベース層38、およびn形InPからなるエミッタ層13から構成されている。このように、ベース層38とエミッタ層13とは、互いに異なる材料により形成されてヘテロ接合されている。また、高濃度のn形InP層からなる導電層37は、そのドーピング濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されているとともに、その膜厚を約20～100nmに形成されている。コレクタコンタクト層36にはコレクタ電極14が、ベース層38にはベース電極15が、そしてエミッタ層13にはエミッタ電極16が、それぞれ設けられている。

【0054】

次に、図10～図23を参照しつつ、OEIC31を形成する工程について説明する。先ず、図10～図17を参照しつつ、InP系HBT33を形成する工程について説明する。

【0055】

先ず、図10に示すように、半絶縁性InP基板4上に、カソードコンタクト層34、活性層6、アノードコンタクト層35を順次積層して設ける。これら各層34、6、35

は、MOCVD法およびMBE法の少なくとも一方の方法により設けられる。すなわち、フォトダイオード32のカソードコンタクト層34、活性層6、およびアノードコンタクト層35は、それぞれ半絶縁性InP基板4上にエピタキシャル成長されて形成される。

【0056】

次に、図11に示すように、光素子形成領域のアノードコンタクト層35の表面の一部を覆って第1のマスク39を設ける。この第1のマスク39は、具体的にはフォトリソグラフィ技術により所定の形状にパターニングされたフォトレジスト膜である。第1のフォトレジスト膜39は、例えば塗布法によりアノードコンタクト層35上に設けられる。

【0057】

次に、図12に示すように、アノードコンタクト層35上に第1のフォトレジストマスク39が塗布された状態で、アノードコンタクト層35および活性層6をドライエッチングによりエッチングして除去する。この際、第1のフォトレジスト膜39側からカソードコンタクト層34側に向けて、かつアノードコンタクト層35および活性層6のフォトレジスト膜39により覆われている部分からその外側に向けて、アノードコンタクト層35および活性層6の第1のフォトレジスト膜39により覆われていない部分を順次エッチングして除去する。すなわち、アノードコンタクト層35および活性層6の第1のフォトレジスト膜39により覆われている部分から斜め下方に向けて、アノードコンタクト層35および活性層6の第1のフォトレジスト膜39により覆われていない部分を順次エッチングして除去する。これにより、第1のフォトレジスト膜39側からカソードコンタクト層34側に向かうに連れてアノードコンタクト層35および活性層6を多く残しつつ、カソードコンタクト層34上から不要なアノードコンタクト層35および活性層6を除去する。すなわち、アノードコンタクト層35および活性層6を所定の形状でカソードコンタクト層34上に残すとともに、カソードコンタクト層34の表面の一部を選択的に露出させる。この後、第1のフォトレジスト膜39をアノードコンタクト層35上から除去する。また、このドライエッチング後、ウェットエッチングによりカソードコンタクト層34上に残されたアノードコンタクト層35および活性層6に表面処理を施す。

【0058】

本実施形態のようにアノードコンタクト層35および活性層6のエッチングにドライエッチングを適用することにより、アノードコンタクト層35および活性層6の結晶方位に拘らずそれら各層35、6のすべての面の傾斜角度を殆ど同じ大きさにすることができる。本実施形態においては、カソードコンタクト層34上に残すアノードコンタクト層35および活性層6の傾斜角度が約45°となるようにエッチングを行った。

【0059】

次に、図13に示すように、カソードコンタクト層34の露出面、活性層6、およびアノードコンタクト層35を覆って、InP系HBT33の導電層37、コレクタ層11、ベース層38、およびエミッタ層13を、それぞれ全面再成長により半絶縁性InP基板4上に順次積層して設ける。これら各層37、11、38、13も、フォトダイオード2のカソードコンタクト層34、活性層6、およびアノードコンタクト層35と同様に、MOCVD法およびMBE法の少なくとも一方の方法により設けられる。すなわち、InP系HBT33の導電層37、コレクタ層11、ベース層38、およびエミッタ層13は、それぞれ半絶縁性InP基板4上に全面的にエピタキシャル成長されて形成される。また、前述したように、光素子形成領域のメサは45°程度の傾斜がある。このため、カソードコンタクト層34およびアノードコンタクト層35上の平坦な領域を覆う各層37、11、38、13の層厚と、アノードコンタクト層35および活性層6の傾斜部分を覆う各層37、11、38、13の層厚とは、ほとんど同じ大きさとなっている。

【0060】

次に、図14に示すように、半絶縁性InP基板4上の領域のうちアノードコンタクト層35および活性層6を介さずにカソードコンタクト層34上に導電層37、コレクタ層11、ベース層38、およびエミッタ層13が設けられている第1の領域内において、エミッタ層13の表面の一部を選択的に覆って第2のマスクを設ける。具体的には、半絶縁

性 InP 基板 4 上の領域のうち InP 系 HBT 33 を形成する領域において、エミッタ層 13 の表面の一部を選択的に覆って第 2 のフォトリソマスク 40 を設ける。

【0061】

次に、図 15 に示すように、ドライエッチングおよびウェットエッチングにより、エミッタ層 13 の第 2 のフォトリソマスク 40 で覆われていない部分を半絶縁性 InP 基板 4 (ベース層 38) 上から全面的に除去し、ベース層 13 の表面を露出させる。したがって、このエッチング工程により、HBT 形成領域 (第 1 の領域) 内の第 2 のフォトリソマスク 40 で覆われていないエミッタ層 13 のみならず、半絶縁性 InP 基板 4 上の領域のうち第 1 の領域を除く第 2 の領域であるフォトダイオード形成領域内のエミッタ層 13 も併せて除去される。

10

【0062】

次に、図 16 に示すように、第 2 のフォトリソマスク 40 を除去した後、第 1 の領域内においてベース層 38 上に残されたエミッタ層 13 を全面的に覆って、露出されたベース層 38 の表面上に選択的に第 3 のマスクとしての第 3 のフォトリソマスク 41 を設ける。この後、ベース層 38 の表面上に第 3 のフォトリソマスク 41 が塗布された状態でウェットエッチングを行う。これにより、ベース層 38、コレクタ層 11、および導電層 37 の第 3 のフォトリソマスク 41 により覆われていない部分を半絶縁性 InP 基板 4 (カソードコンタクト層 34) 上から順次全面的に除去して、少なくとも HBT 形成領域内のカソードコンタクト層 34 の表面の一部を選択的に露出させる。この際、HBT 形成領域内の第 3 のフォトリソマスク 41 で覆われていないベース層 38、コレクタ層 11、および導電層 37 のみならず、フォトダイオード形成領域内のベース層 38、コレクタ層 11、導電層 37 も併せて除去される。これにより、フォトダイオード形成領域内でカソードコンタクト層 34 上に設けられているアノードコンタクト層 35 および活性層 6 が露出される。この後、第 3 のフォトリソマスク 41 をベース層 38 上から除去する。フォトダイオード形成領域の InGaAs から構成されるアノードコンタクト層 35 は、導電層 37 のエッチング時において、エッチングストッパー層としての役割を果たす。このため、アノードコンタクト層 35 および活性層 6 を覆う導電層 37 を選択的に除去して、アノードコンタクト層 35 および活性層 6 を露出させることが可能となる。

20

【0063】

次に、図 17 に示すように、HBT 形成領域において、コレクタコンタクト層 36 となるカソードコンタクト層 34 上にはコレクタ電極 14 を、ベース層 38 上にはベース電極 15 を、そしてエミッタ層 13 上にはエミッタ電極 16 を、それぞれ設ける。これにより、前述した構造からなる InP 系 HBT 33 を得る。また、フォトダイオード形成領域においては、アノードコンタクト層 35 上にアノード電極 9 を設ける。

30

【0064】

次に、図 18 ~ 図 21 を参照しつつ、フォトダイオード 32 を形成する工程について説明する。

【0065】

前述した各工程により露出されたアノードコンタクト層 35 および活性層 6 の傾斜部分は、再成長による熱履歴でエピタキシャル層内欠陥密度が増加して品質が劣化しているおそれがある。傾斜部分に生じた欠陥は、フォトダイオード 32 におけるリーク電流増加の原因となり、結果としてフォトダイオード 32 の信頼性低下を招く。したがって、カソードコンタクト層 34 上に残されたアノードコンタクト層 35 および活性層 6 のうち傾斜部分のエピタキシャル層を除去して、品質劣化のおそれが殆ど無い内部のエピタキシャル層を用いてフォトダイオード 2 を形成する必要がある。

40

【0066】

先ず、図 18 に示すように、カソードコンタクト層 34 の全露出表面、InP 系 HBT 33 全体、アノードコンタクト層 35 の上面の一部、および活性層 6 の走行層 (傾斜 InGaAsP および n 形 InP) 6a の傾斜部分の一部を覆って、第 4 のマスクとしての第 4 のフォトリソマスク 42 を設ける。

50

【0067】

次に、図19に示すように、硫酸系ウェットエッチングにより第4のフォトリソマスク42により覆われていないアノードコンタクト層35および活性層6の光吸収層（p形InGaAs層）6bを半絶縁性InP基板4（走行層6a）上から順次全面的に除去して、活性層6の走行層6aの表面の一部を選択的に露出させる。このエッチング工程により除去されるアノードコンタクト層7および活性層6の幅を図19中にW1で示す。本実施形態では、この幅W1は約5μm以下に設定される。

【0068】

次に、図20に示すように、塩酸系ウェットエッチングにより第4のフォトリソマスク42により覆われていない活性層6の走行層6aを半絶縁性InP基板4（カソードコンタクト層34）上から順次全面的に除去して、フォトダイオード形成領域におけるカソードコンタクト層5の表面の一部を選択的に露出させる。この後、第4のフォトリソマスク42をカソードコンタクト層34上から除去する。

10

【0069】

次に、図21に示すように、フォトダイオード形成領域においてカソードコンタクト層34上にカソード電極8を設ける。これにより、前述した構造からなるフォトダイオード32を得る。

【0070】

次に、図22に示すように、HBT形成領域内においてInP系HBT33を全面的に覆って、露出されたカソードコンタクト層34上に選択的に第5のマスクとしての第5のフォトリソマスク43を設ける。それとともに、第5のフォトリソマスク43とは独立した第6のマスクとしての第6のフォトリソマスク44を、フォトダイオード形成領域においてフォトダイオード32を全面的に覆って、露出されたカソードコンタクト層34上に選択的に設ける。

20

【0071】

次に、図23に示すように、ウェットエッチングにより、第5のフォトリソマスク43および第6のフォトリソマスク44により覆われていないカソードコンタクト層34を半絶縁性InP基板4上から全面的に除去する。これにより、半絶縁性InP基板4上のカソードコンタクト層34を、HBT形成領域およびフォトダイオード形成領域のそれぞれの領域に電氣的に切り離して互いに独立に残す。この結果、フォトダイオード32とInP系HBT33とは電氣的に切り離される。HBT形成領域に残されたカソードコンタクト層34は、InP系HBT33のコレクタコンタクト層36となる。

30

【0072】

以後、予め定められている所定の工程を経ることにより、所望の構造からなるOEIC31を得る。すなわち、図23に示すように、1枚の半絶縁性InP基板4上に、フォトダイオード32とInP系HBT33とがそれぞれ予め規定された領域内で近接して設けられたOEIC31を得る。

【0073】

ここで、図24を参照しつつ、前述した本実施形態の光電子集積回路の製造方法の特徴である全面再成長の効果について説明する。図24には、光素子形成領域からの距離に対するInGaAs層中のIn濃度増加量の変化をグラフにより示す。図24中実線で示すグラフは、本実施形態に係る全面再成長法により形成されたInGaAs層についてのIn濃度増加量の変化を示すグラフである。また、図24中破線で示すグラフは、背景技術に係る選択再成長法により形成されたInGaAs層についてのIn濃度増加量の変化を示すグラフである。

40

【0074】

図24中破線で示すグラフによれば、選択再成長法により形成されたInGaAs層では、光素子形成領域に近づくにつれてIn濃度増加量の変化が著しく大きくなっている。これに対して、図24中実線で示すグラフによれば、成長マスクを使用せずにHBT3層を基板4上に全面的に再成長させる全面再成法により形成されたInGaAs層では、光

50

素子形成領域からの距離によらず、In濃度増加量の変化は殆どない。すなわち、全面再成長法を用いる本実施形態の光電子集積回路の製造方法によれば、選択再成長法を用いる背景技術の光電子集積回路の製造方法で問題とされている光素子近傍のInGaAs層の組成のずれ(欠陥)は殆ど発生しないことが分かった。この結果、本実施形態の光電子集積回路の製造方法によれば、図23中W2で示すフォトダイオード32とInP系HBT33との物理的最近接距離を、従来では殆ど不可能であった10 μ m以内に容易に設定できることが明らかになった。したがって、本実施形態の光電子集積回路の製造方法によれば、フォトダイオード32とInP系HBT33との間の配線遅延を容易に低減して、光電子集積回路1の動作速度を高速化することができる。それとともに、光電子集積回路1の集積度を容易に高めることができる。すなわち、本実施形態においても。前述した第1実施形態と同様の効果を得ることができると分かった。

10

【0075】

以上説明したように、この第3実施形態によれば、InP系HBT33は、フォトダイオード32のカソードコンタクト層34と同じ電極層を、コレクタコンタクト層36として利用している。これにより、InP系HBT33を全面再成長させる際に、フォトダイオード32のカソードコンタクト層34および活性層6のそれぞれの厚みの和に略相当する段差を、半分の0.5 μ m程度に低減することができる。この結果、背景技術に係る選択再成長法に比べて、InP系HBT33をより平滑に成長させることができる。

【0076】

また、本実施形態においては、再成長界面となる第1の電極層としてのカソードコンタクト層34の上層34bは、そのドーピング濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以上の高濃度のn形InGaAs層となっている。このため、カソードコンタクト層34が大気に接触することにより、カーボン、酸素、シリコンなどのn形ドーパントになり得る不純物がカソードコンタクト層34内に混入したとしても、それらの不純物がカソードコンタクト層34のドーピング濃度に影響を与えるおそれは殆ど無い。すなわち、カソードコンタクト層34の抵抗には影響が殆ど無い。それとともに、本実施形態においては、カソードコンタクト層34の高濃度のn形InGaAs層34b上で、ドーピング濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以上に設定されている高濃度のn形InP層からなる導電層37を約20~100nmの膜厚になるまで成長させる。このため、カーボン、酸素、シリコンなどの不純物がカソードコンタクト層34内に混入したとしても、それらの不純物は導電層37内に取り込まれる。したがって、それらの不純物が導電層37に成長させられるコレクタ層11のドーピング濃度に影響を与えるおそれは殆ど無い。すなわち、再成長により導電層37上にエピタキシャル成長させられる、エピタキシャル層としてのコレクタ層11の品質が低下するおそれは殆ど無い。この結果、InP系HBT33の動作速度が低下するおそれは殆ど無く、ひいてはInP系HBT33の性能が劣化するおそれも殆ど無い。

20

30

【0077】

また、本実施形態においては、InP系HBT33の導電層37、コレクタ層11、ベース層38、およびエミッタ層13を、それぞれ半絶縁性InP基板4上に全面的に再成長させる。これにより、InP系HBT33を構成する各エピタキシャル結晶37, 11, 38, 13の層構造をそれぞれ適正化しつつ設けることができる。それとともに、InP系HBT33のコレクタ層11およびベース層38を、フォトダイオード32の活性層6およびアノードコンタクト層35とは別途成長させる。これにより、フォトダイオード32を構成するカソードコンタクト層34、活性層6、およびアノードコンタクト層35の各エピタキシャル結晶層34, 6, 35の層構造も、それぞれ適正化しつつ設けることができる。この結果、背景技術において説明したInP系HBTの動作速度とフォトダイオードの受光感度とのトレードオフを殆ど無くして、InP系HBT33の動作速度の高速化およびフォトダイオード32の高感度化を両立させることができる。すなわち、フォトダイオード32およびInP系HBT33を、それぞれの性能を互いに打ち消し合うおそれを殆ど無くして、それぞれ適正な設定で半絶縁性InP基板4上に混載させることができる。

40

50

【0078】

したがって、本実施形態のOEIC31は、フォトダイオード32およびInP系HBT33がそれぞれの性能を互いに打ち消し合うおそれを抑制されて適正に設けられており、動作速度が速く、かつ、受光感度が高い。また、本実施形態によれば、全面再成長法を用いることにより、そのようなOEIC31を効率良く、かつ、容易に製造することができる。

【0079】

なお、本発明に係る光電子集積回路およびその製造方法は、前述した第1～第3の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは製造工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせる用いたりして実施することができる。

10

【0080】

例えば、第1～第3の各実施形態では、半絶縁性基板としてInPからなる半絶縁性基板を用いたが、これに限定されるものではない。所望される光電子集積回路の仕様などに応じて、適宜、InP以外の様々な材料を用いて半絶縁性基板を形成しても構わない。

【0081】

さらに、例えば第1実施形態のフォトダイオード2のカソードコンタクト層5（コレクタコンタクト層10）、活性層6、およびアノードコンタクト層7は、それぞれ前述したn形InP、p形InGaAs、傾斜InGaAsP、n形InP、およびp形InGaAsPから形成されるとは限らない。同様に、InP系HBT3のコレクタ層11、ベース層12、およびエミッタ層13も、それぞれ前述した傾斜InGaAsP、n形InP、p形InGaAs、およびn形InPから形成されるとは限らない。また同様に、光変調器25の活性層26およびアノードコンタクト層27も、それぞれ前述したn形InP、p形InP、アンドープInGaAlAs、およびn形InPから形成されるとは限らない。これら各層5～7、10～13、26、27も、所望される光電子集積回路の仕様などに応じて、適宜、前記各材料以外の様々な材料を用いて形成しても構わない。

20

【0082】

同様に、例えば第3実施形態のフォトダイオード32のカソードコンタクト層34、活性層6、およびアノードコンタクト層35は、それぞれ前述した高濃度のn形InP層34aおよび高濃度のn形InGaAs層34b、傾斜InGaAsPおよびn形InPからなる走行層6aおよびp形InGaAs層からなる光吸収層6b、およびp形InGaAs層から形成されるとは限らない。同様に、InP系HBT33のコレクタコンタクト層36（カソードコンタクト層34）、導電層11、コレクタ層12、ベース層13、およびエミッタ層14も、それぞれ前述した高濃度のn形InP層34aおよび高濃度のn形InGaAs層34b、高濃度のn形InP層、傾斜InGaAsPおよびn形InPからなる層、高濃度のp形InGaAs層、およびn形InPから形成されるとは限らない。これら各層34、6、35、36、37、11、38、13も、所望される光電子集積回路の仕様などに応じて、適宜、前記各材料以外の様々な材料を用いても構わない。

30

【0083】

また、本発明が備え得る光素子にはフォトダイオード2、32以外の素子も含まれ得る。例えば、n形InP層からなる第1コンタクト層と、p形InP層、アンドープInP層、およびInGaAlAsMQW層からなる活性層と、n形InP層からなる第2のコンタクト層と、から構成される光変調器などである。

40

【0084】

さらに、第3実施形態で用いた高濃度のn形InP層34aおよび高濃度のn形InGaAs層34bからなるカソードコンタクト層34（コレクタコンタクト層36）を、第1実施形態のカソードコンタクト層5（コレクタコンタクト層10）に適用しても構わないのはもちろんである。

【図面の簡単な説明】

【0085】

50

【図 1】第 1 実施形態に係る光電子集積回路を示す断面図。	
【図 2】第 1 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 3】第 1 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 4】第 1 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 5】第 1 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 6】第 1 実施形態に係る光電子集積回路の製造方法の特性および背景技術に係る光電子集積回路の製造方法の特性をそれぞれグラフにして示す図。	
【図 7】第 2 実施形態に係る光電子集積回路を示す断面図。	
【図 8】第 2 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 9】第 3 実施形態に係る光電子集積回路を示す断面図。	10
【図 10】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 11】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 12】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 13】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 14】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 15】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 16】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 17】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 18】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 19】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	20
【図 20】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 21】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 22】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 23】第 3 実施形態に係る光電子集積回路の製造方法を示す工程断面図。	
【図 24】第 3 実施形態に係る光電子集積回路の製造方法の特性および背景技術に係る光電子集積回路の製造方法の特性をそれぞれグラフにして示す図。	
【図 25】背景技術に係る光電子集積回路を示す断面図。	
【符号の説明】	
【0086】	
1, 21, 31…OEIC (光電子集積回路)	30
2, 32…フォトダイオード (光集積回路、光素子)	
3, 22, 33…InP系HBT (半導体集積回路、半導体素子、電子素子)	
4…半絶縁性InP基板 (半絶縁性基板)	
5…カソードコンタクト層 (第1の電極層、n形InP層、エピタキシャル結晶層)	
6…活性層 (p形InGaAs層、傾斜InGaAsP層、n形InP層、エピタキシャル結晶層)	
6a…走行層 (傾斜InGaAsP層、n形InP層)	
6b…光吸収層 (p形InGaAs層)	
7…アノードコンタクト層 (第2の電極層、p形InGaAsP層、エピタキシャル結晶層)	40
10…コレクタコンタクト層 (導電層、n形InP層)	
11…コレクタ層 (傾斜InGaAsP層、n形InP層、エピタキシャル結晶層)	
12…ベース層 (p形InGaAs層、エピタキシャル結晶層)	
13…エミッタ層 (n形InP層、エピタキシャル結晶層)	
17…フォトレジスト膜 (マスク)	
23…コレクタコンタクト層	
24…絶縁層	
25…光変調器 (光集積回路、光素子)	
26…活性層 (n形InP層、p形InP層、アンドープInGaAlAs層、エピタキシャル結晶層)	50

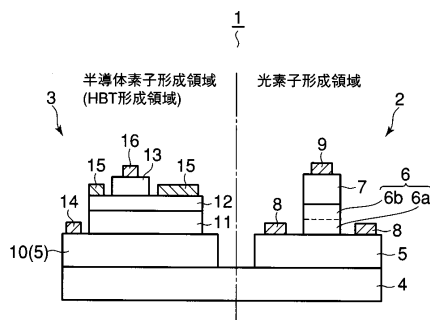
- 26a…第1のクラッド層（n形InP層、下部クラッド層）
 26b…コア層（n形InP層、p形InP層）
 26c…第2のクラッド層（アンドープInGaAs層、上部クラッド層）
 27…アノードコンタクト層（第2の電極層、n形InP層、エピタキシャル結晶層）
 34…カソードコンタクト層（一方の第1の電極層、高濃度のn形InP層、高濃度のn形InGaAs層、エピタキシャル結晶層）
 34a…カソードコンタクト層の下層（高濃度のn形InP層、第1の電極層の下層）
 34b…カソードコンタクト層の上層（高濃度のn形InGaAs層、第1の電極層の上層）
 35…アノードコンタクト層（第2の電極層、p形InGaAs層、エピタキシャル結晶層）
 36…コレクタコンタクト層（カソードコンタクト層、他方の第1の電極層、高濃度のn形InP層、高濃度のn形InGaAs層、エピタキシャル結晶層）
 37…導電層（高濃度のn形InP層、エピタキシャル結晶層）
 38…ベース層（高濃度p形InGaAs層、エピタキシャル結晶層）
 39…第1のフォトリソマスク（第1のマスク）
 40…第2のフォトリソマスク（第2のマスク）
 41…第3のフォトリソマスク（第3のマスク）
 42…第4のフォトリソマスク（第4のマスク）
 43…第5のフォトリソマスク（第5のマスク）
 44…第6のフォトリソマスク（第6のマスク）

10

20

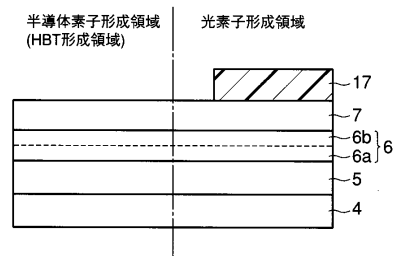
【図1】

図1



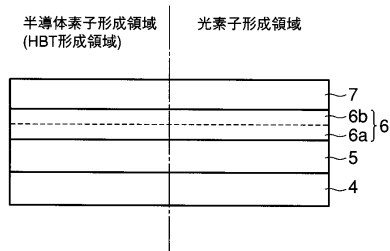
【図3】

図3



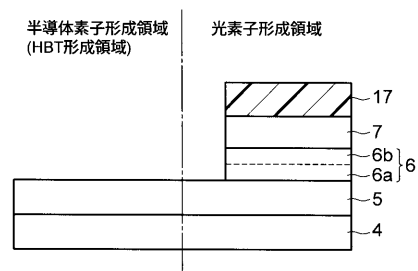
【図2】

図2



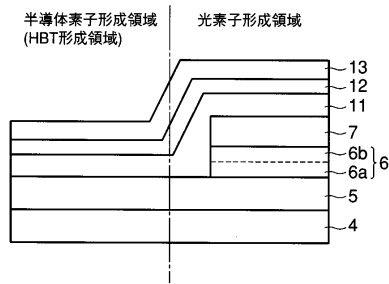
【図4】

図4



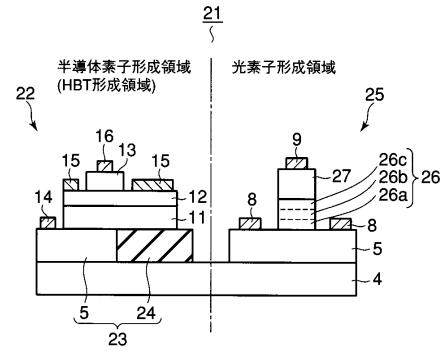
【図 5】

図 5



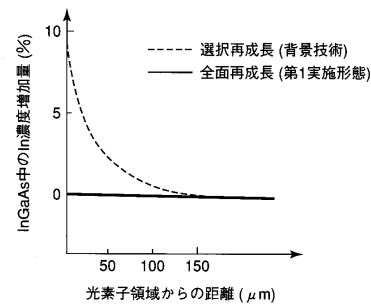
【図 7】

図 7



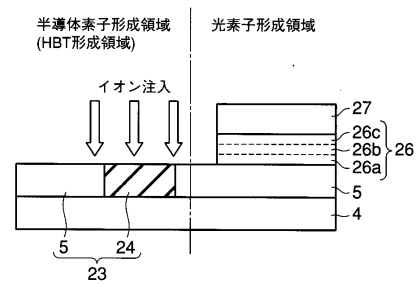
【図 6】

図 6



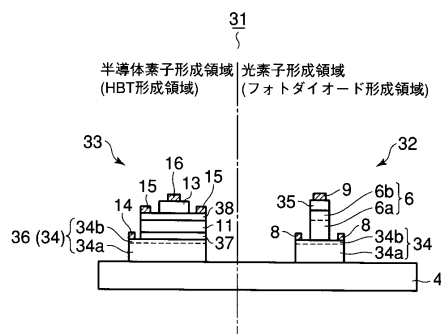
【図 8】

図 8



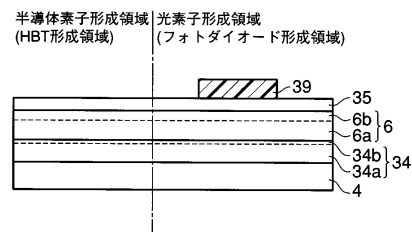
【図 9】

図 9



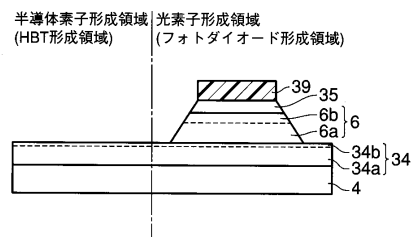
【図 11】

図 11



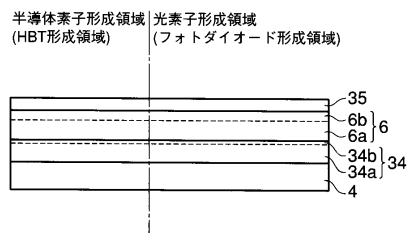
【図 12】

図 12



【図 10】

図 10



【図 15】

半導体素子形成領域
(HBT形成領域)

光素子形成領域
(フォトダイオード形成領域)

41

13

35

38

11

37

34b

34a

34

6b 6a

6

【図 1 6】

The diagram shows a cross-section of a semiconductor device divided into two main regions by a vertical dashed line.

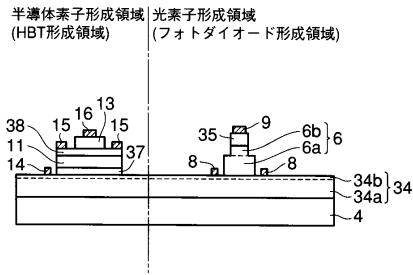
- Left Region (HBT Formation Region):** Labeled "半導体素子形成領域 (HBT形成領域)". It contains layers labeled 13 (top), 40 (a patterned layer), and 6 (the substrate).
- Right Region (Photodiode Formation Region):** Labeled "光素子形成領域 (フォトダイオード形成領域)". It features a series of stacked, stepped layers labeled 35, 38, 11, 37, 34b, 34a, and 4. These layers are collectively indicated by a bracket and the label 34. Below these layers is another layer labeled 6, which is part of the common substrate 6.

【图 19】

【図 20】

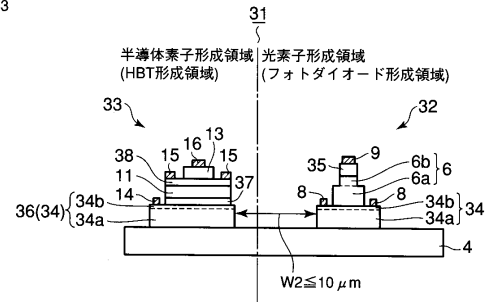
【図 2 1】

図 21



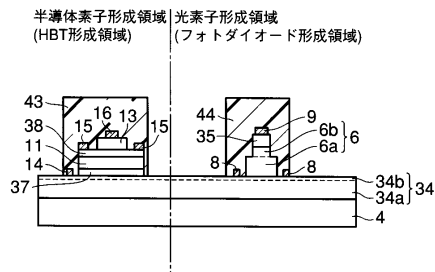
【図 2 3】

図 23



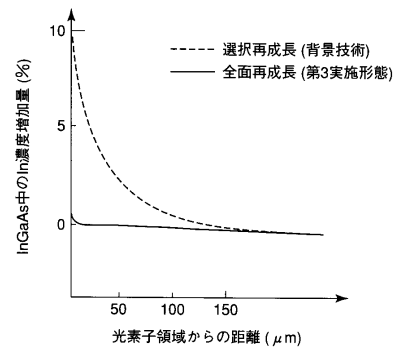
【図 2 2】

図 22



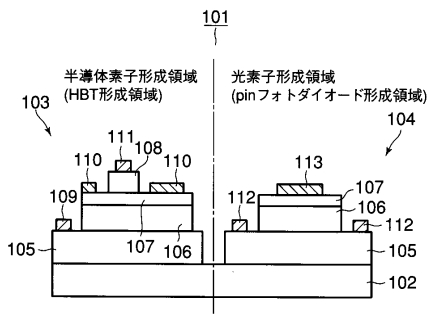
【図 2 4】

図 24



【図 2 5】

図 25



フロントページの続き

(72)発明者 井田 実

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

審査官 瀧内 健夫

- (56)参考文献 特開昭64-090581 (JP, A)
特開2004-228214 (JP, A)
特開平10-321640 (JP, A)
特開平08-279517 (JP, A)
特開平11-040574 (JP, A)
特開平07-074384 (JP, A)
特開2001-111095 (JP, A)
特開昭63-120487 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/15
H01L 27/14-27/148
H01L 29/737
H01L 21/8222
H01L 27/06