(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7628112号
(P7628112)

(45)発行日　令和7年2月7日(2025.2.7)

(24)登録日　令和7年1月30日(2025.1.30)

(51)国際特許分類		FI		
G06F 13/16 (2006.01)		G06F	13/16	520B
G06F 12/00 (2006.01)		G06F	13/16	510E
G06F 15/167 (2006.01)		G06F	12/00	560F
G06N 3/063 (2023.01)		G06F	15/167	610Z
		G06N	3/063	

請求項の数　14　（全29頁）

(21)出願番号　特願2022-517123(P2022-517123)
(86)(22)出願日　令和2年9月14日(2020.9.14)
(65)公表番号　特表2022-548641(P2022-548641A)
(43)公表日　令和4年11月21日(2022.11.21)
(86)国際出願番号　PCT/US2020/050713
(87)国際公開番号　WO2021/055280
(87)国際公開日　令和3年3月25日(2021.3.25)
審査請求日　令和4年5月13日(2022.5.13)
審判番号　不服2024-2308(P2024-2308/J1)
審判請求日　令和6年2月9日(2024.2.9)
(31)優先権主張番号　16/573,805
(32)優先日　令和1年9月17日(2019.9.17)
(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者　595168543
マイクロン テクノロジー，インク．
アメリカ合衆国，アイダホ州　８３７１６－９６３２，ボイズ，サウス フェデラル ウェイ　８０００
(74)代理人　100121083
弁理士　青木 宏義
(74)代理人　100138391
弁理士　天田 昌行
(74)代理人　100074099
弁理士　大菅 義之
(72)発明者　エイラート ショーン エス．
アメリカ合衆国 カリフォルニア州　９５６６３ ペンリン イングリッシュ コロニー ウェイ　１７２１

最終頁に続く

(54)【発明の名称】　システムオンチップ及びアクセラレータチップを接続するメモリチップ

(57)【特許請求の範囲】

【請求項１】

アクセラレータチップと、

メモリチップと、

を含むシステムであって、

前記メモリチップは、

配線を介して前記アクセラレータチップ及びシステムオンチップ（ＳｏＣ）に接続するように構成される単一セットのピンであって、前記アクセラレータチップと前記メモリチップとが、前記アクセラレータチップの１セットのピンと前記メモリチップの前記単一セットのピンの一部とを介して互いに直接接続され、前記ＳｏＣと前記メモリチップとが、前記ＳｏＣの１セットのピンと前記メモリチップの前記単一セットのピンの他の一部とを介して互いに直接接続される、前記単一セットのピンと、

前記単一セットのピンの前記他の一部を介して前記ＳｏＣから受信される計算入力データを格納して提供するように構成される複数の第一メモリセルであって、前記計算入力データは計算入力として前記アクセラレータチップによって使用される、前記複数の第一メモリセルと、

を含み、

前記ＳｏＣは、前記メモリチップを介して間接的に前記アクセラレータチップと通信し、前記ＳｏＣは、バス又は配線を介して前記アクセラレータチップと直接通信することがない、前記システム。

【請求項２】
前記アクセラレータチップは、人工知能（ＡＩ）アクセラレータチップであり、前記複数の第一メモリセルは、前記単一セットのピンの前記他の一部を介して前記ＳｏＣから受信されるＡＩ計算入力データを格納して提供するように構成され、前記ＡＩ計算入力データは、ＡＩ計算入力として前記ＡＩアクセラレータチップによって使用される、請求項１に記載のシステム。
【請求項３】
前記メモリチップは、
前記アクセラレータチップから前記単一セットのピンの前記一部を介して受信する第一計算出力データを格納して提供するように構成される複数の第二メモリセルであって、前記第一計算出力データは、前記ＳｏＣによって取得されるか、または計算入力として前記アクセラレータチップによって再使用される、前記複数の第二メモリセル、
を含む、請求項１に記載のシステム。
【請求項４】
前記メモリチップは、前記単一セットのピンの前記他の一部を介して前記ＳｏＣから受信する第二計算出力データを格納するように構成される複数の第三メモリセルを含み、前記第二計算出力データは前記ＳｏＣによって取得される、請求項３に記載のシステム。
【請求項５】
前記複数の第一メモリセル、前記複数の第二メモリセル、及び前記複数の第三メモリセルは、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）セルを含む、請求項４に記載のシステム。
【請求項６】
前記複数の第一メモリセル、前記複数の第二メモリセル、及び前記複数の第三メモリセルは、不揮発性ランダムアクセスメモリ（ＮＶＲＡＭ）セルを含む、請求項４に記載のシステム。
【請求項７】
前記ＮＶＲＡＭセルは、３Ｄ　ＸＰｏｉｎｔメモリセルを含む、請求項６に記載のシステム。
【請求項８】
前記アクセラレータチップは、ベクトルプロセッサを含み、前記ベクトルプロセッサは、前記複数の第一メモリセル及び前記複数の第二メモリセルをメモリとして使用して、前記ＳｏＣについてのベクトル及び行列に対して数値計算を実行するように設定される、請求項３に記載のシステム。
【請求項９】
前記アクセラレータチップは、特定用途向け集積回路（ＡＳＩＣ）を含み、前記ＡＳＩＣは、前記ベクトルプロセッサを含み、前記ベクトルプロセッサを介してＡＩ計算を高速化するための専用ハードワイヤードである、請求項８に記載のシステム。
【請求項１０】
前記アクセラレータチップは、フィールドプログラマブルゲートアレイ（ＦＰＧＡ）を含み、前記ＦＰＧＡは、前記ベクトルプロセッサを含み、前記ベクトルプロセッサを介してＡＩ計算を高速化するための専用ハードワイヤードである、請求項８に記載のシステム。
【請求項１１】
アクセラレータチップと、
システムオンチップ（ＳｏＣ）と、
メモリチップと、
を含むシステムであって、
前記メモリチップは、
配線を介して前記アクセラレータチップに接続するように構成される１セットのピンであって、前記アクセラレータチップと前記メモリチップとが、前記アクセラレータチップの１セットのピンと前記メモリチップの前記１セットのピンと前記配線とを介して互いに直

接接続され、前記ＳｏＣと前記メモリチップとが、バスを介して互いに通信可能に接続される、前記１セットのピンと、
前記バスを介して前記ＳｏＣから受信される計算入力データを格納して提供するように構成される複数の第一メモリセルであって、前記計算入力データは計算入力として前記アクセラレータチップによって使用される、前記複数の第一メモリセルと、
を含み、
前記ＳｏＣは、前記メモリチップを介して間接的に前記アクセラレータチップと通信し、前記ＳｏＣは、バス又は配線を介して前記アクセラレータチップと直接通信することがない、前記システム。
【請求項１２】
前記メモリチップは、
前記アクセラレータチップから前記メモリチップの前記１セットのピンを介して受信する第一計算出力データを格納して提供するように構成される複数の第二メモリセルであって、前記第一計算出力データは、前記ＳｏＣによって取得されるか、または第一計算入力として前記アクセラレータチップによって再使用される、前記複数の第二メモリセル、
を含む、請求項１１に記載のシステム。
【請求項１３】
前記ＳｏＣは、グラフィックスプロセッシングユニット（ＧＰＵ）を含み、前記アクセラレータチップは、前記複数の第一メモリセル及び前記複数の第二メモリセルをメモリとして使用して前記ＧＰＵについての計算を実行して高速化するように設定される、請求項１２に記載のシステム。
【請求項１４】
前記アクセラレータチップは、ベクトルプロセッサを含み、前記ベクトルプロセッサは、前記複数の第一メモリセル及び前記複数の第二メモリセルをメモリとして使用して、前記ＧＰＵについてのベクトル及び行列に対して数値計算を実行するように設定される、請求項１３に記載のシステム。
【発明の詳細な説明】
【技術分野】
【０００１】
関連出願
本出願は、２０１９年９月１７日に出願され、「ＭＥＭＯＲＹ　ＣＨＩＰ　ＣＯＮＮＥＣＴＩＮＧ　Ａ　ＳＹＳＴＥＭ　ＯＮ　Ａ　ＣＨＩＰ　ＡＮＤ　ＡＮ　ＡＣＣＥＬＥＲＡＴＯＲ　ＣＨＩＰ」と題された米国特許出願第１６／５７３，８０５号に優先権を主張し、その開示全体は、参照により本明細書に援用される。
【０００２】
本明細書に開示される少なくともいくつかの実施形態は、ＳｏＣ及びアクセラレータチップ（例えば、ＡＩアクセラレータチップ）を接続するメモリチップに関する。本明細書に開示される少なくともいくつかの実施形態は、メモリ階層及びメモリチップストリングを使用してメモリを形成することに関する。
【背景技術】
【０００３】
メインメモリなどのメモリは、コンピュータまたはコンピューティングデバイスでの即時使用のために情報を格納するコンピュータハードウェアである。一般に、メモリはコンピュータストレージよりも高速で動作する。コンピュータストレージによって、情報にアクセスする速度が遅くなるが、その容量が増え、データの信頼性が高くなることもできる。メモリの１つのタイプであるランダムアクセスメモリ（ＲＡＭ）は、高い動作速度を有することができる。
【０００４】
通常、メモリは、アドレス指定可能な半導体メモリユニットまたはセルで構成される。メモリＩＣ及びそのメモリユニットは、シリコンベースの金属酸化物半導体電界効果トラ

ンジスタ（ＭＯＳＦＥＴ）によって少なくとも部分的に実装されることができる。
【０００５】
メモリには、揮発性及び不揮発性という２つの主なタイプがある。不揮発性メモリは、フラッシュメモリ（ストレージとして使用されることもできる）、ならびにＲＯＭ、ＰＲＯＭ、ＥＰＲＯＭ、及びＥＥＰＲＯＭ（ファームウェアを格納するために使用されることができる）を含むことができる。別のタイプの不揮発性メモリは、不揮発性ランダムアクセスメモリ（ＮＶＲＡＭ）である。揮発性メモリは、ダイナミックランダムアクセスメモリ（ＤＲＡＭ）などのメインメモリテクノロジ、及び通常はスタティックランダムアクセスメモリ（ＳＲＡＭ）を使用して実装されるキャッシュメモリを含むことができる。
【０００６】
ＡＩアクセラレータは、マイクロプロセッサまたはコンピュータシステムの１つのタイプであり、このタイプは、人工ニューラルネットワーク、マシンビジョン、及び機械学習などのＡＩアプリケーションを含む、ＡＩアプリケーションについての計算を高速化するように設定される。ＡＩアクセラレータは、データ集約型またはセンサ駆動型タスクについてのデータ処理を向上させるハードワイヤードであることができる。ＡＩアクセラレータは、１つ以上のコアを含むことができ、低精度演算及びインメモリコンピューティング用に配線されることができる。ＡＩアクセラレータは、スマートフォン、タブレット、及びあらゆるタイプのコンピュータ（特に、センサ、ならびにグラフィックス及び光学処理などのデータ集約型タスクを有するコンピュータ）などの多くのデバイスに見いだされることができる。また、ＡＩアクセラレータは、ＡＩアプリケーションで使用される数値シミュレーション及び他のタイプのタスクに関するパフォーマンスを向上させるために、ベクトルプロセッサまたはアレイプロセッサを含むことができる。
【０００７】
ＳｏＣは、コンピュータコンポーネントをシングルチップに集積する集積回路（ＩＣ）である。ＳｏＣにおける一般的なコンピュータコンポーネントは、中央処理装置（ＣＰＵ）、メモリ、入出力ポート、及びセカンダリストレージを含む。ＳｏＣは、そのすべてのコンポーネントを単一の基板またはマイクロチップ上に含むことができ、一部のチップは２５セント硬貨よりも小さくなることができる。ＳｏＣは、さまざまな信号処理機能を有することができ、グラフィックスプロセッシングユニット（ＧＰＵ）など、専用のプロセッサまたはコプロセッサを含むことができる。緊密に集積されることにより、ＳｏＣは、同等の機能を有する従来のマルチチップシステムよりも電力の消費をはるかに少なくすることができる。これにより、ＳｏＣは、モバイルコンピューティングデバイス（スマートフォン及びタブレットなどの内の）の統合に有益になる。また、ＳｏＣは、組み込みシステム及びモノのインターネット（特にスマートデバイスが小さい場合）に有用であることができる。
【０００８】
メモリに戻り参照すると、コンピューティングシステムのメモリは、階層であることができる。コンピュータアーキテクチャではメモリ階層と称されることが多い、メモリ階層は、応答時間、複雑さ、容量、永続性及びメモリ帯域幅など、ある特定の要因に基づいて、コンピュータメモリを階層に分離することができる。それらのような要因は関連していることができ、多くの場合、メモリ階層の有用性をさらに強調するトレードオフであることができる。
【０００９】
一般に、メモリ階層はコンピュータシステムでのパフォーマンスに影響する。他の要因に優先してメモリ帯域幅と速度を優先順位付けするには、応答時間、複雑さ、容量、及び永続性などのメモリ階層の制限を考慮する必要がある場合がある。このような優先順位付けを管理するために、さまざまなタイプのメモリチップを組み合わせて、より高速なチップと、より信頼性の高い、または費用効果の高いチップなどとのバランスをとることができる。さまざまなチップのそれぞれをメモリ階層の一部と見なすことができる。そして、例えば、より高速なチップでのレイテンシを減らすために、メモリチップの組み合わせで

の他のチップは、バッファを充填してから、チップ間のデータ転送をアクティブにする信号を送ることによって応答することができる。

【００１０】

メモリ階層は、さまざまなタイプのメモリユニットまたはセルを含むチップで構成されることができる。例えば、メモリセルはＤＲＡＭユニットであることができる。ＤＲＡＭは、データの各ビットをメモリセルに格納するランダムアクセス半導体メモリの１つのタイプであり、メモリセルは、通常、コンデンサ及びＭＯＳＦＥＴを含む。コンデンサは、充電されるか放電されるかいずれかが可能であり、これは、１ビットの中の２値、「０」及び「１」などで表される。ＤＲＡＭでは、コンデンサの電荷が漏れ出すため、ＤＲＡＭは、コンデンサごとに元の電荷を回復することによってコンデンサ内のデータを定期的にリライトする外部メモリリフレッシュ回路を必要とする。ＤＲＡＭは、電源が切断されると、そのデータが急速に失われるため、揮発性メモリと見なされる。これは、データストレージがより永続的である、フラッシュメモリ、及びＮＶＲＡＭなどの他のタイプの不揮発性メモリとは異なる。

【００１１】

ＮＶＲＡＭの１つのタイプは３Ｄ　ＸＰｏｉｎｔメモリである。３Ｄ　ＸＰｏｉｎｔメモリでは、メモリユニットは、積層可能な交差格子状データアクセスアレイと組み合わせて、バルク抵抗の変化に基づいてビットを格納する。３Ｄ　ＸＰｏｉｎｔメモリは、ＤＲＡＭよりも費用効果が高いが、フラッシュメモリよりも費用効果が低い場合がある。また、３Ｄ　ＸＰｏｉｎｔは、不揮発性メモリ及びランダムアクセスメモリである。

【００１２】

フラッシュメモリは、別のタイプの不揮発性メモリである。フラッシュメモリの利点は、電気的に消去されて再プログラムされることができることである。フラッシュメモリは、ＮＡＮＤ型フラッシュメモリ及びＮＯＲ型フラッシュメモリという２つの主なタイプを有すると考えられており、これらは、フラッシュメモリのメモリユニットを実装することができるＮＡＮＤ及びＮＯＲ論理ゲートにちなんで名付けられている。フラッシュメモリユニットまたはセルは、対応するゲートのものと同様の内部特性を示す。ＮＡＮＤ型フラッシュメモリはＮＡＮＤゲートを含む。ＮＯＲ型フラッシュメモリはＮＯＲゲートを含む。ＮＡＮＤ型フラッシュメモリは、デバイス全体よりも小さくすることができるブロックに読み書きされてもよい。ＮＯＲ型フラッシュは、シングルバイトを、消去した位置に書き込む、または独立して読み出すことを可能にする。ＮＡＮＤ型フラッシュメモリの利点により、このようなメモリは、メモリカード、ＵＳＢフラッシュドライブ、及びソリッドステートドライブによく利用されている。ただし、一般にフラッシュメモリを使用することの主なトレードオフは、ＤＲＡＭ及びＮＶＲＡＭなどの他のタイプのメモリと比較して、特定のブロックに比較的少数の書き込みサイクルしかできないことである。

【００１３】

本開示は、以下に示す詳細な説明及び本開示の様々な実施形態の添付図面から、より十分に理解される。

【図面の簡単な説明】

【００１４】

【図１】ＳｏＣ及びメモリチップを接続するアクセラレータチップ（例えば、ＡＩアクセラレータチップ）を含む関連システムの一例を示す。

【図２】図１に示されるアクセラレータチップを含む関連システム、及び別個のメモリの例を示す。

【図３】図１に示されるアクセラレータチップを含む関連システム、及び別個のメモリの例を示す。

【図４】ＳｏＣ及びアクセラレータチップ（例えば、ＡＩアクセラレータチップ）を接続するメモリチップを含む、本開示のいくつかの実施形態によるシステムの一例を示す。

【図５】図４に示されるメモリチップを含むシステム、及び別個のメモリの例を示す。

【図６】図４に示されるメモリチップを含むシステム、及び別個のメモリの例を示す。

【図７】図４に示されるメモリチップを含むシステム、及び別個のメモリの例を示す。
【図８】本開示のいくつかの実施形態による、例示的なコンピューティングデバイスのパーツ配置の一例を示す。
【図９】本開示のいくつかの実施形態による、例示的なコンピューティングデバイスのパーツ配置の別の例を示す。
【図１０】図２～３及び図５～７に示される別個のメモリに使用されることができるメモリチップストリングの例を示す。
【図１１】図２～３及び図５～７に示される別個のメモリに使用されることができるメモリチップストリングの例を示す。
【発明を実施するための形態】
【００１５】
本明細書に開示される少なくともいくつかの実施形態は、ＳｏＣ及びアクセラレータチップ（例えば、ＡＩアクセラレータチップ）を接続するメモリチップ（例えば、ＤＲＡＭ）に関する。換言すれば、本明細書に開示される少なくともいくつかの実施形態は、メモリチップを介してアクセラレータチップ（例えば、ＡＩアクセラレータチップ）をＳｏＣに接続することに関する。アクセラレータチップは、メモリチップを介して間接的にＳｏＣと通信する。メモリチップによってＳｏＣ及びアクセラレータチップを接続するメモリチップに置かれるデータは、アクセラレータチップへの要求であると解釈される。また、ＳｏＣは、ＳｏＣ及びアクセラレータチップを接続するメモリチップを、アクセラレータチップに関与しないその動作のために任意選択で使用してもよい。したがって、ＳｏＣ及びアクセラレータチップを接続するメモリチップは、ＳｏＣに使用される目的、及びアクセラレータチップに使用される目的という２つの一般的な目的を有することができる。それらのような実施形態のいくつかの例については、図４～７に示される、第一メモリチップ４０２、アクセラレータチップ４０４、及びＳｏＣ４０６を参照されたい。また、図８～９に示されるＳｏＣ８０６及び特定用途向けコンポーネント８０７を参照されたい。特定用途向けコンポーネント８０７は、デバイス８００及び９００のいくつかの実施形態では、第一メモリチップ４０２及びアクセラレータチップ４０４を含むことができる。
【００１６】
図４～７に示されるように、ＳｏＣ及びアクセラレータチップを接続するメモリチップは、論理的に（場合によっては物理的に）ＳｏＣ及びアクセラレータチップの中間にあることができる。また、ＳｏＣ及びアクセラレータチップの中間にあるアクセラレータ用のメモリチップは、２セットのピンを有する必要がない場合がある。いくつかの実施形態では、アクセラレータチップ及びメモリチップは、物理的に同じバス上にあることができる。ただし、中間にあるメモリチップを使用するいかなる状況でも、ＳｏＣがバスまたは配線を介してアクセラレータチップと直接通信することはない。したがって、ＳｏＣ及びアクセラレータチップを接続するメモリチップは、少なくとも論理的にはアクセラレータチップとＳｏＣとの間にある。また、メモリチップによって提供される、ＳｏＣ及びアクセラレータチップの接続は、論理接続にすぎない場合がある。
【００１７】
ＳｏＣ及びアクセラレータチップを接続するメモリチップは、別個の２セットのピンを含むことができる。１セットは配線を介してアクセラレータチップに直接接続するためのものであり（例えば、図４、５、及び７に示される１セットのピン４１４、及び配線４２４を参照）、もう１セットは配線を介してＳｏＣに直接接続するためのものである（例えば、図４～５に示される１セットのピン４１６、及び配線４２６を参照）。
【００１８】
アクセラレータチップがメモリチップを介してＳｏＣに接続されていると、ＳｏＣについての、一般に、またはより具体的には、いくつかの実施形態では、ＳｏＣに含まれるＧＰＵ（例えば、図４～７に示されるＧＰＵ４０８を参照）についての、特定用途向け計算（ＡＩ計算など）が高速化されることができる。いくつかの実施形態では、ＳｏＣ内のＧＰＵと、ＳｏＣ及びアクセラレータチップを接続するメモリチップとを直接接続すること

ができる。いくつかの実施形態では、ＧＰＵ及びアクセラレータチップを接続するメモリチップは、１セットのピンを含むことができ、この１セットのピン及び配線（例えば、１セットのピン４１４、及び配線４２４を参照）を介してアクセラレータチップに直接接続されることができる。アクセラレータチップは、対応する１セットのピン（例えば、１セットのピン４１５を参照）も含むことができる。そして、ＳｏＣ及びアクセラレータチップを接続するメモリチップは、第二セットのピンを含むことができ、この第二セットのピン及び配線（例えば、１セットのピン４１６、及び配線４２６を参照）を介してＧＰＵに直接接続されることができる。また、ＳｏＣ内のＧＰＵは、１セットのピンを含むことができ、この１セットのピン及び配線（例えば、１セットのピン４１７、及び配線４２６を参照）を介してメモリチップに直接接続されることができる。

【００１９】

本開示の目的のために、本明細書に記載されるアクセラレータチップのいずれか１つが専用アクセラレータチップであること、またはそれを含むこと、またはその一部であることができることを理解されたい。専用アクセラレータチップの例は、低レイテンシまたは高帯域幅のメモリアクセスを提供することができる、人工知能（ＡＩ）アクセラレータチップ、仮想現実アクセラレータチップ、拡張現実アクセラレータチップ、グラフィックスアクセラレータチップ、機械学習アクセラレータチップ、またはいずれかの他のタイプのＡＳＩＣもしくはＦＰＧＡを含むことができる。例えば、本明細書に記載のアクセラレータチップのいずれか１つは、ＡＩアクセラレータチップであること、またはそれを含むこと、またはその一部であることができる。

【００２０】

アクセラレータチップは、人工ニューラルネットワーク、マシンビジョン、及び機械学習を含む、ＡＩアプリケーションのハードウェア高速化のために設計されるマイクロプロセッサチップまたはＳｏＣ自体であることができる。いくつかの実施形態では、アクセラレータチップは、ベクトル及び行列に対して数値計算を実行するように設定される（例えば、ベクトル及び行列に対して数値計算を実行するように設定されることができる、図４に示されるベクトルプロセッサ４１２を参照）。アクセラレータチップは、ＡＳＩＣまたはＦＰＧＡであること、またはそれを含むことができる。アクセラレータチップのＡＳＩＣ実施形態では、アクセラレータチップは、特定用途向け計算（ＡＩ計算など）の高速化に専用のハードワイヤードであることができる。いくつかの他の実施形態では、アクセラレータチップは、変更されていないＦＰＧＡまたはＧＰＵを超えた特定用途向け計算の高速化のために変更されている、変更されたＦＰＧＡまたはＧＰＵであることができる。いくつかの他の実施形態では、アクセラレータチップは、変更されていないＦＰＧＡまたはＧＰＵであることができる。

【００２１】

アクセラレータチップに直接接続されているメモリチップ（例えば、第一メモリチップ４０２を参照）は、システム全体の複数のメモリチップを説明する際に明確にするために、本明細書では特定用途向けメモリチップとも称される。特定用途向けメモリチップは、必ずしも特定用途向け計算（ＡＩ計算など）専用のハードワイヤードであるとは限らない。特定用途向けメモリチップのそれぞれは、ＤＲＡＭチップまたはＮＶＲＡＭチップであることができる。そして、特定用途向けメモリチップのそれぞれは、アクセラレータチップに直接接続されることができ、ＳｏＣまたはアクセラレータチップによって特定用途向けメモリチップが構成された後、アクセラレータによる特定用途向け計算の高速化専用のメモリユニットを含むことができる。

【００２２】

いくつかの実施形態では、ＳｏＣは、メインプロセッサ（例えば、ＣＰＵ）を含むことができる。例えば、図４～７に示されるメインプロセッサ１１０を参照されたい。それらのような実施形態では、ＳｏＣ内のＧＰＵは、特定用途向けタスク及び計算（例えば、ＡＩタスク及び計算）のための命令を実行することができ、メインプロセッサは、非特定用途向けタスク及び計算（例えば、非ＡＩタスク及び計算）のための命令を実行することが

できる。そして、それらのような実施形態では、アクセラレータは、ＧＰＵ専用の特定用途向けタスク及び計算の高速化を提供することができる。また、ＳｏＣは、ＳｏＣのコンポーネントを相互接続する（メインプロセッサ及びＧＰＵを接続するなどの）ための独自のバスを含むことができる。そのうえ、ＳｏＣのバスは、ＳｏＣをＳｏＣの外部のバスに接続するように構成されることができるため、ＳｏＣのコンポーネントは、別個のメモリチップなどのＳｏＣの外部のチップ及びデバイスと結合することができる。

【００２３】

ＧＰＵの非特定用途向け計算及びタスク（例えば、非ＡＩ計算及びタスク）、またはアクセラレータチップを使用しないそれらのような計算及びタスクは、メインプロセッサによって実行される従来のタスクではない可能性があるが、別個のメモリチップなどの別個のメモリ（特定用途向けメモリであることができる）を使用することができる。そして、メモリは、ＤＲＡＭ、ＮＶＲＡＭ、フラッシュメモリ、またはそれらの任意の組み合わせで実装されることができる。例えば、別個のメモリまたはメモリチップを、ＳｏＣの外部のバスを介してＳｏＣ及びメインプロセッサに接続することができる（例えば、図５に示されるメモリ２０４及びバス２０２を参照）。それらのような実施形態では、別個のメモリまたはメモリチップは、メインプロセッサ専用のメモリユニットを有することができる。また、別個のメモリまたはメモリチップを、ＳｏＣの外部のバスを介してＳｏＣ及びＧＰＵに接続することができる（例えば、図５～７に示される第二メモリチップ２０４及びバス２０２を参照）。それらのような実施形態では、別個のメモリまたはメモリチップは、メインプロセッサまたはＧＰＵにメモリユニットを含むことができる。

【００２４】

本開示の目的のために、特定用途向けメモリチップ及び別個のメモリチップがメモリチップストリング（例えば、図１０及び１１に示されるメモリチップストリングを参照）などのメモリチップ群によって各置換されることができることを理解されたい。例えば、別個のメモリチップは、少なくともＮＶＲＡＭチップ及びそのＮＶＲＡＭチップの下流にあるフラッシュメモリチップを含むメモリチップストリングで置換されることができる。また、別個のメモリチップは、少なくとも２つのメモリチップで置換されることができ、これらのチップのうちの１つはメインプロセッサ（例えば、ＣＰＵ）用であり、もう１つのチップは非ＡＩ計算及び／またはタスクのためのメモリとして使用するためのＧＰＵ用である。

【００２５】

さらに、本明細書に開示される少なくともいくつかの実施形態は、ベクトルプロセッサ（例えば、図４～７に示されるベクトルプロセッサ４１２を参照）を有するアクセラレータチップ（例えば、ＡＩアクセラレータチップ）に関する。そして、本明細書に開示される少なくともいくつかの実施形態は、メモリ階層及びメモリチップストリングを使用してメモリを形成することに関する（例えば、図１０及び１１を参照）。

【００２６】

本開示の目的のために、本明細書に記載されるアクセラレータチップのいずれか１つが専用アクセラレータチップであること、またはそれを含むこと、またはその一部であることができることを理解されたい。専用アクセラレータチップの例は、低レイテンシまたは高帯域幅のメモリアクセスを提供することができる、ＡＩアクセラレータチップ、仮想現実アクセラレータチップ、拡張現実アクセラレータチップ、グラフィックスアクセラレータチップ、機械学習アクセラレータチップ、またはいずれかの他のタイプのＡＳＩＣもしくはＦＰＧＡを含むことができる。

【００２７】

図１は、ＳｏＣ及びメモリチップを接続するアクセラレータチップ（例えば、ＡＩアクセラレータチップ）を含む関連システムの一例を示す。

【００２８】

図１は、例示的なシステム１００を示し、このシステムは、ある程度、システム４００に関連している。システム１００は、第一メモリチップ１０４及びＳｏＣ１０６を接続す

るアクセラレータチップ１０２（例えば、ＡＩアクセラレータチップ）を含む。示されるように、ＳｏＣ１０６は、ＧＰＵ１０８及びメインプロセッサ１１０を含む。メインプロセッサ１１０は、ＣＰＵである、またはそれを含むことができる。そして、アクセラレータチップ１０２は、ベクトルプロセッサ１１２を含む。

【００２９】

システム１００では、アクセラレータチップ１０２は、第一セットのピン１１４及び第二セットのピン１１６を含む。第一セットのピン１１４は、配線１２４を介して第一メモリチップ１０４に接続するように構成される。第二セットのピン１１６は、配線１２６を介してＳｏＣ１０６に接続するように構成される。示されるように、第一メモリチップ１０４は、対応する１セットのピン１１５を含み、このセットは、配線１２４を介してメモリチップをアクセラレータチップ１０２に接続する。ＳｏＣ１０６のＧＰＵ１０８は、対応する１セットのピン１１７を含み、このセットは、配線１２６を介してＳｏＣをアクセラレータチップ１０２に接続する。

【００３０】

アクセラレータチップ１０２は、ＳｏＣ１０６の特定用途向け計算（例えば、ＡＩ計算）を実行して高速化するように設定される。また、アクセラレータチップ１０２は、第一メモリチップ１０４を特定用途向け計算のためのメモリとして使用するように構成される。特定用途向け計算の高速化は、ベクトルプロセッサ１１２によって実行されることができる。アクセラレータチップ１０２内のベクトルプロセッサ１１２は、ＳｏＣ１０６についてのベクトル及び行列に対して数値計算を実行するように設定されることができる。アクセラレータチップ１０２は、ＡＳＩＣを含むことができ、このＡＳＩＣは、ベクトルプロセッサ１１２を含み、ベクトルプロセッサ１１２を介して特定用途向け計算（例えば、ＡＩ計算）を高速化するための専用ハードワイヤードである。あるいは、アクセラレータチップ１０２は、ＦＰＧＡを含むことができ、このＦＰＧＡは、ベクトルプロセッサ１１２を含み、ベクトルプロセッサ１１２を介して特定用途向け計算を高速化するための専用ハードワイヤードである。いくつかの実施形態では、アクセラレータチップ１０２は、ＧＰＵを含むことができ、このＧＰＵは、ベクトルプロセッサ１１２を含み、ベクトルプロセッサ１１２を介して特定用途向け計算を高速化するための専用ハードワイヤードである。それらのような実施形態では、ＧＰＵは、ベクトルプロセッサ１１２を介して特定用途向け計算を高速化するための専用に変更されることができる。

【００３１】

示されるように、ＳｏＣ１０６はＧＰＵ１０８を含む。そして、アクセラレータチップ１０２は、ＧＰＵ１０８についての特定用途向け計算（例えば、ＡＩ計算）を実行して高速化するように設定されることができる。例えば、ベクトルプロセッサ１１２は、ＧＰＵ１０８についてのベクトル及び行列に対して数値計算を実行するように設定されることができる。また、ＧＰＵ１０８は、特定用途向けタスク及び計算（例えば、ＡＩタスク及び計算）を実行するように設定されることができる。

【００３２】

また、示されるように、ＳｏＣ１０６は、非ＡＩタスク及び計算を実行するように設定されるメインプロセッサ１１０を含む。

【００３３】

いくつかの実施形態では、メモリチップ１０４はＤＲＡＭチップである。それらのような例では、第一セットのピン１１４は、配線１２４を介してＤＲＡＭチップに接続するように構成されることができる。また、アクセラレータチップ１０２は、特定用途向け計算（例えば、ＡＩ計算）のためのメモリとして、ＤＲＡＭチップ内のＤＲＡＭセルを使用するように構成されることができる。いくつかの他の実施形態では、メモリチップ１０４はＮＶＲＡＭチップである。それらのような実施形態では、第一セットのピン１１４は、配線１２４を介してＮＶＲＡＭチップに接続するように構成されることができる。また、アクセラレータチップ１０２は、特定用途向け計算のためのメモリとして、ＮＶＲＡＭチップ内のＮＶＲＡＭセルを使用するように構成されることができる。さらに、ＮＶＲＡＭチ

ップは、３Ｄ　ＸＰｏｉｎｔメモリチップである、またはそれを含むことができる。それらのような例では、第一セットのピン１１４は、配線１２４を介して３Ｄ　ＸＰｏｉｎｔメモリチップに接続するように構成されることができ、アクセラレータチップ１０２は、３Ｄ　ＸＰｏｉｎｔメモリチップ内の３Ｄ　ＸＰｏｉｎｔメモリセルを、特定用途向け計算のためのメモリとして使用するように構成されることができる。

【００３４】

いくつかの実施形態では、システム１００は、配線を介して第一メモリチップ１０４に接続されるアクセラレータチップ１０２を含み、第一メモリチップ１０４は、特定用途向けメモリチップであることができる。また、システム１００は、ＳｏＣ１０６を含み、このＳｏＣは、ＧＰＵ１０８（ＡＩタスクを実行するように設定されることができる）、及びメインプロセッサ１１０（非ＡＩタスクを実行し、ＡＩタスクをＧＰＵ１０８にデリゲートするように設定されることができる）を含む。それらのような実施形態では、ＧＰＵ１０８は、配線１２６を介してアクセラレータチップ１０２に接続するように構成される１セットのピン１１７を含み、アクセラレータチップ１０２は、ＧＰＵ１０８についてのＡＩタスクのＡＩ計算を実行して高速化するように設定される。

【００３５】

それらのような実施形態では、アクセラレータチップ１０２は、ＧＰＵ１０８についてのベクトル及び行列に対して数値計算を実行するように設定されるベクトルプロセッサ１１２を含むことができる。そして、アクセラレータチップ１０２は、ＡＳＩＣを含み、このＡＳＩＣは、ベクトルプロセッサ１１２を含み、ベクトルプロセッサ１１２を介してＡＩ計算を高速化するための専用ハードワイヤードである。または、アクセラレータチップ１０２は、ＦＰＧＡを含み、このＦＰＧＡは、ベクトルプロセッサ１１２を含み、ベクトルプロセッサ１１２を介してＡＩ計算を高速化するための専用ハードワイヤードである。または、アクセラレータチップ１０２は、ＧＰＵを含み、このＧＰＵは、ベクトルプロセッサ１１２を含み、ベクトルプロセッサ１１２を介してＡＩ計算を高速化するための専用ハードワイヤードである。

【００３６】

また、システム１００は、メモリチップ１０４を含み、アクセラレータチップ１０２は、配線１２４を介してメモリチップ１０４に接続されることができ、ＡＩタスクのＡＩ計算を実行して高速化するように設定されることができる。メモリチップ１０４は、ＤＲＡＭセルを有するＤＲＡＭチップである、またはそれを含むことができ、ＤＲＡＭセルは、アクセラレータチップ１０２によって、ＡＩ計算の高速化のためにデータを格納するように構成されることができる。または、メモリチップ１０４は、ＮＶＲＡＭセルを有するＮＶＲＡＭチップである、もしくはそれを含むことができ、ＮＶＲＡＭセルは、アクセラレータチップ１０２によって、ＡＩ計算の高速化のためにデータを格納するように構成されることができる。ＮＶＲＡＭチップは、３Ｄ　ＸＰｏｉｎｔメモリセルを含むことができ、３Ｄ　ＸＰｏｉｎｔメモリセルは、アクセラレータチップ１０２によって、ＡＩ計算の高速化のためにデータを格納するように構成されることができる。

【００３７】

図２～３は、それぞれ例示的なシステム２００及び３００、ならびに別個のメモリ（ＮＶＲＡＭなど）の例を示し、各システムは、図１に示されるアクセラレータチップ１０２を含む。

【００３８】

図２では、バス２０２は、システム１００（アクセラレータチップ１０２を含む）をメモリ２０４に接続する。メモリ２０４は、いくつかの実施形態ではＮＶＲＡＭであることができ、システム１００の第一メモリチップ１０４のメモリとは別のメモリである。そして、メモリ２０４は、いくつかの実施形態ではメインメモリであることができる。

【００３９】

システム２００では、システム１００のＳｏＣ１０６は、バス２０２を介してメモリ２０４に接続される。そして、システム２００の一部としてのシステム１００は、アクセラ

レータチップ１０２、第一メモリチップ１０４、及びＳｏＣ１０６を含む。システム１００のこれらのパーツは、バス２０２を介してメモリ２０４に接続される。また、図２に示されるように、ＳｏＣ１０６に含まれるメモリコントローラ２０６は、システム１００のＳｏＣ１０６によるメモリ２０４のデータアクセスを制御する。例えば、メモリコントローラ２０６は、ＧＰＵ１０８及び／またはメインプロセッサ１１０によるメモリ２０４のデータアクセスを制御する。いくつかの実施形態では、メモリコントローラ２０６は、システム２００内のすべてのメモリのデータアクセス（第一メモリチップ１０４及びメモリ２０４のデータアクセスなど）を制御することができる。そして、メモリコントローラ２０６は、第一メモリチップ１０４及び／またはメモリ２０４に通信可能に結合されることができる。

【００４０】

メモリ２０４は、システム１００の第一メモリチップ１０４によって提供されるメモリとは別のメモリであり、それは、メモリコントローラ２０６及びバス２０２を介して、ＳｏＣ１０６のＧＰＵ１０８及びメインプロセッサ１１０にメモリとして使用されることができる。また、メモリ２０４は、ＧＰＵ１０８及びメインプロセッサ１１０に、アクセラレータチップ１０２によって実行されない非特定用途向けタスクまたは特定用途向けタスク（非ＡＩタスクまたはＡＩタスクなど）のためのメモリとして使用されることができる。それらのようなタスクについてのデータは、メモリコントローラ２０６及びバス２０２を介してメモリ２０４によってアクセスされ、そのメモリとの間で通信されることができる。

【００４１】

いくつかの実施形態では、メモリ２０４は、システム２００をホストするデバイスなどのデバイスのメインメモリである。例えば、システム２００では、メモリ２０４は、図８に示されるメインメモリ８０８であることができる。

【００４２】

図３では、バス２０２は、システム１００（アクセラレータチップ１０２を含む）をメモリ２０４に接続する。また、システム３００では、バス２０２は、アクセラレータチップ１０２をＳｏＣ１０６に接続し、アクセラレータチップ１０２をメモリ２０４に接続する。そのうえ示されるように、システム３００では、バス２０２は、アクセラレータチップの第二セットのピン１１６、ならびにＳｏＣ１０６及びＧＰＵ１０８の配線１２６及び１セットのピン１１７の代わりをする。システム３００内のアクセラレータチップ１０２は、システム２００と同様に、システム１００の第一メモリチップ１０４及びＳｏＣ１０６を接続する。ただし、この接続は、第一セットのピン１１４、及びバス２０２を介する。

【００４３】

また、システム２００と同様に、システム３００では、メモリ２０４は、システム１００の第一メモリチップ１０４のメモリとは別のメモリである。システム３００では、システム１００のＳｏＣ１０６は、バス２０２を介してメモリ２０４に接続される。そして、システム３００では、システム３００の一部としてのシステム１００は、アクセラレータチップ１０２、第一メモリチップ１０４、及びＳｏＣ１０６を含む。システム１００のこれらのパーツは、システム３００では、バス２０２を介してメモリ２０４に接続される。また、図３に示されるものと同様に、ＳｏＣ１０６に含まれるメモリコントローラ２０６は、システム１００のＳｏＣ１０６によるメモリ２０４のデータアクセスを制御する。いくつかの実施形態では、メモリコントローラ２０６は、システム３００内のすべてのメモリのデータアクセス（第一メモリチップ１０４及びメモリ２０４のデータアクセスなど）を制御することができる。そして、メモリコントローラは、第一メモリチップ１０４及び／またはメモリ２０４に接続されることができる。そして、メモリコントローラ２０６は、第一メモリチップ１０４及び／またはメモリ２０４に通信可能に結合されることができる。

【００４４】

また、システム３００では、メモリ２０４（いくつかの実施形態ではＮＶＲＡＭである

ことができる）は、システム１００の第一メモリチップ１０４によって提供されるメモリとは別のメモリであり、それは、メモリコントローラ２０６及びバス２０２を介して、ＳｏＣ１０６のＧＰＵ１０８及びメインプロセッサ１１０にメモリとして使用されることができる。さらに、アクセラレータチップ１０２は、いくつかの実施形態及び状況では、バス２０２を介してメモリ２０４を使用することができる。そして、メモリ２０４は、ＧＰＵ１０８及びメインプロセッサ１１０に、アクセラレータチップ１０２によって実行されない非特定用途向けタスクまたは特定用途向けタスク（非ＡＩタスクまたはＡＩタスクなど）のためのメモリとして使用されることができる。それらのようなタスクについてのデータは、メモリコントローラ２０６及び／またはバス２０２を介してメモリ２０４によってアクセスされ、そのメモリとの間で通信されることができる。

【００４５】

いくつかの実施形態では、メモリ２０４は、システム３００をホストするデバイスなどのデバイスのメインメモリである。例えば、システム３００では、メモリ２０４は、図９に示されるメインメモリ８０８であることができる。

【００４６】

図４は、本開示のいくつかの実施形態による、アクセラレータチップ４０４（例えば、ＡＩアクセラレータチップ）及びＳｏＣ４０６を接続する第一メモリチップ４０２を含むシステム４００の一例を示す。示されるように、ＳｏＣ４０６は、ＧＰＵ４０８及びメインプロセッサ１１０を含む。メインプロセッサ１１０は、システム４００内のＣＰＵである、またはこのＣＰＵを含むことができる。そして、アクセラレータチップ４０４はベクトルプロセッサ４１２を含む。

【００４７】

システム４００では、メモリチップ４０２は、第一セットのピン４１４及び第二セットのピン４１６を含む。第一セットのピン４１４は、配線４２４を介してアクセラレータチップ４０４に接続するように構成される。第二セットのピン４１６は、配線４２６を介してＳｏＣ４０６に接続するように構成される。示されるように、アクセラレータチップ４０４は、対応する１セットのピン４１５を含み、このセットは、配線４２４を介して第一メモリチップ４０２をアクセラレータチップに接続する。ＳｏＣ４０６のＧＰＵ４０８は、対応する１セットのピン４１７を含み、このセットは、配線４２６を介してＳｏＣを第一メモリチップ４０２に接続する。

【００４８】

第一メモリチップ４０２は、第二セットのピン４１６を介してＳｏＣ４０６から受信する計算入力データ（例えば、ＡＩ計算入力データ）を格納して提供するように構成される複数の第一メモリセルを含み、この計算入力データは、計算入力（例えば、ＡＩ計算入力）としてアクセラレータチップ４０４によって使用される。計算入力データは、複数の第一メモリセルからアクセスされ、第一メモリチップ４０２から、第一セットのピン４１４を介して送信され、アクセラレータチップ４０４によって受信されて使用される。複数の第一メモリセルは、ＤＲＡＭセル及び／またはＮＶＲＡＭセルを含むことができる。ＮＶＲＡＭセルを有する例では、ＮＶＲＡＭセルは、３Ｄ　ＸＰｏｉｎｔメモリセルである、または３Ｄ　ＸＰｏｉｎｔメモリセルを含むことができる。

【００４９】

また、第一メモリチップ４０２は、第一セットのピン４１４を介してアクセラレータチップ４０４から受信する計算出力データ（例えば、ＡＩ計算出力データ）を格納して提供するように構成される複数の第二メモリセルを含み、この計算出力データは、ＳｏＣ４０６によって取得される、または計算入力（例えば、ＡＩ計算入力）としてアクセラレータチップ４０４によって再使用される。計算出力データは、複数の第二メモリセルからアクセスされ、第一メモリチップ４０２から、第一セットのピン４１４を介して送信され、アクセラレータチップ４０４によって受信されて使用されることができる。また、計算出力データは、複数の第二メモリセルからアクセスされ、ＳｏＣ４０６またはＳｏＣ内のＧＰＵ４０８から、第二セットのピン４１６を介して送信され、ＳｏＣまたはＳｏＣ内のＧＰ

Ｕによって受信されて使用されることができる。複数の第二メモリセルは、ＤＲＡＭセル及び／またはＮＶＲＡＭセルを含むことができる。ＮＶＲＡＭセルを有する例では、ＮＶＲＡＭセルは、３Ｄ　ＸＰｏｉｎｔメモリセルである、または３Ｄ　ＸＰｏｉｎｔメモリセルを含むことができる。

【００５０】

また、第一メモリチップ４０２は、１セットのピン４１６を介してＳｏＣ４０６から受信する非ＡＩタスクに関連する非ＡＩデータを格納するように構成される複数の第三メモリセルを含み、この非ＡＩデータは非ＡＩタスクのためのＳｏＣ４０６によって取得される。非ＡＩデータは、複数の第三メモリセルからアクセスされ、第一メモリチップ４０２から第二セットのピン４１６を介して送信され、ＳｏＣ４０６、ＳｏＣ内のＧＰＵ４０８、またはＳｏＣ内のメインプロセッサ１１０によって受信されて使用されることができる。複数の第三メモリセルは、ＤＲＡＭセル及び／またはＮＶＲＡＭセルを含むことができる。ＮＶＲＡＭセルを有する例では、ＮＶＲＡＭセルは、３Ｄ　ＸＰｏｉｎｔメモリセルである、または３Ｄ　ＸＰｏｉｎｔメモリセルを含むことができる。

【００５１】

アクセラレータチップ４０４は、ＳｏＣ４０６についての特定用途向け計算（例えば、ＡＩ計算）を実行して高速化するように設定される。また、アクセラレータチップ４０４は、第一メモリチップ４０２を特定用途向け計算のためのメモリとして使用するように構成される。特定用途向け計算の高速化は、ベクトルプロセッサ４１２によって実行されることができる。アクセラレータチップ４０４内のベクトルプロセッサ４１２は、ＳｏＣ４０６についてのベクトル及び行列に対して数値計算を実行するように設定されることができる。例えば、ベクトルプロセッサ４１２は、複数の第一メモリセル及び複数の第二メモリセルをメモリとして使用して、ＳｏＣ４０６についてのベクトル及び行列に対して数値計算を実行するように設定されることができる。

【００５２】

アクセラレータチップ４０４は、ＡＳＩＣを含むことができ、このＡＳＩＣは、ベクトルプロセッサ４１２を含み、ベクトルプロセッサ４１２を介して特定用途向け計算（例えば、ＡＩ計算）を高速化するための専用ハードワイヤードである。あるいは、アクセラレータチップ４０４は、ＦＰＧＡを含むことができ、このＦＰＧＡは、ベクトルプロセッサ４１２を含み、ベクトルプロセッサ４１２を介して特定用途向け計算を高速化するための専用ハードワイヤードである。いくつかの実施形態では、アクセラレータチップ４０４は、ＧＰＵを含むことができ、このＧＰＵは、ベクトルプロセッサ４１２を含み、ベクトルプロセッサ４１２を介して特定用途向け計算を高速化するための専用ハードワイヤードである。それらのような実施形態では、ＧＰＵは、ベクトルプロセッサ４１２を介して特定用途向け計算を高速化するため、専用に変更されることができる。

【００５３】

示されるように、ＳｏＣ４０６はＧＰＵ４０８を含む。そして、アクセラレータチップ４０２は、ＧＰＵ４０８についての特定用途向け計算を実行して高速化するように設定されることができる。例えば、ベクトルプロセッサ４１２は、ＧＰＵ４０８についてのベクトル及び行列に対して数値計算を実行するように設定されることができる。また、ＧＰＵ４０８は、特定用途向けタスク及び計算を実行するように設定されることができる。また、示されるように、ＳｏＣ４０６は、非ＡＩタスク及び計算を実行するように設定されるメインプロセッサ１１０を含む。

【００５４】

いくつかの実施形態では、システム４００は、メモリチップ４０２、アクセラレータチップ４０４、及びＳｏＣ４０６を含み、メモリチップ４０２は、配線４２４を介してアクセラレータチップ４０４に接続するように構成される第一セットのピン４１４、及び配線４２６を介してＳｏＣ４０６に接続するように構成される第二セットのピン４１６を少なくとも含む。そして、メモリチップ４０２は、１セットのピン４１６を介してＳｏＣ４０６から受信するＡＩ計算入力データを格納して提供するように構成される複数の第一メモ

リセルであって、このＡＩ計算入力データはＡＩ計算入力としてアクセラレータチップ４０４によって使用される、これら複数の第一メモリセルと、他のセットのピン４１４を介してアクセラレータチップ４０４から受信するＡＩ計算出力データを格納して提供するように構成される複数の第二メモリセルであって、このＡＩ計算出力データはＳｏＣ４０６によって取得される、またはＡＩ計算入力としてアクセラレータチップ４０４によって再使用される、これら複数の第二メモリセルと、を含むことができる。そして、メモリチップ４０２は、非ＡＩ計算のためのメモリに使用される複数の第三セルを含むことができる。

【００５５】

また、ＳｏＣ４０６は、ＧＰＵ４０８を含み、アクセラレータチップ４０４は、複数の第一メモリセル及び複数の第二メモリセルをメモリとして使用して、ＧＰＵ４０８についてのＡＩ計算を実行して高速化するように設定されることができる。そして、アクセラレータチップ４０４はベクトルプロセッサ４１２を含み、このベクトルプロセッサは、複数の第一メモリセル及び複数の第二メモリセルをメモリとして使用して、ＳｏＣ４０６についてのベクトル及び行列に対して数値計算を実行するように設定されることができる。

【００５６】

また、システム４００では、メモリチップ４０２内の複数の第一メモリセルは、１セットのピン４１６を介してＳｏＣ４０６から受信するＡＩ計算入力データを格納して提供するように構成され、このＡＩ計算入力データは、ＡＩ計算入力としてアクセラレータチップ４０４（例えば、ＡＩアクセラレータチップ）によって使用されることができる。そして、メモリチップ４０２内の複数の第二メモリセルは、他のセットのピン４１４を介してアクセラレータチップ４０４から受信するＡＩ計算出力データを格納して提供するように構成され、このＡＩ計算出力データは、ＳｏＣ４０６によって取得される、またはＡＩ計算入力としてアクセラレータチップ４０４によって再使用されることができる。そして、メモリチップ４０２内の複数の第三メモリセルは、１セットのピン４１６を介してＳｏＣ４０６から受信する非ＡＩタスクに関連する非ＡＩデータを格納するように構成され、この非ＡＩデータは、非ＡＩタスクのためのＳｏＣ４０６によって取得されることができる。

【００５７】

メモリチップ４０２内の複数の第一メモリセル、複数の第二メモリセル、及び複数の第三メモリセルは、それぞれ、ＤＲＡＭセル及び／またはＮＶＲＡＭセルを含むことができ、ＮＶＲＡＭセルは３Ｄ　ＸＰｏｉｎｔメモリセルを含むことができる。

【００５８】

図５～７は、それぞれシステム５００、６００、及び７００、ならびに別個のメモリの例を示し、各システムは、図４に示されるメモリチップ４０２を含む。

【００５９】

図５では、バス２０２は、システム４００（メモリチップ４０２及びアクセラレータチップ４０４を含む）をメモリ２０４に接続する。メモリ２０４（例えば、ＮＶＲＡＭ）は、システム４００の第一メモリチップ４０２のメモリとは別のメモリである。そして、メモリ２０４はメインメモリであることができる。

【００６０】

システム５００では、システム４００のＳｏＣ４０６は、バス２０２を介してメモリ２０４に接続される。そして、システム５００の一部としてのシステム４００は、第一メモリチップ４０２、アクセラレータチップ４０４、及びＳｏＣ４０６を含む。システム４００のこれらのパーツは、バス２０２を介してメモリ２０４に接続される。また、図５に示されるように、ＳｏＣ４０６に含まれるメモリコントローラ２０６は、システム４００のＳｏＣ４０６によるメモリ２０４のデータアクセスを制御する。例えば、メモリコントローラ２０６は、ＧＰＵ４０８及び／またはメインプロセッサ１１０によるメモリ２０４のデータアクセスを制御する。いくつかの実施形態では、メモリコントローラ２０６は、システム５００内のすべてのメモリのデータアクセス（第一メモリチップ４０２及びメモリ２０４のデータアクセスなど）を制御することができる。そして、メモリコントローラ２０６は、第一メモリチップ４０２及び／またはメモリ２０４に通信可能に結合されること

ができる。
【００６１】
メモリ２０４は、システム４００の第一メモリチップ４０２によって提供されるメモリとは別のメモリであり、それは、メモリコントローラ２０６及びバス２０２を介して、ＳｏＣ４０６のＧＰＵ４０８及びメインプロセッサ１１０にメモリとして使用されることができる。また、メモリ２０４は、ＧＰＵ４０８及びメインプロセッサ１１０に、アクセラレータチップ４０４によって実行されない非特定用途向けタスクまたは特定用途向けタスク（非ＡＩタスクまたはＡＩタスクなど）のためのメモリとして使用されることができる。それらのようなタスクについてのデータは、メモリコントローラ２０６及びバス２０２を介してメモリ２０４によってアクセスされ、そのメモリとの間で通信されることができる。
【００６２】
いくつかの実施形態では、メモリ２０４は、システム５００をホストするデバイスなどのデバイスのメインメモリである。例えば、システム５００では、メモリ２０４は、図８に示されるメインメモリ８０８であることができる。
【００６３】
図６では、図５と同様に、バス２０２は、システム４００（メモリチップ４０２及びアクセラレータチップ４０４を含む）をメモリ２０４に接続する。システム５００及び７００に関してシステム６００に一意である、第一メモリチップ４０２は、単一セットのピン６０２を含み、この単一セットのピンは、アクセラレータチップ４０４及びＳｏＣ４０６の両方にそれぞれ配線６１４及び６１６を介して第一メモリチップ４０２を直接接続する。また示されるように、システム６００では、アクセラレータチップ４０４は、配線６１４を介してアクセラレータチップ４０４を第一メモリチップ４０２に直接接続する単一セットのピン６０４を含む。さらに、システム６００では、ＳｏＣのＧＰＵは、配線６０６を介してＳｏＣ４０６を第一メモリチップ４０２に直接接続する１セットのピン６０６を含む。
【００６４】
システム６００では、システム４００のＳｏＣ４０６は、バス２０２を介してメモリ２０４に接続される。そして、システム６００の一部としてのシステム４００は、第一メモリチップ４０２、アクセラレータチップ４０４、及びＳｏＣ４０６を含む。システム４００のこれらのパーツは、バス２０２を介してメモリ２０４に接続される（例えば、アクセラレータチップ４０４及び第一メモリチップ４０２はＳｏＣ４０６及びバス２０２を介したメモリ２０４への間接接続を有し、ＳｏＣ４０６はバス２０２を介したメモリ２０４への直接接続を有する）。また、図６に示されるように、ＳｏＣ４０６に含まれるメモリコントローラ２０６は、システム４００のＳｏＣ４０６によるメモリ２０４のデータアクセスを制御する。例えば、メモリコントローラ２０６は、ＧＰＵ４０８及び／またはメインプロセッサ１１０によるメモリ２０４のデータアクセスを制御する。いくつかの実施形態では、メモリコントローラ２０６は、システム６００内のすべてのメモリのデータアクセス（第一メモリチップ４０２及びメモリ２０４のデータアクセスなど）を制御することができる。そして、メモリコントローラ２０６は、第一メモリチップ４０２及び／またはメモリ２０４に通信可能に結合されることができる。
【００６５】
メモリ２０４は、システム４００の第一メモリチップ４０２によって提供されるメモリとは別のメモリ（例えば、ＮＶＲＡＭ）であり、それは、メモリコントローラ２０６及びバス２０２を介して、ＳｏＣ４０６のＧＰＵ４０８及びメインプロセッサ１１０にメモリとして使用されることができる。また、メモリ２０４は、ＧＰＵ４０８及びメインプロセッサ１１０に、アクセラレータチップ４０４によって実行されない非特定用途向けタスクまたは特定用途向けタスク（非ＡＩタスクまたはＡＩタスクなど）のためのメモリとして使用されることができる。それらのようなタスクについてのデータは、メモリコントローラ２０６及びバス２０２を介してメモリ２０４によってアクセスされ、そのメモリとの間

で通信されることができる。

【００６６】

いくつかの実施形態では、メモリ２０４は、システム６００をホストするデバイスなどのデバイスのメインメモリである。例えば、システム６００では、メモリ２０４は、図８に示されるメインメモリ８０８であることができる。

【００６７】

図７では、バス２０２は、システム４００（メモリチップ４０２及びアクセラレータチップ４０４を含む）をメモリ２０４に接続する。また、システム７００では、バス２０２は、第一メモリチップ４０２をＳｏＣ４０６に接続するだけでなく、第一メモリチップ４０２をメモリ２０４にも接続する。そのうえ示されるように、システム７００では、バス２０２は、第一メモリチップ４０２の第二セットのピン４１６、ならびにＳｏＣ４０６及びＧＰＵ４０８の配線４２６及び１セットのピン４１７の代わりをする。システム７００内の第一メモリチップ４０２は、システム５００及び６００と同様に、システム４００のアクセラレータチップ４０４及びＳｏＣ４０６を接続する。ただし、この接続は、第一セットのピン４１４、及びバス２０２を介する。

【００６８】

また、システム５００及び６００と同様に、システム７００では、メモリ２０４は、システム４００の第一メモリチップ４０２のメモリとは別のメモリである。システム７００では、システム４００のＳｏＣ４０６は、バス２０２を介してメモリ２０４に接続される。そしてシステム７００では、システム７００の一部としてのシステム４００は、第一メモリチップ４０２、アクセラレータチップ４０４、及びＳｏＣ４０６を含む。システム４００のこれらのパーツは、システム７００では、バス２０２を介してメモリ２０４に接続される。また、図７に示されるものと同様に、ＳｏＣ４０６に含まれるメモリコントローラ２０６は、システム４００のＳｏＣ４０６によるメモリ２０４のデータアクセスを制御する。いくつかの実施形態では、メモリコントローラ２０６は、システム７００内のすべてのメモリのデータアクセス（第一メモリチップ４０２及びメモリ２０４のデータアクセスなど）を制御することができる。そして、メモリコントローラ２０６は、第一メモリチップ４０２及び／またはメモリ２０４に通信可能に結合されることができる。

【００６９】

またシステム７００では、メモリ２０４は、システム４００の第一メモリチップ４０２によって提供されるメモリとは別のメモリ（例えば、ＮＶＲＡＭ）であり、それは、メモリコントローラ２０６及びバス２０２を介して、ＳｏＣ４０６のＧＰＵ４０８及びメインプロセッサ１１０にメモリとして使用されることができる。さらに、アクセラレータチップ４０４は、いくつかの実施形態及び状況では、第一メモリチップ４０２及びバス２０２を介してメモリ２０４を使用することができる。それらのような例では、第一メモリチップ４０２は、アクセラレータチップ４０４及びメモリ２０４についてのキャッシュを含むことができる。そして、メモリ２０４は、ＧＰＵ４０８及びメインプロセッサ１１０に、アクセラレータチップ４０４によって実行されない非特定用途向けタスクまたは特定用途向けタスク（非ＡＩタスクまたはＡＩタスクなど）のためのメモリとして使用されることができる。それらのようなタスクについてのデータは、メモリコントローラ２０６及び／またはバス２０２を介してメモリ２０４によってアクセスされ、そのメモリとの間で通信されることができる。

【００７０】

いくつかの実施形態では、メモリ２０４は、システム７００をホストするデバイスなどのデバイスのメインメモリである。例えば、システム７００では、メモリ２０４は、図９に示されるメインメモリ８０８であることができる。

【００７１】

本明細書に開示されるアクセラレータチップの実施形態（例えば、図１～３及び図４～７にそれぞれ示されるアクセラレータチップ１０２及びアクセラレータチップ４０４を参照）は、マイクロプロセッサチップまたはＳｏＣなどであることができる。アクセラレー

タチップの実施形態は、人工ニューラルネットワーク、マシンビジョン、及び機械学習を含む、ＡＩアプリケーションのハードウェア高速化のために設計されることができる。いくつかの実施形態では、アクセラレータチップ（例えば、ＡＩアクセラレータチップ）は、ベクトル及び行列に対して数値計算を実行するように設定されることができる。それらのような実施形態では、アクセラレータチップは、ベクトル及び行列に対して数値計算を実行するベクトルプロセッサを含むことができる（例えば、ベクトル及び行列に対して数値計算を実行するように設定されることができる、図１～３及び図４～７にそれぞれ示されるベクトルプロセッサ１１２及び４１２を参照）。

【００７２】

本明細書に開示されるアクセラレータチップの実施形態は、ＡＳＩＣもしくはＦＰＧＡである、またはそれを含むことができる。アクセラレータチップのＡＳＩＣ実施形態では、アクセラレータチップは、特定用途向け計算（ＡＩ計算など）の高速化に専用のハードワイヤードである。いくつかの他の実施形態では、アクセラレータチップは、変更されていないＦＰＧＡまたはＧＰＵを超えた特定用途向け計算（ＡＩ計算など）の高速化のために変更されている、変更されたＦＰＧＡまたはＧＰＵであることができる。いくつかの他の実施形態では、アクセラレータチップは、変更されていないＦＰＧＡまたはＧＰＵであることができる。

【００７３】

本明細書に説明されているＡＳＩＣは、特定用途向け計算（ＡＩ計算など）の高速化など、特定の使用または用途にカスタマイズされているＩＣを含むことができる。これは、ＣＰＵ、または一般にグラフィックス処理のためのものであるＧＰＵなどの別のタイプの汎用プロセッサによって通常実装される汎用用途とは異なる。

【００７４】

本明細書に記載のＦＰＧＡは、ＩＣ及びＦＰＧＡの製造後に設計される、及び／または設定されるＩＣに含まれることができる。したがって、ＩＣ及びＦＰＧＡはフィールドプログラマブルである。ＦＰＧＡ設定は、ハードウェア記述言語（ＨＤＬ）を使用して指定されることができる。同様に、ＡＳＩＣ設定はＨＤＬを使用して指定されることができる。

【００７５】

本明細書で説明されるＧＰＵは、ＩＣを含み、このＩＣは、メモリを迅速に操作して変更し、表示装置に出力されるフレームバッファ内の画像の生成及び更新を高速化するように設定されることができる。そして、本明細書で説明されるシステムは、ＧＰＵに接続される表示装置、ならびに表示装置及びＧＰＵに接続されるフレームバッファを含むことができる。本明細書に説明されるＧＰＵは、組み込みシステム、モバイルデバイス、パーソナルコンピュータ、ワークステーション、もしくはゲームコンソールの一部、または表示装置に接続され、この表示装置を使用する任意のデバイスであることができる。

【００７６】

本明細書に記載のマイクロプロセッサチップの実施形態は、それぞれ、少なくとも中央処理装置の機能を組み込む１つ以上の集積回路である。各マイクロプロセッサチップは、多目的であり、少なくともクロック及びレジスタを含むことができ、これらのクロック及びレジスタは、入力としてバイナリデータを受け入れ、マイクロプロセッサチップに接続されたメモリに格納された命令に従ってレジスタ及びクロックを使用してデータを処理することによってチップを実装する。データを処理すると、マイクロプロセッサチップは入力及び命令の結果を出力として提供することができる。そして、この出力は、マイクロプロセッサチップに接続されたメモリに提供されることができる。

【００７７】

本明細書で説明されるＳｏＣの実施形態は、それぞれ、コンピュータまたは他の電子システムのコンポーネントを集積する１つ以上の集積回路である。いくつかの実施形態では、ＳｏＣは単一のＩＣである。他の実施形態では、ＳｏＣは、分離され接続された集積回路を含むことができる。いくつかの実施形態では、ＳｏＣは、独自のＣＰＵ、メモリ、入出力ポート、セカンダリストレージ、またはそれらの任意の組み合わせを含むことができ

る。それらのような１つ以上のパーツは、本明細書で説明されるＳｏＣ内の単一の基板またはマイクロプロセッサチップ上にあることができる。いくつかの実施形態では、ＳｏＣは、２５セント硬貨、５セント硬貨、または１０セント硬貨よりも小さい。ＳｏＣのいくつかの実施形態は、モバイルデバイス（スマートフォンまたはタブレットコンピュータなど）、組み込みシステム、またはモノのインターネット内のデバイスの一部であることができる。一般に、ＳｏＣは、機能に基づいてコンポーネントを分離させてこれらのコンポーネントを、中央のインタフェース回路基板を介して接続するマザーボードベースのアーキテクチャを有するシステムとは異なる。

【００７８】

アクセラレータチップ（例えば、ＡＩアクセラレータチップ）に直接接続される、本明細書に記載のメモリチップの実施形態（例えば、図１～３に示される第一メモリチップ１０４、または図４～７に示される第一メモリチップ４０２を参照）は、システム全体の複数のメモリチップを説明するときに明確にするために、本明細書では特定用途向けメモリチップとも称される。本明細書に記載される特定用途向けメモリチップは、必ずしも特定用途向け計算（ＡＩ計算など）専用のハードワイヤードであるとは限らない。特定用途向けメモリチップのそれぞれは、ＤＲＡＭチップもしくはＮＶＲＡＭチップ、またはＤＲＡＭチップかＮＶＲＡＭチップかいずれかと同様の機能を有するメモリデバイスであることができる。そして、特定用途向けメモリチップのそれぞれは、アクセラレータチップ（例えば、ＡＩアクセラレータチップ、例えば、図１～３に示されるアクセラレータチップ１０２、及び図４～７に示されるアクセラレータチップ４０４を参照）に直接接続されることができ、特定用途向けメモリチップがアクセラレータチップまたは別個のＳｏＣもしくはプロセッサ（例えば、図１～３及び図４～７にそれぞれ示されるＳｏＣ１０６及び４０６を参照）によって構成された後、アクセラレータチップによって特定用途向け計算（ＡＩ計算など）の高速化専用のメモリユニットまたはセルを含むことができる。

【００７９】

本明細書で説明されるＤＲＡＭチップは、コンデンサ及びトランジスタ（ＭＯＳＦＥＴなど）を有するメモリセルまたはユニットにデータの各ビットを格納するランダムアクセスメモリを含むことができる。本明細書で説明されるＤＲＡＭチップは、ＩＣチップの形態を取り、数十億個のＤＲＡＭメモリユニットまたはセルを含むことができる。各ユニットまたはセルでは、コンデンサは充電されるか、放電されるかいずれかであることができる。これにより、１ビットの中の２値を表すために使用される２つのステートを提供することができる。コンデンサでの電荷はコンデンサから緩徐に漏れる可能性があるため、コンデンサ及びメモリユニットのステートを維持するには、コンデンサ内のデータを定期的にリライトする外部メモリリフレッシュ回路が必要である。また、ＤＲＡＭは、電源が切断されるとすぐにそのデータを失うという点で、揮発性メモリであり、フラッシュメモリまたはＮＶＲＡＭなどの不揮発性メモリではない。ＤＲＡＭチップの利点は、低コストで大容量のコンピュータメモリを必要とするデジタル電子機器でＤＲＡＭチップが使用されることができることである。ＤＲＡＭは、ＧＰＵ専用のメインメモリまたはメモリとして使用するのにも役立つ。

【００８０】

本明細書に説明されるＮＶＲＡＭチップは、ＤＲＡＭとの主な差別化特徴である不揮発性のランダムアクセスメモリを含むことができる。本明細書で説明される実施形態に使用されることができるＮＶＲＡＭユニットまたはセルの一例は、３Ｄ　ＸＰｏｉｎｔユニットまたはセルを含むことができる。３Ｄ　ＸＰｏｉｎｔユニットまたはセルでは、ビットストレージは、積層可能な交差格子状データアクセスアレイと組み合わせて、バルク抵抗の変化に基づく。

【００８１】

本明細書で説明されるＳｏＣの実施形態は、メインプロセッサ（ＣＰＵまたはＣＰＵを含むメインプロセッサなど）を含むことができる。例えば、図１～３に示されるＳｏＣ１０６、及び図４～７に示されるＳｏＣ４０６だけでなく、図１～７に示されるメインプロ

セッサ１１０も参照されたい。それらのような実施形態では、ＳｏＣ内のＧＰＵ（例えば、図１～３に示されるＧＰＵ１０８、及び図４～７に示されるＧＰＵ４０８を参照）は、特定用途向けタスク及び計算（ＡＩタスク及び計算など）のための命令を実行することができ、メインプロセッサは、非特定用途向けタスク及び計算（非ＡＩタスク及び計算など）のための命令を実行することができる。そして、それらのような実施形態では、ＳｏＣに接続されるアクセラレータチップ（例えば、図１～７に示されるアクセラレータチップのいずれか１つを参照）は、ＧＰＵ専用の特定用途向けタスク及び計算（ＡＩタスク及び計算など）の高速化を提供することができる。本明細書で説明されるＳｏＣの実施形態のそれぞれは、ＳｏＣのコンポーネントを相互接続する（メインプロセッサ及びＧＰＵを接続するなどの）ために独自のバスを含むことができる。また、ＳｏＣのバスは、ＳｏＣをＳｏＣの外部のバスに接続するように構成されることができるため、ＳｏＣのコンポーネントは、別のメモリまたはメモリチップ（例えば、図２～３及び図５～７に示されるメモリ２０４、ならびに図８～９に示されるメインメモリ８０８を参照）などのＳｏＣの外部のチップ及びデバイスと結合することができる。

【００８２】

ＧＰＵの非特定用途向け計算及びタスク（例えば、非ＡＩ計算及びタスク）、またはアクセラレータチップを使用しない特定用途向け計算及びタスク（例えば、ＡＩ計算及びタスク）は、メインプロセッサによって実行される従来のタスクではない可能性があるが、別個のメモリチップなどの別個のメモリ（特定用途向けメモリであることができる）を使用することができ、このメモリは、ＤＲＡＭ、ＮＶＲＡＭ、フラッシュメモリ、またはそれらの任意の組み合わせによって実装されることができる。例えば、図２～３及び図５～７に示されるメモリ２０４だけでなく、図８～９に示されるメインメモリ８０８も参照されたい。別個のメモリまたはメモリチップは、ＳｏＣの外部のバスを介してＳｏＣ及びメインプロセッサ（例えば、ＣＰＵ）に接続されることができる（例えば、図２～３及び図５～７に示されるメモリ２０４だけでなく、図８～９に示されるメインメモリ８０８も参照、そして図２～３及び図５～７に示されるバス２０２だけでなく、図８～９に示されるバス８０４も参照）。それらのような実施形態では、別個のメモリまたはメモリチップは、メインプロセッサ専用のメモリユニットを有することができる。また、別個のメモリまたはメモリチップは、ＳｏＣの外部のバスを介してＳｏＣ及びＧＰＵに接続されることができる。それらのような実施形態では、別個のメモリまたはメモリチップは、メインプロセッサまたはＧＰＵにメモリユニットまたはセルを含むことができる。

【００８３】

本開示の目的のために、本明細書に記載の特定用途向けメモリまたはメモリチップ（例えば、図１～３に示される第一メモリチップ１０４または図４～７に示される第一メモリチップ４０２を参照）、及び本明細書に記載の別個のメモリまたはメモリチップ（例えば、図２～３及び図５～７に示されるメモリ２０４だけでなく、図８～９に示されるメインメモリ８０８も参照）がそれぞれ、メモリチップストリング（例えば、図１０及び１１に示されるメモリチップストリングを参照）などのメモリチップ群で置換されることができることを理解されたい。例えば、別個のメモリまたはメモリチップは、少なくともＮＶＲＡＭチップ及びそのＮＶＲＡＭチップの下流にあるフラッシュメモリチップを含むメモリチップストリングで置換されることができる。また、別個のメモリチップは、少なくとも２つのメモリチップで置換されることができ、これらのチップのうちの１つはメインプロセッサ（例えば、ＣＰＵ）用であり、もう１つのチップは非ＡＩ計算及び／またはタスクのためのメモリとして使用するためのＧＰＵ用である。

【００８４】

本明細書に記載のメモリチップの実施形態は、メインメモリの一部であることができる、及び／またはコンピュータでの即時使用のために、または本明細書に記載のプロセッサのいずれか１つ（例えば、本明細書に記載の任意のＳｏＣまたはアクセラレータチップ）による即時使用のために情報を格納するコンピュータハードウェアであることができる。本明細書に説明されるメモリチップは、コンピュータストレージよりも高速で動作するこ

とができる。コンピュータストレージによって、情報にアクセスする速度が遅くなるが、その容量が増え、データの信頼性が高くなることもできる。本明細書で説明されるメモリチップは、高い動作速度を有することができるメモリの１つのタイプであるＲＡＭを含むことができる。メモリは、アドレス指定可能な半導体メモリユニットまたはセルで構成されることができ、そのユニットまたはセルは、ＭＯＳＦＥＴによって少なくとも部分的に実装されることができる。

【００８５】

さらに、本明細書に開示される少なくともいくつかの実施形態は、ベクトルプロセッサ（例えば、図１～３及び図４～７にそれぞれ示されるベクトルプロセッサ１１２及び４１２を参照）を有するアクセラレータチップ（例えば、ＡＩアクセラレータチップ）に関する。そして、本明細書に開示される少なくともいくつかの実施形態は、メモリ階層及びメモリチップストリングを使用してメモリを形成することに関する（例えば、図１０及び１１を参照）。

【００８６】

本明細書で説明されるベクトルプロセッサの実施形態はそれぞれＩＣであり、各ＩＣは、ベクトルと称される一次元配列のデータ、または行列と称される多次元配列のデータ上で動作する命令を含む命令セットを実装することができる。ベクトルプロセッサは、命令がシングルデータ項目上で動作するスカラープロセッサとは異なる。いくつかの実施形態では、ベクトルプロセッサは、単に命令をパイプライン化するだけでなく、データ自体をパイプライン化することができる。パイプライン化は、命令、またはベクトルプロセッサの場合にはデータ自体が、複数のサブユニットを順に通過するプロセスを含むことができる。いくつかの実施形態では、ベクトルプロセッサは、数のベクトルまたは行列に対して同時に算術演算を指令する命令を供給される。連続的に命令を復号してから、それらの命令を完了するために必要なデータをフェッチしなければならない代わりに、ベクトルプロセッサは、メモリから単一の命令を読み出し、命令自体の定義では、命令が最後より１インクリメント大きいアドレスで別のデータ項目上で再度動作することが単に黙示される。これにより、復号時間を大幅に節約できる。

【００８７】

図８は、本開示のいくつかの実施形態による、例示的なコンピューティングデバイス８００のパーツ配置の一例を示す。コンピューティングデバイス８００のパーツ配置の一例は、図１に示されるシステム１００、図２に示されるシステム２００、図４に示されるシステム４００、図５に示されるシステム５００、及び図６に示されるシステム６００を含むことができる。コンピューティングデバイス８００では、特定用途向けコンポーネント（例えば、図８の特定用途向けコンポーネント８０７を参照）は、ＡＩコンポーネントであることができ、図１、２、４、５及び６にそれぞれ配置されて示される第一メモリチップ１０４または４０２及びアクセラレータチップ１０２または４０４だけでなく、図１、２、４、５及び６にそれぞれ構成されて示されるＳｏＣ１０６または４０６を含むことができる。コンピューティングデバイス８００では、配線は、特定用途向けコンポーネントのコンポーネントを相互に直接接続する（例えば、図１～２及び図４～６にそれぞれ示される配線１２４及び４２４ならびに配線６１４を参照）。そして、コンピューティングデバイス８００では、配線は、特定用途向けコンポーネントをＳｏＣに直接接続する（例えば、特定用途向けコンポーネントをＳｏＣ８０６に直接接続する配線８１７を参照）。特定用途向けコンポーネントをＳｏＣに直接接続する配線は、図１及び２に示されるような配線１２６、または図４及び５に示されるような配線４２６を含むことができる。また、特定用途向けコンポーネントをＳｏＣに直接接続する配線は、図６に示されるような配線６１６を含むことができる。

【００８８】

コンピューティングデバイス８００は、図８に示されるようなコンピュータネットワーク８０２を介して他のコンピューティングデバイスに通信可能に結合されることができる。コンピューティングデバイス８００は、少なくともバス８０４（メモリバスとペリフェ

ラルバスの組み合わせなど、１つ以上のバスであることができる）、ＳｏＣ８０６（ＳｏＣ１０６または４０６である、またはそれを含むことができる）、特定用途向けコンポーネント８０７（アクセラレータチップ１０２及び第一メモリチップ１０４または第一メモリチップ４０２及びアクセラレータチップ４０４であることができる）、及びメインメモリ８０８（メモリ２０４である、またはそれを含むことができる）だけでなく、ネットワークインタフェース８１０及びデータストレージシステム８１２も含む。バス８０４は、ＳｏＣ８０６、メインメモリ８０８、ネットワークインタフェース８１０、及びデータストレージシステム８１２を通信可能に結合する。そして、バス８０４は、バス２０２、及び／または配線１２６、４２６、または６１６などのポイントツーポイントメモリ接続を含むことができる。コンピューティングデバイス８００は、コンピュータシステムを含み、このコンピュータシステムは、少なくとも、ＳｏＣ８０６内の１つ以上のプロセッサ、メインメモリ８０８（例えば、読み出し専用メモリ（ＲＯＭ）、フラッシュメモリ、同期ＤＲＡＭ（ＳＤＲＡＭ）またはＲａｍｂｕｓ　ＤＲＡＭ（ＲＤＲＡＭ）などのＤＲＡＭ、ＮＶＲＡＭ、ＳＲＡＭなど）、及びデータストレージシステム８１２を含み、これらは、バス８０４（１つ以上のバス及び配線を含むことができる）を介して相互に通信する。

【００８９】

メインメモリ８０８（メモリ２０４である、それを含む、またはそれに含まれることができる）は、図１０に示されるメモリストリング１０００を含むことができる。また、メインメモリ８０８は、図１１に示されるメモリストリング１１００を含むことができる。いくつかの実施形態では、データストレージシステム８１２は、メモリストリング１０００またはメモリストリング１１００を含むことができる。

【００９０】

ＳｏＣ８０６は、マイクロプロセッサ、ＣＰＵなどのような１つ以上の汎用処理デバイスを含むことができる。また、ＳｏＣ８０６は、ＧＰＵ、ＡＳＩＣ、ＦＰＧＡ、デジタルシグナルプロセッサ（ＤＳＰ）、ネットワークプロセッサ、プロセッサインメモリ（ＰＩＭ）などのような１つ以上の専用処理デバイスを含むことができる。ＳｏＣ８０６は、複合命令セットコンピューティング（ＣＩＳＣ）マイクロプロセッサ、縮小命令セットコンピューティング（ＲＩＳＣ）マイクロプロセッサ、超長命令語（ＶＬＩＷ）マイクロプロセッサを有する１つ以上のプロセッサ、または他の命令セットを実施するプロセッサ、または命令セットの組み合わせを実施するプロセッサとすることができる。ＳｏＣ８０６のプロセッサは、本明細書で論じられる動作及びステップを遂行するための命令を実行するように構成することができる。ＳｏＣ８０６はさらに、１つ以上の通信ネットワーク（例えば、ネットワーク８０２）を介して通信するために、ネットワークインタフェースデバイス、例えばネットワークインタフェース８１０を含むことができる。

【００９１】

データストレージシステム８１２は、本明細書で説明する方法または機能のうちのいずれか１つ以上を具現化する１つ以上の命令セットまたはソフトウェアが記憶されるマシン可読記憶媒体（コンピュータ可読媒体としても知られている）を含むことができる。また命令は、コンピュータシステムがそれを実行する間に、メインメモリ８０８内に、及び／またはＳｏＣ８０６のプロセッサのうちの１つ以上の内に、完全に、または少なくとも部分的に存在することができる。またメインメモリ８０８及びＳｏＣ８０６の１つ以上のプロセッサ５０６はマシン可読記憶媒体を構成する。

【００９２】

メモリ、プロセッサ、及びデータ記憶装置部分を、例示的な実施形態においてそれぞれ単一部分であると示しているが、各部分は、命令を格納してそのそれぞれの動作を実行できる単一部分または複数部分を含むと解釈されるべきである。また用語「マシン可読記憶媒体」には、任意の媒体であって、マシンが実行するように命令のセットを記憶または符号化することができ、本開示の方法のいずれか１つ以上をマシンに行わせる媒体が含まれると解釈すべきである。したがって、用語「マシン可読記憶媒体」は、ソリッドステートメモリ、光媒体、及び磁気媒体を含むが、これらに限定されるものではないと解釈される

ものとする。

【００９３】

図９は、本開示のいくつかの実施形態による、例示的なコンピューティングデバイス９００のパーツ配置の別の例を示す。コンピューティングデバイス９００のパーツ配置の例は、図３に示されるシステム３００、及び図７に示されるシステム７００を含むことができる。コンピューティングデバイス９００では、特定用途向けコンポーネント（例えば、図９の特定用途向けコンポーネント８０７を参照）は、ＡＩコンポーネントであることができ、図３及び７にそれぞれ配置されて示されるような第一メモリチップ１０４または４０２及びアクセラレータチップ１０２または４０４だけでなく、図３及び７にそれぞれ構成されて示されるようなＳｏＣ１０６または４０６も含むことができる。コンピューティングデバイス９００では、配線は、特定用途向けコンポーネントのコンポーネントを相互に直接接続する（例えば、図３及び７にそれぞれ示される配線１２４及び４２４を参照）。ただし、コンピューティングデバイス９００では、配線は、特定用途向けコンポーネントをＳｏＣに直接接続しない。代替に、コンピューティングデバイス９００では、１つ以上のバスは、特定用途向けコンポーネントをＳｏＣに接続する（例えば、図９に構成されて示されるバス８０４、ならびに図３及び７に構成されて示されるバス２０２を参照）。

【００９４】

図８及び９に示されるように、デバイス８００及び９００は、多くの同様のコンポーネントを含む。コンピューティングデバイス９００は、図９に示されるようなコンピュータネットワーク８０２を介して他のコンピューティングデバイスに通信可能に結合されることができる。同様に、図９に示されるように、コンピューティングデバイス９００は、少なくとも、バス８０４（メモリバス及びペリフェラルバスの組み合わせなど、１つ以上のバスであることができる）、ＳｏＣ８０６（ＳｏＣ１０６もしくは４０６である、またはそれを含むことができる）、特定用途向けコンポーネント８０７（アクセラレータチップ１０２及び第一メモリチップ１０４または第一メモリチップ４０２及びアクセラレータチップ４０４であることができる）、及びメインメモリ８０８（メモリ２０４である、またはそれを含むことができる）だけでなく、ネットワークインタフェース８１０及びデータストレージシステム８１２も含む。同様に、バス８０４は、ＳｏＣ８０６、メインメモリ８０８、ネットワークインタフェース８１０、及びデータストレージシステム８１２を通信可能に結合する。そして、バス８０４は、バス２０２、及び／または配線１２６、４２６、または６１６などのポイントツーポイントメモリ接続を含むことができる。

【００９５】

上述のように、本明細書に開示される少なくともいくつかの実施形態は、メモリ階層及びメモリチップストリングを使用してメモリを形成することに関する。

【００９６】

図１０及び１１は、それぞれメモリチップストリング１０００及び１１００の例を示し、これらは、図２～３及び図５～７に示される別個のメモリ（すなわち、メモリ２０４）で使用されることができる。

【００９７】

図１０では、メモリチップストリング１０００は、第一メモリチップ１００２及び第二メモリチップ１００４を含む。第一メモリチップ１００２は、第二メモリチップ１００４に直接配線され（例えば、配線１０２２を参照）、第二メモリチップと直接インタラクトするように構成される。メモリチップストリング１０００内の各チップは、このストリング内の上流チップ及び／または下流チップに接続するために、１セット以上のピンを含むことができる（例えば、ピン１０１２及び１０１４のセットを参照）。いくつかの実施形態では、メモリチップストリング１０００内の各チップは、ＩＣパッケージ内に封入される単一のＩＣを含むことができる。

【００９８】

図１０に示されるように、１セットのピン１０１２は第一メモリチップ１００２の一部であり、配線１０２２、及び第二メモリチップ１００４の一部である１セットのピン１０

１４を介して第一メモリチップ１００２を第二メモリチップ１００４に接続する。配線１０２２は、２セットのピン１０１２及び１０１４を接続する。

【００９９】

いくつかの実施形態では、第二メモリチップ１００４は、ストリング１０００内のチップの中で最も低いメモリ帯域幅を有することができる。それらのような実施形態及び他の実施形態では、第一メモリチップ１００２は、ストリング１０００内のチップの中で最も高いメモリ帯域幅を有することができる。いくつかの実施形態では、第一メモリチップ１００２は、ＤＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第一メモリチップ１００２は、ＮＶＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第二メモリチップ１００４は、ＤＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第二メモリチップ１００４は、ＮＶＲＡＭチップである、またはそれを含む。そして、いくつかの実施形態では、第二メモリチップ１００４は、フラッシュメモリチップである、またはそれを含む。

【０１００】

図１１では、メモリチップストリング１１００は、第一メモリチップ１１０２、第二メモリチップ１１０４、及び第三メモリチップ１１０６を含む。第一メモリチップ１１０２は、第二メモリチップ１１０４に直接配線され（例えば、配線１１２２を参照）、第二メモリチップと直接インタラクトするように構成される。第二メモリチップ１１０４は、第三メモリチップ１１０６に直接配線され（例えば、配線１１２４を参照）、第三メモリチップと直接インタラクトするように構成される。それらのような方法では、第一及び第三メモリチップ１１０２及び１１０６は、第二メモリチップ１１０４を介して間接的に相互にインタラクトする。

【０１０１】

メモリチップストリング１１００内の各チップは、このストリング内の上流チップ及び／または下流チップに接続するために、１セット以上のピンを含むことができる（例えば、ピン１１１２、１１１４、１１１６、及び１１１８のセットを参照）。いくつかの実施形態では、メモリチップストリング１１００内の各チップは、ＩＣパッケージ内に封入される単一のＩＣを含むことができる。

【０１０２】

図１１に示されるように、１セットのピン１１１２は第一メモリチップ１１０２の一部であり、配線１１２２、及び第二メモリチップ１１０４の一部である１セットのピン１１１４を介して、第一メモリチップ１１０２を第二メモリチップ１１０４に接続する。配線１１２２は、２セットのピン１１１２及び１１１４を接続する。また、１セットのピン１１１６は、第二メモリチップ１１０４の一部であり、配線１１２４、及び第三メモリチップ１１０６の一部である１セットのピン１１１８を介して、第二メモリチップ１１０４を第三メモリチップ１１０６に接続する。配線１１２４は、２セットのピン１１１６及び１１１８を接続する。

【０１０３】

いくつかの実施形態では、第三メモリチップ１１０６は、ストリング１１００内のチップの中で最も低いメモリ帯域幅を有することができる。それらのような実施形態及び他の実施形態では、第一メモリチップ１１０２は、ストリング１１００内のチップの中で最も高いメモリ帯域幅を有することができる。また、それらのような実施形態及び他の実施形態では、第二メモリチップ１１０４は、ストリング１１００内のチップの中でその次に最も高いメモリ帯域幅を有することができる。いくつかの実施形態では、第一メモリチップ１１０２は、ＤＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第一メモリチップ１１０２は、ＮＶＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第二メモリチップ１１０４は、ＤＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第二メモリチップ１１０４は、ＮＶＲＡＭチップである、またはそれを含む。いくつかの実施形態では、第二メモリチップ１１０４は、フラッシュメモリチップである、またはそれを含む。いくつかの実施形態では、第三メモリチップ１１０６

は、ＮＶＲＡＭチップである、またはそれを含む。そして、いくつかの実施形態では、第三メモリチップ１１０６は、フラッシュメモリチップである、またはそれを含む。

【０１０４】

１つ以上のＤＲＡＭチップを有する実施形態では、ＤＲＡＭチップは、コマンド及びアドレスの復号のための論理回路、ならびにＤＲＡＭのメモリユニットアレイを含むことができる。また、本明細書で説明されるＤＲＡＭチップは、着信及び／または発信データ用のキャッシュまたはバッファメモリを含むことができる。いくつかの実施形態では、キャッシュまたはバッファメモリを実装するメモリユニットは、キャッシュまたはバッファメモリをホストするチップ上のＤＲＡＭユニットとは異なることができる。例えば、ＤＲＡＭチップ上にキャッシュまたはバッファメモリを実装するメモリユニットは、ＳＲＡＭのメモリユニットであることができる。

【０１０５】

１つ以上のＮＶＲＡＭチップを有する実施形態では、ＮＶＲＡＭチップは、コマンド及びアドレスの復号のための論理回路、ならびに３Ｄ　ＸＰｏｉｎｔメモリユニットなどのＮＶＲＡＭメモリユニットのアレイを含むことができる。また、本明細書で説明されるＮＶＲＡＭチップは、着信及び／または発信データ用のキャッシュまたはバッファメモリを含むことができる。いくつかの実施形態では、キャッシュまたはバッファメモリを実装するメモリユニットは、キャッシュまたはバッファメモリをホストするチップ上のＮＶＲＡＭユニットとは異なることができる。例えば、ＮＶＲＡＭチップ上にキャッシュまたはバッファメモリを実装するメモリユニットは、ＳＲＡＭのメモリユニットであることができる。

【０１０６】

いくつかの実施形態では、ＮＶＲＡＭチップは、不揮発性メモリセルのクロスポイントアレイを含むことができる。クロスポイント型不揮発性メモリアレイは、積層可能な交差格子状データアクセスアレイと組み合わせて、バルク抵抗の変化に基づいてビットストレージを実行することができる。さらに、多くのフラッシュベースのメモリとは対照的に、クロスポイント型不揮発性メモリは、不揮発性メモリセルが事前に消去されることなく、不揮発性メモリセルがプログラムされることができる、インプレース書き込み操作を実行することができる。

【０１０７】

本明細書で上述されるように、ＮＶＲＡＭチップは、クロスポイントストレージ及びメモリデバイス（例えば、３Ｄ　ＸＰｏｉｎｔメモリ）であることができる、またはそれらを含むことができる。クロスポイントメモリデバイスは、トランジスタレスメモリ素子を使用し、各メモリ素子は、カラムとして合わせて積層されるメモリセル及びセレクタを含む。メモリ素子のカラムは、垂直二層のワイヤを介して接続され、一層はメモリ素子のカラムより上にあり、もう一層はメモリ素子のカラムより下にある。各メモリ素子は、二層のそれぞれの上に１本のワイヤの交点で個別に選択されることができる。クロスポイントメモリデバイスは、高速で不揮発性であり、処理及びストレージのためのユニファイドメモリプールとして使用されることができる。

【０１０８】

１つ以上のフラッシュメモリチップを有する実施形態では、フラッシュメモリチップは、コマンド及びアドレスの復号のための論理回路、ならびにＮＡＮＤ型フラッシュメモリユニットなどのフラッシュメモリのメモリユニットのアレイを含むことができる。また、本明細書で説明されるフラッシュメモリチップは、着信及び／または発信データ用のキャッシュまたはバッファメモリを含むことができる。いくつかの実施形態では、キャッシュまたはバッファメモリを実装するメモリユニットは、キャッシュまたはバッファメモリをホストするチップ上のフラッシュメモリユニットとは異なることができる。例えば、フラッシュメモリチップ上にキャッシュまたはバッファメモリを実装するメモリユニットは、ＳＲＡＭのメモリユニットであることができる。

【０１０９】

また、例えば、メモリチップストリングの一実施形態は、ＤＲＡＭからＤＲＡＭからＮＶＲＡＭ、またはＤＲＡＭからＮＶＲＡＭからＮＶＲＡＭ、またはＤＲＡＭからフラッシュメモリからフラッシュメモリを含むことができる。ただし、ＤＲＡＭからＮＶＲＡＭからフラッシュメモリは、マルチティアメモリとして柔軟にプロビジョニングされるメモリチップストリングに、より効果的なソリューションを提供することができる。

【０１１０】

また、本開示の目的のために、ＤＲＡＭ、ＮＶＲＡＭ、３Ｄ ＸＰｏｉｎｔメモリ、及びフラッシュメモリが個々のメモリユニットのための技法であること、そして本明細書に記載のメモリチップのいずれか１つのためのメモリチップがコマンド及びアドレスの復号のための論理回路、ならびにＤＲＡＭ、ＮＶＲＡＭ、３Ｄ ＸＰｏｉｎｔメモリ、またはフラッシュメモリのメモリユニットアレイを含むことができることを理解されたい。例えば、本明細書で説明されるＤＲＡＭチップは、コマンド及びアドレスの復号のための論理回路、ならびにＤＲＡＭのメモリユニットアレイを含む。例えば、本明細書で説明されるＮＶＲＡＭチップは、コマンド及びアドレスの復号のための論理回路、ならびにＮＶＲＡＭのメモリユニットアレイを含む。例えば、本明細書で説明されるフラッシュメモリチップは、コマンド及びアドレスの復号のための論理回路、ならびにフラッシュメモリのメモリユニットアレイを含む。

【０１１１】

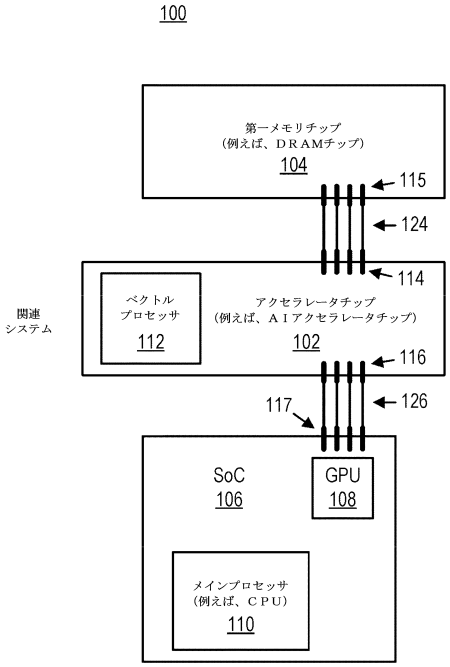
また、本明細書で説明されるメモリチップのいずれか１つのためのメモリチップは、着信及び／または発信データのためのキャッシュまたはバッファメモリを含むことができる。いくつかの実施形態では、キャッシュまたはバッファメモリを実装するメモリユニットは、キャッシュまたはバッファメモリをホストするチップ上のユニットとは異なってもよい。例えば、キャッシュまたはバッファメモリを実装するメモリユニットは、ＳＲＡＭのメモリユニットであることができる。

【０１１２】

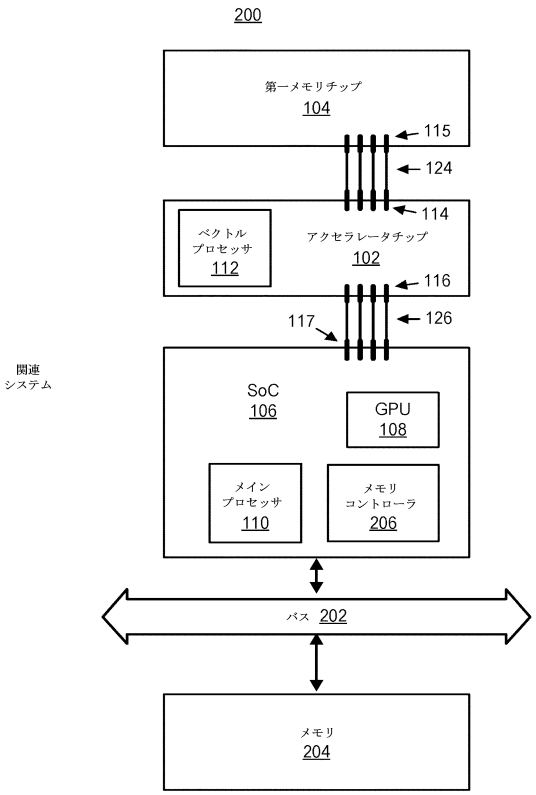
前述の明細書では、本開示の実施形態は、その特定の例示的な実施形態を参照して説明されてきた。以下の請求項に述べる本開示の実施形態のより広い趣旨及び範囲から逸脱することなく、様々な変更を加えることができることが明らかである。したがって、明細書及び図面は限定的な意味ではなく例示的な意味で考慮されるべきである。

【図面】

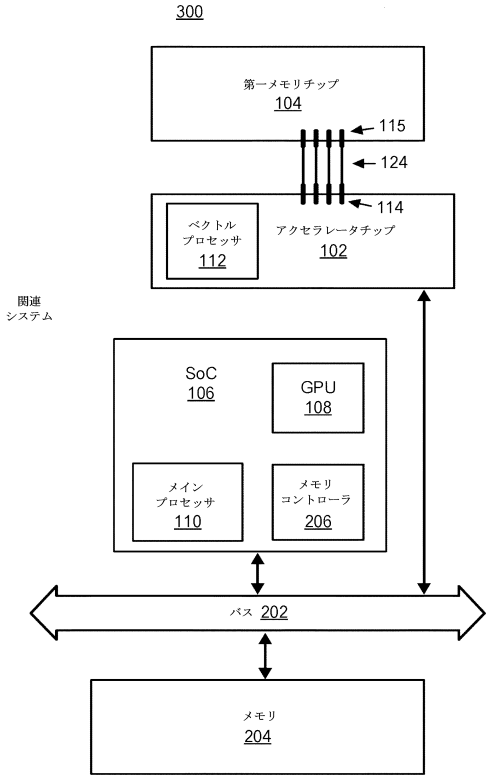
【図１】


100
第一メモリチップ
（例えば、ＤＲＡＭチップ）
104
115
124
114
ベクトル
プロセッサ
112
アクセラレータチップ
（例えば、ＡＩアクセラレータチップ）
102
116
117
126
関連
システム
SoC
106
GPU
108
メインプロセッサ
（例えば、ＣＰＵ）
110

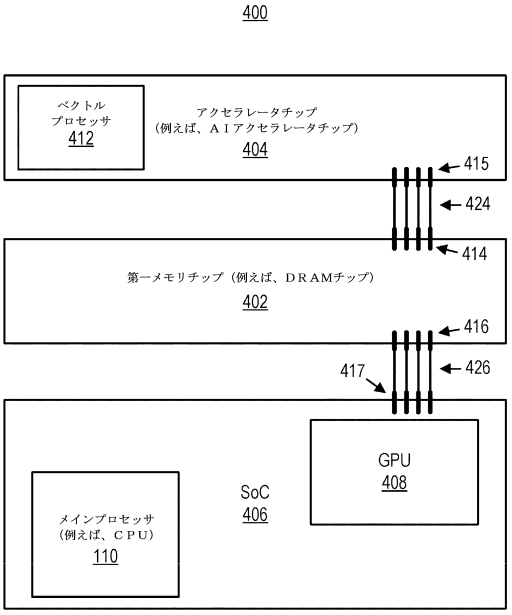
【図２】


200
第一メモリチップ
104
115
124
114
ベクトル
プロセッサ
112
アクセラレータチップ
102
116
117
126
関連
システム
SoC
106
GPU
108
メイン
プロセッサ
110
メモリ
コントローラ
206
バス 202
メモリ
204

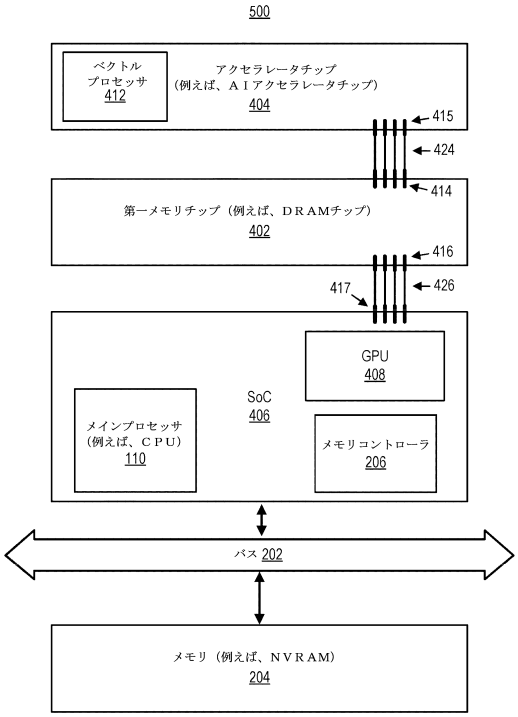
【図３】


300
第一メモリチップ
104
115
124
114
ベクトル
プロセッサ
112
アクセラレータチップ
102
関連
システム
SoC
106
GPU
108
メイン
プロセッサ
110
メモリ
コントローラ
206
バス 202
メモリ
204

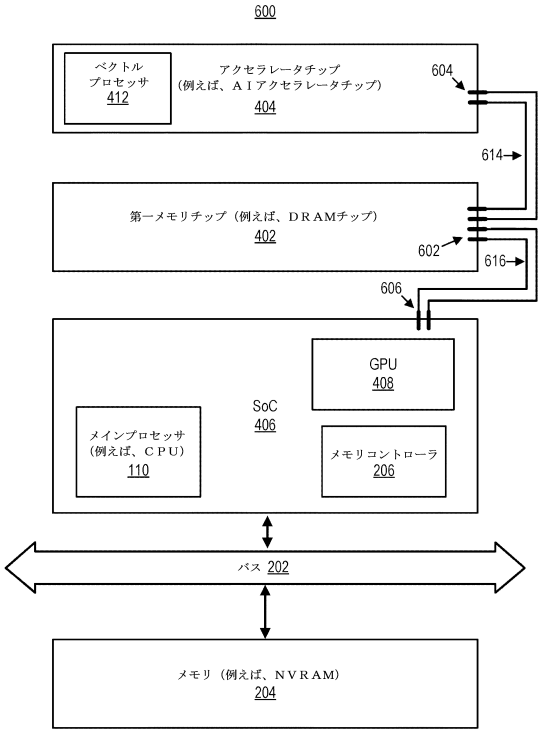
【図４】


400
ベクトル
プロセッサ
412
アクセラレータチップ
（例えば、ＡＩアクセラレータチップ）
404
415
424
414
第一メモリチップ（例えば、ＤＲＡＭチップ）
402
416
417
426
GPU
408
SoC
406
メインプロセッサ
（例えば、ＣＰＵ）
110

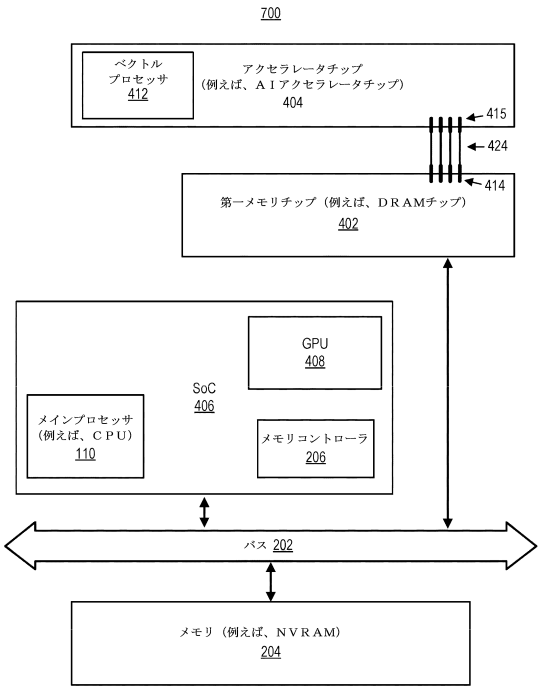
【図５】


500
ベクトル
プロセッサ
412
アクセラレータチップ
（例えば、ＡＩアクセラレータチップ）
404
415
424
414
第一メモリチップ（例えば、ＤＲＡＭチップ）
402
416
417
426
GPU
408
SoC
406
メインプロセッサ
（例えば、ＣＰＵ）
110
メモリコントローラ
206
バス 202
メモリ（例えば、ＮＶＲＡＭ）
204

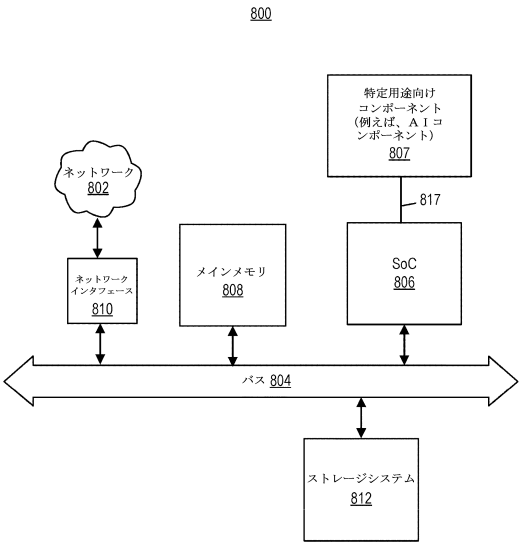
【図６】


600
ベクトル
プロセッサ
412
アクセラレータチップ
（例えば、ＡＩアクセラレータチップ）
404
604
614
第一メモリチップ（例えば、ＤＲＡＭチップ）
402
602
616
606
GPU
408
SoC
406
メインプロセッサ
（例えば、ＣＰＵ）
110
メモリコントローラ
206
バス 202
メモリ（例えば、ＮＶＲＡＭ）
204

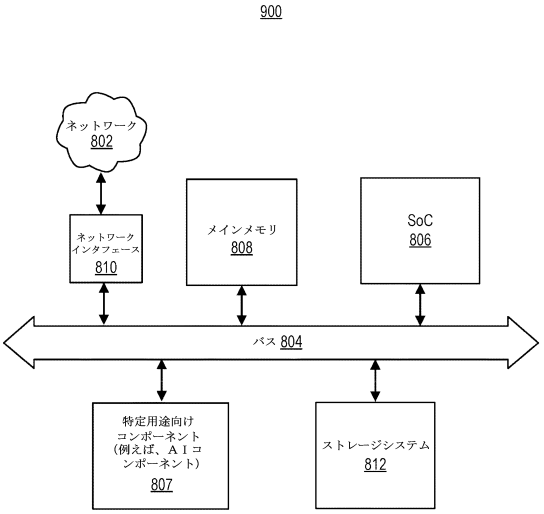
【図７】


700
ベクトル
プロセッサ
412
アクセラレータチップ
（例えば、ＡＩアクセラレータチップ）
404
415
424
414
第一メモリチップ（例えば、ＤＲＡＭチップ）
402
GPU
408
SoC
406
メインプロセッサ
（例えば、ＣＰＵ）
110
メモリコントローラ
206
バス 202
メモリ（例えば、ＮＶＲＡＭ）
204

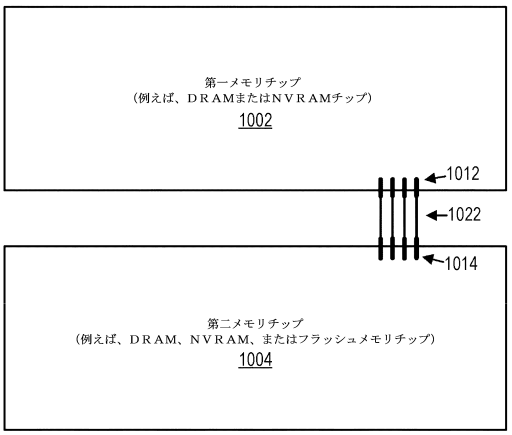
【図８】


800
特定用途向け
コンポーネント
（例えば、ＡＩコ
ンポーネント）
807
817
ネットワーク
802
ネットワーク
インタフェース
810
メインメモリ
808
SoC
806
バス 804
ストレージシステム
812

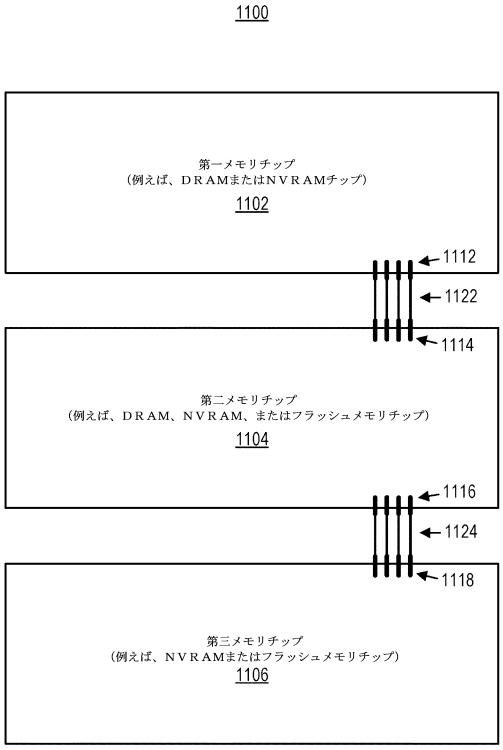
【図９】


900
ネットワーク
802
ネットワーク
インタフェース
810
メインメモリ
808
SoC
806
バス 804
特定用途向け
コンポーネント
（例えば、ＡＩコ
ンポーネント）
807
ストレージシステム
812

【図１０】


1000
第一メモリチップ
（例えば、ＤＲＡＭまたはＮＶＲＡＭチップ）
1002
1012
1022
1014
第二メモリチップ
（例えば、ＤＲＡＭ、ＮＶＲＡＭ、またはフラッシュメモリチップ）
1004

【図１１】


1100
第一メモリチップ
（例えば、ＤＲＡＭまたはＮＶＲＡＭチップ）
1102
1112
1122
1114
第二メモリチップ
（例えば、ＤＲＡＭ、ＮＶＲＡＭ、またはフラッシュメモリチップ）
1104
1116
1124
1118
第三メモリチップ
（例えば、ＮＶＲＡＭまたはフラッシュメモリチップ）
1106

フロントページの続き

(72)発明者　クレウィッツ ケネス マリオン
アメリカ合衆国 カリフォルニア州 ９５６８２ キャメロン パーク アッシュランド コート ４０８
(72)発明者　エノ ジャスティン エム.
アメリカ合衆国 カリフォルニア州 ９５７６２ エル ドラド ヒルズ イエローストーン レーン ３８４４

合議体
審判長　吉田 美彦
審判官　須田 勝巳
審判官　大塚 俊範

(56)参考文献　米国特許出願公開第２０１９／０１１４５３４（ＵＳ，Ａ１）
特表２０１９－５２５２７７（ＪＰ，Ａ）

(58)調査した分野　(Int.Cl.，ＤＢ名)
G06F12/00
G06F13/16
G06F15/167
G06N 3/063