

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6938552号
(P6938552)

(45) 発行日 令和3年9月22日 (2021.9.22)

(24) 登録日 令和3年9月3日 (2021.9.3)

(51) Int. Cl.	F I
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 H
HO 1 L 29/737 (2006.01)	HO 1 L 21/60 3 O 1 P
HO 1 L 21/60 (2006.01)	HO 1 L 21/82 D
HO 1 L 21/82 (2006.01)	HO 1 L 21/88 J
HO 1 L 21/3205 (2006.01)	HO 1 L 23/12 3 O 1 Z
請求項の数 19 (全 212 頁) 最終頁に続く	

(21) 出願番号	特願2019-34419 (P2019-34419)	(73) 特許権者	503031330
(22) 出願日	平成31年2月27日 (2019.2.27)		スカイワークス ソリューションズ, イン
(62) 分割の表示	特願2018-113493 (P2018-113493)		コーポレイテッド
原出願日	平成25年6月13日 (2013.6.13)		SKYWORKS SOLUTIONS,
(65) 公開番号	特開2019-135766 (P2019-135766A)		INC.
(43) 公開日	令和1年8月15日 (2019.8.15)		アメリカ合衆国 92617 カリフォル
審査請求日	平成31年3月11日 (2019.3.11)		ニア州 アーバイン カリフォルニア ア
審判番号	不服2020-16668 (P2020-16668/J1)	(74) 代理人	ベニュー 5260
審判請求日	令和2年12月3日 (2020.12.3)		110001195
(31) 優先権主張番号	61/659,848		特許業務法人深見特許事務所
(32) 優先日	平成24年6月14日 (2012.6.14)	(72) 発明者	チェン, ハワード・イー
(33) 優先権主張国・地域又は機関	米国 (US)		アメリカ合衆国、92808 カリフォル
早期審査対象出願			ニア州、アナハイム、サウス・ローズバッ
			ド・コート、418
			最終頁に続く

(54) 【発明の名称】 窒化タンタルで終端されるウェハ貫通ビアを含むパワーアンプモジュールおよび関連するシステム、デバイスおよび方法

(57) 【特許請求の範囲】

【請求項 1】

パワーアンプモジュールであって、

無線周波数信号を増幅するように構成されたパワーアンプを備え、前記パワーアンプは、半導体基板の表側にあるNPN型のヘテロ接合バイポーラトランジスタと、前記半導体基板の前記表側にあるp型電界効果トランジスタとを含み、前記ヘテロ接合バイポーラトランジスタと前記p型電界効果トランジスタとは、前記半導体基板に形成された分離領域によって互いに分離され、かつ、空間的に互いに分離され、前記ヘテロ接合バイポーラトランジスタは、p型コレクタサブ層と、n型コレクタサブ層とを含むコレクタ層を含み、前記p型コレクタサブ層は、前記n型コレクタサブ層と、前記ヘテロ接合バイポーラトランジスタのベースとの間にあり、前記p型電界効果トランジスタは、前記p型コレクタサブ層と同じ材料の半導体部を含み、前記半導体部は、前記p型電界効果トランジスタのチャネルに相当し、

窒化タンタルで終端されるウェハ貫通ビアと、

前記半導体基板の前記表側とは反対側になる前記半導体基板の裏側にある導電層とをさらに備え、前記導電層は、前記窒化タンタルで終端されるウェハ貫通ビア内の金属層によって前記パワーアンプに電氣的に接続される、パワーアンプモジュール。

【請求項 2】

前記p型電界効果トランジスタは、前記n型コレクタサブ層と同じ材料の第2の半導体部を含む、請求項1に記載のパワーアンプモジュール。

【請求項 3】

前記ヘテロ接合バイポーラトランジスタは、前記ベースと、前記コレクタ層および前記ベースの間に配置されたエッチストップとを含む、請求項 1 に記載のパワーアンプモジュール。

【請求項 4】

前記半導体基板の前記表側にある n 型電界効果トランジスタをさらに備え、前記ヘテロ接合バイポーラトランジスタはエミッタ積層体を含み、前記 n 型電界効果トランジスタは、前記エミッタ積層体の層と同じ材料の半導体部を含み、前記 n 型電界効果トランジスタの前記半導体部は、前記 n 型電界効果トランジスタのチャンネルに対応する、請求項 1 に記載のパワーアンプモジュール。

10

【請求項 5】

前記金属層は、バリア層、前記バリア層の上に形成されたシード層、および前記シード層の上に形成された銅層を含む、前記窒化タンタルで終端されるウェハ貫通ビアの窒化タンタル終端部は、前記銅層から前記半導体基板への銅の拡散を抑制するように構成される、請求項 1 に記載のパワーアンプモジュール。

【請求項 6】

前記導電層は銅を含み、接地平面として構成される、請求項 1 に記載のパワーアンプモジュール。

【請求項 7】

前記半導体基板は砒化ガリウム基板である、請求項 1 に記載のパワーアンプモジュール。

20

【請求項 8】

前記金属層は、バリア層、前記バリア層の上に形成されたシード層、および前記シード層の上に形成された銅層を含む、請求項 7 に記載のパワーアンプモジュール。

【請求項 9】

前記窒化タンタルで終端されるウェハ貫通ビアの窒化タンタル終端部は、砒化ガリウム基板の前記表側にある前記銅層と金属層との間の界面を取り囲む、請求項 8 に記載のパワーアンプモジュール。

【請求項 10】

前記砒化ガリウム基板は、 $200\ \mu\text{m}$ 未満の厚みを有する、請求項 7 に記載のパワーアンプモジュール。

30

【請求項 11】

パワーアンプモジュールであって、

無線周波数信号を増幅するように構成されたパワーアンプを備え、前記パワーアンプは、半導体基板の表側にある NPN 型のヘテロ接合バイポーラトランジスタと、前記半導体基板の前記表側にある電界効果トランジスタとを含み、前記ヘテロ接合バイポーラトランジスタと前記電界効果トランジスタとは、前記半導体基板に形成された分離領域によって互いに分離され、かつ、空間的に互いに分離され、前記ヘテロ接合バイポーラトランジスタは、p 型コレクタサブ層と、n 型コレクタサブ層とを含むコレクタ層を含み、前記電界効果トランジスタは、前記電界効果トランジスタのチャンネルに相当する、前記 p 型コレクタサブ層と同じ材料の半導体部を含み、

40

前記半導体基板を貫通するように延在し、前記半導体基板の前記表側に窒化タンタル終端部を有するウェハ貫通ビアと、

前記半導体基板の裏側にある導電層とをさらに備え、前記導電層は、前記ウェハ貫通ビア内の金属層によって前記パワーアンプに電氣的に接続される、パワーアンプモジュール。

【請求項 12】

前記 p 型コレクタサブ層は、p 型砒化ガリウムである、請求項 11 に記載のパワーアンプモジュール。

【請求項 13】

50

前記電界効果トランジスタは、前記 n 型コレクタサブ層と同じ材料の第 2 の半導体部を含む、請求項 1 1 に記載のパワーアンプモジュール。

【請求項 1 4】

前記金属層は、バリア層、前記バリア層の上に形成されたシード層、および前記シード層の上に形成された銅層を含む、請求項 1 1 に記載のパワーアンプモジュール。

【請求項 1 5】

前記窒化タンタルで終端されるウェハ貫通ビアの窒化タンタル終端部は、前記銅層から前記半導体基板への銅の拡散を抑制するように構成される、請求項 1 4 に記載のパワーアンプモジュール。

【請求項 1 6】

パワーアンプモジュールであって、

無線周波数信号を増幅するように構成されたパワーアンプを備え、前記パワーアンプは、砒化ガリウム基板の表側にある NPN 型のヘテロ接合バイポーラトランジスタと、前記砒化ガリウム基板の前記表側にある p 型電界効果トランジスタとを含み、前記ヘテロ接合バイポーラトランジスタと前記 p 型電界効果トランジスタとは、前記砒化ガリウム基板に形成された分離領域によって互いに分離され、かつ、空間的に互いに分離され、前記ヘテロ接合バイポーラトランジスタは、ベースと、n 型砒化ガリウムの第 1 のコレクタ層と、前記第 1 のコレクタ層と前記ベースとの間にある、前記 p 型砒化ガリウムの第 2 のコレクタ層と、エミッタとを含み、前記 p 型電界効果トランジスタは、前記 p 型電界効果トランジスタのチャンネルに相当する p 型砒化ガリウム部を含み、

前記砒化ガリウム基板の前記表側とは反対側になる前記砒化ガリウム基板の裏側にある接地平面と、

前記砒化ガリウム基板を貫通するように延在するウェハ貫通ビアとをさらに備え、前記ウェハ貫通ビアは、前記ウェハ貫通ビア内の銅層と、前記砒化ガリウム基板の前記表側にある窒化タンタル終端部とを有し、前記ヘテロ接合バイポーラトランジスタの前記エミッタは、前記銅層によって前記接地平面に電氣的に接続される、パワーアンプモジュール。

【請求項 1 7】

前記 p 型電界効果トランジスタは、n 型砒化ガリウム部を含む、請求項 1 6 に記載のパワーアンプモジュール。

【請求項 1 8】

前記ヘテロ接合バイポーラトランジスタの前記第 2 のコレクタ層と前記ヘテロ接合バイポーラトランジスタのベースとの間に配置されたエッチストップをさらに備える、請求項 1 6 に記載のパワーアンプモジュール。

【請求項 1 9】

前記窒化タンタル終端部は、前記砒化ガリウム基板の前記表側にある前記銅層と金属層との間の界面を取り囲む、請求項 1 6 に記載のパワーアンプモジュール。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願への相互参照

この出願は、2012 年 6 月 14 日に提出された米国仮特許出願番号第 61/659,848 号の優先権の利益を主張する。

【0002】

背景

1. 発明の分野

この発明は、一般にパワーアンプに関し、特にパワーアンプモジュールに関する。より具体的には、この発明は、実施の最良の形態に従って以下に記載される特定の実施形態に限定されることなく、無線通信において使用されるパワーアンプモジュールに関し、関連するシステム、デバイスおよび方法を含む。

【背景技術】

【0003】

2. 関連技術の説明

パワーアンプは、アンテナを介する送信のためにRF信号を増幅するようモバイルデバイスに含まれ得る。たとえば、グローバルシステム・フォー・モバイルコミュニケーションズ（Global System for Mobile Communications（GSM（登録商標）））、符号分割多重アクセス（code division multiple access（CDMA））、および広帯域符号分割多重アクセス（wideband code division multiple access（W-CDMA））システムにおいて見られるような時分割多重アクセス（time division multiple access（TDMA））アーキテクチャを有するモバイルデバイスにおいて、パワーアンプは相対的に電力が低いRF信号を増幅するために使用され得る。所望の送信電力レベルはユーザが基地局および／またはモバイル環境からどれくらい離れているかに依存し得るので、RF信号の増幅を管理することは重要であり得る。パワーアンプはさらに、割り当てられる受信時間スロットの間に送信からの信号干渉を防ぐために、時間にわたってRF信号の電力レベルを調整することを支援するよう使用され得る。

10

【0004】

パワーアンプの電力消費と、それに関連付けられる電力付加効率（power added efficiency（PAE））とは、重要な考慮対象になり得る。音声、データおよびシステム制御のための無線通信の提供に関連付けられる絶えず増加する要求を鑑みると、パワーアンプ、パワーアンプモジュール、およびデバイス、ならびにそれに関するシステムおよび方法の改善について必要性が存在する。更に、電力効率が改善したパワーアンプについて必要性が存在する。

20

【発明の概要】

【課題を解決するための手段】

【0005】

本発明のある特定の局面は、集積回路パッケージングの分野に関し、より特定的には、無線周波数（RF）集積回路（IC）をパッケージングするためのワイヤーボンドパッドを形成するシステムおよび方法に関する。

【0006】

IC作製の当業者には公知のように、シリコンまたは他の半導体ウェハは集積回路へと作製される。ICは、誘電体および金属トレースの層を有する担体または基板にボンディングおよび電氣的に接続され、使用のためにパッケージにされる。表面めっき材料が、銅トレースの上部層上にめっきされ、これにより、ICと基板との間に電気接続点が提供され、ICが外部の世界とインターフェイス接続することが可能になる。従来、ニッケル／金（Ni／Au）がRFIC製品のための標準的な表面めっき材料であり、ある状況では、RFICは、基板の表面上にめっきされたNi／Auワイヤーボンドパッドにワイヤーボンディングされて、そのパッケージとのRFICの電氣的接続を形成する。しかしながら、金の価格の上昇により、Ni／Au表面めっきに関連付けられるパッケージングコストが増加している。

30

【0007】

本発明の他の特定の局面は、集積回路レイアウトおよびパッケージングの分野に関し、より特定的には、無線周波数（RF）集積回路（IC）のレイアウトおよびパッケージングのシステムおよび方法に関する。

40

【0008】

この発明のさらに他の局面は、より特定的には、バイポーラトランジスタと、バイポーラトランジスタを含む製品とに関する。ヘテロ接合バイポーラトランジスタ（HBT）のようなバイポーラトランジスタは、幅広いさまざまな用途において実現される。このようなバイポーラトランジスタは、砒化ガリウム（GaAs）基板のような半導体基板上に形成され得る。バイポーラトランジスタについての1つの例示的な用途はパワーアンプシステムにおけるものである。技術が発展するにつれて、パワーアンプシステムの仕様について満たすべき要求がより大きくなっている。

50

【0009】

上で示されたように、パワーアンプの性能の1つの局面はリニアリティである。リニアリティ性能の測定値には、隣接チャンネル電力比（ACPR1）および代替チャンネル電力比（ACPR2）のようなチャンネル電力比、ならびに／または、隣接チャンネル漏洩電力比（ACLR1）および代替チャンネル漏洩電力比率（ACLR2）のようなチャンネル漏洩電力比が含まれ得る。ACPR2およびACLR2は、第2のチャンネルリニアリティ測定値と称され得る。ACPR2およびACLR2の値は、対象の周波数からの約1.98MHzのオフセットでの測定値に対応し得る。

【0010】

従来、文献におけるほとんどの刊行物は、ACPR1およびACLR1リニアリティの測定値に注目しており、ACPR2またはACLR2に関してほとんど何も発表されていない。特にRFゲインに関係する他のシステム仕様を満足させつつ、産業からの最近のACPR2およびACLR2のシステム仕様を満足させるのは特に難しい。したがって、パワーアンプシステムのような、バイポーラトランジスタを含むシステムにおけるリニアリティの改善について必要性が存在する。

10

【0011】

本開示のさらに別の局面は、パワーアンプのためのデュアルモードデジタル制御インターフェイスに関する。

【0012】

ワイヤレスデバイスを含む多くの電子デバイスは、フロントエンドコンポーネントによって制御またはセットされる1つ以上のコンポーネントを有し得る。たとえばパワーアンプは、パワーアンプコントローラによってセットまたは構成され得る。いくつかの場合には、パワーアンプコントローラ自体が、デバイスの状態に基づいて、別のインターフェイスコンポーネントによって制御または構成され得る。

20

【0013】

異なる団体によってデバイス内のさまざまなコンポーネントが作り出されることがしばしばある。異なる団体によって設計される場合があるコンポーネント間の相互運用性を促進するために、異なるタイプのデバイスおよびコンポーネントについてしばしば規格が採用される。技術が進歩するにつれて、規格は変化し得るか、または新しい規格が採用され得る。いくつかの場合では、新しい規格は古い規格と互換性をもたない。

30

【0014】

本発明のさらに他の局面は、ヘテロ接合バイポーラトランジスタ（HBT）パワーアンプバイアス回路に関する。パワーアンプは典型的に、入力信号を強めて入力信号より有意に大きい出力信号を作り出す能動素子である。多くのタイプのパワーアンプが存在し、パワーアンプを作り出す多くの方法が存在する。たとえば、いくつかのパワーアンプはヘテロ接合バイポーラトランジスタ（HBT）を使用して作り出され得る。多くのHBTパワーアンプは、ダイオードスタックバイアス構成を使用する。このようないくつかの構成では、ダイオードスタックバイアス構成は、アンプの実質的な零入力電流の変化につながり得るデバイスベータ（device beta）に対する感度を示す。さらに、零入力電流の変化は、性能パラメータに影響を与え得、製品歩留りを低下させ得る。

40

【0015】

本発明のさらなる局面は、いくつかの半導体材料システムでは、単一の半導体ダイ上で異なるデバイス技術を組み合わせてハイブリッド構造を形成することが可能であるという理解に関する。たとえば、ある材料システムでは、単一の基板上でヘテロ接合バイポーラトランジスタ（HBT）を電界効果トランジスタ（FET）と集積することが可能であり、これにより、BiFETと呼ばれるものが作製される。RFパワーアンプのようなデバイスは、設計の柔軟性を向上するようBiFET技術を使用して作製され得る。結果として、HBTおよびFETを含むBiFETパワーアンプには、バイポーラトランジスタパワーアンプより低い基準電圧で動作するよう設計されるという利点がある。デバイス製造業者にとって特に関心のあることに、砒化ガリウム（GaAs）HBTプロセスにFET

50

を集積することにより形成され得るハイパワーB i F E Tアンプがある。しかしながら、G a A s H B TプロセスにF E Tを集積する以前の試みで得られたのは、n型F E Tデバイスのみであった。

【0016】

したがって、p型F E Tデバイスを含み、相補的なn型およびp型F E Tデバイスを含んでもよいB i F E Tデバイス構造を得ることが望ましい。

【0017】

また、本願明細書において開示される改善された技術のさらに他の局面は、信号の高調波成分の終端に関する。無線周波数(R F)用途のような相対的に高周波数用途では、望まれない信号反射および／またはノイズが発生し得る。このような望まれない信号反射および／またはノイズは、信号の基本周波数および／または信号の基本周波数の高調波のような他の周波数で発生し得る。信号反射および／またはノイズの影響を低減するために、インピーダンス整合が実施され得る。望まれない信号反射および／またはノイズを最小限にすることが有利である1つの例示的な用途は、パワーアンプシステムである。

【0018】

電力付加効率(P A E)は、パワーアンプを評価するための1つの測定基準である。さらにリニアリティは、パワーアンプを評価するための別の測定基準である。P A Eおよび／またはリニアリティは、相手先商標製造会社(original equipment manufacturer (O E M))のような顧客がどのパワーアンプを購入するべきかを定める測定基準になり得る。たとえば、あるレベルより下のP A Eを有するパワーアンプは、当該顧客の製品へのP A Eの影響により、顧客によって購入されない場合がある。P A Eが低ければ、たとえば携帯電話のような電子デバイスの電池寿命を低減することになり得る。しかしながら、P A Eの向上は、リニアリティに悪影響を与えることの代償として得られ得る。同様に、リニアリティを改善すると、P A Eの減少が引き起され得る。同時に、顧客は高いリニアリティとおよび高いP A Eとを有するパワーアンプを望む。

【0019】

パワーアンプの出力での負荷線は、P A Eおよびリニアリティの両方に影響を与え得る。いくつかの従来のパワーアンプシステムは、パワーアンプ出力信号の基本周波数でのパワーアンプ出力のインピーダンスを整合し、さらに高調波終端を行なうよう負荷線を含んでいる。しかしながら、P A Eおよびリニアリティの両方を最適化する態様で高調波の終端を含みつつ、パワーアンプ出力の基本周波数のインピーダンスを整合することは困難であると判明している。したがって、パワーアンプのリニアリティおよびP A Eの両方を改善する必要性が存在する。

【0020】

ここで、本発明のさらに別の局面は、高性能無線周波数用途のための送信線に関する。

送信線は、たとえばパッケージング基板またはプリント回路基板(P C B)上といった、さまざまな文脈において実現され得る。多層ラミネートP C Bまたはパッケージ基板は、無線周波数(R F)用途において広範囲に使用される。

【0021】

パワーアンプ、低ノイズアンプ(L N A)、ミキサー、電圧制御発振器(V C O)、フィルタ、スイッチおよび全体のトランシーバといったR F回路は、半導体技術を使用して実現されている。しかしながら、R Fモジュール(たとえばパワーアンプ、スイッチおよび／またはフィルタを含むR Fフロントエンドモジュール)では、異なる半導体技術で異なるブロックが実現されるため、単一チップ集積化は実際的ではない場合がある。たとえばパワーアンプは、G a A sプロセスによって形成され得る一方、関連する制御および／またはバイアス回路網はC M O Sプロセスによって形成され得る。

【0022】

長い送信線および／または他のオンチップ受動素子が大きなチップエリアを使用し得る。その結果、マルチチップモジュール(M C M)および／またはシステムインパッケージ(S i P)アセンブリ技術が用いられ得、R Fモジュールにおいて低コスト、小さいサイ

10

20

30

40

50

ズおよび／または高性能を達成する。ラミネート技術は、送信線がラミネート基板上で実現されるMCMアセンブリのために使用され得る。このような送信線における導体損失は、MCMにおける要素のいずれの性能にも有意な影響を及ぼし得る。したがって、ラミネートめっき技術は、RF性能に著しく影響を与え得る。

【0023】

ラミネート技術のコストは、性能および／またはアセンブリの必要性について選択材料によって決定され得る。送信線にRF回路素子を接続するために金(Au)ワイヤーボンディングを使用するRF SiPは、(たとえばAuがより厚いので)より損失が低くより高価なNiAuまたはより損失が高くあまり高価でないNiPdAuといった、さまざまな異なる仕上げめっきを使用し得る。したがって、RF送信線のためのコスト効率の良い高性能技術について必要性が存在する。

10

【0024】

さらに別の局面は、窒化タンタルで終端されるウェハ貫通ビアのための装置および方法に関する。ある実現例では、窒化タンタル(TaN)終端層が砒化ガリウム(GaAs)ウェハの第1の側または表側上に形成され、金の導電層がTaN終端層の上に形成される。その後、ウェハ貫通ビアが、GaAsウェハの第2の側または裏側へとエッチングされ、GaAsウェハおよびTaN終端層の第1または内側部分を貫通するよう延在して金の導電層に達する。ある実現例では、ウェハ貫通ビアは、ニッケルバナジウム(NiV)バリア層、金のシード層および銅層でめっきされる。ウェハ貫通ビアの形成の間、TaN終端層の第2の部分または外側部分は、金の導電層と銅層との間の界面を取り囲みGaAsウェハへの銅の拡散を抑制するように維持および構成される。

20

【0025】

TaNで終端されるウェハ貫通ビアは、窒化珪素の終端とスパッタリングされたバリア層とを使用するスキームと比較して、金属接着の改善および銅マイグレーションの低減を提供することができる。更に、ウェハ貫通ビアを終端するのにTaN終端層を使用するある実現例では、作製を変更することなく、または、GaAsウェハの表側上に形成されるトランジスタ構造に関連付けられるリソグラフィマスクを変更することなく、ウェハ貫通ビアの場所または位置が移動されることが可能になり得る。トランジスタに関連付けられるリソグラフィマスクを変更することなくウェハ貫通ビアを移動可能に構成することにより、設計の柔軟性が高められ得、ならびに／または、ウェハ貫通ビアを含む集積回路の設計の増加する修正もしくはテープアウトに関連付けられる時間およびコストが低減され得る。

30

【0026】

上記に加えて、本開示のさらに別の局面は、パッケージ半導体構造に関し、より特定のには、無線周波数(RF)アイソレーションおよび／または電磁放射を提供する構造に関する。

【0027】

パッケージ半導体コンポーネントは、パッケージ内に集積シールド技術を含み得る。「ファラデー遮蔽」と称され得るシールドを形成するために、上部導電層がビアによって底部導電層に電氣的に接続され得る。たとえば、底部導電層は、接地平面であり得、ビアは上部導電層を接地に接続し得る。ビアは、上部導電層と底部導電層との間の電氣的接続を提供し得るとともに、それ自体、シールドの一部として機能し得る。しかしながら、ビアは当該パッケージにおいて有意な量の面積を使用し得る。同時に、ビアはシールドの接地接続の強さに影響を与え得る。

40

【0028】

上記に加えてさらに、この発明の付加的な局面は、半導体デバイスパッケージに関し、より特定のには、半導体デバイスのための電磁および／または無線干渉シールドに関する。

【0029】

適切なデバイス性能を維持するために、無線周波数(RF)通信システムにおいて、他

50

の R F デバイスによって生成される電磁（無線周波数）干渉（E M I）から R F デバイスを隔離する一般的な必要性が存在する。同様に、R F デバイスは一般に、環境から受けるまたは環境に送られる電磁干渉から隔離される必要がある。

【0030】

このような電磁干渉から R F デバイスを隔離する従来の方法は、典型的に「缶」と称される接地された金属筐体で R F デバイスを覆うことである。しかしながら、このソリューションは高価であり、設計の柔軟性を欠く。さらに、金属缶はプリント回路基板上のデバイス実装面積に有意なサイズを加え得、さらにプリント回路基板に重量を加え得る。

【0031】

本願明細書のさまざまな以下のセクションにおいてさらに詳細に記載される機能、属性または特性の 1 つ以上を実現することによって、パワーアンプシステムにおいて望ましいリニアリティおよび P A E が達成され得る。さらに、以下の開示に記載される 1 つ以上の機能をパワーアンプシステムにおいて実現することにより、パワーアンプが評価される望ましい F O M および／または他の測定基準が達成され得る。本願明細書のいくつかの機能は、例示的な目的のためにパワーアンプモジュールに関して記載されるが、当業者であれば、本願明細書において記載される原理および利点は、パワーアンプダイ、パワーアンプダイとともに使用される基板、パワーアンプを含む無線通信デバイス、および如何なる類似技術における当業者にも明白である任意および全ての他の用途といった、パワーアンプシステムの他の部分に適用することができるということを理解するであろう。

【0032】

概要

I. イントロダクション

パワーアンプは、相対的に低い電力を有する無線周波数（R F）信号の電力を増強し得る。その後、増強された R F 信号は、送信機のアンテナを駆動するようなさまざまな目的に使用され得る。

【0033】

パワーアンプはさまざまな R F ワイヤレス通信デバイスにおいて使用され得る。一例として、パワーアンプは送信のために R F 信号を増幅するために携帯電話に含まれ得る。たとえば、グローバルシステム・フォー・モバイルコミュニケーションズ（Global System for Mobile Communications（G S M（登録商標））、符号分割多重アクセス（code division multiple access（C D M A））、および広帯域符号分割多重アクセス（wideband code division multiple access（W－C D M A））システムにおいて見られるような時分割多重アクセス（time division multiple access（T D M A））アーキテクチャを有する携帯電話において、パワーアンプは、R F 信号を増幅するために使用され得る。

【0034】

電力付加効率（P A E）は、パワーアンプを評価するための 1 つの測定基準である。リニアリティは、パワーアンプを評価するための別の測定基準である。P A E および／またはリニアリティは、顧客がどのパワーアンプを購入するか決める測定基準であり得る。たとえば、あるレベルより下の P A E を有するパワーアンプは、顧客の製品への P A E の影響により、顧客によって購入されない場合がある。P A E が低ければ、たとえば携帯電話のようなモバイルデバイスの電池寿命を低減することになり得る。リニアリティはたとえば、隣接チャンネル電力比（A C P R）および／または代替チャンネル電力比（A C P R 2）によって測定され得る。高い P A E および高いリニアリティを同時に達成するのは困難であり得る。しかしながら、顧客は典型的に高い P A E と高リニアリティとを望む。性能指数（F O M）は、P A E およびリニアリティの両方を反映し得る 1 つの測定基準である。

【0035】

I I. ワイヤーボンドパッドシステムおよび関連する方法

ニッケル／パラジウム／金（N i／P d／A u）表面めっき材料を R F I C 製品に使用することによって R F I C パッケージングのコストを低減するようシステムおよび方法が

開示される。コストを低減するために、Ni/Pd/Au表面めっきにおける金層は、Ni/Au表面めっきにおける金層より薄い。しかしながら、Ni/Pd/Auは、パラジウムおよび金層が薄いこととニッケルの強磁性とにより、Ni/Auよりはるかに高い無線周波数シート抵抗を有する。これは、実効電流シート厚さの低減と、RF信号について密集する電流の増加とに寄与し、いくつかの実施形態では、Ni/Pd/Auめっき表面を通して伝わるRF信号についてRF損失が、Ni/Auめっき表面を通して伝わるRF信号について発見されるよりも大きくなる。これらの損失は、製品性能および歩留りに影響を与え得る。

【0036】

RFICのためのより低コストのNi/Pd/Au表面めっきに関連付けられるRF損失を低減するために、さらに別のシステムおよび方法が開示される。設計レイアウトのいくつかの実施形態において、ワイヤーボンディングエリアにおけるRF線/トレース表面、縁部および側壁は、めっき処理に対して開放されており、したがって、Ni/Pd/Au表面仕上げによりめっきされる。めっきされたワイヤーボンディングエリアを通して伝わるRF電流に対する表皮効果および渦電流効果により、RF電流の大部分は、めっきされたワイヤーボンディングエリアのトレース縁部および側壁上を流れている。RF電流の大部分がトレース縁部および側壁上を流れているので、トレース縁部および側壁にめっきすることはRF損失にさらに寄与することになる。RF損失を低減するために、いくつかの実施形態は、はんだマスクを再構成して、トレース縁部および側壁がNi/Pd/Au表面仕上げによってめっきされないようにワイヤーボンディングエリアにおいてトレース縁部および側壁を覆う。ワイヤーボンディングエリアの周りのNi/Pd/Auめっきがない銅トレース縁部および側壁は、Ni/Pd/Auワイヤーボンドパッドの周りにRF電流のための低い抵抗性のパスを提供し、したがって、RFIC基板のNi/Pd/Au表面めっきに関連付けられるRF信号損失を低減する。

【0037】

ある実施形態は、無線周波数集積回路(RFIC)モジュールを作製する方法に関し、当該方法は、少なくとも1つの銅トレースを有する基板を提供することを含み、当該銅トレースはワイヤーボンディング面を有する。上記方法はさらに、銅トレースのボンディング面の直上に、ワイヤーボンディングパッドのためのはんだマスク開口部を形成することを含み、当該ワイヤーボンディングパッドは少なくとも1つの縁部および少なくとも1つの側壁を有する。上記方法はさらに、ワイヤーボンディングパッドの少なくとも1つの縁部および少なくとも1つの側壁の直上に、はんだマスクを形成することと、ニッケル/パラジウム/金ワイヤーボンディングパッドを形成するよう、ニッケル層で銅トレースにめっきし、パラジウム層でニッケル層にめっきし、金層でパラジウム層にめっきすることを含む。ニッケル/パラジウム/金ワイヤーボンディングパッドは、ニッケル層、パラジウム層および金層がない少なくとも1つの縁部および少なくとも1つの側壁を有する。

【0038】

多くの実施形態に従うと、当該開示は、無線周波数集積回路(RFIC)モジュールのためのワイヤーボンディングパッドに関する。ワイヤーボンディングパッドは、銅トレースのワイヤーボンディング面の上にめっきされたニッケル層を含み、銅トレースは、RFICモジュールの基板の上面上に形成される。ワイヤーボンディングパッドはさらに、ニッケル層の上にめっきされたパラジウム層と、パラジウム層の上にめっきされた金層とを含む。ワイヤーボンディングパッドは、ワイヤーボンドエリアと、ワイヤーボンドエリアに隣接している少なくとも1つの縁部と、少なくとも1つの縁部に隣接している少なくとも1つの側壁とを有し、少なくとも1つの縁部および少なくとも1つの側壁にはニッケル層、パラジウム層および金層が存在しない。

【0039】

さまざまな実施形態に従うと、無線周波数集積回路(RFIC)モジュールを作製するための装置は、少なくとも1つの銅トレースを有する基板を提供するための手段を含み、銅トレースはワイヤーボンディング面を有し、上記装置はさらに、ワイヤーボンディング

パッドのためのはんだマスク開口部を銅トレースのボンディング面の直上に形成するための手段を含み、ワイヤーボンディングパッドは少なくとも1つの縁部および少なくとも1つの側壁を有する。上記装置はさらに、ワイヤーボンディングパッドの少なくとも1つの縁部および少なくとも1つの側壁の直上にはんだマスクを形成するための手段と、ニッケル／パラジウム／金ワイヤーボンディングパッドを形成するよう、ニッケル層で銅トレースにめっきするための手段と、パラジウム層でニッケル層にめっきするための手段と、金層でパラジウム層にめっきするための手段とを含む。ニッケル／パラジウム／金ワイヤーボンディングパッドは、ニッケル層、パラジウム層および金層が存在しない少なくとも1つの縁部および少なくとも1つの側壁を有する。

【0040】

開示を要約する目的のために、本発明のある局面、利点および新規な特徴が本願明細書において記載された。必ずしもすべてのこのような利点が本発明の任意の特定の実施形態に従って達成されなくてもよいということが理解されるべきである。したがって本発明は、本願明細書において教示または示唆され得る他の利点を必ずしも達成することなく、本願明細書において教示される1つの利点または利点の群を達成または最適化する態様で実施または実行されてもよい。

【0041】

II I. 高RF損失のめっきの影響を低減するための装置および方法

ニッケル／パラジウム／金(Ni/Pd/Au)の表面めっき材料をRFIC製品に使用することによってRFICパッケージングのコストを低減するようシステムおよび方法が開示される。コストを低減するために、Ni/Pd/Au表面めっきにおける金層は、Ni/Au表面めっきにおける金層より薄い。しかしながら、Ni/Pd/Auは、パラジウムおよび金層が薄いこととニッケルの強磁性とにより、Ni/Auよりはるかに高い無線周波数シート抵抗を有する。これは、実効電流シート厚さの低減と、RF信号について密集する電流の増加とに寄与し、いくつかの実施形態では、Ni/Pd/Auめっき表面を通して伝わるRF信号についてRF損失が、Ni/Auめっき表面を通して伝わるRF信号について発見されるよりも大きくなる。これらの損失は、製品性能および歩留りに影響を与え得る。

【0042】

RFICのためのより低コストのNi/Pd/Au表面めっきに関連付けられるRF損失を低減するために、さらに別のシステムおよび方法が開示される。設計レイアウトのいくつかの実施形態において、ワイヤーボンディングエリアにおけるRF線／トレース表面、縁部および側壁は、めっき処理に対して開放されており、したがって、Ni/Pd/Au表面仕上げによりめっきされる。めっきされたワイヤーボンディングエリアを通して伝わるRF電流に対する表皮効果および渦電流効果により、RF電流の大部分は、めっきされたワイヤーボンディングエリアのトレース縁部および側壁上を流れている。RF電流の大部分がトレース縁部および側壁上を流れているので、トレース縁部および側壁にめっきすることはRF損失にさらに寄与することになる。RF損失を低減するために、いくつかの実施形態は、はんだマスクを再構成して、トレース縁部および側壁がNi/Pd/Au表面仕上げによってめっきされないようにワイヤーボンディングエリアにおいてトレース縁部および側壁を覆う。ワイヤーボンディングエリアの周りのNi/Pd/Auめっきがない銅トレース縁部および側壁は、Ni/Pd/Auワイヤーボンディングパッドの周りにRF電流のための低い抵抗性のパスを提供し、したがって、RFIC基板のNi/Pd/Au表面めっきに関連付けられるRF信号損失を低減する。

【0043】

さらに、RFICのオンダイキャパシタ、抵抗器、インダクタまたは他の受動デバイスの高いRF損失のボンディングパッドに関連付けられるRF損失を低減するようシステムおよび方法が開示される。いくつかの実施形態において、RFICはオンダイキャパシタ、抵抗器、インダクタまたは他の受動デバイスを含む。キャパシタまたは受動デバイスは、RF電流を伝える銅トレースにボンディングされる。たとえばNi/Pd/Auボンデ

10

20

30

40

50

ィングパッドのような高いＲＦ損失のボンディングパッドがＲＦＩＣモジュールの回路トレースに受動デバイスを接続するために使用される場合、高いＲＦ損失のボンディングパッドは、ＲＦ電流が当該ボンディングパッドを通して流れる際に、ＲＦ信号損失を作り出す。ＲＦＩＣのＲＦ信号出力に対してＲＦ上部トレースにオンダイキャパシタ、抵抗器、インダクタまたは他の受動デバイスを配置することにより、オンダイ受動デバイスのボンディングパッドに関連付けられるＲＦ損失が低減される。

【００４４】

ある実施形態において、信号損失を低減するように構成される電子回路モジュールが開示される。当該モジュールは、出力信号と、それに関連付けられる電流とを有する電子回路デバイスを含む。電子回路デバイスは、第１のリードと、第２のリードと、オンダイ（on-die）受動コンポーネントを有する集積回路ダイとを含む。電子回路モジュールは、電流を伝導するためのトレースを含む基板をさらに含む。トレースは、第１のリードに電氣的に接続される上部信号パス上の第１のボンディングパッドと、第２のリードに電氣的に接続される下部信号パス上の第２のボンディングパッドとを有する。電子回路デバイスは、オンダイ受動コンポーネントが第１のリードに電氣的に接続するとともに出力信号が第２のリードに電氣的に接続するように構成される。これにより、電流が第１のボンディングパッドから離れるように方向付けされる。ある実施形態において、電子回路モジュールは無線周波数集積回路モジュールであり、信号損失は無線周波数信号損失である。別の実施形態において、電子回路デバイスは無線周波数電子回路デバイスであり、出力信号は無線周波数出力信号であり、電流は無線周波数電流である。

【００４５】

多くの実施形態に従うと、電子回路デバイスは信号損失を低減するように構成される。当該デバイスは、オンダイ受動コンポーネントを有する集積回路ダイと、関連付けられる電流を有する出力信号と、基板上のトレースの上部信号パス上に配置される第１のボンディングパッドに電氣的に接続される第１のリードと、トレース上の下部信号パスに配置される第２のボンディングパッドに電氣的に接続される第２のリードとを含む。電子回路デバイスは、オンダイ受動コンポーネントが第１のリードに電氣的に接続するとともに出力信号が第２のリードに電氣的に接続するように構成される。これにより、電流が第１のボンディングパッドから離れるように方向付けされる。

【００４６】

さまざまな実施形態に従って、電子回路モジュールにおいて信号損失を低減するための方法が開示される。上記方法は、オンダイ受動コンポーネントを有する集積回路ダイを含む電子回路デバイスを作製することと、電子回路デバイスからの出力信号を生成することとを含む。出力信号は、関連付けられる電流を有する。上記方法はさらに、電子回路デバイス上に第１のリードおよび第２のリードを形成することと、基板上に第１のボンディングパッドおよび第２のボンディングパッドを形成することと、第１のボンディングパッドと第２のボンディングパッドとの間で電流を伝導する導電パスを提供するよう基板上にトレースを形成することとを含む。トレースは、第１のボンディングパッドに関連付けられる上部信号パスと、第２のボンディングパッドに関連付けられる下部信号パスとを有する。上記方法はさらに、第１のボンディングパッドに第１のリードを電氣的に接続することと、第２のボンディングパッドに第２のリードを電氣的に接続することと、オンダイ受動コンポーネントが第１のリードに電氣的に接続するとともに出力信号が第２のリードに電氣的に接続するように電子回路デバイスを構成することとを含む。これにより、電流が第１のボンディングパッドから離れるように方向付けされる。

【００４７】

ある実施形態において、電子回路モジュールにおける信号損失を低減するための装置が開示される。上記装置は、オンダイ受動コンポーネントを有する集積回路ダイを含む電子回路デバイスを作製するための手段と、電子回路デバイスからの出力信号を生成するための手段とを含む。出力信号は、関連付けられる電流を有する。上記装置はさらに、電子回路デバイス上に第１のリードおよび第２のリードを形成するための手段と、基板上に第１

のボンディングパッドおよび第2のボンディングパッドを形成するための手段と、第1のボンディングパッドと第2のボンディングパッドとの間で電流を伝導する導電パスを提供するよう、基板上にトレースを形成するための手段とを含む。トレースは、第1のボンディングパッドに関連付けられる上部信号パスと、第2のボンディングパッドに関連付けられる下部信号パスとを有する。上記装置はさらに、第1のボンディングパッドに第1のリードを電氣的に接続するための手段と、第2のボンディングパッドに第2のリードを電氣的に接続するための手段と、オンダイ受動コンポーネントが第1のリードに電氣的に接続するとともに出力信号が第2のリードに電氣的に接続するように電子回路デバイスを構成するための手段とを含む。これにより、電流が第1のボンディングパッドから離れるように方向付けされる。

10

【0048】

開示を要約する目的のために、本発明のある局面、利点および新規な特徴が本願明細書において記載された。必ずしもすべてのこのような利点が本発明の任意の特定の実施形態に従って達成されなくてもよいということが理解されるべきである。したがって本発明は、本願明細書において教示または示唆され得る他の利点を必ずしも達成することなく、本願明細書において教示される1つの利点または利点の群を達成または最適化する態様で実施または実行されてもよい。

【0049】

IV. 勾配を有するコレクタを有するバイポーラトランジスタ

請求項に記載されるイノベーションは各々いくつかの局面を有し、当該局面のいずれもその望ましい属性について単独で原因となることはない。この発明の範囲を限定することなく、いくつかの顕著な特徴がここで簡潔に議論される。

20

【0050】

この開示の1つの局面は、コレクタ、コレクタの上に配置されるベースおよびエミッタを含むバイポーラトランジスタである。コレクタは、ベースに当接する第1のコレクタ領域において、少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ のドーピング濃度を有する。コレクタはさらに、第1のコレクタ領域の下に他のコレクタ領域を有する。当該他のコレクタ領域は、ドーピング濃度が第1のコレクタ領域から離れるにつれて増加する少なくとも1つの勾配を含む。

【0051】

ある実施形態において、他のコレクタ領域は、第1の勾配と、第1の勾配においてとは異なった割合でドーピング濃度がベースから離れるにつれて増加する第2の勾配とを含む。これらの実施形態のうちのいくつかに従うと、バイポーラトランジスタは、約833 MHzを中心とする周波数帯内の周波数で少なくとも約29 dBmのゲインを有し得る。多くの実施形態に従うと、バイポーラトランジスタの第2の勾配は、同じ電流密度で、第2の勾配のない同じトランジスタと比較して、バイポーラトランジスタの BVC_{EX} を増加するように構成され得る。さまざまな実施形態において、第1の勾配におけるドーピング濃度は、第1のコレクタ領域のドーピング濃度より約1桁小さいドーピング濃度から第1のコレクタ領域のドーピング濃度未満までの勾配がある。これらの実施形態のうちのいくつかに従うと、第2の勾配におけるドーピング濃度は、第1の勾配におけるほぼ最大のドーピング濃度から第2の勾配の下のサブコレクタのドーピング濃度よりも少なくとも約1桁小さいドーピング濃度までの勾配がある。いくつかの実施形態において、第1の勾配は、第1のコレクタ領域に隣接するとともに第1のコレクタ領域の厚さの約2倍より大きい厚さを有する第2のコレクタ領域にわたる。ある実施形態に従うと、第2の勾配は、第1のコレクタ領域の厚さより大きく第2のコレクタ領域の厚さより小さい厚さを有する第3のコレクタ領域にわたる。さまざまな実施形態において、コレクタは本質的に、第1のコレクタ領域、第2のコレクタ領域および第3のコレクタ領域からなる。いくつかの実施形態に従うと、バイポーラトランジスタはさらに、コレクタの下にサブコレクタを含む。ある実施形態に従うと、第1の勾配は第2の勾配と境界を接しており、ドーピング濃度は、第1の勾配と第2の勾配との境界の両側上でほぼ同じである。

30

40

50

【0052】

ある実施形態において、第1のコレクタ領域の厚さは約 $1000\text{ \AA}$ ～ $2000\text{ \AA}$ の範囲から選択される。これらの実施形態のうちのいくつかに従うと、第1のコレクタ領域のドーピング濃度は、約 $3 \times 10^{16}\text{ cm}^{-3}$ ～ $9 \times 10^{16}\text{ cm}^{-3}$ の範囲から選択される。

【0053】

多くの実施形態に従うと、第1のコレクタ領域のドーピング濃度は、少なくとも約 $6 \times 10^{16}\text{ cm}^{-3}$ である。

【0054】

いくつかの実施形態に従うと、ベースは約 $1400\text{ \AA}$ 未満の厚さを有する。これらの実施形態のうちのいくつかにおいて、ベースは、約 $3.5 \times 10^{19}\text{ cm}^{-3}$ ～ $7 \times 10^{19}\text{ cm}^{-3}$ の範囲から選択されるドーピング濃度を有する。

【0055】

多くの実施形態において、バイポーラトランジスタはヘテロ接合バイポーラトランジスタ(HBT)である。

【0056】

いくつかの実施形態によれば、バイポーラトランジスタはGaAsトランジスタである。

【0057】

この開示の別の局面はバイポーラトランジスタを含むパワーアンプモジュールである。バイポーラトランジスタはコレクタ、ベースおよびエミッタを有する。ベースとの接合部でのコレクタのドーピング濃度は、パワーアンプが約 65 dBc 以下の代替チャンネル電力比(ACPR2)を有するようなドーピング濃度である。さらに、コレクタは少なくとも、ドーピング濃度がベースから離れるにつれて増加する第1の勾配を有する。

【0058】

ある実施形態に従うと、ACPR2は、約 833 MHz を中心にする周波数帯内でパワーアンプが動作する場合、約 65 dBc 以下である。

【0059】

多くの実施形態において、コレクタはさらに、第1の勾配よりベースから離れた第2の勾配を含む。いくつかの実施形態に従うと、第2の勾配は、同じ電流密度で、第2の勾配のない同じトランジスタと比較してバイポーラトランジスタの BVC_{EX} を増加するように構成される。

【0060】

多くの実施形態に従うと、ベースとの接合部でのコレクタにおけるドーピング濃度は、少なくとも約 $3 \times 10^{16}\text{ cm}^{-3}$ である。

【0061】

ある実施形態において、コレクタは、ベースに当接し、少なくとも約 $3 \times 10^{16}\text{ cm}^{-3}$ の実質的に平坦なドーピング濃度と約 $1000\text{ \AA}$ ～ $2000\text{ \AA}$ の範囲から選択される厚さとを有する第1の領域を含む。これらの実施形態のうちのいくつかに従うと、コレクタの第1の領域におけるドーピング濃度は、約 $3 \times 10^{16}\text{ cm}^{-3}$ ～ $9 \times 10^{16}\text{ cm}^{-3}$ の範囲において選択される。

【0062】

この開示のさらなる局面は、コレクタ、コレクタに当接するベースおよびエミッタを有するバイポーラトランジスタを含むパワーアンプダイである。コレクタは、ベースとの接合部において、少なくとも約 $3 \times 10^{16}\text{ cm}^{-3}$ のドーピング濃度を有する。さらに、コレクタは少なくとも、ドーピング濃度がベースから離れるにつれて増加する第1の勾配を有する。

【0063】

この開示の別の局面は、アンテナ、電池およびパワーアンプを含むモバイルデバイスである。パワーアンプは、コレクタ、ベースおよびエミッタを有するヘテロ接合バイポーラ

10

20

30

40

50

トランジスタを含む。コレクタは、ベースに当接し、少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ の第1のドーピング濃度を有する第1のコレクタ領域を含む。コレクタはさらに、第1のコレクタ領域に隣接し、ドーピング濃度がベースから離れるにつれて増加する第1の勾配を有する第2のコレクタ領域を含む。コレクタはさらに、第2のコレクタ領域に隣接し、ドーピング濃度が第1の勾配とは異なる割合でベースから離れるにつれて増加する第2の勾配を有する第3のコレクタ領域を含む。第1のドーピング濃度、第1の勾配および第2の勾配は、パワーアンプのリニアリティを改善するように構成される。

【0064】

この開示のさらに別の局面はバイポーラトランジスタを形成する方法である。当該方法は、サブコレクタを形成することと、サブコレクタから離れるにつれて減少するドーピング濃度を有する少なくとも1つの勾配を有するコレクタ領域を形成することと、バイポーラトランジスタのベースに隣接、当接し、ベースとの界面で少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ のドーピング濃度を有する異なるコレクタ領域を形成することとを含む。

【0065】

開示を要約する目的のために、本発明のある局面、利点および新規な特徴が本願明細書において記載された。必ずしもすべてのこのような利点が本発明の任意の特定の実施形態に従って達成されなくてもよいということが理解されるべきである。したがって本発明は、本願明細書において教示または示唆され得る他の利点を必ずしも達成することなく、本願明細書において教示される1つの利点または利点の群を達成または最適化する態様で実施または実行されてもよい。

【0066】

V. 3モードの入力／出力インターフェイスを有するデュアルモードパワーアンプ制御
この発明のいくつかの実施形態に従うと、本開示のこの局面は、単一のデジタル制御インターフェイスダイ内において、無線周波数フロントエンド (radio frequency front end (RFFE)) シリアルインターフェイスと、汎用入力／出力 (GPIO) インターフェイスとの両方を提供するために使用され得るデュアルモード制御インターフェイスに関する。ある実施形態では、デュアルモード制御インターフェイスまたはデジタル制御インターフェイスは、パワーアンプと通信し得る。さらに、デュアルモード制御インターフェイスは、パワーアンプのモードをセットするために使用され得る。

【0067】

ある実施形態に従うと、デュアルモード制御インターフェイスは、RFFEシリアルインターフェイスを提供するように構成されるRFFEコアを含む。さらに、デュアルモード制御インターフェイスは、VIO信号を受け取るように構成される電圧入力／出力 (VIO) ピンを含む。このVIO信号は、アクティブ状態およびインアクティブ状態のうちの1つにRFFEコアの動作モードがセットされるかどうかを決定する。RFFEコアがインアクティブ状態にセットされる場合、デュアルモード制御インターフェイスは汎用入力／出力 (GPIO) インターフェイスを提供するように構成される。さらに、デュアルモード制御インターフェイスは、イネーブルレベルシフタおよびモードレベルシフタにイネーブル信号およびモード信号をそれぞれ提供するように構成される組合せ論理ブロックを含む。さらに、デュアルモード制御インターフェイスは、VIO信号に基づいて、イネーブルレベルシフタおよびモードレベルシフタにそれぞれ提供すべきイネーブル信号およびモード信号を選択するように構成されるパワーオンリセットを含む。

【0068】

いくつかの実現例の場合、デュアルモードインターフェイスは、RFFEコアがアクティブ状態にセットされる場合にはRFFEコアにクロック信号を提供し、RFFEコアがインアクティブ状態にセットされる場合には組合せ論理ブロックにモード信号を提供する構成されるクロック／モードピンを含む。さらに、デュアルモードインターフェイスは、RFFEコアがアクティブ状態にセットされる場合にRFFEコアにデータ信号を提供し、RFFEコアがインアクティブ状態にセットされる場合に組合せ論理ブロックにイネーブル信号を提供するように構成されるデータ／イネーブルピンを含む。

【0069】

いくつかの変形例において、データ／イネーブルピンはさらにRFFEコアにアドレス信号を提供するように構成され、アドレス信号はRFFEコアのレジスタに関連付けられる。

【0070】

本願明細書のいくつかの他の関連する実施形態に従うと、デュアルモードインターフェイスは複数のレベルシフタを含む。複数のレベルシフタの各レベルシフタはRFFEコアからレジスタ信号を受け取るように構成され得る。レジスタ信号は、RFFEコアに関連付けられる複数のレジスタのうちの1つに格納される値に関連付けられ得る。

【0071】

VI. プロセスで補償されたHBTパワーアンプバイアス回路および関連する方法

本発明のこの局面に関するいくつかの実現例において、本開示は、ベータのようなダイ依存パラメータを効果的に感知するようアンプダイ上の受動デバイスを利用し、かつ、零入力電流変化のような関連付けられる効果を補償して性能を改善および／または製品の部分間の変化を低減するパワーアンプ(PA)構成に関する。そのいくつかの実施形態では、このようなPA構成は、シリコンバイアスダイおよびHBTアンプダイを含み得る。従来、シリコンダイは、PAダイのための基準電流を生成しており、当該基準電流は、PAダイの温度に関して実質的に一定であり、本質的に離散的抵抗器の公差だけのみ変化する。

【0072】

本発明のいくつかの実現例では、このような離散的基準抵抗器は、HBTダイ上の集積された抵抗器と置換され得る。そのいくつかの実施形態では、この集積された抵抗器は、HBTデバイスのベース材料を用いて形成され得、プロセスベータに追従するシート抵抗特性を示し得る。そのような抵抗に基づいて、基準電流は、ベータに追従し、ベータに対する「ダイオードスタック」の感度をキャンセルまたは低減するように構成され得る。

【0073】

それに関連する他の実施形態において、前述のベース抵抗器(Rb)タイプは、基準抵抗器の両端に加えられる電圧が環境温度とともに増加するようにシリコン制御ダイ内のバイアス生成回路網によって補償され得る高温係数を与えるように構成され得る。アンプに与えられる得られた基準電流は、選択された範囲の環境温度にわたって実質的に一定であり得、実質的にHBTプロセスベータに追従し得る。

【0074】

VII. HBTおよびFETを有する構造のためのデバイスおよび方法

半導体構造の実施形態は、基板の上に位置し半導体材料を含むコレクタ層を含むヘテロ接合バイポーラトランジスタ(HBT)と、基板の上に位置する電界効果トランジスタ(FET)とを含み、当該FETは、HBTのコレクタ層を形成する半導体材料に形成されるチャンネルを含む。

【0075】

本発明のこの局面のいくつかの実施形態において、HBTのコレクタ層およびFETのチャンネルを形成する半導体材料は、p型の砒化ガリウムを含み得る。いくつかの実施形態において、半導体構造はさらに、HBTのコレクタ層およびFETのチャンネルの上に位置するエッチストップ層セグメントを含み得る。いくつかの実施形態において、このようなエッチストップ層は、インジウム砒化ガリウム(InGaAs)またはインジウムりん化ガリウム(InGaP)を含み得、10ナノメートル(nm)と15nmとの間の厚さ範囲を有し得る。他の厚さ範囲も実現され得る。いくつかの実施形態において、このようなエッチストップ層は、たとえばFETのチャンネル層に対してエッチング選択性を有する任意の材料を含み得る。そのような材料は、前述の例示的な材料のInGaAsまたはInGaPと同様の結果を達成するよう、適切な厚さでまたは適切な厚さの範囲内で実現され得る。

【0076】

本願明細書の他の実施形態に従うと、本開示は、基板の上に位置するコレクタ層と、基板の上に位置するエミッタ層とを含むヘテロ接合バイポーラトランジスタ（HBT）を有する半導体構造に関する。コレクタ層は第1の導電型（P）の第1の半導体材料を含み、エミッタ層は、第2の導電型（N）の第2の半導体材料を含む。半導体構造は、基板の上に位置する第1の電界効果トランジスタ（FET）をさらに含む。第1のFETは、HBTのコレクタ層を形成する第1の半導体材料に形成されるチャンネルを含む。半導体構造は、基板の上に位置する第2の電界効果トランジスタ（FET）をさらに含む。第2のFETは、HBTのエミッタ層を形成する第2の半導体材料に形成されるチャンネルを含む。

【0077】

本願明細書のいくつかの実施形態において、HBTのコレクタ層および第1のFETのチャンネルを形成する第1の半導体材料はp型の砒化ガリウムを含み得、HBTのエミッタ層および第2のFETのチャンネルを形成する第2の半導体材料はn型砒化ガリウムを含み得る。いくつかの実施形態において、半導体構造はさらに、HBTのコレクタ層および第1のFETのチャンネルの上に位置する第1のエッチストップ層セグメントと、HBTのエミッタ層および第2のFETのチャンネルの上に位置する第2のエッチストップ層セグメントとを含み得る。第1のエッチストップ層セグメントおよび第2のエッチストップ層セグメントは、インジウム砒化ガリウム（InGaAs）またはインジウムりん化ガリウム（InGaP）を含み得、10ナノメートル（nm）と15nmとの間の厚さ範囲を有し得る。他の厚さ範囲も実現され得る。いくつかの実施形態において、このようなエッチストップ層は、たとえば第1および第2のFETのチャンネル層に対してエッチング選択性を有する任意の材料を含み得る。そのような材料は、前述の例示的な材料のInGaAsまたはInGaPと同様の結果を達成するよう、適切な厚さでまたは適切な厚さの範囲内で実現され得る。

【0078】

多くの実現例において、本開示は、基板の上に位置するコレクタ層と、基板の上に位置するエミッタ層とを含むヘテロ接合バイポーラトランジスタ（HBT）を形成することを含む方法に関する。コレクタ層は第1の導電型（P）の第1の半導体材料を含み、エミッタ層は、第2の導電型（N）の第2の半導体材料を含む。上記方法は、基板の上に第1の電界効果トランジスタ（FET）を形成することをさらに含む。第1のFETは、HBTのコレクタ層を形成する第1の半導体材料に形成されるチャンネルを含む。上記方法は、基板の上に第2の電界効果トランジスタ（FET）を形成することをさらに含む。第2のFETは、HBTのエミッタ層を形成する第2の半導体材料に形成されるチャンネルを含む。

【0079】

いくつかの実現例において、HBTのコレクタ層および第1のFETのチャンネルを形成する第1の半導体材料はp型の砒化ガリウムを含み得、HBTのエミッタ層および第2のFETのチャンネルを形成する第2の半導体材料はn型砒化ガリウムを含み得る。いくつかの実現例において、上記方法はさらに、HBTのコレクタ層および第1のFETのチャンネルの上に第1のエッチストップ層セグメントを形成することと、HBTのエミッタ層および第2のFETのチャンネルの上に第2のエッチストップ層セグメントを形成することとを含み得る。第1のエッチストップ層セグメントおよび第2のエッチストップ層セグメントは、インジウム砒化ガリウム（InGaAs）またはインジウムりん化ガリウム（InGaP）を含み得、10ナノメートル（nm）と15nmとの間の厚さ範囲を有し得る。

【0080】

いくつかの実現例に従うと、本開示は、基板の上に位置するコレクタ層を含むヘテロ接合バイポーラトランジスタ（HBT）を形成することを含む方法に関する。コレクタ層は半導体材料を含む。上記方法は、基板の上に位置する電界効果トランジスタ（FET）を形成することをさらに含む。当該FETは、HBTのコレクタ層を形成する半導体材料に

形成されるチャンネルを含む。

【0081】

いくつかの実現例において、HBTのコレクタ層およびFETのチャンネルを形成する半導体材料は、p型の砒化ガリウムを含み得る。いくつかの実現例において、上記方法はさらに、HBTのコレクタ層およびFETのチャンネルの上に位置するエッチストップ層セグメントを形成することを含み得る。当該エッチストップ層は、インジウム砒化ガリウム(InGaAs)またはインジウムりん化ガリウム(InGaP)を含み得、10ナノメートル(nm)と15nmとの間の厚さ範囲を有し得る。

【0082】

いくつかの実施形態に従うと、本開示は集積回路(IC)を有するダイに関する。上記ダイは、無線周波数(RF)信号を処理するように構成される回路を含む。上記ダイはさらに、回路の動作を促進するように構成される、ヘテロ接合バイポーラトランジスタ(HBT)および電界効果トランジスタ(FET)のアセンブリを含む。HBTは、基板の上に位置する半導体材料を含むコレクタ層を含む。FETは、基板の上に位置するとともに、HBTのコレクタ層を形成する半導体材料に形成されるチャンネルを含む。

10

【0083】

いくつかの実施形態において、RF信号を処理するように構成される回路は、パワーアンプ回路、パワーアンプ回路のためのコントローラ回路、またはスイッチング回路のためのコントローラを含み得る。いくつかの実施形態において、アセンブリはさらに、基板の上に位置するチャンネルを有し、かつ、HBTのエミッタと同じ半導体材料で形成される第2のFETを含み得る。第1のFETはpFETを含み得、第2のFETはnFETを含み得る。いくつかの実施形態において、基板は砒化ガリウム(GaAs)を含み得る。

20

【0084】

多くの実施形態において、本開示は無線周波数(RF)デバイスのためのパッケージモジュールに関する。上記モジュールは、パッケージング基板と、ダイ上に形成され、パッケージング基板上に実装される集積回路(IC)とを含む。上記ICは、ICの動作を促進するように構成される、ヘテロ接合バイポーラトランジスタ(HBT)および電界効果トランジスタ(FET)のアセンブリを含む。HBTは、ダイ基板の上に位置する半導体材料を含むコレクタ層を含む。FETは、ダイ基板の上に位置するとともに、HBTのコレクタ層を形成する半導体材料に形成されるチャンネルを含む。上記モジュールは、ICへの電力の移送と、ICへのRF信号の移送およびICからのRF信号の移送とを促進するように構成される1つ以上の接続をさらに含む。

30

【0085】

本願明細書の他の関連する実施形態に従うと、アセンブリはさらに、ダイ基板の上に位置するチャンネルを有し、かつ、HBTのエミッタと同じ半導体材料で形成される第2のFETを含み得る。第1のFETはpFETを含み得、第2のFETはnFETを含み得る。

【0086】

これに関するいくつかの他の実施形態に従うと、本開示は、アンテナと、アンテナから受け取られたRF信号を処理するように構成されるとともにアンテナを介する送信のための無線周波数集積回路(RFIC)とを有するワイヤレスデバイスに関する。ワイヤレスデバイスは、RF信号を増幅するように構成されるパワーアンプ(PA)回路をさらに含む。PA回路は、ヘテロ接合バイポーラトランジスタ(HBT)および電界効果トランジスタ(FET)のアセンブリを含む。HBTは、基板の上に位置する半導体材料を含むコレクタ層を含む。FETは、基板の上に位置するとともに、HBTのコレクタ層を形成する半導体材料に形成されるチャンネルを含む。

40

【0087】

本願明細書のいくつかのさらなる他の関連する実施形態において、PAは、バイポーラトランジスタPAより低い基準電圧で動作することが可能であるハイパワーBiFETアンプとして動作するように構成され得る。いくつかの実施形態において、基板は砒化ガリ

50

ウム (GaAs) を含み得る。

【0088】

他の実施形態も提供される。本発明の他のシステム、方法、特徴および利点は、以下の図面および詳細な説明を検討する際に、当業者に明白になるであろう。すべてのこのような付加的なシステム、方法、特徴および利点は、この説明の中に含まれ、本発明の範囲内にあり、添付の請求の範囲によって保護されることが意図される。

【0089】

VIII. 半導体抵抗器を有するRFパワーアンプ

多くの状況において、パワーアンプ (PA) のような無線周波数 (RF) デバイスのコストを低減することが望ましい。プロセスステップを取り除くことおよび／または余分な処理ステップを含んでいない「フリー」のデバイスを使用することは、このようなコストの低減がどのように達成され得るかについての例である。本願明細書において以下にさらに詳細に記載されるように、半導体抵抗器はそのような有利なコストの低減を提供し得る。さらに本願明細書において記載されるように、他の利点も半導体抵抗器により実現され得る。たとえば、利用可能な抵抗値に依存して、抵抗器実装面積がより小さくなり得、これにより、ダイサイズの縮小を支援し得る。このようなダイサイズの低減によって、さらにコストを低減することができる。別の例では、いくつかの半導体抵抗器は、当該抵抗器を形成するのと同じ半導体材料の状態に敏感であり得る。

【0090】

本発明のこの局面のいくつかの実現例において、半導体ダイおよびその上のICに関連付けられる薄膜 (たとえばTa₂N₅) 抵抗器のうちのいくつかまたはすべてが半導体抵抗器と置換され得る。いくつかの実現例において、このような半導体抵抗器は、ヘテロ接合バイポーラトランジスタ (HBT) のような層スタックデバイスを形成する実際の層の1つ以上から作製され得る。このような抵抗器は、HBTが作られる際、余分な処理ステップなしで作製され得る。多くのこのような抵抗器がスタックの異なる層から作製され得る (たとえばHBTのエミッタ層、ベース層、およびイオン注入されたベース層) ので、抵抗値の柔軟性およびダイサイズの低減が可能である。

【0091】

本願明細書の他の実現例において、本願明細書に記載される1つ以上の特徴を有する半導体抵抗器の作製は、所与のダイ上でのスタック構造の作製と比較すると、付加的な処理ステップなしで、または、プロセスステップのほんのわずかな修正で、達成され得る。本願明細書においてさまざまな例がHBTの文脈において記載されるが、同様の抵抗器構造および作製方法が他の構成に適用可能であるということが理解されるであろう。たとえば、付加的な層が、HBTおよび1つ以上の他のトランジスタ構造を含むデバイスを作製するために形成され得る。このようなデバイスの例は、リニアリティおよび製造性が増加したFETを含むBIFET (BIFET INCLUDING A FET HAVING INCREASED LINEARITY AND MANUFACTURABILITY) という名称を有する米国特許番号第6,906,359号と、HBTおよびFETを有する構造に関するデバイスおよび方法 (DEVICES AND METHODOLOGIES RELATED TO STRUCTURES HAVING HBT AND FET) という名称を有するPCT公開番号WO/2012/061632号とを含むがこれらに限定されない。

【0092】

他の実施形態に従うと、本開示の1つ以上の特徴は、III-V族半導体ダイにおいて実現され得る。いくつかの実施形態では、このようなIII-V族半導体ダイは、GaAsベースのダイを含み得る。このようなGaAsベースのダイ上に形成されるトランジスタおよび／または他のスタック構造は、HBTを含んでもよく、含まなくてもよい。

【0093】

本願明細書に記載されるように、多くの有利な特徴が半導体抵抗器によって提供され得る。他の利点はたとえば、抵抗器層に関連付けられる材料を選択することにより、異なる抵抗の温度係数 (temperature coefficient of resistance (TCR)) 値が提供される望ましい特徴を含み得る。別の例において、抵抗器のサイズは、可能な抵抗値のこのよう

な範囲（たとえば約 8 オーム／sq（たとえばサブコレクタ）から約 1, 000 オーム／sq（たとえば、注入されたベース層）のシート抵抗）により、望ましい態様で最適化または構成され得る。さらに別の例では、どの抵抗器が選択されるかに依存して（たとえば、デバイス上の第 3 の端子にバイアスがどのようにかけられるかを修正することにより）、抵抗器の RF ロールオフが選択および／または調整され得る。

【0094】

XI. 信号パス終端

この開示の 1 つの局面は、パワーアンプダイ、負荷線および高調波終端回路を含むパワーアンプモジュールである。パワーアンプダイは、パワーアンプ入力で入力信号を増幅するとともにパワーアンプ出力で増幅出力信号を生成するように構成される 1 つ以上のパワーアンプを含む。パワーアンプダイはさらに複数の出力ピンを有する。負荷線は、増幅出力信号の基本周波数で、パワーアンプ出力にてインピーダンスを整合するように構成される。負荷線は、パワーアンプダイの外部で、パワーアンプダイの複数の出力ピンの 1 つ以上の第 1 の群に電氣的に結合される。高調波終端回路は負荷線と別個である。高調波終端回路は、増幅出力信号の高調波周波数に対応する位相で終端するように構成される。高調波終端回路は、パワーアンプダイの外部で、パワーアンプダイの複数の出力ピンの 1 つ以上の他のピンの第 2 の群に電氣的に結合される。

10

【0095】

本願明細書のある実現例において、高調波終端回路は、パワーアンプダイの外部で、パワーアンプダイの 1 つ以上の他のピンの第 2 の群に結合される 1 つ以上の配線を含み得る。これらの実現例のうちのいくつかに従うと、1 つ以上の配線はワイヤーボンドを含み得る。代替的または付加的には、負荷線は、パワーアンプダイの外部で、パワーアンプダイの 1 つ以上のピンの第 1 の群に結合される 1 つ以上の他の配線を含み得る。さまざまな実現例に従うと、パワーアンプダイの 1 つ以上の他のピンの第 2 の群とは異なる数の配線が、パワーアンプダイの 1 つ以上のピンの第 1 の群に結合され得る。

20

【0096】

多くの実現例に従うと、パワーアンプダイの 1 つ以上のピンの第 1 の群は基板上の第 1 の導電性トレースに電氣的に結合され得、パワーアンプダイの 1 つ以上のピンの第 2 の群は基板上の第 2 の導電性トレースに電氣的に結合され、第 1 の導電性トレースは、パワーアンプダイの外部の、第 2 の導電性トレースとは異なる信号パスに含まれる。これらの実現例のうちのいくつかにおいて、高調波終端回路は、第 1 の端部および第 2 の端部を有するワイヤーボンドを含み得、第 1 の端部はパワーアンプダイの 1 つ以上のピンの第 2 の第 1 の群に結合され、基板上の第 2 の導電性トレースはワイヤーボンドの第 2 の端部に結合され、高調波終端回路はさらに、第 1 の端部および第 2 の端部を有するキャパシタを含み得、第 1 の端部は第 2 の導電性トレースに結合され、第 2 の端部は基準電圧に結合される。

30

【0097】

たとえば、増幅出力信号の高調波周波数は、増幅出力信号の第 2 の高調波周波数または増幅出力信号の第 3 の高調波周波数であり得る。

【0098】

さまざまな実現例に従うと、パワーアンプモジュールはさらに、負荷線および高調波終端回路の両方とは別個の他の高調波終端回路を含み得、当該他の高調波終端回路は、増幅出力信号の別の高調波周波数に対応する位相で終端するように構成される。ある実現例に従うと、高調波終端回路は他の高調波終端回路と並列であり得る。

40

【0099】

パワーアンプモジュールはさらに、ある実現例に従うと、パワーアンプ入力でインピーダンスを整合するように構成される入力整合ネットワークと、入力信号の高調波周波数の位相で終端するように構成される別個の高調波終端回路とを含み得る。

【0100】

いくつかの実現例において、高調波終端回路の部分はパワーアンプダイ内に実現され得

50

る。

【0101】

この開示の別の局面は、モバイルデバイスに電力を供給するように構成される電池と、パワーアンプダイと、負荷線と、高調波終端回路と、負荷線に電氣的に結合されるアンテナとを含むモバイルデバイスであり、アンテナは増幅されたRF信号を送信するように構成される。パワーアンプダイは、パワーアンプ入力ノードで受け取られた無線周波数(RF)入力信号を増幅するとともに増幅されたRF信号をパワーアンプ出力ノードで生成するように構成されるパワーアンプを含む。負荷線は、パワーアンプ出力ノードにて、増幅されたRF信号の基本周波数でインピーダンスを整合するように構成される。高調波終端回路は負荷線と別個である。高調波終端回路は、増幅されたRF信号の高調波周波数に対応する位相で終端するように構成される。高調波終端回路および負荷線は、パワーアンプダイの外部で、パワーアンプ出力ノードへの異なる電氣的接続を有する。

10

【0102】

この開示の別の局面は、ダイとダイを受けるように構成される基板とを含む装置である。ダイは、出力ノードに出力信号を駆動するように構成される少なくとも1つの能動回路要素を含む。基板は、第1の導電性トレースおよび第2の導電性トレースを含む。第1の導電性トレースおよび第2の導電性トレースは、基板上の異なる信号パスの部分である。第1の導電性トレースは、ダイの出力ノードにて、出力信号の基本周波数でインピーダンスを整合するように構成される負荷線に含まれる。第2の導電性トレースは、負荷線と別個の高調波終端回路に含まれる。高調波終端回路は、出力信号の高調波周波数に対応する位相で終端するように構成される。

20

【0103】

ある実現例において、基板は、出力信号の異なる高調波周波数に対応する位相で終端するように構成される別の高調波終端回路に含まれる第3の導電性トレースを含み得る。

【0104】

いくつかの実現例に従うと、上記装置はさらに、第2の導電性トレースにダイの出力ノードを電氣的に結合するように構成されるワイヤーボンドを含み得、ワイヤーボンドは高調波終端回路に含まれ得る。

【0105】

多くの実現例に従うと、装置はさらに、基板に実装されるキャパシタを含み得、キャパシタは第2の導電性トレースに電氣的に結合され、キャパシタは高調波終端回路に含まれる。

30

【0106】

この開示のさらに別の局面はモジュールを製造する方法である。上記方法は、パッケージング基板にパワーアンプダイを結合することを含み、パワーアンプダイは、入力信号を受け取るとともに増幅出力信号を生成するように構成されるパワーアンプを含み、上記方法はさらに、パワーアンプダイとパッケージング基板上の第1の導電性トレースとの間に第1の配線を形成することを含み、第1の配線は、増幅出力信号の基本周波数のインピーダンスを整合するように構成される第1の終端回路に含まれ、上記方法はさらに、パワーアンプダイとパッケージング基板上の第2の導電性トレースとの間に第2の配線を形成することを含み、第2の配線は第1の配線と別個であり、第1の導電性トレースは第2の導電性トレースと別個であり、第2の配線は、増幅出力信号の高調波に対応する位相で終端するように構成される第2の終端回路に含まれる。

40

【0107】

いくつかの実現例において、第1の配線を形成することは、パワーアンプダイのパッドをパッケージング基板上の第1の導電性トレースにワイヤーボンディングすることを含み得る。

【0108】

開示を要約する目的のために、本発明のある局面、利点および新規な特徴が本願明細書において記載された。必ずしもすべてのこのような利点が本発明の任意の特定の実施形態

50

に従って達成されなくてもよいということが理解されるべきである。したがって本発明は、本願明細書において教示または示唆され得る他の利点を必ずしも達成することなく、本願明細書において教示される1つの利点または利点の群を達成または最適化する態様で実施または実行されてもよい。

【0109】

X. 高性能無線周波数用途のための送信線

この開示の1つの局面は、無線周波数(RF)回路における使用のために構成される無線周波数(RF)送信線である。RF送信線は、ボンディング層と、バリア層および拡散バリア層と、導電層とを含む。ボンディング層はボンディング面を有し、RF信号を受け取るように構成される。バリア層は汚染物質がボンディング層に入るのを防止するように構成される。バリア層はボンディング層に隣接する。拡散バリア層は汚染物質がボンディング層に入るのを防止するように構成される。拡散バリア層はバリア層に隣接する。拡散バリア層は、受取られたRF信号が拡散バリア層を貫通して、拡散バリア層に隣接する導電層に到ることを可能にする厚さを有する。

10

【0110】

いくつかの実現例において、ボンディング層、バリア層および拡散バリア層は、仕上げめっきで実施され得る。ある実現例に従うと、ボンディング層は金を含み得る。さまざまな実現例において、ボンディング面はワイヤーボンディングのために構成され得る。多くの実現例に従うと、バリア層はパラジウムを含み得る。

20

【0111】

ある実現例に従うと、拡散バリア層はニッケルを含み得る。いくつかの実現例において、拡散バリア層の厚さは、約0.04 μm ～約0.7 μm の範囲にあり得る。多くの実現例に従うと、拡散バリア層の厚さは約0.5 μm 以下であり得る。さまざまな実現例に従うと、拡散バリア層の厚さは、約0.35 μm 以下であり得る。ある実現例に従うと、拡散バリア層の厚さは約0.75 μm 以下であり得る。いくつかの実現例において、拡散バリア層の厚さは、約0.45 GHzの周波数でのニッケルの表皮厚さ未満であり得る。

【0112】

本願明細書のいくつかの実現例に従うと、拡散バリアの厚さは、約0.45 GHzの周波数での拡散バリア層の表皮厚さ未満であり得る。

【0113】

これに関連する多くの実現例に従うと、導電層は、銅、アルミニウムまたは銀の1つ以上を含み得る。たとえばある実現例において、導電層は銅を含み得る。さまざまな実現例において、受け取られるRF信号の実質的にすべては、導電層において伝播し得る。

30

【0114】

ある実現例に従うと、ボンディング層は金であり得、バリア層はパラジウムであり得、拡散バリア層はニッケルであり得る。これらの実現例のうちのいくつかにおいて、拡散バリア層の厚さは、約0.04 μm ～約0.7 μm の範囲であり得る。多くの実現例に従うと、拡散バリア層の厚さは約0.5 μm 以下であり得る。ある実現例に従うと、拡散バリア層の厚さは約0.35 μm 以下であり得る。いくつかの実現例に従うと、拡散バリア層の厚さは約0.75 μm であり得る。

40

【0115】

この開示の別の局面は、RF送信線における使用のために構成される拡散バリア層である。拡散バリア層は材料を含み、厚さを有する。拡散バリア層の厚さは、RF信号が拡散バリア層を貫通することが可能であるように十分に小さい。

【0116】

本発明のこの局面のある実現例において、材料はニッケルを含む。これらの実現例のうちのいくつかに従うと、拡散バリア層の厚さは、約0.04 μm ～0.7 μm の範囲にあり得る。多くの実現例に従うと、拡散バリア層の厚さは約0.5 μm 以下であり得る。いくつかの実現例に従うと、拡散バリア層の厚さは約0.35 μm 以下であり得る。ある実現例に従うと、拡散バリア層の厚さは約0.75 μm 以下であり得る。さまざまな実現例

50

において、拡散バリア層の厚さは、約 0.45 GHz の周波数でのニッケルの表皮厚さ未満であり得る。

【0117】

これに関する多くの実現例に従うと、拡散バリア層の厚さは約 0.45 GHz の周波数での材料の略表皮厚さ未満であり得る。

【0118】

いくつかの実現例に従うと、拡散バリア層を貫通する RF 信号の実質的にすべてが拡散バリア層に隣接する導電層において伝わり得る。

【0119】

さまざまな実現例において、拡散バリア層の材料および／または厚さは、拡散バリア層を汚染物質が通過するのを防止し得る。

【0120】

この開示の別の局面は、送信線、アンテナおよび電池を含むモバイルデバイスである。送信線は、ボンディング層、バリア層、拡散バリア層および導電層を含む。ボンディング層はボンディング面を有する。バリア層はボンディング層に隣接する。拡散バリア層はバリア層に隣接する層である。導電層は拡散バリア層に隣接している。バリア層および拡散バリア層は導電層からの導電材料がボンディング層に入るのを防止するように構成される。拡散バリア層は、RF 信号が拡散バリア層を貫通し導電層において伝播することが可能であるように十分に小さい厚さを有する。アンテナは送信線に結合され、RF 出力信号を送信するように構成される。送信線は、電池が放電する時間量が長くなるように構成される。

【0121】

ある実現例に従うと、モバイルデバイスは、送信線に結合される出力を有するパワーアンプを含み得る。これらの実現例のうちのいくつかにおいて、パワーアンプの出力はワイヤーボンドを介して送信線に結合され得る。さまざまな実現例に従うと、送信線はパワーアンプから RF スイッチに RF 信号を送信するように構成され得る。いくつかの実現例に従うと、送信線はパワーアンプからフィルタに RF 信号を送信するように構成され得る。

【0122】

多くの実現例に従うと、モバイルデバイスは、送信線に結合される出力を有するフィルタを含み得る。いくつかの実現例において、送信線はフィルタから RF スイッチに RF 信号を送信するように構成され得る。さまざまな実現例に従うと、送信線はフィルタからアンテナに RF 信号を送信するように構成され得る。

【0123】

いくつかの実現例に従うと、モバイルデバイスは、送信線に結合される出力を有する RF スイッチを含み得る。ある実現例において、送信線は RF スイッチからアンテナに RF 信号を送信するように構成される。さまざまな実現例に従うと、送信線は RF スイッチからフィルタに RF 信号を送信するように構成される。

【0124】

本願明細書のある特定の実現例に従うと、拡散バリア層はニッケルを含み得る。これらの実現例のうちのいくつかにおいて、拡散バリア層の厚さは、約 0.04 μm ～約 0.7 μm の範囲にあり得る。多くの実現例において、拡散バリア層の厚さは約 0.5 μm 以下であり得る。いくつかの実現例において、拡散バリア層の厚さは約 0.35 μm 以下であり得る。ある実現例において、拡散バリア層の厚さは約 0.75 μm であり得る。さまざまな実現例において、拡散バリア層の厚さは、約 0.45 GHz の周波数でのニッケルの表皮厚さ未満であり得る。

【0125】

多くの実現例において、拡散バリア層の厚さは約 0.45 GHz の周波数での材料の表皮厚さ未満であり得る。ある特定の実現例に従うと、RF 信号の実質的にすべては送信線の導電層において伝わり得る。いくつかの実現例に従うと、ボンディング層、バリア層および拡散バリア層は、仕上げめっきで実施され得る。

【0126】

この開示の別の局面は基板を含むラミネートパネルである。基板は、RF信号を送信するために構成される送信線を含む。送信線は、ボンディング層、バリア層、拡散バリア層および導電層を有する。ボンディング層は、導電層と別個の導電体とのボンディングのために構成されるボンディング面を有する。バリア層は汚染物質がボンディング層に入るのを防止するように構成される。拡散バリア層は、汚染物質が拡散バリア層を通過し、導電層とボンディング層との間で拡散することを防止するように、材料を含み、厚さを有する。拡散バリア層の厚さは、導電体からのRF信号が貫通して導電層に到ることが可能であるように十分に小さい。

【0127】

10

ある実現例によれば、拡散バリア層はニッケルであり得る。これらの実現例のうちのいくつかにおいて、拡散バリア層は、約0.45GHzの周波数でのニッケルの表皮厚さ未満である厚さを有し得る。

【0128】

多くの実現例において、ボンディング層は金を含み得、バリア層はパラジウムを含み得、拡散バリア層はニッケルを含み得る。これらの実現例のうちのいくつかにおいて、拡散バリア層の厚さは、約0.75μm未満であり得る。

【0129】

この開示の別の局面は、基板、第1のRFコンポーネントおよび第2のRFコンポーネントを含むモジュールである。基板は導電体および送信線を含む。送信線はボンディング層、バリア層、拡散バリア層および導電層を有する。ボンディング層は、導電体とのボンディングのために構成されるボンディング面を有する。バリア層および拡散バリア層は汚染物質がボンディング層に入るのを防止するように構成される。拡散バリア層の厚さは、導電体からのRF信号が貫通して導電層に到るのが可能であるように十分に小さい。第1のRFコンポーネントは基板に結合され、RF信号を生成するように構成される。第2のRFコンポーネントは、基板に結合され、送信線を介して第1のコンポーネントからRF信号を受け取るように構成される。

20

【0130】

ある実現例において、基板はラミネート基板である。これらの実現例のうちのいくつかに従うと、基板は、ボンディング層、バリア層および拡散バリア層を含む仕上げめっきを含み得る。

30

【0131】

多くの実現例に従うと、拡散バリア層はニッケルを含み得る。多くの実現例において、拡散バリア層の厚さは約0.7μm以下であり得る。いくつかの実現例において、厚さは約0.35μmであり得る。ある実現例において、拡散バリア層の厚さは約0.75μm以下であり得る。さまざまな実現例において、拡散バリア層の厚さは、約0.45GHzの周波数でのニッケルの表皮厚さ未満であり得る。ある実現例に従うと、導電層は銅を含み得る。いくつかの実現例において、拡散バリア層の厚さは、約0.45GHzの周波数での材料の表皮厚さ未満であり得る。

【0132】

40

さまざまな実現例に従うと、ボンディング層はワイヤーボンディングのために構成され得、導電体はワイヤーボンドを介してボンディング層に電氣的に結合され得る。

【0133】

ある実現例に従うと、RF信号の実質的にすべては導電層において第1のRFコンポーネントから第2のRFコンポーネントに伝播し得る。

【0134】

さまざまな実現例において、第1のRFコンポーネントはパワーアンプを含み得る。これらの実現例のうちのいくつかに従うと、第2のRFコンポーネントはフィルタおよび／またはRFスイッチを含み得る。

【0135】

50

いくつかの実現例に従うと、第1のRFコンポーネントはRFスイッチを含み得る。これらの実現例のうちのいくつかに従うと、第2のRFコンポーネントはパワーアンプおよび／またはフィルタを含み得る。

【0136】

ある他の実現例において、第1のRFコンポーネントはフィルタを含み得る。これらの実現例のうちのいくつかに従うと、第2のRFコンポーネントはパワーアンプおよび／またはRFスイッチを含む。

【0137】

多くの実現例に従うと、バリア層はボンディング層と拡散バリア層との間に位置決めされ得る。

10

【0138】

この開示のさらに別の局面は、導電層と導電層上の仕上げめっきとを含むRF送信線である。仕上げめっきは、金層、金層に隣接するパラジウム層、およびパラジウム層に隣接するニッケル層を含む。ニッケル層は、金層で受け取られたRF信号がニッケル層を貫通し導電層において伝播することを可能にする厚さを有する。また他の実現例において、金層はワイヤーボンディングのために構成され得る。

【0139】

いくつかのさらなる実現例において、ニッケル層の厚さは、約0.04 μm ～約0.7 μm の範囲にあり得る。多くの実現例に従うと、ニッケル層の厚さは約0.5 μm 以下であり得る。ある実現例に従うと、ニッケル層の厚さは約0.35 μm 以下であり得る。いくつかの実現例に従うと、ニッケル層の厚さは約0.75 μm であり得る。

20

【0140】

ある付加的な実現例に従うと、ニッケル層の厚さは、約0.45 GHzの周波数でのニッケルの表皮厚さ未満であり得る。いくつかの実現例に従うと、導電層は、銅、アルミニウムまたは銀の1つ以上を含み得る。たとえば、導電層は銅を含み得る。

【0141】

多くの実現例に従うと、RF信号の実質的にすべては導電層において伝播され得る。

開示を要約する目的のために、本発明のある局面、利点および新規な特徴が本願明細書において記載された。必ずしもすべてのこのような利点が本発明のこれらの局面の任意の特定の実施形態に従って達成されなくてもよいということが理解されるべきである。したがって本発明は、この開示の全体において教示または示唆され得る他の利点を必ずしも達成することなく、本願明細書全体において教示される1つの利点または利点の群を達成または最適化する態様で実施または実行されてもよい。

30

【0142】

XI. 窒化タンタルで終端されたウェハ貫通ビア

窒化タンタルで終端されたウェハ貫通ビアのための装置および方法が、本開示の他の局面、特徴または特性の1つ以上と組み合わせられて本願明細書において記載および解釈される。そのある実現例では、窒化タンタル(TaN)終端層が砒化ガリウム(GaAs)ウェハの第1の側または表側上に形成され、金の導電層がTaN終端層の上に形成される。その後、ウェハ貫通ビアが、GaAsウェハの第2の側または裏側へとエッチングされ、GaAsウェハおよびTaN終端層の第1または内側部分を貫通するよう延在して金の導電層に達する。ここで組み合わせられて解釈されるある実現例において、ウェハ貫通ビアは、ニッケルバナジウム(NiV)バリア層、金のシード層および銅層でめっきされる。ウェハ貫通ビアの形成の間、TaN終端層の第2の部分または外側部分は、金の導電層と銅層との間の界面を取り囲みGaAsウェハへの銅の拡散を抑制するように維持および構成される。

40

【0143】

TaN終端ウェハ貫通ビアは、窒化珪素の終端とスパッタリングされたバリア層とを使用するスキームと比較して、金属接着の改善および銅マイグレーションの低減を提供することができる。更に、ウェハ貫通ビアを終端するのにTaN終端層を使用するある実現例

50

では、作製を変更することなく、または、GaAsウェハの表側上に形成されるトランジスタ構造に関連付けられるリソグラフィマスクを変更することなく、ウェハ貫通ビアの場所または位置が移動させることが可能になり得る。トランジスタに関連付けられるリソグラフィマスクを変更することなくウェハ貫通ビアを移動可能に構成することにより、設計の柔軟性が高められ得、ならびに／または、ウェハ貫通ビアを含む集積回路の設計の増加する修正もしくはテープアウトに関連付けられる時間およびコストが低減され得る。

【0144】

XII. 無線周波数シールド用途におけるビア密度および配置

この開示の1つの局面はビア配置を決定する方法である。この方法は、無線周波数(RF)コンポーネントの周りのビアの初期配置について電磁干渉データを取得することを含む。RFコンポーネントは第1の導電層と第2の導電層との間に位置決めされる。ビアは第1の導電層と第2の導電層との間の接続に含まれる。ビアと第1および第2の導電層とは、RFコンポーネントの周りのRFアイソレーション構造の少なくとも部分を形成する。上記方法はさらに、初期配置についての電磁干渉データに少なくとも部分的に基づいて、ビアの更新配置を決定することを含む。

10

【0145】

本願明細書のいくつかの実施形態において、ビアの更新配置を決定することは、初期配置におけるRFコンポーネントの周辺部の周りの他の規定されたエリアより高い電磁干渉に関連付けられるRFコンポーネントの周辺部の周りの選択された規定されたエリアを、初期配置についての電磁干渉データに基づいて、識別することと、初期配置における選択された規定されたエリアのビアの密度と比較して、選択された規定されたエリアにおける更新配置におけるビアの密度を増加することとを含み得る。代替的または付加的には、上記方法は、初期配置における電磁干渉の許容レベルに関連付けられるRFコンポーネントの周辺部の周りの規定されたエリアを、初期配置についての電磁干渉データに基づいて識別することと、初期配置におけるビアの密度と比較して、規定されたエリアにおける更新配置におけるビアの密度を減少させることとを含み得る。ある実施形態に従うと、ビアの初期配置についての電磁干渉データは、シールドされないRFコンポーネントに対応する。

20

【0146】

本願明細書の方法は、任意の好適な回数繰り返され得る。たとえば、上記方法は、RFコンポーネントの周りのビアの更新配置について電磁干渉データを取得することと、更新配置についての電磁干渉データに少なくとも部分的に基づいて、ビアの別の更新配置を決定することとを含み得る。

30

【0147】

いくつかの実施形態に従うと、電磁干渉データは、ビアの初期配置におけるRFコンポーネントの少なくとも2つの異なる動作モードについて取得され得る。

【0148】

この開示の発明の別の局面はパッケージモジュールである。パッケージモジュールは、少なくとも1つのコンポーネントを受け取るように構成される基板を含む。パッケージモジュールはさらに、基板の主面に結合される無線周波数(RF)コンポーネントを含む。パッケージモジュールは、RFコンポーネントの下に配置される第1の導電層を含み、第1の導電層は接地電位に構成される。パッケージモジュールは、RFコンポーネントの周りに配置される、基板における複数のビアを含む。当該複数のビアは、パッケージモジュールの第2の領域よりもパッケージモジュールの第1の領域において高い密度を有しており、第1の領域は第2の領域より高い電磁干渉に関連付けられる。パッケージモジュールは、RFコンポーネントの上に配置される第2の導電層を含む。第2の導電層は、第1の導電層、複数のビアおよび第2の導電層がRFコンポーネントの周りのRFアイソレーション構造の少なくとも部分を形成するように、複数のビアに電氣的に結合される。

40

【0149】

本願明細書のある実施形態において、第1の領域はパッケージモジュールの周辺に沿っ

50

て配置され、第2の領域はパッケージモジュールの周辺に沿って配置される。これらの実施形態のうちのいくつかに従うと、第1の領域および第2の領域は、パッケージモジュールの外縁部に実質的に平行な寸法において、ほぼ同じ幅を有する。複数のビアは、パッケージモジュールの周辺に沿って整列され得る。ある実施形態に従うと、第1の領域は、第1の領域と少なくとも同じ大きさのエリアを有する、パッケージモジュールの周辺に沿った任意の領域の最も高いビア密度を有し得る。いくつかの実施形態において、第1の領域は第2の領域とほぼ同じ面積を有し得る。

【0150】

本発明のこの局面の多くの実施形態に従うと、RFコンポーネントは、第2の領域に対してよりも、第1の領域に対してより多くの放射を発するように構成され得る。代替的または付加的には、パッケージモジュールは、第1の領域が第2の領域よりも多くの放射に晒されるように構成される。ある実施形態において、第1の領域はパッケージモジュールのホットスポットに対応し得、第2の領域はパッケージモジュールの低放射エリアに対応し得る。代替的または付加的には、第1の領域は第2の領域より外部電磁干渉に対してより敏感であり得る。

10

【0151】

これに関するある実施形態において、パッケージモジュールはさらに、複数のビアと第2の導電層との間の電氣的接続の少なくとも部分を形成する導電性機構を含み得、RFアイソレーション構造が導電性機構を含む。たとえば、導電性機構はワイヤーボンドまたは金属缶を含み得る。いくつかの実施形態に従うと、RFコンポーネントはパワーアンプを含み得る。

20

【0152】

この発明の別の局面は、基板と、RFデバイスと、第1および第2の導電層と、複数のビアとを含むパッケージモジュールである。基板は少なくとも1つのコンポーネントを受け取るように構成される。RFデバイスは基板の主面に結合される。第1の導電層はRFコンポーネントの下に配置され、接地電位に構成される。複数のビアはRFコンポーネントの周りに配置される。複数のビアでは、RFコンポーネントの周りの第1の領域における密度が、第1の領域とほぼ同じ面積を有するRFコンポーネントの周りの第2の領域よりも高い。第1の領域は第2の領域よりも外部放射に敏感である。第2の導電層はRFコンポーネントの上に配置される。第2導電層は、第1の導電層、複数のビアおよび第2の導電層が、RFコンポーネントの周りにRFアイソレーション構造の少なくとも部分を形成するように複数のビアに電氣的に結合される。

30

【0153】

この開示のさらに別の局面は、アンテナ、パッケージモジュールおよび別のモジュールを含むワイヤレスデバイスである。アンテナは、無線周波数(RF)信号を送信および／または受信することを促進するように構成される。パッケージモジュールはアンテナと通信している。パッケージモジュールは、接地平面を有する基板と、パッケージモジュールの周辺に沿って配置される基板における複数のビアとを含む。複数のビアのビア同士の間隔は、低放射エリアにおいてよりもホットスポットにおいて、パッケージモジュールの周辺に沿ってより近い。パッケージモジュールは、基板の主面に結合されるRF回路を含む。パッケージモジュールはさらに、RF回路の上に配置される第2の導電層を含む。第2の導電層は、接地平面、複数のビアおよび第2の導電層がRF回路の周りにRFアイソレーション構造の少なくとも部分を形成するように、複数のビアに電氣的に結合される。他のモジュールはパッケージモジュールと通信する。

40

【0154】

本願明細書のいくつかの実施形態において、ホットスポットは、パッケージモジュールによって生成される電磁干渉に関連付けられ得、複数のビアは、ホットスポットに関連付けられる電磁干渉から他のモジュールを分離するように構成され得る。ある実施形態に従うと、ホットスポットは、他のモジュールによって生成される電磁干渉に関連付けられ得、複数のビアはホットスポットに関連付けられる電磁干渉からパッケージモジュールをシ

50

ールドするように構成され得る。

【0155】

多くの実施形態に従うと、パッケージモジュールは、複数のビアと第2の導電層との間の電氣的接続の少なくとも部分を形成する導電性機構をさらに含み、RFアイソレーション構造が導電性機構を含む。たとえば、導電性機構はワイヤーボンドを含み得る。

【0156】

開示を要約する目的のために、本発明のある局面、利点および新規な特徴が本願明細書において要約された。必ずしもすべてのこのような利点が本発明の任意の特定の実施形態に従って達成されなくてもよいということが理解されるべきである。したがって本発明のこれらの局面は、本願明細書において上または以下で教示または示唆され得る他の利点を必ずしも達成することなく、本願明細書全体において教示される1つの利点または利点の群を達成または最適化する態様で実施または実行されてもよい。

【0157】

X I I I . 集積された干渉シールドリングを有する半導体パッケージ

本発明のこの局面の特徴および実施形態は、半導体デバイスパッケージと、デバイスパッケージに電磁干渉シールドを集積するためにワイヤーボンドプロセス技術を使用する、当該半導体デバイスパッケージを作製する方法とに関する。一実施形態において、ワイヤーボンドプロセスは、デバイスの周りに位置決めされるとともにデバイスの上および下の導電層に結合されるワイヤーボンドばねを形成するために使用され、これにより、デバイスの周りに電磁干渉シールドを形成する。以下にさらに議論されるように、ワイヤーボンドばねの形状およびワイヤーボンドばねによって作り出されるばね効果によって、堅牢な製造プロセスが可能になり、モールドされたパッケージの上部での導電層とパッケージの基板における接地平面との間に信頼性のある電氣的接続が作り出される。これらのワイヤーボンドばねの使用により、任意のオーバーモールドされるデバイスに適用され得る集積された電磁干渉シールドリングのための柔軟なソリューションが提供される。

【0158】

本願明細書の1つの局面は、集積された電磁干渉シールドを有するパッケージ半導体モジュールに関する。一実施形態において、パッケージ半導体モジュールは、接地平面を有する基板と、基板の表面上に実装される電子デバイスと、電子デバイスの周りに配置されるとともに接地平面に電氣的に結合される複数のワイヤーボンドばねと、電子デバイスを覆い、少なくとも部分的に複数のワイヤーボンドばねを覆うモールドコンパウンドと、モールドコンパウンドの上面に配置されるとともに複数のワイヤーボンドばねのうちの少なくともいくつかに電氣的に結合される導電層とを含み、複数のワイヤーボンドばね、導電層および接地平面はともに、集積された電磁干渉シールドを含む。

【0159】

一例において、導電層は銀が充填されたエポキシを含む。ワイヤーボンドばねは、金のワイヤーまたは銅のワイヤーのようなさまざまな導電材料から形成され得る。複数のワイヤーボンドばねの各々は、導電層とワイヤーボンドばねとの間の接触を可能にして導電層とワイヤーボンドばねとの間に電氣的結合を提供するばね効果を提供するように形状決めされるワイヤーの連続的なループを含み得る。一例において、電子デバイスはRFデバイスである。

【0160】

本願明細書の別の実施形態に従うと、ワイヤーの連続的なループから形成されるワイヤーボンドばねは、ボールボンドと、屈曲ゾーンと、頂部と、屈曲ゾーンと頂部との間を延在する凸状領域と、傾斜する後部領域と、頂部と傾斜する後部領域との間を延在する実質的に平坦な領域とを含み、屈曲ゾーンは凸状領域とボールボンドとの間に存在する。一例において、頂部は屈曲ゾーンの上において実質的に鉛直方向にある。上で論じたように、ワイヤーボンドばねは、金のワイヤーまたは銅のワイヤーを含むさまざまな導電材料から形成され得る。一例において、この構造を有するワイヤーボンドばねは、上で議論された半導体モジュールに使用される。

【0161】

本願明細書の別の局面は、集積された電磁干渉シールドを有する半導体モジュールパッケージに関する。一実施形態において、半導体モジュールパッケージは、基板と、基板の第1の表面上に配置される第1および第2の金属化接続点と、第1の金属化接続点と第2の金属化接続点との間を延在する連続的なワイヤーを含むワイヤーボンドばねとを含む。ワイヤーボンドばねは、第1の金属化接続点に電氣的に接続されるボールボンドと、屈曲ゾーンと、頂部と、屈曲ゾーンと頂部との間を延在する凸状領域と、頂部に隣接する実質的に平坦な領域と、実質的に平坦な領域と第2の金属化接続点との間を延在する傾斜する後部領域とを含む。一例において、半導体モジュールパッケージはさらに、基板上に配置され、かつ、第1および第2の金属化接続点の少なくとも1つに電氣的に結合される接地平面を含む。別の例において、半導体モジュールパッケージはさらに、電子デバイスと、ワイヤーボンドばねと実質的に同一の複数の付加的なワイヤーボンドばねとを含み、複数のワイヤーボンドばねは、基板上において電子デバイスの周辺の周りに位置決めされる。別の例において、半導体モジュールパッケージはさらに、電子デバイスを覆い、複数のワイヤーボンドばねを部分的に覆うモールドコンパウンドと、モールドコンパウンドの表面上に配置され、かつ、複数のワイヤーボンドばねのうちの少なくともいくつかに電氣的に接続される導電層とを含み、接地平面、導電層、および複数のワイヤーボンドばねのうちの少なくともいくつかはともに、集積された電磁干渉シールドを形成する。

10

【0162】

本発明のこれらの特徴の別の局面は、集積された電磁干渉シールドを有するモジュールを製造する方法に関する。一実施形態に従うと、この方法は、基板に電子デバイスを接続することと、基板上に金属化部を提供することと、金属化部に接続される複数のワイヤーボンドばねを形成することと、モールドコンパウンドに電子デバイスを封入し、かつ、モールドコンパウンドで複数のワイヤーボンドばねを部分的に覆うよう、トランスファーモールド処理を行なうことと、モールドコンパウンドの表面上に導電層を配置することとを含み、導電層は複数のワイヤーボンドばねのうちの少なくともいくつかに電氣的に接続される。一例において、上記方法はさらに、複数のワイヤーボンドばねのうちの少なくともいくつかの領域を露出するよう、モールドコンパウンドの表面上に導電層を配置する前に、モールドコンパウンドの表面を除去することを含む。別の例において、金属化部を提供することは、接地平面と、接地平面に電氣的に接続される少なくとも1つのワイヤーボンド接触エリアとを提供することを含む。別の例において、複数のワイヤーボンドばねを形成することは、金属化部上にワイヤーボールを配置することと、ワイヤーボールに接続される第1の端部と第2の端部とを有するワイヤーループを形成するようワイヤーボールからワイヤーを引き出すことによりワイヤーループを形成することと、金属化部に第2の端部を接続することとを含む。別の例において、モールドコンパウンドの表面上に導電層を配置することは、モールドコンパウンドの表面上に、銀が充填されたエポキシの層を塗布することを含む。

20

30

【0163】

本願明細書の別の実施形態に従うと、電子モジュールは、基板と、基板上に配置される電子デバイスと、実質的に電子デバイスの周りに配置される複数の離散的な構造から形成される集積された電磁干渉シールドとを含み、上記構造は、集積された電磁干渉シールドによってシールドされるべき信号の波長の分数によって規定される最小の間隔を有する。一例において、波長の分数は $1/20$ である。別の例において、以下に議論されるように、複数の離散的構造は複数のワイヤーボンドばねを含む。

40

【0164】

これらの例示的な局面および実施形態のさらに他の局面、実施形態および利点が以下に詳細に議論される。さらに、前述の情報および以下の詳細な説明の両方は単にさまざまな局面および実施形態の例示的な例であり、請求される局面および実施形態の性質および特徴を理解するための概略またはフレームワークを提供するように意図されるということが理解されるべきである。本願明細書において開示される任意の実施形態は、本願明細書に

50

において開示される目的、目標、および必要性和一貫した任意の態様で任意の他の実施形態と組み合わせられてもよく、「ある実施形態」、「いくつかの実施形態」、「代替的な実施形態」、「さまざまな実施形態」、または「一実施形態」などへの参照は、必ずしも相互に排他的ではなく、当該実施形態に関連して記載される特定の特徴、構造または特性が少なくとも1つの実施形態に含まれてもよいということを示すように意図される。本願明細書においてこのような用語が現れる場合、必ずしもすべて同じ実施形態を指しているわけではない。添付の図面の図は、さまざまな実施形態のさまざまな局面、特徴および特性の説明およびさらなる理解を提供するよう含まれており、この明細書において援用されるとともにこの明細書の一部を構成する。図面および明細書の残りの部分は、さまざまな記載および請求される局面および実施形態の原理および動作を説明するよう機能する。

10

【0165】

本願明細書において記載される改善されたパワーアンプ、パワーアンプモジュール、関連するシステム、デバイスおよび方法のさまざまな局面、特性および特徴は本発明に従って達成され、その1つの特定の実施形態の場合、コレクタ、コレクタに当接するベース、およびエミッタを有するGaAsバイポーラトランジスタを有するパワーアンプを含むパワーアンプモジュールが提供され、コレクタのドーピング濃度はベースとの接合部で少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ であり、コレクタはさらに少なくとも、ドーピング濃度がベースから離れるにつれて増加する第1の勾配を有する。この実施形態において、上記モジュールはさらに、パワーアンプによって駆動されるRF送信線を含み、RF送信線は導電層および導電層上の仕上げめっきを含み、仕上げめっきは、金層、金層に隣接したパラジウム層、およびパラジウム層に隣接した拡散バリア層を含み、拡散バリア層は、ニッケルを含んでおり、0.9GHzでのニッケルの略表皮厚さ未満である厚さを有する。

20

【0166】

上記の実施形態において、パワーアンプモジュールは有利なことに、パワーアンプの出力の基本周波数を整合するよう構成される第1の終端回路と、パワーアンプの出力の高調波の位相で終端するように構成される第2の終端回路とを有する出力整合ネットワークをさらに含んでもよく、第1の終端回路は、RF送信線の少なくとも部分を含む。

【0167】

本願明細書の1つの特定の局面に従うと、パワーアンプは、窒化タンタルで終端されるウェハ貫通ビアを有するパワーアンプダイ上に含まれてもよい。この実施形態において、パワーアンプダイは有利なことに、砒化ガリウム(GaAs)基板と、GaAs基板の第1の側上に配置される金層と、第1の側の反対側であるGaAs基板の第2の側上に配置される銅層とをさらに含んでもよく、窒化タンタルで終端されるウェハ貫通ビアは、銅層に金層を電氣的に接続するように構成される。その付加的な実施形態の場合、パワーアンプダイはさらに、銅層からGaAs基板の中への銅の拡散を抑制するよう銅層と金層との間の界面の少なくとも部分を囲むように構成される窒化タンタル終端領域を含んでもよい。

30

【0168】

上記の実施形態のいずれかにおいて、GaAsバイポーラトランジスタは有利なことに、パワーアンプダイ上に含まれるヘテロ接合バイポーラトランジスタ(HBT)として実現されてもよく、パワーアンプダイは、少なくとも1つのHBT層から形成される抵抗器をさらに含んでもよい。

40

【0169】

上記の実施形態のいずれかは代替的に、RF送信線の金層に接するワイヤーボンドをさらに含んでもよく、ワイヤーボンドに隣接する少なくとも1つの縁部と、少なくとも1つの縁部に隣接する少なくとも1つの側壁とには、RF送信線のニッケル層、RF送信線のパラジウム層、およびRF送信線の金層が存在しない。

【0170】

上記のうちのある好ましい実施形態において、上記パワーアンプモジュールは有利なことに、組合せで、(1)シリアルインターフェイスを提供するように構成されるフロント

50

エンドコアを有するデュアルモード制御インターフェイスと、(2) V I O信号を受け取るように構成される電圧入力／出力(V I O)ピンとをさらに含んでもよく、このV I O信号は、フロントエンドコアの動作モードがアクティブ状態およびインアクティブ状態のうちの1つにセットされるかどうかを決定し、デュアルモード制御インターフェイスは、フロントエンドコアがインアクティブ状態にセットされる際に汎用入力／出力(G P I O)インターフェイスを提供するよう構成され、上記パワーアンプモジュールはさらに、(4) イネーブルレベルシフタおよびモードレベルシフタにイネーブル信号およびモード信号をそれぞれ提供するように構成される組合せ論理ブロックと、(5) V I O信号に基づいて、イネーブルレベルシフタおよびモードレベルシフタにそれぞれ提供すべきイネーブル信号およびモード信号を選択するように構成されるパワーオンリセットとを含んでもよい。

10

【0171】

上記の実施形態に関連付けられるさらに別の利点を達成するよう、上記パワーアンプモジュールは、パワーアンプモジュールの周辺に沿って配置されるワイヤーボンドを含むR Fアイソレーション構造をさらに含んでもよい。

【0172】

この発明の別の主要な局面に従うと、パワーアンプモジュールがさらに提供され、当該パワーアンプモジュールは、R F入力信号を受け取り、かつ、増幅されたR F出力信号を生成するように構成されるパワーアンプを含み、パワーアンプは、コレクタ、コレクタに当接するベース、およびエミッタを有するG a A s バイポーラトランジスタを含み、コレクタのドーピング濃度はベースとの接合部で少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ であり、コレクタはさらに少なくとも、ドーピング濃度がベースから離れるにつれて増加する第1の勾配を有しており、上記パワーアンプモジュールはさらに、それと組み合わせて、増幅されたR F出力信号の基本周波数のインピーダンスを整合するように構成される第1の終端回路と、第1の終端回路とは別個の第2の終端回路とを含む出力整合ネットワークを含み、第2の終端回路は、増幅されたR F出力信号の高調波周波数に対応する位相で終端するように構成される。この実施形態において、パワーアンプは、拡散バリア層を有するR F送信線を駆動し得、拡散バリア層はニッケルを含み、約 $0.5 \mu\text{m}$ 未満の厚さを有する。さらに、R F送信線にパワーアンプの出力を電氣的に接続するワイヤーボンドが提供されてもよく、ワイヤーボンドは第1の終端回路に含まれる。代替的には、この実施形態は

20

30

【0173】

この発明のさらに別の主要な局面に従うと、パワーアンプモジュールが代替的に提供され、上記パワーアンプモジュールは、(1) R F入力信号を受け取り、かつ、増幅されたR F信号を生成するように構成されるパワーアンプと、(2) 増幅されたR F信号を伝播するように構成されるR F送信線とを含み、R F送信線は、増幅されたR F信号を受け取るように構成される金層、金層に隣接するパラジウム層、パラジウム層に隣接する拡散バリア層、および拡散バリア層に隣接する導電層を含み、拡散バリア層はニッケルを含み、 0.45 GHz でのニッケルの略表皮厚さ未満の厚さを有しており、上記パワーアンプモジュールはさらに、(3) 増幅されたR F信号の基本周波数のインピーダンスを整合するように構成される第1の終端回路を含み、第1の終端回路はR F送信線の少なくとも部分を含み、上記パワーアンプモジュールはさらに、(4) 第1の終端回路とは別個の第2の終端回路を含み、第2の終端回路は、増幅されたR F信号の高調波周波数に対応する位相で終端するように構成され、パワーアンプは少なくとも1つのワイヤーボンドを介して第1の終端回路に電氣的に結合され、パワーアンプは、第1の終端回路とは異なる数のワイ

40

50

ヤーボンドを介して第2の終端回路に電氣的に結合される。この代替的な実施形態において、上記パワーアンプは有利なことに、コレクタ、コレクタに当接するベース、およびエミッタを有するGaAsバイポーラトランジスタを含んでもよく、コレクタのドーピング濃度はベースとの接合部で少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ であり、コレクタはさらに少なくとも、ドーピング濃度がベースから離れるにつれて増加する第1の勾配を有する。この特定の実施形態のパワーアンプモジュールの任意のバージョンは有利なことに、単一のダイ上に無線周波数フロントエンド(RFFE)シリアルインターフェイスおよび汎用入力/出力(GPIO)インターフェイスの両方を提供するように構成されるデュアルモード制御インターフェイスをさらに含んでもよく、それに組み合わせてまたはそれとは代替的に、パワーアンプモジュールの周辺に沿って配置されるワイヤーボンドを含むRFアイソレーション構造をさらに含んでもよい。

10

【0174】

RFモジュールに向けられるような本発明のさらに別の好ましい実施形態において、パワーアンプモジュールが提供され、上記パワーアンプモジュールは、(1)複数のコンポーネントを受け取るように構成される基板を含み、基板は自身の上にRF送信線を有し、RF送信線は導電層および導電層上の仕上げめっきを有し、仕上げめっきは、金層、金層に隣接するパラジウム層、およびパラジウム層に隣接する拡散バリア層を有し、拡散バリア層は、ニッケルを有し、約0.45GHzの周波数でのニッケルの表皮厚さ未満である厚さを有しており、上記パワーアンプモジュールはさらに、(2)基板に結合される第1のダイを含み、第1のダイは、RF送信線の金層に電氣的に接続される出力を有するパワーアンプを有し、第1のダイは第1のダイの1つ以上の状態に依存する特性を有する受動コンポーネントをさらに有し、本モジュールはさらに、(3)基板に結合される第2のダイを含み、第2のダイは、第1のダイの受動コンポーネントの特性のインジケータに少なくとも部分的に基づいて、バイアス信号を生成するように構成されるバイアス発生回路を有する。

20

【0175】

この発明の別の局面に従うと、上記の段落で記載されたモジュールの特定の実施形態は、パワーアンプの出力の基本周波数を整合するよう構成される第1の終端回路と、パワーアンプの出力の高調波の位相で終端するように構成される第2の終端回路とを有する出力整合ネットワークをさらに含んでもよく、第1の終端回路は、RF送信線の少なくとも部分を含む。それに組み合わせてまたはそれとは代替的に、上記モジュールは、第1のダイが窒化タンタルで終端されるウェハ貫通ビアを有するように、および/または、HBTデバイスと、少なくとも1つのHBT層から形成される抵抗器とを含むように構成されてもよい。この実施形態の付加的な局面として、本願明細書の上記パワーアンプモジュールは、所望の場合、パワーアンプの周りに配置される、基板における複数のビアと、パワーアンプモジュールの周辺に沿って配置される所望の数のワイヤーボンドとを有するRFアイソレーション構造をさらに含んでもよく、複数のビアは、パワーアンプモジュールの第1の領域において、パワーアンプモジュールの第2の領域よりも高い密度を有しており、第1の領域は、第2の領域より高い電磁干渉に関連付けられる。

30

【0176】

この発明のさらに別の好ましい実施形態に従うと、ある用途のために、有利なことに、複数のコンポーネントを受け取るように構成され、かつさらに、下記に従って構成される基板を含むパワーアンプモジュールが提供される。基板は、金層、金層に隣接するパラジウム層、およびパラジウム層に隣接する拡散バリア層を含む仕上げめっきを有する。拡散バリア層は有利なことに、ニッケルを含み、0.45GHzでのニッケルの略表皮厚さ未満である厚さを有する。この実施形態はさらに、上記と組み合わせて、パワーアンプと、少なくとも1つの窒化タンタルで終端されるウェハ貫通ビアとを有するパワーアンプダイを含む。ここで、パワーアンプは、RF入力信号を受け取るよう構成され、かつさらに、増幅されたRF信号を生成するよう構成される。最後に本願明細書の主要な要素として、この実施形態は有利なことに、本願明細書のすべての前述の要素と組み合わせて、増幅され

40

50

た R F 信号の高調波の位相で終端するように構成される終端回路を含み、このような終端回路には、パワーアンプの出力を仕上げめっきの金属に電氣的に結合するように構成される少なくとも 1 つのワイヤーボン드가設けられる。

【0177】

この段落の直上の段落に記載された実施形態において、そのパワーアンプダイは有利なことに、オンダイ受動コンポーネントと、オンダイ受動コンポーネントに電氣的に接続される第 1 のリードと、増幅された R F 信号を受け取るように構成される第 2 のリードとを含んでもよい。その特定の実現例において、そのように望まれる場合、仕上げめっきの第 1 の部分は第 1 のリードに電氣的に接続されてもよく、仕上げめっきの第 2 の部分は第 2 のリードに電氣的に接続されてもよく、これにより、仕上げめっきの第 1 の部分からの電流を方向付ける。これらの実施形態のいずれかにおいて、パワーアンプダイは所望の場合、ヘテロ接合バイポーラトランジスタと、ヘテロ接合バイポーラ材料層を含む抵抗器とを含んでもよい。さらに、それに代替的またはそれに組み合わせて、パワーアンプは、コレクタ、コレクタに当接するベース、およびエミッタを有する G a A s バイポーラトランジスタを含んでもよく、コレクタのドーピング濃度はベースとの接合部で少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ であり、コレクタはさらに少なくとも、ドーピング濃度がベースから離れるにつれて増加する第 1 の勾配を有する。上記のうちの 1 つの特定の実施形態において、上記パワーアンプモジュールは、そのように望まれる場合、有利なことに、(1) シリアルインターフェイスを提供するように構成されるフロントエンドコアを有するデュアルモード制御インターフェイスと、(2) V I O 信号を受け取るように構成される電圧入力／出力 (V I O) ピンとをさらに含んでもよく、V I O 信号は、フロントエンドコアの動作モードがアクティブ状態およびインアクティブ状態のうちの 1 つにセットされるかどうかを決定し、デュアルモード制御インターフェイスは、フロントエンドコアがインアクティブ状態にセットされる際に汎用入力／出力 (G P I O) インターフェイスを提供するように構成され、上記パワーアンプモジュールはさらに、(3) イネーブルレベルシフタおよびモードレベルシフタにイネーブル信号およびモード信号をそれぞれ提供するように構成される組合せ論理ブロックと、(4) V I O 信号に基づいて、イネーブルレベルシフタおよびモードレベルシフタにそれぞれ提供すべきイネーブル信号およびモード信号を選択するように構成されるパワーオンリセットとを含んでもよい。

【0178】

ここで本願は、2012 年 6 月 14 日に出願された「パワーアンプモジュール (POWER AMPLIFIER MODULE)」という名称を有する米国仮特許出願第 61/659,848 号と、2012 年 6 月 14 日に出願された「プロセスで補償された H B T パワーアンプバイアス回路および方法 (PROCESS-COMPENSATED HBT POWER AMPLIFIER BIAS CIRCUITS AND METHODS)」という名称を有する米国仮特許出願第 61/659,701 号と、2012 年 6 月 14 日に出願された「半導体抵抗器を有する R F パワーアンプ (RF POWER AMPLIFIERS HAVING SEMICONDUCTOR RESISTORS)」という名称を有する米国仮特許出願第 61/659,834 号とのすべての開示を参照によって援用する。

【0179】

本願はさらに、2011 年 3 月 3 日に出願された「ワイヤーボンッドパッドシステムおよび方法 (WIREBOND PAD SYSTEM AND METHOD)」という名称を有する米国特許出願番号第 13/040,127 号と、2011 年 3 月 3 日に出願された「高い R F 損失めっきの影響を低減するための装置および方法 (APPARATUS AND METHODS FOR REDUCING IMPACT OF HIGH RF LOSS PLATING)」という名称を有する米国特許出願番号第 13/040,137 号と、2012 年 4 月 30 日に出願された「勾配を有するバイポーラトランジスタを有するコレクタ (BIPOLAR TRANSISTOR HAVING COLLECTOR WITH GRADING)」という名称を有する米国特許出願番号第 13/460,521 号と、2012 年 10 月 23 日に提出された「2 モード汎用入力／出力インターフェイスを有するデュアルモードパワーアンプ制御インターフェイス (DUAL MODE POWER AMPLIFIER CONTROL INTERFACE WITH A TWO-MODE GENERAL PURPOSE INPUT/OUTPUT INTERFACE)」という名称を有する米国特許出願番号第 13/6

58, 488号と、2012年10月23日に出願された「3モード汎用入力／出力インターフェイスを有するデュアルモードパワーアンプ制御インターフェイス (DUAL MODE POWER AMPLIFIER CONTROL INTERFACE WITH A THREE-MODE GENERAL PURPOSE INPUT/OUTPUT INTERFACE)」という名称を有する米国特許出願番号第13／658, 522号と、2011年7月8日に出願された「信号パス終端 (SIGNAL PATH TERMINATION)」という名称を有する米国特許出願番号第13／543, 472号と、2010年11月4日に出願された「バイポーラおよびFETデバイス構造 (BIPOLAR AND FET DEVICE STRUCTURE)」という名称を有する米国特許出願番号第12／939, 474号と、2011年11月3日に出願された「HBTおよびFETを有する構造に関するデバイスおよび方法 (DEVICES AND METHODOLOGIES RELATED TO STRUCTURES HAVING HBT AND FET)」という名称を有する米国特許出願番号第13／288, 427号と、2012年5月4日に出願された「高性能無線周波数用途のための送信線 (TRANSMISSION LINE FOR HIGH PERFORMANCE RADIO FREQUENCY APPLICATIONS)」という名称を有する米国特許出願番号第13／464, 775号と、2012年5月31日に出願された「無線周波数シールドイング用途におけるビア密度および配置 (VIA DENSITY AND PLACEMENT IN RADIO FREQUENCY SHIELDING APPLICATIONS)」という名称を有する米国特許出願番号第13／485, 572号と、2013年5月14日に出願された「集積回路モジュールのために電磁干渉シールドイングを提供するためのシステムおよび方法 (SYSTEMS AND METHODS FOR PROVIDING ELECTROMAGNETIC INTERFERENCE SHIELDING FOR INTEGRATED CIRCUIT MODULES)」という名称を有する米国特許出願番号第13／893, 605号と、2013年5月14日に出願された「集積回路モジュールのために電磁干渉を制御するためのシステムおよび方法 (SYSTEMS AND METHODS FOR CONTROLLING ELECTROMAGNETIC INTERFERENCE FOR INTEGRATED CIRCUIT MODULES)」という名称を有する米国特許出願番号第13／893, 614号と、2013年5月29日に出願された「金属ペイント層を有する半導体パッケージ (SEMICONDUCTOR PACKAGE HAVING A METAL PAINT LAYER)」という名称を有する米国特許出願番号第13／904, 566号とのすべての開示を参照によって援用する。

【0180】

さらに、本願はここで、2008年7月31日に出願された「ワイヤーボンドばねコネクタおよび集積されたEMIシールドのための製造方法 (WIREBOUND SPRING CONNECTORS AND METHOD OF MANUFACTURING FOR INTEGRATED EMI SHIELDING)」という名称を有する国際出願番号PCT／US2008／071832号と、2011年11月3日に出願された「HBTおよびFETを有する構造に関するデバイスおよび方法 (DEVICES AND METHODOLOGIES RELATED TO STRUCTURES HAVING HBT AND FET)」という名称を有するPCT／US2011／059208号とのすべての開示を参照によって援用する。

【0181】

本発明のさらなる局面および特性と、それに寄与する付加的な特徴およびそれから生じる利点とは、添付の図面において示される本発明の好ましい実施形態の以下の説明から明白になるであろう。

【図面の簡単な説明】

【0182】

【図1】パワーアンプモジュールのブロック図である。

【図2】ある実施形態に従った、ワイヤーボンドパッドを含む例示的なICモジュールの拡大された部分を示す図である。

【図3】ワイヤーボンドパッドを形成するための例示的なプロセス122についてのフローチャートを示す図である。

【図4】この発明の特定の実施形態に従った、図2のICモジュール上のNi／Pd／Auワイヤーボンドパッドの断面を示す図である。

【図5】ある実施形態に従ったワイヤーボンドパッドを含む例示的なRFICモジュールの拡大された部分を示す図である。

【図6】本願明細書のある実施形態に従った、Ni／Pd／Auワイヤーボンドパッドを

形成するための例示的なプロセスについてのフローチャートを提示する図である。

【図 7】本願明細書の実施形態に従った、図 5 の R F I C モジュール上の N i / P d / A u ワイヤーボンドパッドの断面を示す図である。

【図 8】縁部／側壁露出面および縁部／側壁めっき面を有するトレースについての R F 損失を比較するグラフの図である。

【図 9 A】めっきに対して露出される最小化された縁部および側壁を有するワイヤーボンディングエリアについての例示的なレイアウトを示す図である。

【図 9 B】めっきに対して露出される最小化された縁部および側壁を有するワイヤーボンディングエリアについての例示的なレイアウトを示す図である。

【図 9 C】めっきに対して露出される最小化された縁部および側壁を有するワイヤーボンディングエリアについての例示的なレイアウトを示す図である。

10

【図 9 D】めっきに対して露出される最小化された縁部および側壁を有するワイヤーボンディングエリアについての例示的なレイアウトを示す図である。

【図 9 E】めっきに対して露出される最小化された縁部および側壁を有するワイヤーボンディングエリアについての例示的なレイアウトを示す図である。

【図 9 F】めっきに対して露出される最小化された縁部および側壁を有するワイヤーボンディングエリアについての例示的なレイアウトを示す図である。

【図 1 0】本願明細書の実施形態に従った、オンダイ受動デバイスを有する R F I C を有する R F I C モジュールの拡大された部分を示す図である。

【図 1 1】この発明の別の実施形態に従った、オンダイ受動デバイスを有する R F I C を有する R F I C モジュールの拡大された部分を示す図である。

20

【図 1 2 A】本発明の特定の実施形態に従ったバイポーラトランジスタの例示的な断面を示す図である。

【図 1 2 B】図 1 2 A のバイポーラトランジスタの部分の例示的なドーピング濃度のグラフの図である。

【図 1 2 C】図 1 2 A のバイポーラトランジスタ 1 8 9 の部分に対応する例示的な材料を示す凡例の図である。

【図 1 3】図 1 2 A のバイポーラトランジスタ 1 0 0 および現状技術のバイポーラトランジスタについて、耐圧と電流密度との関係を示すグラフである。

【図 1 4 A】この発明の別の実施形態に従ったバイポーラトランジスタの例示的な断面を示す図である。

30

【図 1 4 B】図 1 4 A のバイポーラトランジスタの部分の例示的なドーピング濃度のグラフの図である。

【図 1 4 C】図 1 4 A のバイポーラトランジスタの部分に対応する例示的な材料を示す凡例の図である。

【図 1 4 D】本願明細書の別の実施形態に従ったバイポーラトランジスタの例示的な断面を示す図である。

【図 1 4 E】図 1 4 D のバイポーラトランジスタの部分の例示的なドーピング濃度のグラフの図である。

【図 1 4 F】図 1 4 D のバイポーラトランジスタの部分に対応する例示的な材料を示す凡例の図である。

40

【図 1 5】この発明の方法の実施形態に従ったバイポーラトランジスタを作製するための例示的なプロセスフロー図である。

【図 1 6】本願明細書において記載される 1 つ以上の特徴を有するバイポーラトランジスタを含むパワーアンプモジュールの一実施形態のブロック図である。

【図 1 7】図 1 6 のパワーアンプモジュールを含むこの発明に従った 1 つの特定のワイヤレスデバイスの例示的なブロック図である。

【図 1 8】本発明のある局面に従ったワイヤレスデバイスの別の実施形態のブロック図である。

【図 1 9】この発明のある局面に従って実現されるデジタル制御インターフェイスの実施

50

形態を示す図である。

【図 20】本発明に従って実現されるレベルシフトの実施形態の概略図である。

【図 21】この発明の局面に従ったデジタル制御インターフェイスの動作のためのプロセスのフローチャートである。

【図 22】本願明細書のある局面に従ったワイヤレスデバイスのさらに別の実施形態のブロック図である。

【図 23】この発明のある他の局面に従った本発明のデジタル制御インターフェイスの別の実施形態を示す。

【図 24】図 23 の場合のデジタル制御インターフェイスにおいて実現される、本発明に従った組合せ論理ブロックの実施形態の概略図である。

10

【図 25】付加的なレベルシフト機能に従って実現される本願明細書のデジタル制御インターフェイスのさらに別の実施形態を提示する図である。

【図 26】図 25 のデジタル制御インターフェイスにおいて実現される本発明の組合せ論理ブロックの別の実施形態である図である。

【図 27】この発明の一実施形態に従った、集積回路、ダイに依存するコンポーネント、およびバイアス回路を含む半導体ダイの概略図である。

【図 28】図 27 のアセンブリの 2 ダイ構成を示す図である。

【図 29】HBT ダイおよび Si ダイを利用する 2 ダイ構成を示す図である。

【図 30】本発明に従ったパワーアンプ回路の概略図である。

【図 31】本発明に従った、バイアス信号を生成するための抵抗を含むパワーアンプ回路の 1 つの特定の構成の概略ブロック図である。

20

【図 32】図 31 の抵抗がベータパラメータおよび温度とどのように関連するかを示すグラフの図である。

【図 33】図 31 の抵抗がベータパラメータおよび温度とどのように関連するかを示すグラフの図である。

【図 34】図 31 の抵抗がベータパラメータおよび温度とどのように関連するかを示すグラフの図である。

【図 35】本発明に従った、補償された制御信号を生成するために使用される V-I 回路の例を示す図である。

【図 36】図 35 の V-I 回路について異なる V_{batt} 設定の場合の出力電圧対温度の異なるプロットを示すグラフの図である。

30

【図 37A】補償されないパワーアンプの例の第 1 および第 2 段についての零入力電流対温度のプロットを示す図である。

【図 37B】補償されないパワーアンプの例の第 1 および第 2 段についての零入力電流対温度のプロットを示す図である。

【図 38A】本願明細書の補償される電力増幅器の第 1 および第 2 段についての零入力電流対温度のプロットの図である。

【図 38B】本願明細書の補償される電力増幅器の第 1 および第 2 段についての零入力電流対温度のプロットの図である。

【図 39】異なる例示的な温度での計算されたゲイン対電力出力のプロットを示す図である。

40

【図 40】図 38A および図 38B を参照して記載された変化したパラメータの異なる組合せについて、ゲイン対電力出力のプロットを提示する図である。

【図 41A】この発明の別の特定の実施形態に従って実現されるパワーアンプモジュールの平面図である。

【図 41B】図 41A のパワーアンプモジュールの側面図である。

【図 42】本発明のある局面に従った実現されるワイヤレスデバイスの特定の実施形態の例を概略的に示す図である。

【図 43】本発明によって例示される BiFET を含む構造の断面図を示す図である。

【図 44】図 43 の構造の代替的な実施形態の断面図を示す図である。

50

【図４５】図４３の構造を作製するために実現され得る本発明に従ったプロセスのステップを示す図である。

【図４６】図４４の構造を製作するために実現され得る本願明細書のプロセスステップを提示する図である。

【図４７】図４３および図４４のＨＢＴを作製するために実現され得るこの発明の一実施形態のプロセスステップを示す図である。

【図４８】図４３のＦＥＴおよび図４４の第１のＦＥＴを製作するために実現され得る本願明細書のプロセスのステップを示す図である。

【図４９】図４４の第２のＦＥＴを作製するために実現され得るこの発明の局面に従ったプロセスステップを示す図である。

10

【図５０】本願明細書のいくつかの実施形態の場合、パワーアンプ（ＰＡ）回路のような回路を有する半導体ダイは、本願明細書に記載される１つ以上の特徴を有するＢｉＦＥＴデバイスを含み得ることを示すブロック図である。

【図５１】いくつかの実施形態において、ＰＡコントローラおよび／またはスイッチコントローラ回路を有する半導体ダイは、本願明細書に記載される１つ以上の特徴を有するＢｉＦＥＴデバイスを含み得ることを示すブロック図である。

【図５２】いくつかの実施形態において、パッケージモジュールは、本願明細書に記載される１つ以上の特徴を有するダイを含み得ることを示すブロック図である。

【図５３】いくつかの実施形態において、ワイヤレスデバイスは、図５２のパッケージモジュールのような、本願明細書に記載される１つ以上の特徴を有するモジュールを含み得ることを示すブロック図である。

20

【図５４】集積回路を有する半導体ダイを概略的に示す図である。

【図５５】本発明に従った半導体基板上に形成される層のスタックを有するＨＢＴの例を示す図である。

【図５６Ａ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

【図５６Ｂ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

【図５６Ｃ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

30

【図５６Ｄ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

【図５６Ｅ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

【図５６Ｆ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

【図５６Ｇ】図５５のＨＢＴに関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の実施形態を提示する図である。

【図５６Ａ－１】図５６Ａの半導体抵抗器の電氣的概略図である。

【図５６Ｂ－１】図５６Ｂの半導体抵抗器の電氣的概略図である。

40

【図５６Ｃ－１】図５６Ｃの半導体抵抗器の電氣的概略図である。

【図５６Ｄ－１】図５６Ｄの半導体抵抗器の電氣的概略図である。

【図５６Ｅ－１】図５６Ｅの半導体抵抗器の電氣的概略図である。

【図５６Ｆ－１】図５６Ｆの半導体抵抗器の電氣的概略図である。

【図５６Ｇ－１】図５６Ｇの半導体抵抗器の電氣的概略図である。

【図５７Ａ】本発明に従った抵抗領域を含む半導体構造の側面図である。

【図５７Ｂ】提供される抵抗領域の端子を示す図５７Ａの構造の上平面図である。

【図５７Ｃ】図５７Ａの抵抗領域によって形成される抵抗器の概略図である。

【図５８】トランジスタに接続される図５７Ｃの抵抗器を示す図である。

【図５９Ａ】図５８の回路要素の異なる実施形態の概略図である。

50

【図 5 9 B】図 5 8 の回路要素の異なる実施形態の概略図である。

【図 5 9 C】図 5 8 の回路要素の異なる実施形態の概略図である。

【図 6 0】本発明に従ったダイ上に形成される半導体抵抗器の概略ブロック図である。

【図 6 1 A】例示的なワイヤレスデバイスの概略的なブロック図である。

【図 6 1 B】別の例示的なワイヤレスデバイスの概略的なブロック図である。

【図 6 1 C】図 6 1 A および図 6 1 B のワイヤレスデバイスにおいて使用され得る例示的なパワーアンプモジュールのブロック図である。

【図 6 2】本発明の実施形態に従った、終端回路を有するパワーアンプシステムを示す概略的な回路ブロック図である。

【図 6 3 A】本願明細書の別の実施形態に従った終端回路を有する例示的なパワーアンプモジュールを示すブロック図である。

10

【図 6 3 B】この発明の特定の実施形態に従った例示的な基板を示す図である。

【図 6 4 A】図 6 3 A の実施形態の性能を従来の実現例と比較するシミュレーションの結果を示す図である。

【図 6 4 B】図 6 3 A の実施形態の性能を従来の実現例と比較するシミュレーションの結果を示す図である。

【図 6 4 C】図 6 3 A の実施形態の性能を従来の実現例と比較するシミュレーションの結果を示す図である。

【図 6 5】この発明の別の実施形態に従ったダイおよび例示的な終端回路を示すブロック図である。

20

【図 6 6】本発明のさらに別の実施形態に従ったモジュールを製造する例示的な方法のプロセスフロー図である。

【図 6 7 A】本発明のある局面に従った送信線の実施形態の断面の図である。

【図 6 7 B】図 6 7 A の例示的な送信線を概略的に示す図である。

【図 6 8 A】図 6 7 A の送信線に取り付けられるワイヤーボンドの側面図である。

【図 6 8 B】図 6 7 A の送信線を含む基板の例を示す図である。

【図 6 8 C】図 6 8 B の複数の基板を含むアレイの例を示す図である。

【図 6 9】図 6 7 A の送信線を含む例示的なモジュールの概略的なブロック図である。

【図 7 0 A】図 6 7 A の送信線および図 6 9 のモジュールにおいて実現される他の送信線の間関係を示すグラフの図である。

30

【図 7 0 B】図 6 7 A の送信線および図 6 9 のモジュールにおいて実現される他の送信線の間関係を示すグラフの図である。

【図 7 0 C】図 6 7 A の送信線および図 6 9 のモジュールにおいて実現される他の送信線の間関係を示すグラフの図である。

【図 7 0 D】図 6 7 A の送信線および図 6 9 のモジュールにおいて実現される他の送信線の間関係を示すグラフの図である。

【図 7 1】図 6 7 A の送信線を介して互いに結合された、2 つの無線周波数 (R F) コンポーネントのブロック図である。

【図 7 2 A】図 6 7 A の送信線を介して互いに電氣的に結合され得るさまざまな例示的な R F コンポーネントの概略的なブロック図である。

40

【図 7 2 B】図 6 7 A の送信線を介して互いに電氣的に結合され得るさまざまな例示的な R F コンポーネントの概略的なブロック図である。

【図 7 2 C】図 6 7 A の送信線を介して互いに電氣的に結合され得るさまざまな例示的な R F コンポーネントの概略的なブロック図である。

【図 7 2 D】図 6 7 A の送信線を介して互いに電氣的に結合され得るさまざまな例示的な R F コンポーネントの概略的なブロック図である。

【図 7 2 E】図 6 7 A の送信線を介して互いに電氣的に結合され得るさまざまな例示的な R F コンポーネントの概略的なブロック図である。

【図 7 2 F】図 6 7 A の送信線を介して互いに電氣的に結合され得るさまざまな例示的な R F コンポーネントの概略的なブロック図である。

50

【図 7 3】図 6 7 A の送信線を含むようこの発明に従って実現される別の例示的なモバイルデバイスの概略的なブロック図である。

【図 7 4 A】この発明の一実施形態に従ったウェハの平面図である。

【図 7 4 B】図 7 4 A のウェハの部分の部分拡大平面図である。

【図 7 5 A】本発明に従った、基板の第 1 または表側の上にパッシベーション層を形成することを示す図である。

【図 7 5 B】本願明細書の本発明に従って、パッシベーション層の上にフォトレジスト層を形成およびパターニングすることと、パッシベーション層をパターニングするためにフォトレジスト層を使用することとを示す図である。

【図 7 5 C】この発明に従って、マスクとしてフォトレジスト層を使用して窒化タンタル (T a N) 終端層を形成することを示す図である。

【図 7 5 D】本発明に従って、フォトレジスト層を除去することと、T a N 終端層の上に導電層を形成することとを示す図である。

【図 7 5 E】本願明細書において教示されるように基板の表側に担持板を取り付けることと、基板の裏側にフォトレジスト層を形成およびパターニングすることとを示す図である。

【図 7 5 F】本発明のこの局面に従って、基板の中に裏側からウェハ貫通ビアを形成することを示す図である。

【図 7 5 G】本願明細書の裏側プロセスの一実施形態の部分として、フォトレジスト層を除去し、ウェハ貫通ビアの上にバリア層を形成することを示す図である。

【図 7 5 H】バリア層の上にシード層を形成することと、シード層の上に銅層を形成することとを示す図である。

【図 7 5 I】ウェハの表側から担持板を除去することを示す図である。

【図 7 6 A】本発明に従った例示的なパッケージモジュールの上平面図である。

【図 7 6 B】図 7 6 A の線 A - A に沿った図 7 6 A のパッケージモジュールの断面を示す図である。

【図 7 7】集積回路 (I C) を有するダイを含むパッケージモジュールを作製するよう実現され得る本願明細書のプロセスステップを示す図である。

【図 7 8 A】パッケージモジュールの形成のために複数のダイを受けるように構成される例示的なラミネートパネルの表側を示す図である。

【図 7 8 B】パッケージモジュールの形成のために複数のダイを受けるように構成される例示的なラミネートパネルの裏側を示す図である。

【図 7 9 A】この発明に従った個々のモジュールを与えるように構成されるパネルのラミネート基板の図を示す図である。

【図 7 9 B】この発明に従った個々のモジュールを与えるように構成されるパネルのラミネート基板の図を示す図である。

【図 7 9 C】この発明に従った個々のモジュールを与えるように構成されるパネルのラミネート基板の図を示す図である。

【図 8 0】ラミネート基板上に実装するためにシンギュレートされる、複数のダイを有する作製された半導体ウェハの例を示す図である。

【図 8 1】ラミネート基板上に実装される際に接続性を促進するための例示的な電気接触パッドを示す、個々のダイを示す図である。

【図 8 2 A】例示的な表面実装技術 (S M T) デバイスの実装のためにラミネート基板が準備される上面図を示す図である。

【図 8 2 B】例示的な表面実装技術 (S M T) デバイスの実装のためにラミネート基板が準備される側面図を示す図である。

【図 8 3 A】ラミネート基板上に実装される例示的な S M T デバイスの上面図を示す図である。

【図 8 3 B】ラミネート基板上に実装される例示的な S M T デバイスの側面図を示す図である。

10

20

30

40

50

【図 8 4 A】本発明に従ってラミネート基板がダイの実装のために準備される上面図を示す図である。

【図 8 4 B】本発明に従ってラミネート基板がダイの実装のために準備される側面図を示す図である。

【図 8 5 A】ラミネート基板上に実装されるダイの上面図を示す図である。

【図 8 5 B】ラミネート基板上に実装されるダイの側面図を示す図である。

【図 8 6 A】この発明に従ったワイヤーボンドによってラミネート基板に電氣的に接続されるダイの上面図を示す図である。

【図 8 6 B】この発明に従ったワイヤーボンドによってラミネート基板に電氣的に接続されるダイの側面図を示す図である。

10

【図 8 7 A】ラミネート基板上に形成されるとともに、ワイヤーボンドによって規定されるエリアと、ワイヤーボンドの外側のエリアとの間での電磁（EM）アイソレーションを促進するように構成されるワイヤーボンドの上面図を示す図である。

【図 8 7 B】ラミネート基板上に形成されるとともに、ワイヤーボンドによって規定されるエリアと、ワイヤーボンドの外側のエリアとの間での電磁（EM）アイソレーションを促進するように構成されるワイヤーボンドの側面図を示す図である。

【図 8 8】本発明に従ったラミネート基板の上の領域にモールドコンパウンドを導入するためのモルディング構成の側面図を示す図である。

【図 8 9】図 8 8 のモルディング構成を介して形成されるオーバーモールドの側面図を示す図である。

20

【図 9 0】オーバーモールドを有するパネルの表側を示す図である。

【図 9 1】EMアイソレーションワイヤーボンドの上部分を露出するためにオーバーモールドの上部分がどのように除去され得るかについての側面図を示す図である。

【図 9 2 A】オーバーモールドの一部が、EMアイソレーションワイヤーボンドの上部分をより良好に露出するよう除去された上部分を有するパネルの部分のイメージを示す図である。

【図 9 2 B】EMアイソレーションワイヤーボンドの露出された上部分を有する導電性の表面を形成するようパネルの上部上にスプレーされた金属ペイントの塗布を示す、図 9 2 A に類似した図である。

【図 9 3】導電層がEMアイソレーションワイヤーボンドの露出した上部分に電氣的な接触するようにオーバーモールドの上に形成される導電層の側面図を示す図である。

30

【図 9 4】本願明細書の教示に従った、導電層がスプレーオン金属ペイントであり得るパネルのイメージを示す図である。

【図 9 5】パネルから切断される個々のパッケージモジュールを示す図である。

【図 9 6 A】個々のパッケージモジュールの図を示す図である。

【図 9 6 B】個々のパッケージモジュールの図を示す図である。

【図 9 6 C】個々のパッケージモジュールの図を示す図である。

【図 9 7】ワイヤレス電話基板上に実装されるモジュールの 1 つ以上が、本願明細書に記載される 1 つ以上の特徴を含み得ることを示すブロック図である。

【図 9 8 A】本願明細書に記載される 1 つ以上の特徴を有するパッケージモジュールを図 9 7 の電話基板のような回路基板上に設置するよう実現され得るプロセスのフロー図である。

40

【図 9 8 B】パッケージモジュールが設置された回路基板を示すブロック図である。

【図 9 8 C】パッケージモジュールが設置された回路基板を有するワイヤレスデバイスを示すブロック図である。

【図 9 8 D】無線周波数（RF）アイソレーション構造を有する電子デバイスを示す図である。

【図 9 9 A】本願明細書の特定の実施形態に従ったビア配置を決定する例示的なプロセスのフロー図である。

【図 9 9 B】本願明細書の別の実施形態に従ったビア配置を決定する例示的なプロセスの

50

フロー図である。

【図１００Ａ】異なるビア配置に対応する例示的な電磁干渉（ＥＭＩ）プロファイルの図である。

【図１００Ｂ】異なるビア配置に対応する例示的な電磁干渉（ＥＭＩ）プロファイルの図である。

【図１００Ｃ】図１００Ａおよび図１００ＢにおけるＥＭＩデータについての凡例の図である。

【図１０１】ビア密度と逆電力放射との間の関係を示すグラフである。

【図１０２Ａ】図１００Ａに示されるＥＭＩプロファイルに対応するビア配置を有する基板の上平面図である。

【図１０２Ｂ】図１００Ｂに示されるＥＭＩプロファイルに対応するビア配置を有する基板の上平面図である。

【図１０３】本発明の局面に従った、パッケージングプロセスの部分として、集積されたＥＭＩシールドを提供する方法の一例を示すプロセスステップを有するフロー図である。

【図１０４】基板と、基板に実装される１つ以上のダイとを含む電子モジュールの一例の側面図である。

【図１０５】この発明の局面に従った、集積されたＥＭＩシールドを組込む、デバイスパッケージの一例の断面側面図である。

【図１０６Ａ】本発明の局面に従った、集積されたＥＭＩシールドを組込む、デバイスパッケージの別の例の断面側面図である。

【図１０６Ｂ】本発明の局面に従った、連続的なワイヤーボンドトラックを示すデバイスパッケージの部分の平面図である。

【図１０７】この発明の局面に従ったワイヤーボンドばねの一例の図である。

【図１０８】本発明の局面に従った、ワイヤーボンドばねを形成する方法の一例を示すフロー図である。

【図１０９】本発明の局面に従った、ワイヤーボンドばねの一例の詳細な拡大図である。

【図１１０】本発明の局面に従った、トランスファーモールド処理の間のワイヤーボンドばねの変形を示す、図１０９に類似した図である。

【図１１１】本発明の局面に従った、デバイスパッケージに組み込まれるワイヤーボンドばねの一例の断面側面図イメージの図である。

【図１１２】本発明の局面に従ったワイヤーボンドばねの一例の平面図イメージの図である。

【発明を実施するための形態】

【０１８３】

好ましい実施形態の詳細な説明

Ⅰ．イントロダクション

ここで図１を参照して、本発明に従った例示的なモジュール１０１の概略的なブロック図が示される。モジュール１０１は、望ましいレベルおよび／または範囲のリニアリティおよび望ましいＰＡＥを達成し得る。モジュール１０１は、パワーアンプシステムのいくつかまたはすべてを含み得る。モジュール１０１は、マルチチップモジュールおよび／またはパワーアンプモジュールと称され得る。モジュール１０１は、基板１０２、パワーアンプダイ１０３を含む１つ以上のダイ、１つ以上の回路要素、整合ネットワーク１０４など、またはそれらの任意の組合せを含み得る。図１に示されるように、１つ以上のダイは、パワーアンプダイ１０３と、パワーアンプバイアス制御ダイ１０４のようなコントローラダイとを含み得る。

【０１８４】

モジュール１０１は、基板１０２に取り付けおよび／または結合される複数のダイおよび／または他のコンポーネントを含み得る。他のコンポーネントはたとえば、表面実装コンポーネント（ＳＭＣ）、および／または、基板トレースから形成されるインダクタのような基板１０２から形成されるコンポーネントを含み得る。いくつかの実現例では、基板

10

20

30

40

50

102は、モジュール101が電話基板のような回路基板に実装される場合に、ダイおよび／またはコンポーネントを支持し、外部の回路網への電氣的接続性を提供するように構成される多層基板であり得る。したがって基板102は、ダイおよび／または別個の受動コンポーネントのような複数のコンポーネントを受け入れるように構成され得る。図1に示されるように、パワーアンプダイ103、パワーアンプバイアス制御ダイ106、キャパシタ107およびインダクタ108は基板102に取り付けられる。基板102は、仕上げめっきを有するラミネート基板であり得る。

【0185】

パワーアンプダイ103は、パワーアンプを実現するための任意の好適なダイであり得る。本願明細書のいくつかの実施形態に従うと、パワーアンプダイは、1つ以上のワイヤーボンドにより基板102に結合され得る。このようなワイヤーボンディングはたとえば、以下セクションIIで記載される特徴の任意の組合せを含み得る。ある実現例では、これらのワイヤーボンドは、以下セクションXにおいて記載される特徴の任意の組合せを含むRF送信線にパワーアンプダイ103を電氣的に接続し得る。そのような送信線は基板102上で実現され得る。代替的または代替的には、1つ以上のワイヤーボンドが、セクションIXに記載される終端回路の1つ以上に含まれ得る。

【0186】

多くの実現例では、パワーアンプダイ103は、砒化ガリウム(GaAs)ダイである。これらの実現例のうちのいくつかにおいて、GaAsダイは、たとえばバイポーラ電界効果トランジスタ(BiFET)プロセスを含むヘテロ接合バイポーラトランジスタ(HBT)プロセスを使用して形成されるトランジスタを含む。本願明細書のさまざまな実施形態に従うと、このようなトランジスタの1つ以上は、以下セクションIVにおいて記載されるトランジスタの特徴の任意の組合せを含み得る。代替的または付加的には、HBTプロセスによって形成されるGaAsトランジスタを含むパワーアンプダイ103はさらに、以下セクションVIIにおいて記載されるような特徴の任意の組合せを含む抵抗器のような、HBTプロセスによって形成される抵抗器を含み得る。

【0187】

パワーアンプダイ103は、モジュール101の入力ピンRF_INを介してRF信号を受け取り得る。パワーアンプダイ103は、たとえばRF信号を増幅するように構成される複数段のパワーアンプを含む1つ以上のパワーアンプを含み得る。パワーアンプダイ103は有利なことに、入力整合ネットワーク、(ドライバアンプと称され得る)第1のパワーアンプ段、段間整合ネットワーク、(出力アンプと称され得る)第2のパワーアンプ段、バイアス回路、またはその任意の組合せを含み得る。当業者であれば、パワーアンプダイが1つ以上のパワーアンプ段を含み得るということを理解するべきである。さらに、本願明細書のある実現例では、入力整合ネットワークおよび／または段間整合ネットワークは、パワーアンプダイ103の外部であり得る。図1はモジュール101において1つのパワーアンプダイ103を示すが、さらに、本発明の他の実現例では、2つ以上のパワーアンプダイがモジュール101に含まれてもよいということが理解されるべきである。

【0188】

この発明のある実現例に従うと、パワーアンプは、第1のパワーアンプ段と第2のパワーアンプ段とを含み得る。第1段および／または第2段は、1つ以上のバイポーラトランジスタを含み得る。この発明のある実施形態では、これらのバイポーラトランジスタの1つ以上は、以下セクションIVにおいて本願明細書に記載される特徴の任意の組合せを含み得る。RF入力信号は、入力整合ネットワークによって第1のパワーアンプ段に提供され得る。入力整合ネットワークは、第1のバイアス信号を受け取り得る。第1のバイアス信号は、図1に示されるように、パワーアンプバイアス制御ダイ106上で生成され得る。いくつかの他の実現例(図示せず)において、第1のバイアス信号は、パワーアンプダイ103上またはモジュール101の外部で生成され得る。第1のパワーアンプ段は、RF入力を増幅し、当該増幅されたRF入力を段間整合回路を介して第2のパワーアンプ段

に提供する。段間整合回路は、添付書類Gに記載される特徴の任意の組合せに従って、R F信号の基本周波数を整合するとともにR F信号の高調波の位相にて終端するよう、別個の終端回路を含み得る。段間整合回路は、第2段バイアス信号を受け取り得る。第2のバイアス信号は、図1に示されるように、パワーアンプバイアス制御ダイ106上で生成され得る。いくつかの他の実現例（図1に図示せず）において、第2のバイアス信号は、パワーアンプダイ103上またはモジュール101の外部で生成され得る。第2のパワーアンプ段は、増幅されたR F出力信号を生成し得る。

【0189】

増幅されたR F出力信号は、出力整合ネットワーク104を介してパワーアンプダイ103の出力ピンR F _ O U Tに提供され得る。増幅されたR F出力信号は、本願明細書のある実施形態に従って、以下セクションXにおいてさらに詳細に記載される特徴の任意の組合せを有するR F送信線を介して、出力整合ネットワーク104に提供され得るおよび／または出力整合ネットワーク104から提供され得る。整合ネットワーク104は、信号反射および／または他の信号歪みを低減することを支援するためにモジュール101上に設けられ得る。たとえば、出力整合ネットワーク104は、本願明細書において以下セクションIXに記載される特徴の任意の組合せに従って、R F信号の基本周波数を整合するとともにR F信号の高調波の位相にて終端するよう別個の終端回路を含み得る。

【0190】

パワーアンプダイ103は、キャパシタ、抵抗器またはインダクタのような1つ以上のオンダイ受動回路要素 (on die passive circuit element) を含み得る。たとえば、パワーアンプダイ103は、1つ以上の抵抗器を含み得る。いくつかの実施形態では、パワーアンプダイ103は、以下セクションVIIにおいて記載される特徴の任意の組合せを含む1つ以上の半導体抵抗器を含み得る。

【0191】

代替的または付加的には、パワーアンプダイ103は、たとえば、以下セクションIIに記載される特徴の任意の組合せを含む、高いR F損失のめっきの影響を低減することに関係する特徴を含み得る。一例として、パワーアンプダイ103は、オンダイ受動回路要素に電氣的に接続される第1のリードと、第1のリードに電氣的に接続されるボンディングパッドから離れるように電流を方向付けるよう出力信号に電氣的に接続される第2のリードとを含み得る。

【0192】

パワーアンプダイ103は、デュアルモードパワーアンプを含み得る。本願明細書のいくつかの実施形態に従うと、1つ以上のダイは、以下セクションVに記載されるデュアルモードパワーアンプ制御インターフェイスの特徴の任意の組合せを含み得る。デュアルモードパワーアンプ制御インターフェイスは、パワーアンプダイ103上および／またはパワーアンプバイアス制御ダイ106のような別のダイ上で実現され得る。

【0193】

図1にさらに示されるように、モジュール101は、基板102に実装されるパワーアンプバイアス制御ダイ106を含み得る。本願明細書のある実施形態において、パワーアンプバイアス制御ダイ106は、パワーアンプダイ103の処理変動のインジケータのようなパワーアンプダイ103の特性のインジケータに基づいて、以下セクションVIにおいて本願明細書に記載される特徴の任意の組合せを実現することによって、パワーアンプバイアス制御信号を生成し得る。パワーアンプバイアス制御ダイ106はさらに、パワーアンプダイ103に配置されるパワーアンプのパワーモードを示す制御データのような、モジュール101の制御ピンC O N T R O L上で受け取られる制御データに基づいて、パワーアンプバイアス制御信号を生成し得る。

【0194】

さらに図1に示されるように、パワーアンプモジュール101の1つ以上の回路要素は、キャパシタ107および／またはインダクタ108を含み得る。1つ以上の回路要素は、基板102に実装および／または基板102上に実現され得る。たとえば、インダクタ

108は、基板102上のトレースとしてまたは基板102に実装される表面実装コンポーネント（SMC）として、基板102上に実現され得る。インダクタ108はチョークインダクタとして動作し得、供給電圧ピンVCC上で受け取られる供給電圧とパワーアンプダイ103との間に配置され得る。インダクタ108は、高周波RF信号成分をチョークおよび／またはブロックしつつ、供給電圧ピンVCC上で受け取られる供給電圧をパワーアンプダイ103上のパワーアンプに提供し得る。インダクタ108は、供給電圧ピンVCCに電氣的に接続される第1の端部と、パワーアンプダイ103に関連付けられるバイポーラトランジスタのコレクタに電氣的に接続される第2の端部とを含み得る。キャパシタ107は、デカップリングキャパシタとして機能し得る。図1に示されるように、キャパシタ107は、インダクタ108の第1の端部に電氣的に接続される第1の端部と、接地に電氣的に結合される第2の端部とを含み、当該接地は、ある実現例では、モジュール101の接地ピン（図1に図示されない）を使用して提供される。キャパシタ107は、高周波数信号に低インピーダンスパスを提供し得、これにより、パワーアンプ供給電圧のノイズを低減し、パワーアンプの安定性を改善し、および／またはRFチョークとしてのインダクタ108の性能を改善する。いくつかの実現例では、キャパシタ107はSMCを含み得る。

10

【0195】

モジュール101は、1つ以上の電源ピン、および／または、たとえばパワーアンプダイ103に電氣的に接続され得る1つ以上の基準電圧ピンをさらに含み得る。パワーアンプダイ103は、1つ以上のウェハ貫通ビアを含み得る。ウェハ貫通ビアは、接地電位に構成される供給ピンに電氣的に結合され得る。ウェハ貫通ビアは、以下セクションXIに記載されるウェハ貫通ビアの特徴の任意の組合せを含み得る。たとえば、ウェハ貫通ビアは、窒化タンタルで終端されたウェハ貫通ビアであり得る。1つ以上の電源ピンは、高電力またはVCC供給電圧のような供給電圧をパワーアンプに提供し得る。

20

【0196】

ある実施形態に従うと、モジュール101は有利なことに、RFシールディングおよび／またはRFアイソレーション構造を含んでもよい。たとえばモジュールは、そのようなRFシールディングまたはRFアイソレーション構造を提供するよう、本願明細書において以下セクションXIIおよびセクションXIIIに記載される特徴の任意の組合せを含み得る。

30

【0197】

モジュール101は、たとえば付加的なパワーアンプダイ、キャパシタおよび／またはインダクタを含む、より多くまたはより少ないコンポーネントを含むよう修正され得る。たとえば、モジュール101は、1つ以上の付加的な整合ネットワークを含み得る。別の例として、モジュール101は付加的なパワーアンプダイと、デカップリングキャパシタおよびチョークインダクタとして動作するように構成される付加的なキャパシタおよびインダクタとを含み得る。モジュール101は、たとえばパワーアンプダイ101上に配置される入力段に別個の電源が提供される実現例、および／または、モジュール101が複数の帯域にわたって動作する実現例において、付加的なピンを有するよう構成され得る。

40

【0198】

II. ワイヤーボンドパッドシステムおよび関連する方法

いくつかの実施形態において、たとえばNi/Pd/Auめっきのような高RF損失のめっきに関連付けられるRF損失を低減するために、はんだマスクは、ワイヤーボンドエリアの縁部および側壁がめっきされるのを防止するように再構成される。ワイヤーボンドエリアの縁部および側壁をNi/Pd/Auめっきのような高RF損失のめっきが存在しないままにすることによって、高抵抗率材料の周りを流れるようRF電流のためのパスが提供され、これにより、高抵抗率めっき材料に関連付けられるRF信号損失が低減される。上に示されるように、パワーアンプモジュールおよび当該パワーアンプモジュールが使用されるデバイスの性能をさらに改善するために、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられてもよい。

50

【0199】

ワイヤーボンディングは、たとえば集積回路（IC）ダイのような電気回路デバイスを次のレベルのパッケージングに接続するための技術である。これらの回路デバイスは一般に、たとえばボールボンディングまたはウェッジボンディングなどによって、デバイスパッケージまたは基板に埋め込まれる導電体上のワイヤーボンダパッドに電氣的に接続される複数の小さな導電性リード／パッドを含む。基板上のワイヤーボンダパッドは、ICと基板との間の電氣的接続を提供し、ICが外部の世界とインターフェイス接続することを可能にする。いずれのタイプのワイヤーボンディングにおいても、接合点を作るために、熱、圧力および超音波エネルギーの何らかの組合せを使用して、ワイヤーは両端にて取り付けられる。

10

【0200】

複数の銅パターンが、回路パターンに電氣的に接続される基板上に形成され、銅パターンの上面が露出するように誘電体のようなフィラーが銅パターン間に充填される。しかしながら、むき出しの銅は容易にはんだ付け可能またはボンディング可能ではなく、はんだ付けまたはボンディングを促進する材料でのめっきを必要とする。はんだ付け／ボンディング可能であるべきではないエリアは、めっきに抗するよう材料で覆われる。一般に、はんだレジストは、マスクとして機能するとともに、マスクされた銅トレースにめっき材料が付着するのを防止するポリマーコーティングを指す。表面めっき材料が、露出した銅トレースの上層上にめっきされ、これにより、ワイヤーボンダパッドが提供される。いくつかの用途では、ワイヤーボンダパッドは、壊れやすいデバイスを破損することを回避するとともに電力集積回路に対する金属抵抗を下げるよう、能動回路の直上でのワイヤーボンディングに適合される。

20

【0201】

ここで図2を参照して、本願明細書の特定の一実施形態に従った、IC111、基板121、銅トレース112、ワイヤーボンダパッド113、114、およびボンディングワイヤー116を含むICモジュール109の部分が示される。ICは、ワイヤー116によりワイヤーボンダパッド113および114にワイヤーボンディングされる。例示される実施形態では、ワイヤーボンダパッド113は、6ワイヤーのワイヤーボンダパッドであり、ワイヤーボンダパッド114は、3ワイヤーのワイヤーボンダパッドである。他の実施形態では、異なる数のワイヤー116が、ワイヤーボンダパッド113および114に取り付けられ得る。ワイヤーボンダパッド113および114は、ボンダエリア119、側壁117および縁部118を含む。

30

【0202】

図3は、ワイヤーボンダパッドを形成するための例示的なプロセス122についてのフローチャートを示す。プロセス122は、図2に示される実施形態に関して記載される。状態123は、半導体作製の当業者に公知のように、回路パスを形成するよう、基板121の上面上のトレース112を含む誘電体および導電体の層112を有する基板121が形成されることから始まる。

【0203】

状態124では、プロセス122は、半導体作製の当業者に公知であり得るように、ICモジュール109においてめっき材料が存在しないままとすべきエリアに、はんだマスクを適用する。はんだマスク開口部は、めっき材料が付着することになるエリアを規定する。いくつかの実施形態において、はんだマスク開口部は、ワイヤーボンダパッド113および114のワイヤーボンダエリア119、側壁117および縁部118をめっき材料に対して露出する。本願明細書の他の実施形態において、トレース112と、ワイヤーボンダパッド113および114のワイヤーボンダエリア119、側壁117、および縁部118とは、めっき処理に対して開放されている。

40

【0204】

状態126では、半導体作製の当業者に公知であり得るように、銅トレース112の（はんだマスクが存在しない）露出エリアは、めっき材料でめっきされてワイヤーボンダパ

50

ッド113および114を形成する。

【0205】

本願明細書の実施形態では、めっき材料はニッケル／金（Ni／Au）である。状態126では、ニッケル層が銅トレース112の上にめっきされ、金層がニッケル層の上にめっきされる。めっき技術の例は、たとえば、浸漬めっき蒸着、電解めっき、および無電解めっきなどを含む。

【0206】

本願明細書の特定の実施形態において、銅トレースは、約5ミクロンと約50ミクロンとの間の厚さであり、好ましくは約20ミクロンである。Ni／Auめっきにおけるニッケル層は、約2.5ミクロンから約7.6ミクロンの間の厚さであり、より好ましくは、約5ミクロンから約7ミクロンの間の厚さである。金層は、約0.70±0.2ミクロンの厚さであり、より好ましくは、約0.5±0.1ミクロンの厚さである。

【0207】

従来からNi／Auは、無線周波数集積回路（radio frequency integrated circuit（RFIC））製品のための標準的な表面めっき材料である。無線周波数（RF）は、約30kHzから約300GHzまでの範囲の発振の速度である。ある実施形態では、RFIC111は、基板121の表面上にめっきされるNi／Auワイヤーボンドパッド113および114にワイヤーボンディングされ、そのパッケージとのRFIC111の電氣的接続を形成する。しかしながら、金の価格の上昇により、Ni／Au表面めっきに関連付けられるパッケージングコストが増加している。

【0208】

パッケージングコストを低減するために、RFICのためのワイヤーボンドパッドを形成するようニッケル／パラジウム／金（Ni／Pd／Au）めっき材料が使用される。ある実施形態では、RFIC111は、基板121の表面上にめっきされるNi／Pd／Auワイヤーボンドパッド113および114にワイヤーボンディングされ、そのパッケージとのRFIC111の電氣的接続を形成する。Ni／Pd／Auめっきが使用する金はNi／Auめっき材料より少なく、金の価格が上昇しているため、Ni／Pd／AuめっきにはNi／Auめっき材料よりもコストがかからないという利点が存在する。

【0209】

図4に示されるように、本願明細書の実施形態に従った、たとえば基板121の表面上のNi／Pd／Auワイヤーボンドパッド113の断面が示される。図2の114のようなモジュールにおける任意の他のボンドパッドに該当し得る、図4に示されるようなNi／Pd／Auワイヤーボンドパッド113は、ニッケル層127、パラジウム層128および金層129を含む。

【0210】

ここで図3および図4を参照して、状態126では、ニッケル層127は銅トレース112の上にめっきされ、パラジウム層128はニッケル層127の上にめっきされ、金層129はパラジウム層128の上にめっきされる。めっき技術の例は、たとえば、浸漬めっき蒸着、電解めっき、および無電解めっきなどを含む。

【0211】

図4に示される本願明細書の実施形態において、銅トレース112の高さ H_{Cu} は、約5ミクロンと約50ミクロンとの間であり、好ましくは20ミクロンである。ニッケル層127の高さ H_{Ni} は、約2.5ミクロンから約7.6ミクロンの間であり、より好ましくは、約5ミクロンから約7ミクロンまでの間である。パラジウム層128の高さ H_{Pd} は、約0.09±0.06ミクロンであり、より好ましくは約0.1±0.01ミクロンである。金層129の高さ H_{Au} は、約0.10±0.05ミクロンであり、より好ましくは約0.1±0.01ミクロンである。

【0212】

しかしながら、Ni／Pd／Auめっき表面は、薄いパラジウム層128および金層129とニッケル層127の強磁性とにより、無線周波数にてNi／Auめっき表面よりも

10

20

30

40

50

高いシート抵抗を有する。シート抵抗は、半導体のための表面仕上げめっきのような薄膜が、たとえば2次元エンティティであると考えられる2次元系に適用可能である。シート抵抗は3次元系における抵抗率と類似している。シート抵抗という用語が使用される場合、電流は、シートの面に垂直でなく、シートの面に沿って流れなければならない。

【0213】

上記のNi/Auワイヤーボンドパッドの実施形態において、Ni/Auのシート抵抗は、2GHzにて約30mΩ/squareであり、上で記載されるとともに図4に示されるNi/Pd/Auワイヤーボンドパッドの実施形態におけるNi/Pd/Auのシート抵抗は、2GHzにて約150mΩ/squareである。したがって、Ni/Auめっき材料の代わりにNi/Pd/Auめっき材料でワイヤーボンドパッド113および114をめっきすることにより、さらなるRF損失につながり得る。さらに、これは製品性能および歩留まりに影響を与え得る。いくつかの実施形態では、Ni/Pd/Auめっき表面は潜在的に、約0.1dB〜約0.4dBほどRF損失を増加させ得るか、または、同等に約1%〜約4%ほど電力効率に影響を与え得る。

10

【0214】

さらに、発振信号は表皮効果に晒される。表皮効果は、導電体の表面の近くの電流密度がそのコアでの電流密度よりも大きくなるように交流電流が導電体内で分散する傾向である。すなわち、電流は、表皮厚さと称される平均深さの導電体の表皮に流れる傾向がある。表皮効果は、導電体の多くが電流をほとんど伝えないため、電流の周波数とともに導電体の有効抵抗を増加する。表皮効果は、交流電流によって引き起こされる渦電流による。たとえばRF周波数まで信号の周波数が増加すると、表皮厚さは減少する。さらに、渦電流はまた、導電体の縁部にて交流RF電流の密集を引き起こす。したがって、RF電流の主な部分は、導電体112の縁部および側壁上を伝わる。

20

【0215】

図5は、本願明細書の別の実施形態に従った、RFIC132と、基板141と、銅トレース133と、ワイヤーボンドパッド134および136と、ボンディングワイヤー116とを含むRFICモジュール131の拡大された部分を示す。RFIC132は、ボンディングワイヤー116によってワイヤーボンドパッド134および136にワイヤーボンディングされる。例示される実施形態では、ワイヤーボンドパッド134は、6ワイヤーのワイヤーボンドパッドであり、ワイヤーボンドパッド136は、3ワイヤーのワイヤーボンドパッドである。他の実施形態では、たとえば1つ、2つ、3つ、4つ、5つまたは6つより多いといった他の数のワイヤー116が、ワイヤーボンドパッド134および136に取り付けられ得る。ワイヤーボンドパッド136は、ボンドエリア139、側壁137および縁部138を含む。

30

【0216】

RF信号損失を低減するために、作製プロセスはたとえば、Ni/Pd/Auワイヤーボンドパッド134をボンドエリア139に制限し得、側壁137および縁部138はNi/Pd/Auめっき材料が存在しない状態のままにする。RF電流の大部分は、図2および図4に示されるように、めっきされる縁部138および側壁137を通して伝わるのではなく、めっきされたワイヤーボンドエリア139を取り囲むめっきされていない縁部および側壁を通して伝わる。したがって、RF損失は低減される。

40

【0217】

図6には、本願明細書の別の実施形態に従った、Ni/Pd/Auワイヤーボンドパッド134および136を形成するための例示的なプロセス142についてのフローチャートが示される。プロセス142は、図5に示される実施形態に関して記載される。状態143は、半導体作製の当業者に公知であり得るように、回路パスを形成するよう、図7の基板141の上面上のトレース133を含む誘電体および導電体の層133を有する基板141が形成されることから始まる。

【0218】

ある実施形態において、状態144では、はんだマスクは、例示的なワイヤーボンドパ

50

ッド134の縁部138および側壁137を覆うように再構成される。別の実施形態では、はんだマスクは、トレース133と、ワイヤーボンドパッドの縁部138および側壁137とを覆うように再構成される。はんだマスクの開口部は、ワイヤーボンドエリア139がめっき処理に対して開放される一方、縁部138および側壁137がめっき処理に対して開放されないように、ワイヤーボンドエリア139に広がっている。本願明細書の実施形態において、はんだマスクによって覆われる縁部138の幅は、はんだマスク開口部の位置合わせ公差より少なくとも広くあるべきである。別の実施形態では、はんだマスクによって覆われる縁部138の幅は、約10ミクロンから200ミクロンであり、好ましくは50ミクロンから100ミクロンである。

【0219】

状態146では、半導体作製の当業者に公知であり得るように、プロセス142は、再構成されたはんだマスクをRFICモジュール131に適用する。

【0220】

状態147では、プロセス142は、半導体作製の当業者に公知であり得るように、Ni/Pd/Auめっき材料でRFICモジュール131をめっきしてワイヤーボンドパッドを形成する。めっき技術の例は、たとえば、浸漬めっき蒸着、電解めっき、および無電解めっきなどを含む。

【0221】

これに関連するさらなる詳細の例として、図7は、本願明細書の実施形態に従った、基板141の表面上の例示的なNi/Pd/Auワイヤーボンドパッド134の断面を示す。示されるようなNi/Pd/Auワイヤーボンドパッド134は、ニッケル層148、パラジウム層149および金層151を含む。図7に示されるように、Ni/Pd/Auワイヤーボンドパッド134の縁部138および側壁137にはNi/Pd/Auめっきが存在しない。

【0222】

ここで図6および図7をともに参照して、ニッケル層148は銅トレース133の上にめっきされ、パラジウム層149はニッケル層148の上にめっきされ、金層151はパラジウム層149の上にめっきされる。めっき技術の例は、たとえば、浸漬めっき蒸着、電解めっき、および無電解めっきなどを含む。

【0223】

図7に示される実施形態において、銅トレース133の高さ H_{Cu} は、約5ミクロンと約50ミクロンとの間であり、好ましくは約20ミクロンである。ニッケル層148の高さ H_{Ni} は、約2.5ミクロンから約7.6ミクロンの間であり、より好ましくは、約5ミクロンから約7ミクロンまでの間である。パラジウム層149の高さ H_{Pd} は、約0.09±0.06ミクロンであり、より好ましくは約0.1±0.01ミクロンである。金層151の高さ H_{Au} は、約0.10±0.05ミクロンであり、より好ましくは約0.1±0.01ミクロンである。

【0224】

図8は、本願明細書の実施形態に従った、縁部/側壁が露出した表面を有するトレースおよび縁部/側壁がめっきされた表面を有するトレースについてRF損失を比較するグラフ152である。グラフ152は、y軸すなわち垂直軸に沿って、デシベル(dB)で表わされる電力損失を示し、x軸すなわち水平軸に沿って、ギガヘルツ(GHz)で表わされる周波数を示す。RF信号の電力損失は、約1.40GHzから約2.25GHzの範囲の周波数にて、 $10 \log_{10} [RF \text{ power out} / RF \text{ power in}]$ として計算される。

【0225】

グラフ152は、RFIC基板上のさまざまなトレースを通るRF信号の電力損失を表わす線153、156、158、161および163を含む。線153は、むき出しの銅トレース(表面仕上げなし)を通るRF信号のRF電力損失を示す。約1.9GHzでは、点154によって示されるように、電力損失は約0.614dBである。

10

20

30

40

50

【0226】

線156は、縁部および側壁にめっきが存在しないNi/Auボンディングパッドを含む銅トレースを通るRF信号の電力損失を示し、線158は、縁部および側壁がNi/Auめっき材料でめっきされたNi/Auボンディングパッドを含む銅トレースを通るRF信号の電力損失を示している。線156上の点157は、約1.9GHzにて電力損失が約0.729dBであることを示し、線158上の点159は、約1.9GHzにて電力損失が約0.795dBであることを示す。

【0227】

線161は、縁部および側壁にめっきが存在しないNi/Pd/Auボンディングパッドを含む銅トレースを通るRF信号の電力損失を示し、線163は、縁部および側壁がNi/Pd/Auめっき材料でめっきされたNi/Pd/Auボンディングパッドを含む銅トレースを通るRF信号の電力損失を示している。線161上の点162は、約1.9GHzにて電力損失が約0.923dBであることを示し、線163上の点164は、約1.9GHzにて電力損失が約1.191dBであることを示す。

【0228】

図8に示される実施形態を参照して、むき出しの銅トレース（線153）では電力損失が最小であり、縁部および側壁がめっきされたNi/Pd/Auボンディングパッドを含むトレース（線163）では、RF電力損失が最も大きい。Ni/Auボンディングパッドを有するトレース（線156、158）では、Ni/Pd/Auボンディングパッドを有するトレース（線161、163）よりも、RF信号に対する電力損失が少ない。Ni/Auボンディングパッドについてトレースを比較すると、縁部および側壁が露出したトレース（線156）は、縁部および側壁がめっきされたトレース（線158）よりも、電力損失が少ない。同様に、縁部および側壁が露出したNi/Pd/Auボンディングパッドを有するトレース（線161）は、縁部および側壁がめっきされたNi/Pd/Auボンディングパッドについてのトレース（線163）よりも、RF信号に対する電力損失が少ない。矢印166によって示されるように、ある実施形態では、縁部および側壁がNi/Pd/Auめっき材料でめっきされないNi/Pd/Auボンディングパッドを通るRF信号についてのRF電力損失は、縁部および側壁がNi/Pd/AuでめっきされたNi/Pd/Auボンディングパッドを通るRF信号のRF電力損失よりも、約0.26dB小さい。

【0229】

本願明細書の特定の実施形態において、プロセス142に晒されるめっきされたワイヤーボンドエリア139について最小の幅が存在し、これにより、信頼性のあるワイヤーボンド接続の成功が達成される。上で記載された図5および図7は、銅トレース133の一樣な幅に嵌合するワイヤーボンディングパッド134および136の実施形態を示している。言い換えれば、めっきされたワイヤーボンドエリア139の幅およびめっきされていない縁部138および側壁139の幅は、ワイヤーボンドパッド134のエリアにおけるトレース133の一樣な幅を超えておらず、ワイヤーボンドパッド136と、それぞれのワイヤーボンドパッドに隣接するトレース133のエリアとについても同様である。

【0230】

次に図9A～図9Fに関して、ワイヤーボンディングパッドについての例示的なレイアウトが示されており、図9A～図9Fにおいて、めっきされたボンドエリア139の最小幅および少なくとも1つのめっきされていない縁部138の幅が、それぞれのワイヤーボンドパッドのエリアおよびワイヤーボンドパッドに隣接するトレース133のエリアにおけるトレース133の一樣な幅を超える。ある実施形態において、ワイヤーボンドパッドの縁部138は、めっきがないままであるように、はんだマスクで覆われた後、ワイヤーボンドエリア139についての最小サイズの要件が満たされない場合、トレース133の幅は、当該サイズ要件を満たす最小の縁部の露出で、比例して増加され得る。

【0231】

より具体的には、図9A～図9Dは、ワイヤーボンドパッドを取り囲む縁部138およ

10

20

30

40

50

び側壁 137 が露出したワイヤーボンダパッドの例示的なレイアウトを示す。ある所望の用途のための本願明細書の実施形態において、ワイヤーボンダパッドの縁部 138 は、めっきがないままであるように、はんだマスクで覆われた後、ワイヤーボンダエリア 139 についての最小サイズ要件が満たされない場合、当該ワイヤーボンディングエリア 139 のサイズ要件を満たす最小の縁部の露出で、トレース 133 の幅が変形され得る。言い換えれば、ワイヤーボンディングエリアのレイアウトは、基板技術の設計ルールによってセットされた最小の寸法と合致するかまたは当該最小の寸法よりも大きく、それと同時に、ボンディングエリアを含む銅トレースのめっきされた縁部および側壁を最小限にする。したがって、高抵抗性のめっきされた縁部および側壁上を RF 電流が流れる距離は最小となる。図 9A～図 9D において、トレース 133 は、ワイヤーボンダパッドのエリアにおいて幅が広がっており、ワイヤーボンダエリア 139 を収容する。さらに、広げられたトレース 133 は、はんだマスクプロセスの間、ワイヤーボンダパッドが、覆われた縁部 138 および側壁 137 (図示せず) を維持することを可能にし、これにより、完成したワイヤーボンダパッドが、それぞれのワイヤーボンダパッドの周囲のすべてに沿って、露出した縁部 138 および側壁 137 を維持することが可能になる。

10

【0232】

図 9E および図 9F は、トレース 133 がワイヤーボンダパッドを含むが、回路レイアウトの考慮によって、パッドサイズが限定され、マスキングプロセスの間、縁部 138 がはんだマスクで覆われるのが防止される例示的なレイアウトを示す。一実施形態では、トレース 133 は、ワイヤーボンダエリア 139 を収容するために、ワイヤーボンダパッドを有するよう変形する。別の実施形態では、トレース 133 は、ワイヤーボンダエリア 139 を収容するために、ワイヤーボンダパッドのエリアにおいて変形する。図 9E では、トレース 133 は、3 ワイヤのワイヤーボンディングエリア 139 を収容するために、1 つのワイヤーボンダパッドを有するよう変形される。図 9F では、示されるように 2 つの 2 ワイヤボンディングエリア 139 を収容するために、トレース 133 は、各々がボンダパッドエリア 139 を有する 2 つのワイヤーボンダパッドを有するよう変形される。したがって、当該変形したトレース 133 は、めっきされた縁部および側壁の長さを最小にし、すなわち換言すると、めっきされていない縁部および側壁の長さを最大にして RF 損失を低減するとともに、ワイヤーボンダパッドの必要とされるボンディング可能エリアを維持する。

20

30

【0233】

本願明細書の利点としてコストを低減するために、いくつかの実施形態において、RF IC モジュールのための基板の表面トレース上に、Ni/Au の代わりに Ni/Pd/Au がめっきされてワイヤーボンダエリアを形成する。しかしながら、Ni/Pd/Au は Ni/Au より高い RF シート抵抗を有しており、これにより、Ni/Pd/Au ワイヤボンダエリアを通して伝わる信号の場合に、Ni/Au ワイヤボンダエリアを通して伝わる信号の場合よりも RF 損失が高くなる。いくつかの実施形態において、たとえば Ni/Pd/Au めっきのような高 RF 損失のめっきに関連付けられる RF 損失を低減するために、はんだマスクは、ワイヤーボンダエリアの縁部および側壁がめっきされるのを防止するように再構成される。ワイヤーボンダエリアの縁部および側壁を Ni/Pd/Au めっきのような高 RF 損失のめっきが存在しないままにすることによって、低抵抗率材料を通して流れるよう RF 電流のためのパスが提供され、これにより、高抵抗率めっき材料に関連付けられる RF 信号損失が低減される。

40

【0234】

Ni/Pd/Au の表面めっきに関して実施形態を記載してきたが、開示されたシステムおよび方法は、たとえば Sn、Pb、および強磁性材料の他の表面などといった、任意の高 RF 損失の表面めっきに適用される。

【0235】

ある実施形態の上記の詳細な説明は、網羅的であるよう意図されず、または、本発明を上記に開示されたそのものの形態に限定するよう意図されない。本発明の特定の実施形態

50

よび本発明についての例は、上で例示的な目的のために記載されているが、関連する技術における当業者が認識し得るように、本発明の範囲内でさまざまな同等な修正が可能である。たとえば、プロセスまたはブロックが所与の順番で提示されているが、代替的な実施形態は、異なる順番でステップを有するルーチンを実行するか、または異なる順番でブロックを有するシステムを使用してもよく、いくつかのプロセスまたはブロックは、削除、移動、付加、細分、組み合わせ、および／または修正されてもよい。これらのプロセス、ブロックまたはステップの各々は、さまざまな異なる態様で実行されてもよい。さらに、プロセス、ブロックまたはステップは時に、連続して行なわれるものとして示されているが、これらのプロセス、ブロックまたはステップはその代わりに並列に行なわれてもよく、または異なる時間に行なわれてもよい。

10

【0236】

関連する技術における当業者であれば、本願明細書において提供されるような本発明のこれらの局面の教示は、必ずしも本願明細書において上に記載または下に記載されるシステムにのみではなく、他のシステムに適用することができるということを理解するはずである。したがって、上に記載されたさまざまな実施形態の要素および動作は、さまざまなさらに別の実施形態を提供するよう、広くかつ幅広い態様で組み合わせられてもよい。

【0237】

III. 高RF損失のめっきの影響を低減するための装置および方法

たとえばニッケル／パラジウム／金（Ni／Pd／Au）めっきのような高RF損失めっきに関連付けられる無線周波数（RF）損失を低減するために、キャパシタ、抵抗器またはインダクタのような、無線周波数集積回路（RFIC）に関連付けられるオンダイ受動デバイスは、RFICのRF信号出力に対してRF上側信号パスに配置される。RF上側信号パスにオンダイ受動デバイスを配置することによって、RF電流は、受動デバイスのボンディングパッドの高RF損失めっき材料を直接的に通過しない。上に示されるように、パワーアンプモジュールおよび当該パワーアンプモジュールが使用されるデバイスの性能をさらに改善するために、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられてもよい。

20

【0238】

ウェハ作製は一般に、シリコンまたは半導体ウェハ上に集積回路を構築するプロセスを指す。任意の所与の設計仕様に準拠する集積回路を作り出すよう、ウェハ作製の当業者に公知である多くのプロセスが存在しており、その例として、たとえば、エピタキシー、マスキングおよびエッチング、拡散、イオン注入、ポリシリコンの蒸着、誘電体の作製、リソグラフィおよびエッチング、薄膜の蒸着、金属化、ガラス絶縁、ならびにウェハ上の各ダイのプロベリングおよびトリミングなどがある。

30

【0239】

ある実施形態では、さらにRF出力信号を含むRFIC上に、抵抗器、キャパシタまたはインダクタなどのようなオンダイ受動デバイスを配置することが望ましい。オンダイ受動デバイスは、RF回路において、高調波周波数のためのフィルタ、シャントフィルタ、またはトラップとして機能し得る。

【0240】

ここで、図10を参照して、基板168およびRFIC174を含むRFICモジュール167の拡大した部分が示される。簡潔さのために付加的な回路網は省略されている。基板168は、RFIC回路トレース169と、ワイヤーボンディングパッド171および172とを含む。本願明細書の実施形態では、ワイヤーボンディングパッド171および172はNi／Pd／Auを含む。別の実施形態では、ワイヤーボンディングパッド171および172は高RF損失のめっき材料を含む。さらに別の実施形態では、ワイヤーボンディングパッド171および172はNi／Auを含む。ある実施形態では、図10に示されるように、ワイヤーボンディングパッド171および172は、めっきされた縁部および側壁を有するよう形成される。別の実施形態では、ワイヤーボンディングパッド171および172は、表面めっき材料が存在しない縁部および側壁を有するよう形成さ

40

50

れる。

【0241】

R F I C 1 7 4 は、R F 出力 1 7 6 と、キャパシタ 1 7 7 のようなオンダイ受動デバイス 1 7 7 とを含む。R F 出力 1 7 6 は、R F I C の内部回路からの R F 出力信号が R F I C 1 7 4 を出てモジュール 1 6 7 の R F 回路網に inputs する R F I C 1 7 4 上の位置に位置決めされる。ある実施形態では、R F I C 1 7 4 のレイアウトは、R F 出力 1 7 6 の後に、キャパシタ 1 7 7 が R F モジュール 1 6 7 の R F 回路 1 6 9 に配置されるように構成される。このレイアウトでは、R F 出力 1 7 6 がワイヤーボンディングパッド 1 7 1 にワイヤーボンディングされるとともにオンダイキャパシタ 1 7 7 がワイヤーボンディングパッド 1 7 2 にワイヤーボンディングされる場合、オンダイキャパシタ 1 7 7 は、R F I C 1 7 4 の R F 出力 1 7 6 とモジュール 1 6 7 の R F 出力との間に存在する。

10

【0242】

矢印 1 7 3 は、R F 信号の R F 電流フローの方向を示す。示されるように、R F 電流は、R F 出力信号 1 7 6 からモジュール 1 6 7 の R F 出力まで流れる。R F 出力信号 1 7 6 とモジュール 1 6 7 の R F 出力との間にある R F トレース 1 6 9 の部分は R F 信号下側パスに存在し、R F 電流フローを受け取らない、R F 出力 1 7 6 の上に位置するトレース 1 6 9 の部分は R F 信号上側パスに存在する。図 1 0 では、キャパシタボンディングパッド 1 7 2 は R F 下側パスに位置する。言い換えれば、R F 電流は、R F 出力 1 7 6 から基板 1 6 8 上の回路網の残りまで伝わる場合、キャパシタワイヤーボンディングパッド 1 7 2 を通過する。本願明細書の実施形態において、N i / P d / A u キャパシタボンディングパッド 1 7 2 のような高 R F 損失めっき材料を R F 信号が通過することにより、付加的な R F 信号損失が発生する。

20

【0243】

図 1 1 は、基板 1 7 9 および R F I C 1 8 6 を含む R F I C モジュール 1 7 8 の拡大した部分を示す。簡潔さのために付加的な回路網は省略されている。基板 1 7 9 は、R F I C 回路トレース 1 8 1 と、ワイヤーボンディングパッド 1 8 2 および 1 8 3 とを含む。本願明細書の特定の実施形態では、ワイヤーボンディングパッド 1 8 2 および 1 8 3 は N i / P d / A u を含む。別の実施形態では、ワイヤーボンディングパッド 1 8 2 および 1 8 3 は高 R F 損失めっき材料を含む。さらに別の実施形態では、ワイヤーボンディングパッド 1 8 2 および 1 8 3 は N i / A u を含む。本願明細書の特定の実施形態では、図 1 1 に示されるように、ワイヤーボンディングパッド 1 8 2 および 1 8 3 は、めっきされた縁部および側壁を有するよう形成される。別の実施形態では、ワイヤーボンディングパッド 1 8 2 および 1 8 3 は、表面めっき材料が存在しない縁部および側壁を有するよう形成される。

30

【0244】

図 1 1 の R F I C 1 8 6 のレイアウトは、オンダイ受動デバイスの高 R F 損失ボンディングパッドを流れる R F 電流に関連付けられる R F 損失を低減するように再構成されている。R F I C 1 8 6 は、R F 出力 1 8 7 と、キャパシタ 1 8 8 のようなオンダイ受動デバイスとを含む。R F 出力 1 8 7 は、R F I C の内部回路からの R F 出力信号が R F I C 1 8 6 を出てモジュール 1 7 8 の R F 回路網に inputs する R F I C 1 8 6 上の位置である。本願明細書の実施形態では、R F I C 1 8 6 のレイアウトは、R F 出力 1 8 7 の前に、キャパシタ 1 8 8 が R F モジュール 1 7 8 の R F 回路 1 8 1 に配置されるように構成される。このレイアウトでは、R F 出力 1 8 7 がワイヤーボンディングパッド 1 8 3 にワイヤーボンディングされるとともにオンダイキャパシタ 1 8 8 がワイヤーボンディングパッド 1 8 2 にワイヤーボンディングされる場合、オンダイキャパシタ 1 8 8 は、R F I C 1 8 6 の R F 出力 1 8 7 とモジュール 1 7 8 の R F 出力との間に存在しない。

40

【0245】

矢印 1 7 3 はまた、R F 信号の R F 電流フローの方向を示す。示されるように、R F 電流は、R F 出力信号 1 8 7 からモジュール 1 7 8 の R F 出力まで流れる。図 1 1 では、受動デバイスボンディングパッド 1 8 2 は R F 上側パスに位置する。言い換えれば、R F 電

50

流は、RF出力187から基板179上の回路網の残りまで伝わる場合、受動デバイスワイヤーボンドパッド182を通過しない。したがって、本願明細書の実施形態において、RFIC186のレイアウトにおいて、オンダイ受動デバイスのための基板179上のボンディングパッド182がRF上側信号パスに存在するようにオンダイ受動デバイスを配置することにより、RF信号下側パスにオンダイ受動デバイスボンディングパッド182を配置することに関連付けられるRF信号損失が低減される。

【0246】

コストを低減するために、いくつかの実施形態において、RFICモジュールの基板の表面トレース上に、Ni/Auの代わりにNi/Pd/Auがめっきされてワイヤーボンドエリアを形成する。しかしながら、Ni/Pd/AuはNi/Auより高いRFシート抵抗を有しており、これにより、Ni/Pd/Auワイヤーボンドエリアを通して伝わる信号の場合に、Ni/Auワイヤーボンドエリアを通して伝わる信号の場合よりもRF損失が高くなる。たとえばNi/Pd/Auめっきのような高RF損失めっきに関連付けられるRF損失を低減するために、キャパシタ、抵抗器、またはインダクタなどといった、RFICに関連付けられるオンダイ受動デバイスが、RFIC出力信号に対してRF上側パスに配置される。RF信号上側パスに受動デバイスが存在するICをレイアウトすることによって、モジュールが組み立てられる際、RF信号電流は、受動デバイスの高RF損失ボンディングパッドを通らない。

【0247】

本願明細書において提示されたある実施形態は、Ni/Pd/Auの表面めっきに関して記載されているが、開示されたシステムおよび方法は、たとえばSn、Pb、および強磁性材料の他の表面などといった、任意の高RF損失の表面めっきに適用される。ある実施形態のこの詳細な説明は、網羅的になるように意図されず、または、本開示のこのセクションにおいてここで開示されたそのままの形態に本発明を限定するように意図されない。本発明の特定の実施形態および本発明についての例は、上で例示的な目的のために記載されているが、本願明細書によって提供される開示が与えられた場合、関連する技術における当業者が認識し得るように、本発明の範囲内でさまざまな同等な修正が可能である。

【0248】

IV. 勾配を有するコレクタを有するバイポーラトランジスタ

本開示のこのセクションは、ヘテロ接合バイポーラトランジスタのような、コレクタにおいて少なくとも1つの勾配を有するバイポーラトランジスタに関する。この開示の1つの局面は、ベースとの接合部において高いドーピング濃度を有するとともに、ドーピング濃度がベースから離れるにつれて増加する少なくとも1つの勾配を有するコレクタを含むバイポーラトランジスタである。本願明細書のいくつかの実施形態では、高いドーピング濃度は少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ であり得る。ある実施形態に従うと、コレクタは2つの勾配を含む。このようなバイポーラトランジスタはたとえばパワーアンプにおいて実現され得る。上に示されるように、パワーアンプモジュールおよび当該パワーアンプモジュールが使用されるデバイスの性能をより良く改善するために、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられてもよい。

【0249】

さらに一般に記載されるように、本開示のこのセクションの局面は、ベースに当接する第1のコレクタ領域において高いドーピング濃度（たとえば少なくとも約 $3 \times 10^{16} \text{ cm}^{-3}$ ）を有するとともに、第1のコレクタ領域に隣接する別のコレクタ領域において少なくとも1つの勾配を有するバイポーラトランジスタに関する。バイポーラトランジスタのベースに当接する第1のコレクタ領域における高いドーピング濃度は、パワーアンプシステムにおいて、ACPR2および/またはACLR2といった第2のチャネルリニアリティ測定値を改善し得る。しかしながら、第1のコレクタ領域における高いドーピング濃度はまた、RFゲインのようなバイポーラトランジスタのゲインを減少し得る。第1のコレクタ領域における高いドーピング濃度に起因するゲインの減少を相殺するために、第1のコレクタ領域における高いドーピング濃度からサブコレクタまで遷移するよう、他の

コレクタ領域に1つ以上の勾配が含まれ得る。本願明細書のいくつかの実施形態では、他のコレクタ領域は、ベースから離れるにつれて異なる割合でドーピング濃度が増加（たとえば増加）する2つの異なる勾配を含む。勾配または1つ以上の勾配が望ましい場合は複数の勾配と、第1のコレクタ領域におけるドーピング濃度とを適切に選択することによって、特にバイポーラトランジスタがフラットドープまたはステップドープされたコレクタ構造を含んだ場合と比較して、バイポーラトランジスタの望ましいRFゲインおよび耐久性を得ることができる。

【0250】

このようなバイポーラトランジスタを含むパワーアンプシステムは、要求が厳しい第2のチャンネルリニアリティ仕様を満たし得るとともに、RFゲイン仕様を満たし得るということを実験データが示している。たとえば、このようなバイポーラトランジスタを含むパワーアンプシステムは、約833MHzを中心とした周波数帯内の周波数で動作する場合、ACPR2が約-65dBc以下であり得、ゲインが約29dBm以上であり得る。対照的に、所望のレベルのACPR2またはACLR2を達成するよう試みられた純粋な回路デザイン技術では成功が限られていた。さらに、ACPR2および/またはACLR2が向上した他のバイポーラトランジスタでは、RFゲインが低下した。

【0251】

ここで図12Aを参照して、本願明細書の1つの特定の実施形態に従ったバイポーラトランジスタ189の例示的な断面が示される。示されるように、バイポーラトランジスタ189はヘテロ接合バイポーラトランジスタ(HBT)である。バイポーラトランジスタ189は基板191上に形成され得る。基板191は、GaAs基板のような半導体基板であり得る。バイポーラトランジスタ189は分離領域193および195の間に配置され得る。分離領域193および195は、バイポーラトランジスタ189と、隣接するトランジスタまたは他の回路要素との間の電気的分離を提供し得る非導電性領域である。分離領域193および195は各々、たとえば、電気的絶縁に適している窒化物、ポリイミドまたは他の材料で充填されるトレンチを含み得る。示されていないが、1つ以上のバッファ層が基板191とサブコレクタ192との間に含まれ得るということが理解されるであろう。1つ以上のバッファ層は、このような材料を半絶縁にする注入ダメージ材料を含み得る。

【0252】

バイポーラトランジスタ189は、コレクタ194、ベース196およびエミッタ203を含み得る。コレクタ194は、異なるドーピングプロファイルを有する複数のコレクション領域を含み得る。たとえば、コレクタ194は、ベース196に当接する第1のコレクタ領域197と、第1のコレクタ領域196から離れるにつれてドーピング濃度が増加する少なくとも1つの勾配を含む別のコレクタ領域201とを含み得る。図12Aに示されるように、他のコレクタ領域201は、第1のコレクタ領域197の下で第2のコレクタ領域198と、第2のコレクタ領域198の下で第3のコレクタ領域199とを含み得る。

【0253】

第1のコレクタ領域197は、ベース196に当接してコレクターベース接合を形成し得る。コレクターベース接合はpn接合であり得る。第1のコレクタ領域197は、N+にドープされたガリウム砒素を含み得る。第1のコレクタ領域197は、フラットドープされた領域であり得る。したがって、第1のコレクタ領域197内では、ドーピング濃度は実質的に一定であり得る。バイポーラトランジスタ189のコレクターベース界面の第1のコレクタ領域197のドーピング濃度は、バイポーラトランジスタ189を含むシステムのリニアリティに影響を与え得る。たとえば、第1のコレクタ領域197のドーピング濃度と、第1のコレクタ領域197の厚さとは、パワーアンプシステムのACPR2および/またはACLR2に影響を与え得る。第1のコレクタ領域197のドーピング濃度が低く、第1のコレクタ領域197の厚さが小さければ、所望のレベルのACPR2および/またはACLR2が達成され得ない。他方、第1のコレクタ領域197のドーピング

濃度が高く、第1のコレクタ領域197の厚さが大きければ、バイポーラトランジスタ189を含むシステムがRFゲイン仕様のようなゲイン仕様を満たさなくなるようにバイポーラトランジスタ189のゲインが低下され得る。このトレードオフを考慮して、第1のコレクタ領域197のドーピング濃度および第1のコレクタ領域197の厚さの特定の値は、所望のゲインおよび所望のリニアリティの両方を達成するために選択される必要があり得る。一例として、図12Bは、GaAsバイポーラトランジスタ189の場合、第1のコレクタ領域197のドーピング濃度が $6 \times 10^{16} \text{ cm}^{-3}$ であり、厚さが2000 Åであることを示している。

【0254】

第1のコレクタ領域197のドーピング濃度は、バイポーラトランジスタ189を含む10
パワーアンプシステムのACPR2および／またはACLR2仕様を満たすよう選択され得る。一例として、第1のコレクタ領域197のドーピング濃度は、約833MHzを中心とした周波数帯内の周波数で動作する場合、バイポーラトランジスタ189を含むシステムのACPR2が約-65dBc以下であり、ゲインが約29dBm以上であるように20
選択され得る。いくつかの実施形態では、第1のコレクタ領域197のドーピング濃度は、バイポーラトランジスタ189を含むシステムのACPR2が約-55dBc以下、約-57dBc以下、約-60dBc以下、約-62dBc以下、約-65dBc以下、約-67dBc以下、約-70dBc以下、約-72dBc以下または約-75dBc以下であるように選択され得る。ACPR2のこれらの値は、システムの出力電力の全範囲および／またはRF周波数範囲内の動作の1つ以上の周波数帯について保たれ得る。一例として、何らかのACPR2および／またはACLR2仕様を満たすために、第1のコレクタ領域197のドーピング濃度は、約 $3 \times 10^{16} \text{ cm}^{-3}$ 以上であり得る。

【0255】

本願明細書のいくつかの特定の実施形態では、第1のコレクタ領域197のドーピング濃度は、約 $3 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $3.5 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $4 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $4.5 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $5 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $5.5 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $6 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $6.5 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $7 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $7.5 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $8 \times 10^{16} \text{ cm}^{-3}$ 以上、約 $8.5 \times 10^{16} \text{ cm}^{-3}$ 、または約 $9 \times 10^{16} \text{ cm}^{-3}$ 以上であり得る。ある実施形態に従うと、第1のコレクタ領域197のドーピング濃度は、約 $3 \times 10^{16} \text{ cm}^{-3}$ ~ $9 \times 10^{16} \text{ cm}^{-3}$ 、約 $3 \times 10^{16} \text{ cm}^{-3}$ ~ $8 \times 10^{16} \text{ cm}^{-3}$ 、約 $3 \times 10^{16} \text{ cm}^{-3}$ ~ $7 \times 10^{16} \text{ cm}^{-3}$ 、約 $3 \times 10^{16} \text{ cm}^{-3}$ ~ $6 \times 10^{16} \text{ cm}^{-3}$ 、約 $3 \times 10^{16} \text{ cm}^{-3}$ ~ $5 \times 10^{16} \text{ cm}^{-3}$ 、約 $4 \times 10^{16} \text{ cm}^{-3}$ ~ $9 \times 10^{16} \text{ cm}^{-3}$ 、約 $4 \times 10^{16} \text{ cm}^{-3}$ ~ $8 \times 10^{16} \text{ cm}^{-3}$ 、約 $4 \times 10^{16} \text{ cm}^{-3}$ ~ $7 \times 10^{16} \text{ cm}^{-3}$ 、約 $4 \times 10^{16} \text{ cm}^{-3}$ ~ $6 \times 10^{16} \text{ cm}^{-3}$ 、約 $4 \times 10^{16} \text{ cm}^{-3}$ ~ $5 \times 10^{16} \text{ cm}^{-3}$ 、約 $5 \times 10^{16} \text{ cm}^{-3}$ ~ $9 \times 10^{16} \text{ cm}^{-3}$ 、約 $5 \times 10^{16} \text{ cm}^{-3}$ ~ $8 \times 10^{16} \text{ cm}^{-3}$ 、約 $5 \times 10^{16} \text{ cm}^{-3}$ ~ $7 \times 10^{16} \text{ cm}^{-3}$ 、約 $5 \times 10^{16} \text{ cm}^{-3}$ ~ $6 \times 10^{16} \text{ cm}^{-3}$ 、約 $6 \times 10^{16} \text{ cm}^{-3}$ ~ $9 \times 10^{16} \text{ cm}^{-3}$ 、約 $6 \times 10^{16} \text{ cm}^{-3}$ ~ $8 \times 10^{16} \text{ cm}^{-3}$ 、約 $6 \times 10^{16} \text{ cm}^{-3}$ ~ $7 \times 10^{16} \text{ cm}^{-3}$ 、約 $7 \times 10^{16} \text{ cm}^{-3}$ ~ $9 \times 10^{16} \text{ cm}^{-3}$ 、約 $7 \times 10^{16} \text{ cm}^{-3}$ ~ $8 \times 10^{16} \text{ cm}^{-3}$ 、または約 $8 \times 10^{16} \text{ cm}^{-3}$ ~ $9 \times 10^{16} \text{ cm}^{-3}$ といった範囲のうちの1つの範囲内にあるように30
40
50
選択され得る。

【0256】

ある実施形態に従うと、第1のコレクタ領域197の厚さは、約500 Åから4000 Åの範囲で選択され得る。これらの実施形態のうちのいくつかでは、第1のコレクタ領域197の厚さは、約500 Å ~ 1000 Å、約1000 Å ~ 2000 Å、約1000 Å ~ 3000 Å、約1500 Å ~ 2000 Å、約2000 Å ~ 3000 Å、約2000 Å ~ 4000 Å、約2500 Å ~ 4000 Å、または約3000 Å ~ 4000 Åといった範囲のうちの1つの範囲内にあるように選択され得る。これらの厚さの範囲はいずれも、上で論

じたドーピング濃度のいずれかと組み合わせることで実現され得る。図12Aのバイポーラトランジスタ189において、第1のコレクタ領域197の厚さは、ベース196と他のコレクタ領域201との間の最も短い距離として測定され得る。

【0257】

第1のコレクタ領域197のドーピング濃度がより高くなると、バイポーラトランジスタ189のRFゲインが低減され得る。パワーアンプシステムのようなバイポーラトランジスタ189を含むシステムのRFゲイン仕様を満たすために、RFゲインにおけるこのような減少に対応するようバイポーラトランジスタ189の特徴に対する他の変更の必要があり得る。バイポーラトランジスタ189の他のコレクタ領域201の1つ以上の勾配は、第1のコレクタ領域197におけるより高いドーピング濃度に関連付けられるRFゲインの損失のうちのいくつかまたはすべてを補償し得る。同時に、バイポーラトランジスタ189を含むパワーアンプシステムのACPR2および／またはACLR2の仕様はそれでも満たされ得る。

10

【0258】

他のコレクタ領域201は、ドーピングが異なる割合で変化する複数の勾配を含み得る。図12Aおよび図12Bに示されるように、他のコレクタ領域201は、第1の勾配を有する第2のコレクタ領域198と、第2の勾配を有する第3のコレクタ領域199とを含み得る。第1の勾配では、ドーピング濃度はベース196から離れる方向に増加し得る。また、第2の勾配では、ドーピング濃度はベース196から離れる方向に増加し得る。第2の勾配において、ドーピング濃度は第1の勾配においてとは異なる割合で増加し得る。たとえば、図12Bに示されるように、第2の勾配において、ドーピング濃度は、第1の勾配においてよりも大きな割合で増加し得る。本願明細書のいくつかの他の実施例において、第1の勾配および第2の勾配は、実質的に同じ割合で増加するドーピング濃度をそれぞれ有し得る。たとえば、コレクタが第1の勾配から第2の勾配まで遷移するドーピング濃度における不連続が存在し得、および／または、第1の勾配と第2の勾配との間においてフラットドーピングを有するコレクタ領域が存在し得る。第1の勾配および／または第2の勾配は、線形または非線形（たとえば放物線状）に変化し得る。図12Bに示される例において、第1の勾配および第2の勾配は両方とも、線形に変化するドーピング濃度を有し得る。

20

【0259】

第2のコレクタ領域198は、N⁻にドーピングされたGaAsを含み得る。第1の勾配は第2のコレクタ領域198にわたり得る。第2のコレクタ領域198のドーピング濃度は、ベース196および第1のコレクタ領域197から離れるにつれて増加し得る。いくつかの実施形態において、第1のコレクタ領域197に隣接する第2のコレクタ領域198のドーピング濃度は、第1のコレクタ領域196のドーピング濃度より約1桁低いドーピング濃度から始まり得る。たとえば、図12Bに示されるように、第1のコレクタ領域196のドーピング濃度は、約 $6 \times 10^{16} \text{ cm}^{-3}$ であり得、第2のコレクタ領域の最も低いドーピング濃度は約 $7.5 \times 10^{15} \text{ cm}^{-3}$ であり得る。さらに図12Bに示されるように、第2のコレクタ領域198の厚さは、約5000 Åであり得、ドーピング濃度は、第1のコレクタ領域196との界面での約 $7.5 \times 10^{15} \text{ cm}^{-3}$ から第3のコレクタ領域199との界面での $3 \times 10^{16} \text{ cm}^{-3}$ まで徐々に変化し得る。いくつかの実施形態において、第1の勾配が第2の勾配と合致する場合、第3のコレクタ領域199との界面でのドーピング濃度は、実質的に同じであり得る。これは、コレクタ194に関連付けられるキャパシタンスにおける不連続を低減し得る。第1の勾配はベース-コレクタキャパシタンスを低減し得、この結果、RFゲインのようなバイポーラトランジスタ189のゲインを増加する。

30

40

【0260】

第3のコレクタ領域199は、N⁻にドーピングされたGaAsを含み得る。第2の勾配は、第3のコレクタ領域199にわたり得る。第3のコレクタ領域199におけるドーピング濃度は、第2のコレクタ領域198から離れるにつれて増加し得る。第2のコレクタ領

50

域 198 に隣接する第 3 のコレクタ領域 199 のドーピング濃度は、第 2 のコレクタ領域 198 の最大のドーピング濃度とほぼ等しいドーピング濃度を有し得る。さらに図 12B に示されるように、第 2 のコレクタ領域 198 の厚さは約 $3000 \text{ \AA}$ であり得、ドーピング濃度は、第 2 のコレクタ領域 198 との界面での約 $3 \times 10^{16} \text{ cm}^{-3}$ からサブコレクタ 192 との界面での $6 \times 10^{16} \text{ cm}^{-3}$ まで徐々に変化し得る。いくつかの実施形態において、第 3 のコレクタ領域 199 の最大のドーピング濃度は、サブコレクタ 192 のドーピング濃度よりも約 2 桁低い。たとえば、図 12B に示されるように、第 3 のコレクタ領域 199 の最大のドーピング濃度は、約 $6 \times 10^{16} \text{ cm}^{-3}$ であり得、サブコレクタ 192 のドーピング濃度は、約 $5 \times 10^{18} \text{ cm}^{-3}$ であり得る。

【0261】

サブコレクタ 192 との界面での第 3 のコレクタ領域 199 のドーピング濃度は、ベースが電位に結合される抵抗器を有する状態で、コレクタからエミッタまでの耐圧を決定し得る。このような耐圧は「 BV_{CEX} 」と称され得る。 BV_{CEX} がより高ければ、安全動作領域 (SOA) が増加し得る。第 3 のコレクタ領域 199 においてサブコレクタ 192 との界面でのドーピングが高ければ、SOA が低減され得る。サブコレクタ 192 との界面での第 3 のコレクタ領域 199 のドーピングが低すぎると、降伏電流が急になりすぎ、これにより、バイポーラトランジスタ 189 の堅牢性が低減する。ある実施形態において、第 3 のコレクタ領域 199 におけるサブコレクタ 192 との界面でのドーピング濃度は、約 $5 \times 10^{16} \text{ cm}^{-3}$ から $9 \times 10^{16} \text{ cm}^{-3}$ の範囲に選択され得る。このようなドーピング濃度によって、バイポーラトランジスタ 189 について望ましい BV_{CEX} 値および／または望ましい SOA が得られ得る。バイポーラトランジスタ 189 に関連付けられる BV_{CEX} 値に関するさらなる詳細は、図 13 を参照して提供されるであろう。

【0262】

ベース 196 は、P+ にドーピングされた GaAs を含み得る。ベース 196 は、パワーアンプシステムにおいて使用される他のバイポーラトランジスタにおけるベースよりも、薄くあり得、および／または、より高いドーピング濃度を有し得る。ベース 196 の厚さを低減することと、ベース 196 のドーピング濃度を増加することとにより、RF ゲインが増加され得るとともに、DC ゲインが実質的に同じに維持され得る。たとえば、ある実現例では、ベース 196 のドーピング濃度は、約 $2 \times 10^{19} \text{ cm}^{-3}$ から $7 \times 10^{19} \text{ cm}^{-3}$ の範囲に選択され得る。ある実現例に従うと、ベース 196 の厚さは、約 $350 \text{ \AA}$ から $1400 \text{ \AA}$ までの範囲に選択され得る。いくつかの実現例では、ベース 196 の厚さは、約 $500 \text{ \AA}$ から $900 \text{ \AA}$ までの範囲に選択され得る。本願明細書において開示される範囲から選択される如何なるベース厚さも、本願明細書において開示される範囲から選択されるベースドーピング濃度のいずれとも組み合わせることで実現され得る。一例として、ベース 196 のドーピング濃度は、 $5.5 \times 10^{19} \text{ cm}^{-3}$ であり得、厚さは $500 \text{ \AA}$ であり得る。図 12A のバイポーラトランジスタ 189 において、厚さはエミッタ 203 と第 1 のコレクタ領域 196 との間の最も短い距離であり得る。

【0263】

ドーピングとベース 196 の厚さとの積は、「ガンメル数 (Gummel number)」と称され得る。いくつかの実施形態では、バイポーラトランジスタ 189 がほぼ一定のベータ値を有し得るように、ガンメル数はほぼ一定であり得る。たとえば、選択された範囲内でベース 196 の厚さを増加すると、ベース 196 のドーピング濃度が対応して減少し得、ガンメル数がほぼ一定に保持される。別の例として、選択された範囲内でベース 196 の厚さを減少させると、ベース 196 のドーピング濃度が対応して増加し得、ガンメル数がほぼ一定に保持される。ベース 196 の厚さの低減およびベース 196 のドーピングの増加によって起こり得る、ベース 196 に関連付けられる抵抗値の変化は有意でない。たとえば、ベース 196 の厚さを $900 \text{ \AA}$ から $500 \text{ \AA}$ に変更し、ベース 196 のドーピング濃度を $4 \times 10^{19} \text{ cm}^{-3}$ から $5.5 \times 10^{19} \text{ cm}^{-3}$ に変更することによって、ベース 196 の抵抗に有意な影響は与えられ得ない。

【0264】

バイポーラトランジスタ189は、コレクタに対するコレクタコンタクト208と、ベース196に対するベースコンタクト209と、エミッタ202に対するエミッタコンタクト212とを含み得る。これらのコンタクトは、バイポーラトランジスタ189からの電氣的接続および／またはバイポーラトランジスタ189への電氣的接続を提供し得る。コンタクト208、209および212は、任意の好適な導電材料から形成され得る。図12Aに示されるように、エミッタコンタクト212は、上部コンタクト207、底部コンタクト206およびエミッタキャップ202の上に配置され得る。

【0265】

バイポーラトランジスタ189は、基板191の上にサブコレクタ192を含み得る。サブコレクタ192は他のコレクタ領域201の下に存在し得る。たとえば、図12Aに示されるように、サブコレクタ192は、第3のコレクタ領域199と基板192との間に配置され得る。サブコレクタ192は、第3のコレクタ領域199に当接し得る。サブコレクタ192は、フラットドープ領域であり得る。いくつかの実施形態では、サブコレクタ192のドーピング濃度は、第3のコレクタ領域199の最も高いドーピング濃度よりも、少なくとも1桁または2桁高い。図12Bに示されるように、ある実施形態において、サブコレクタ192のドーピング濃度は、約 $5 \times 10^{18} \text{ cm}^{-3}$ であり得、サブコレクタ192の厚さは少なくとも約8000 Åであり得る。物理的にサブコレクタ192に接触しているコレクタコンタクト208はコレクタ194に電氣的接続を提供し得る。

【0266】

図12Cは、図12Aのバイポーラトランジスタ189の部分に対応する例示的な材料を示す凡例200である。図12Aと図12Cとの間の破線は、凡例200における材料がバイポーラトランジスタ189の特定の部分に対応することを示すよう含まれる。凡例200は、ある実施形態において、基板191が半絶縁GaAsであり得、サブコレクタ192がN+GaAsであり得、第3のコレクタ領域199がN-GaAsであり得、第2のコレクタ領域198がN-GaAsであり得、第1のコレクタ領域197がN+GaAsであり得、ベース196がP+GaAsであり得、エミッタ203がN-InGaPであり得、エミッタキャップ202がN-GaAsであり得、底部コンタクト206がN+GaAsであり得、上部コンタクト207がInGaAsであり得るということを示す。いくつかの実施形態において、バイポーラトランジスタ189の領域の1つ以上が、凡例200において提供される例示的な材料の代わりに好適な代替的な材料を含み得ることが理解されるべきである。さらに、本願明細書において記載されるバイポーラトランジスタのいずれにおいても、n型ドーピングおよびp型ドーピングは、当該トランジスタのいくつかまたはすべてに取り替えられ得る。したがって、本願明細書において記載される特徴の任意の組合せは、NPNトランジスタおよび／またはPNPトランジスタに適用され得る。

【0267】

図12Aのバイポーラトランジスタ189を含むパワーアンプシステムは、ACPR2およびACLR2を含む現在のリニアリティ仕様と、満たすのが特に困難であるRFゲイン仕様とを満たしていることを実験データが示している。さらに、たとえば BV_{CEX} 値および安全動作領域(SOA)によって示されるように、図12Aのバイポーラトランジスタ189は望ましい耐久品質を有することを実験データが示している。

【0268】

図13は、図12Aのバイポーラトランジスタ100および従来のバイポーラトランジスタについて、 BV_{CEX} と電流密度との関係を示すグラフである。図13では、「+」記号はバイポーラトランジスタ189に対応するデータを表わし、「○」記号は、現在の現状技術のバイポーラトランジスタに対応するデータを表わす。以前に言及したように、 BV_{CEX} は、電位に結合される抵抗器を有するベースを有するバイポーラトランジスタにおけるコレクタからエミッタまでの耐圧を表わし得る。

【0269】

図13では、SOAは、示される BV_{CEX} 曲線より下のエリアによって表わされる。

バイポーラトランジスタがその BV_{CEX} 曲線に対応する電圧および電流密度で動作する場合、バイポーラトランジスタは自身が壊れる点に達する。さらに、バイポーラトランジスタがその対応する BV_{CEX} 曲線より上にある電圧および電流密度で動作する場合、バイポーラトランジスタは壊れる。

【0270】

図13におけるデータは、特定の電流密度での対応する BV_{CEX} 曲線上の BV_{CEX} 値より下の電圧で動作する場合、バイポーラトランジスタ189がSOA内で動作することを示す。図13におけるデータはさらに、特定の電圧レベルでの対応する BV_{CEX} 上の電流密度を下回る電流密度で動作する場合、バイポーラトランジスタ189がSOA内で動作することを示す。さらに電圧と電流密度との組合せが BV_{CEX} 曲線を下回る限り、バイポーラトランジスタはSOA内で動作するはずである。図13に示されるように、バイポーラトランジスタ189は従来のバイポーラトランジスタより大きなSOAを有する。バイポーラトランジスタ189は、大きなSOAを有し、壊れることなくより高い電流密度および電圧で動作することができるので、従来のバイポーラトランジスタと比較して耐久性が増加している。したがって、バイポーラトランジスタ189は望ましい耐久性を有する。

【0271】

図14Aは、別の実施形態に従ったバイポーラトランジスタ213の例示的な断面を示す。図14Aのバイポーラトランジスタ213は、図14Aのコレクタ領域217が図12Aの他のコレクタ領域201とは異なることを除いて、図12Aのバイポーラトランジスタ189と実質的に同じである。より具体的には、図14Aにおいて示される、本願明細書におけるコレクタ領域217は、図12Aの他のコレクタ領域201とは異なるドーピングプロファイルを有する。図14Bは、図14Aのバイポーラトランジスタ213の部分の例示的なドーピング濃度を示すグラフである。

【0272】

バイポーラトランジスタ213は、第1のコレクタ領域197および別のコレクタ領域217を有するコレクタ194を同様に含んでもよい。第1のコレクタ領域197は、図12Aの第1のコレクタ領域197を参照して記載された機能の任意の組合せを含み得る。他のコレクタ領域217は、ベース196から離れるにつれてドーピング濃度が変化（たとえば増加）する単一の勾配を含み得る。

【0273】

バイポーラトランジスタ213を含むパワーアンプシステムのようなシステムのRFゲイン仕様を満たすために、バイポーラトランジスタ213の他のコレクタ領域217の単一の勾配は、第1のコレクタ領域197におけるより高いドーピング濃度に関連付けられるRFゲインの損失のいくつかまたはすべてを補償し得る。同時に、バイポーラトランジスタ213を含むパワーアンプシステムのACPR2および／またはACLR2仕様はそれでも満たされ得る。他のコレクタ領域217は、図14Aおよび図14Bに示されるように、第2のコレクタ領域214および第3のコレクタ領域216を含み得る。他の実施形態において、たとえば、図14D～図14Fに示されるように、フラットドープされた部分は、コレクタ領域217から省略され得る。

【0274】

図14Aおよび図14Bに示されるように、コレクタ領域217は、フラットドーピングを有する第2のコレクタ領域214を含み得る。第2のコレクタ領域214は、NードープされたGaAsを含み得る。いくつかの実施形態において、第2のコレクタ領域214のドーピング濃度は、第1のコレクタ領域197のドーピング濃度より約1桁低いドーピング濃度を有する。ある実施形態に従うと、第2のコレクタ領域のドーピング濃度は、約 $7.5 \times 10^{15} \text{ cm}^{-3}$ ～ $1.5 \times 10^{16} \text{ cm}^{-3}$ の範囲から選択され得る。第2のコレクタ領域214の厚さは、約 $2000 \text{ \AA}$ ～ $4000 \text{ \AA}$ までの範囲から選択され得る。いくつかの実施形態において、第2のコレクタ領域214のドーピング濃度は、第3のコレクタ領域216が徐々に変化し始めるドーピング濃度とほぼ等しくあり得る。これは

、コレクタ１９４に関連付けられるキャパシタンスにおける不連続を低減し得る。

【０２７５】

第３のコレクタ領域２１６は、N-にドーピングされたGaAsを含み得る。単一の勾配が、第３のコレクタ領域２１６にわたり得る。他の実施形態において、たとえば、図１４D～図１４Fに示されるように、単一の勾配は、それぞれのコレクタ領域２１９にわたり得る。図１４Aの第３のコレクタ領域２１６におけるドーピング濃度は、ベース１９６、第１のコレクタ領域１９７および／または第２のコレクタ領域２１４から離れるにつれて増加し得る。第２のコレクタ領域２１４に隣接する第３のコレクタ領域２１６のドーピング濃度は、第２のコレクタ領域２１４のドーピング濃度とほぼ等しいドーピング濃度を有し得る。第３のコレクタ領域２１６の厚さは、約4000Å～7000Åの範囲から選択され得る。第３のコレクタ領域２１６のドーピング濃度は、第２のコレクタ領域２１４との界面での約 $7.5 \times 10^{15} \text{ cm}^{-3}$ からサブコレクタ１９２との界面での少なくとも約 $5 \times 10^{16} \text{ cm}^{-3}$ まで徐々に変化し得る。いくつかの実施形態において、第３のコレクタ領域２１６の最大のドーピング濃度は、サブコレクタ１９２のドーピング濃度よりも約２桁低い。

10

【０２７６】

図１４Aを引き続き参照して、サブコレクタ１９２との界面での第３のコレクタ領域２１６のドーピング濃度は、 BV_{CEX} を決定し得る。第３のコレクタ領域２１６においてサブコレクタ１９２との界面でのドーピングが高ければ、SOAが低減され得る。サブコレクタ１９２との界面での第３のコレクタ領域２１６のドーピングが低すぎると、降伏電流が急になりすぎ、これにより、バイポーラトランジスタ２１３の堅牢性が低減する。ある実施形態において、サブコレクタ１９２との界面での第３のコレクタ領域２１６のドーピング濃度は、約 $5 \times 10^{16} \text{ cm}^{-3}$ ～ $9 \times 10^{16} \text{ cm}^{-3}$ の範囲において選択され得る。このようなドーピング濃度によって、バイポーラトランジスタ２１３について望ましい BV_{CEX} 値および／または望ましいSOAが得られ得る。

20

【０２７７】

図１４Cの凡例２００に示されるように、バイポーラトランジスタ２１３は、バイポーラトランジスタ１８９と実質的に同じ材料から形成され得、コレクタ１９４において異なるドーピングプロファイルを有する。

【０２７８】

図１４Dは、本願明細書の別の実施形態に従ったバイポーラトランジスタ２１８の例示的な断面を示す。図１４Dのバイポーラトランジスタ２１８は、図１４Dのコレクタ領域２１９が図１４Aのコレクタ領域２１７とは異なることを除いて、図１４Aのバイポーラトランジスタ２１３と実質的に同じである。より具体的には、勾配は、図１４Dにおいてコレクタ領域２１９にわたる。バイポーラトランジスタ２１８のコレクタ１９４は、第１のコレクタ領域１９７および他のコレクタ領域２１９からなり得る。図１４Dに示されるように、バイポーラトランジスタ２１８のコレクタ１９４は、第１のコレクタ領域１９７および第２の他のコレクタ領域２１９のみを含む。図１４Eは、図１４Dのバイポーラトランジスタ２１８の部分の例示的なドーピング濃度を示すグラフである。図１４Fの凡例２００に示されるように、バイポーラトランジスタ２１８は、バイポーラトランジスタ１８９および／またはバイポーラトランジスタ２１３と実質的に同じ材料から形成され得、コレクタ１９４において異なるドーピングプロファイルを有する。

30

40

【０２７９】

バイポーラトランジスタ２１８は、第１のコレクタ領域１９７および別のコレクタ領域２１９を有するコレクタ１９４を含み得る。第１のコレクタ領域１９７は、図１２Aの第１のコレクタ領域１９７を参照して記載された特徴の任意の組合せを含み得る。コレクタ領域２１９は、ベース１９６から離れるにつれてドーピング濃度が変化（たとえば増加）する単一の勾配を含み得、全コレクタ領域２１９にわたる。

【０２８０】

バイポーラトランジスタ２１８を含むパワーアンプシステムのようなシステムのRFゲ

50

イン仕様を満たすために、バイポーラトランジスタ218のコレクタ領域219の単一の勾配は、第1のコレクタ領域197におけるより高いドーピング濃度に関連付けられるRFゲインの損失のいくつかまたはすべてを補償し得る。同時に、バイポーラトランジスタ218を含むパワーアンプシステムのACPR2および／またはACLR2仕様はそれでも満たされ得る。他のコレクタ領域219の勾配によって、 BV_{CEX} および／またはバイポーラトランジスタ218のSOAが増加され得る。たとえば、ある実施形態において、コレクタ領域219のドーピング濃度は、サブコレクタ192との界面でのドーピング濃度が約 $5 \times 10^{16} \text{ cm}^{-3} \sim 9 \times 10^{16} \text{ cm}^{-3}$ の範囲に選択され得る。コレクタ領域219は、本願明細書において記載される1つ以上の機能を達成するために、本願明細書において記載される任意の好適な厚さまたは勾配を有し得る。いくつかの実施形態では、コレクタ領域の厚さは約 $4000 \text{ \AA} \sim 7000 \text{ \AA}$ の範囲から選択され得る。ある実施形態に従うと、コレクタ219における勾配は、第1のコレクタ領域197との界面での約 $7.5 \times 10^{15} \text{ cm}^{-3}$ からサブコレクタ192の近傍またはサブコレクタ192の界面での少なくとも約 $5 \times 10^{16} \text{ cm}^{-3}$ まで徐々に変化し得る。

【0281】

図15は、本願明細書の関連する方法の実施形態に従った、バイポーラトランジスタを形成するプロセス221の例示的なフロー図である。本願明細書において論じられるプロセスのうちのいずれも、より多いまたはより少ない動作を含んでもよく、当該動作は適宜、任意の順番で行なわれ得るということが理解されるであろう。さらに、プロセスの1つ以上の動作は、連続的にまたは並列に行なわれ得る。プロセス221は、図12Aのバイポーラトランジスタ189、図14Aのバイポーラトランジスタ213、図14Dのバイポーラトランジスタ218またはそれらの任意の組合せを形成している間に行なわれ得る。ブロック222では、バイポーラトランジスタのサブコレクタが形成される。サブコレクタは、たとえばサブコレクタ192といった、本願明細書において記載されるサブコレクタの特徴の任意の組合せを含み得る。ブロック223では、少なくとも1つの勾配を含むコレクタ領域が形成され得る。この少なくとも1つの勾配は、当該技術において公知の任意の好適なドーピング方法によって形成され得る。コレクタ領域は、図12A、図14Aおよび図14Dの方位において、サブコレクタに隣接し得、たとえば、サブコレクタの直上に存在し得る。コレクタ領域は、他のコレクタ領域201、217および／または219を参照して本願明細書において記載された特徴の任意の組合せを含み得る。たとえば、いくつかの実施形態において、コレクタ領域は2つの勾配を有し得る。コレクタ領域の少なくとも1つの勾配は、バイポーラトランジスタのRFゲインを増加し、および／または、バイポーラトランジスタの耐久性を増加し得る。たとえば、少なくとも1つの勾配は、第1のコレクタ領域における高いドーピング濃度に起因するバイポーラトランジスタのゲインの減少のいくつかまたはすべてを補償し得る。ブロック224では、高いドーピング濃度を有する異なるコレクタ領域はベースに当接して形成され得る。高いドーピング濃度は、たとえば少なくとも約 $3.0 \times 10^{16} \text{ cm}^{-3}$ といった、本願明細書において記載される第1のコレクタ領域197のドーピング濃度のいずれかであり得る。さらに高いドーピング濃度および第1のコレクタ領域の厚さは、ともに1つ以上の第2のチャンネルリニアリティ測定値を改善し得る。

【0282】

図16は、図12Aの1つ以上のバイポーラトランジスタ189、図14Aの1つ以上のバイポーラトランジスタ213、図14Dの1つ以上のバイポーラトランジスタ218、またはその任意の組合せを含み得るモジュール226の概略的なブロック図である。モジュール226は、パワーアンプシステムのいくつかまたはすべてであり得る。モジュール226は、いくつかの実現例では、マルチチップモジュールおよび／またはパワーアンプモジュールと称され得る。モジュール226は、基板227（たとえばパッケージング基板）、ダイ228（たとえばパワーアンプダイ）、整合ネットワーク229など、またはその任意の組合せを含み得る。示されていないが、モジュール226は、いくつかの実現例において、基板227に結合される1つ以上の他のダイおよび／または1つ以上の回

路要素を含み得る。当該1つ以上の他のダイはたとえば、パワーアンプバイアス回路および／または直流－直流（DC－DC）コンバータを含み得るコントローラダイを含み得る。パッケージング基板上に実装される例示的な回路要素は、たとえば、所望数のインダクタ、キャパシタ、およびインピーダンス整合ネットワークなど、またはその任意の組合せを含み得る。

【0283】

モジュール226は、モジュール226の基板227に実装および／または結合される複数のダイおよび／または他のコンポーネントを含み得る。いくつかの実現例では、基板227は、モジュール226が電話基板のような回路基板に実装される場合に、ダイおよび／またはコンポーネントを支持し、外部の回路網に電氣的接続性を提供するように構成される多層基板であり得る。

10

【0284】

パワーアンプダイ228は、モジュール226の入力ピンRF_INにてRF信号を受け取り得る。パワーアンプダイ228は、たとえば、RF信号を増幅するように構成される複数段のパワーアンプを含む1つ以上のパワーアンプを含み得る。パワーアンプダイ228は、入力整合ネットワーク231、第1段パワーアンプ232（ドライバアンプ（DA）と称され得る）、段間整合ネットワーク233、第2段パワーアンプ234（出力アンプ（OA）と称され得る）、またはそれらの任意の組合せを含み得る。

【0285】

パワーアンプは、第1段パワーアンプ232および第2段パワーアンプ234を含み得る。第1段パワーアンプ232および／または第2段パワーアンプ234は、図12Aの1つ以上のバイポーラトランジスタ189、図14Aの1つ以上のバイポーラトランジスタ213、図14Dの1つ以上のバイポーラトランジスタ218、またはその任意の組合せを含み得る。さらに、図12Aのバイポーラトランジスタ189、図14Aのバイポーラトランジスタ213および／または図14Dのバイポーラトランジスタ218は、本願明細書において記載されたリニアリティおよび／またはRFゲイン仕様のいずれかを満たすよう、パワーモジュール226および／またはパワーアンプダイ228を補助し得る。

20

【0286】

RF入力信号は、入力整合ネットワーク231を介して第1段パワーアンプ232に提供され得る。整合ネットワーク231は、第1段バイアス信号を受け取り得る。第1のバイアス信号は、PAダイ228上、モジュール226におけるPAダイ228の外側、またはモジュール226の外部で生成され得る。第1段パワーアンプ232は、RF入力を増幅し、段間整合回路233を介して第2段パワーアンプ234に増幅されたRF入力を提供し得る。段間整合回路233は、第2段バイアス信号を受け取り得る。第2段バイアス信号は、PAダイ228上、モジュール226におけるPAダイ228の外側、またはモジュール226の外部で生成され得る。第2段パワーアンプ234は、増幅されたRF出力信号を生成し得る。

30

【0287】

増幅されたRF出力信号は、出力整合ネットワーク229を介してパワーアンプダイ228の出力ピンRF_OUTに提供され得る。整合ネットワーク229は、信号反射および／または他の信号歪みを低減することを支援するようモジュール226上に設けられ得る。パワーアンプダイ228は任意の好適なダイであり得る。いくつかの実現例では、パワーアンプ228のダイは砒化ガリウム（GaAs）ダイである。これらの実現例のいくつかでは、GaAsダイは、ヘテロ接合バイポーラトランジスタ（HBT）プロセスを使用して形成されるトランジスタを有する。

40

【0288】

モジュール226はさらに、たとえばパワーアンプダイ228に電氣的に接続され得る1つ以上の電源ピンを含み得る。1つ以上の電源ピンは、いくつかの実現例において、パワーアンプに、V_SUPPLY1およびV_SUPPLY2といった異なる電圧レベルを有し得る供給電圧を提供し得る。モジュール226は、たとえば、マルチチップモジュール

50

上のトレースによって形成され得るインダクタのような回路要素を含み得る。インダクタは、チョークインダクタとして動作し得、供給電圧とパワーアンプダイ 228 との間に配置され得る。いくつかの実現例では、インダクタは表面実装される。さらに、回路要素は、インダクタと並列に電氣的に接続されるとともに、ピン RF_IN 上で受け取られた信号の周波数の近傍の周波数で共振するように構成されるキャパシタを含み得る。いくつかの実現例では、キャパシタは表面実装されるキャパシタを含み得る。

【0289】

モジュール 226 はたとえば、付加的なパワーアンプダイ、キャパシタおよび／またはインダクタを含む、より多いまたはより少ないコンポーネントを含むよう修正され得る。たとえば、モジュール 226 は 1 つ以上の付加的な整合ネットワーク 229 を含み得る。別の例として、モジュール 226 は、付加的なパワーアンプダイと、付加的なパワーアンプダイとモジュール 226 の電源ピンとの間に配置される並列 LC 回路として動作するように構成される付加的なキャパシタおよびインダクタとを含み得る。モジュール 226 はたとえば、別個の電力供給がパワーアンプダイ 226 に配置される入力段に提供される実現例、および／または、モジュール 226 が複数の帯域の上で動作する実現例において、付加的なピンを有するように構成され得る。

【0290】

モジュール 226 は、約 3.2 V ~ 4.2 V の低電圧の正のバイアス供給、良好なリニアリティ（たとえば、本願明細書において記載される第 2 のチャンネルリニアリティ仕様のいずれかを満たす）、高効率（たとえば 28.25 dBm で約 40 % の PAE）、大きなダイナミックレンジ、小さく低いパッケージプロファイル（たとえば 10 パッド構成を有する 3 mm × 3 mm × 0.9 mm）、パワーダウン制御を有し、低コレクタ電圧動作、デジタルイネーブルをサポートし、基準電圧、CMOS 対応制御信号、集積された方向性結合器、またはその任意の組合せを必要としない。

【0291】

本願明細書のいくつかの実現例では、モジュール 226 は、広帯域符号分割多重アクセス（WCDMA（登録商標））用途のために開発された、完全に整合した 10 パッドの表面実装モジュールであるパワーアンプモジュールである。この小さく効率的なモジュールは、完全な 1920 ~ 1980 MHz 帯域幅カバレッジを単一の小型パッケージにパックすることができる。全電力範囲を通じて達成される高効率により、モジュール 226 は、携帯電話にとって望ましい通話時間の利点を提供し得る。モジュール 226 は、高電力付加効率により、ハイスピードダウンリンクパケットアクセス（High Speed Downlink Packet Access（HSDPA））、ハイスピードアップリンクパケットアクセス（High Speed Uplink Packet Access（HSUPA））、ロングタームエボリューション（Long Term Evolution（LTE））データ伝送の厳格なスペクトルリニアリティ要件を満たし得る。方向性結合器は、モジュール 226 に集積され得、したがって外部結合器の必要性を除去できる。

【0292】

ダイ 228 は、図 12A の 1 つ以上のバイポーラトランジスタ 189、図 14A の 1 つ以上のバイポーラトランジスタ 213、図 14D の 1 つ以上のバイポーラトランジスタ 218、またはその任意の組合せといった、モジュール 226 のすべての能動回路を含む単一の砒化ガリウム（GaAs）マイクロ波モノリシック集積回路（Microwave Monolithic Integrated Circuit（MMIC））において実施されるパワーアンプダイであり得る。MMIC は、オンボードのバイアス回路網と、入力整合ネットワーク 231 および段間整合ネットワーク 233 とを含み得る。出力整合ネットワーク 229 は、効率および電力性能を増加および／または最適化するよう、モジュール 226 のパッケージ内でダイ 228 と別個に実施される 50 オームの負荷を有し得る。

【0293】

モジュール 226 は、高効率および良好なリニアリティ（たとえば本願明細書において記載される第 2 のチャンネルリニアリティ仕様のいずれかを満たす）を維持しつつすべて

10

20

30

40

50

の正電圧DC供給動作を提供するGaAsヘテロ接合バイポーラトランジスタ(HBT)BiFETプロセスを用いて製造され得る。モジュール226への一次バイアスが、出力が約3.2~4.2Vまでの選択された範囲の任意の3セルNi-Cd電池、単一セルLiイオン電池、または他の好適な電池から直接的にまたは当該電池から中間コンポーネントを介して供給され得る。いくつかの実現例において、基準電圧は必要とされない。パワーダウンは、イネーブル電圧を0ボルトにセットすることにより達成され得る。いくつかの実現例に従うと、電池から完全な一次電圧が供給された状態で典型的な「オフ」リークが数マイクロアンペアであるので、外部供給側スイッチは必要ではない。

【0294】

本願明細書において記載されるデバイス、システム、方法、および装置のいずれもが、ワイヤレスデバイスとも称され得るモバイルデバイスのようなさまざまな電子デバイスにおいて実現され得る。図17は、図12Aの1つ以上のバイポーラトランジスタ189、図14Aの1つ以上のバイポーラトランジスタ213、図14Dの1つ以上のバイポーラトランジスタ218、またはその任意の組合せを含み得る例示的なモバイルデバイス236の概略的なブロック図である。

【0295】

モバイルデバイス236の例は、携帯電話(たとえばスマートフォン)、ラップトップ、タブレットコンピュータ、携帯情報端末(PDA)、電子ブックリーダーおよびポータブルデジタルメディアプレーヤを含み得るがこれらに限定されない。たとえばモバイルデバイス101は、たとえば、グローバルシステム・フォー・モバイル(GSM)、符号分割多重アクセス(CDMA)、3G、4Gおよび/またはロングタームエボリューション(LTE)を使用して通信するように構成されるマルチバンド/マルチモード携帯電話のようなマルチバンドおよび/またはマルチモードデバイスであり得る。

【0296】

ある実施形態において、モバイルデバイス236は、スイッチングコンポーネント237と、トランシーバコンポーネント238と、アンテナ239と、図1Aの1つ以上のバイポーラトランジスタ189、図14Aの1つ以上のバイポーラトランジスタ213、図14Dの1つ以上のバイポーラトランジスタ218を含み得るパワーアンプ241と、制御コンポーネント242と、コンピュータ読取可能媒体243と、プロセッサ244と、電池246と、供給制御ブロック247とのうちの1つ以上を含み得る。

【0297】

トランシーバコンポーネント238は、アンテナ239を介する送信のためのRF信号を生成し得る。更に、トランシーバコンポーネント238は、アンテナ239から入って来るRF信号を受け取り得る。

【0298】

RF信号の送信および受信に関連付けられるさまざまな機能は、トランシーバ238として図17において集合的に表わされる1つ以上のコンポーネントによって達成され得るということが理解されるべきである。たとえば、送信機能および受信機能の両方を提供するために、単一のコンポーネントが構成され得る。別の例では、送信機能および受信機能は、別個のコンポーネントによって提供され得る。

【0299】

さらに同様に、RF信号の送信および受信に関連付けられるさまざまなアンテナ機能は、アンテナ239として図17において集合的に表わされる1つ以上のコンポーネントによって達成され得るということが理解されるべきである。たとえば、送信機能および受信機能の両方を提供するために単一のアンテナが構成され得る。別の例では、送信機能および受信機能は別個のアンテナによって提供され得る。さらに別の例では、モバイルデバイス236に関連付けられる異なる帯域は、異なるアンテナによって提供され得る。

【0300】

図17では、トランシーバ238からの1つ以上の出力信号が、1つ以上の送信パスを介してアンテナ239に提供されることが示されている。示される例において、異なる送

10

20

30

40

50

信パスは、異なる帯域および／または異なる電力出力に関連付けられる出力パスを示し得る。たとえば、示された2つの例示的なパワーアンプ241は、異なる電力出力構成（たとえば低電力出力および高電力出力）に関連付けられる増幅、および／または、異なる帯域に関連付けられる増幅を示し得る。

【0301】

図17では、アンテナ239からの1つ以上の検出された信号が、1つ以上の受信パスを介してトランシーバ238に提供されることが示されている。示される例において、異なる受信パスは、異なる帯域に関連付けられるパスを示し得る。たとえば、示される4つの例示的なパスは、いくつかのモバイルデバイス236に提供されているクワッドバンド性能を示し得る。

10

【0302】

受信パスと送信パスとの間のスイッチングを促進するために、スイッチングコンポーネント237は、選択された送信パスまたは受信パスにアンテナ239を電氣的に接続するように構成され得る。したがって、スイッチングコンポーネント237は、モバイルデバイス236の動作に関連付けられる多くのスイッチング機能を提供し得る。ある実施形態では、スイッチングコンポーネント237は、たとえば、異なる帯域間のスイッチング、異なる電力モード間のスイッチング、送信モードと受信モードとの間のスイッチング、またはその何らかの組合せに関連付けられる機能を提供するように構成される多くのスイッチを含み得る。スイッチングコンポーネント237はさらに、信号のフィルタリングを含む付加的な機能を提供するように構成され得る。たとえば、スイッチングコンポーネント237は1つ以上のデュプレクサを含み得る。

20

【0303】

モバイルデバイス236は、1つ以上のパワーアンプ241を含み得る。RFパワーアンプは、相対的に低い電力を有するRF信号の電力を増強するよう使用され得る。その後、増強されたRF信号は、送信機のアンテナを駆動することを含むさまざまな目的に使用され得る。パワーアンプ241は、送信のためにRF信号を増幅するよう携帯電話のような電子デバイスに含まれ得る。たとえば、3Gおよび／または4G通信規格下での通信のためのアーキテクチャを有する携帯電話において、パワーアンプはRF信号を増幅するために使用され得る。所望の送信電力レベルは、ユーザが基地局および／またはモバイル環境からどれくらい遠ざかっているかに依存し得るので、RF信号の増幅を管理することが望ましくあり得る。パワーアンプはさらに、割り当てられた受信時間スロットの間の送信からの信号干渉を防止するよう、時間にわたってRF信号の電力レベルを調整することを支援するために使用され得る。パワーアンプモジュールは、1つ以上のパワーアンプを含み得る。

30

【0304】

図17は、ある実施形態において、制御コンポーネント242が提供され得、このようなコンポーネントは、スイッチングコンポーネント237、パワーアンプ241、供給制御247および／または他の動作コンポーネントの動作に関連付けられるさまざまな制御機能を提供するように構成される回路網を含み得ることを示す。

【0305】

40

本願明細書のある実施形態において、プロセッサ244は、本願明細書において記載されるさまざまな機能の実現を促進するように構成され得る。本願明細書において記載されたコンポーネントのいずれかの動作に関連付けられるコンピュータプログラム命令が、プロセッサ244に命令し得るコンピュータ読取可能メモリ243に格納され得、そのため当該コンピュータ読取可能メモリに格納される指示によって、本願明細書において記載されるモバイルデバイス、モジュールなどのさまざまな動作機能を実現する命令を含む製品が作り出だされる。

【0306】

示されるモバイルデバイス236はさらに、1つ以上のパワーアンプ241に電源を提供するために使用され得る供給制御ブロック247を含む。たとえば、供給制御ブロック

50

247はDC-DCコンバータを含み得る。しかしながら、ある実施形態では、供給制御ブロック247は、たとえば、増幅されるRF信号のエンベロープに基づき、パワーアンプ241に提供される供給電圧を変化させるように構成されるエンベロープトラッカのような他のブロックを含み得る。

【0307】

供給制御ブロック247は、電池246に電氣的に接続され得、供給制御ブロック247は、DC-DCコンバータの出力電圧に基づいて、パワーアンプ241に提供される電圧を変化させるように構成され得る。電池246は、たとえばリチウムイオン電池を含む、モバイルデバイス236において使用される任意の好適な電池であり得る。図1Aの1つ以上のバイポーラトランジスタ189、図14Aの1つ以上のバイポーラトランジスタ213、図14Dの1つ以上のバイポーラトランジスタ218またはその任意の組合せを含む少なくとも1つのパワーアンプ241により、電池246の電力消費が低減され得、および／または、パワーアンプ241の信頼性が改善され得、これにより、モバイルデバイス236の性能が改善される。

【0308】

上に記載された実施形態のうちのいくつかにより、携帯電話のような、パワーアンプを含むモジュールおよび／または電子デバイスに関係する例が提供された。しかしながら、これらの実施形態の原理および利点は、RFゲインを犠牲にすることなく高レベルの第2のチャンネルリニアリティを有するバイポーラトランジスタの必要性を有する任意の他のシステムまたは装置に使用され得る。

【0309】

本開示の1つ以上の局面を実現するシステムは、さまざまな電子デバイスにおいて実現され得る。電子デバイスの例は、コンシューマエレクトロニクス製品、コンシューマエレクトロニクス製品の部分、電子試験機器などを含み得るがこれらに限定されない。より具体的には、本開示の1つ以上の局面を実現するように構成される電子デバイスは、RF送信デバイス、パワーアンプを有する任意のポータブルデバイス、携帯電話（たとえばスマートフォン）、電話、基地局、フェムトセル、レーダ、Wi-Fi（登録商標）および／またはブルートゥース（登録商標）規格に従って通信するように構成されるデバイス、テレビ、コンピュータモニタ、コンピュータ、ハンドヘルドコンピュータ、タブレットコンピュータ、ラップトップコンピュータ、携帯情報端末（PDA）、電子レンジ、冷蔵庫、自動車、ステレオシステム、DVDプレーヤ、CDプレーヤ、VCR、MP3プレーヤ、ラジオ、カムコーダ、カメラ、デジタルカメラ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯／乾燥機、コピー機、ファクシミリマシン、スキャナ、多機能周辺機器、腕時計、時計などを含み得るがこれらに限定されない。コンシューマエレクトロニクス製品の部分は、RF送信線を含むマルチチップモジュール、パワーアンプモジュール、RF送信線を含む集積回路、RF送信線を含む基板など、またはその任意の組合せを含み得る。さらに、電子デバイスの他の例はまた、メモリチップ、メモリモジュール、光学ネットワークまたは他の通信ネットワークの回路、およびディスクドライバ回路を含み得るがこれらに限定されない。さらに、電子デバイスは未完成の製品を含み得る。

【0310】

V. 3モード入力／出力インターフェイスによるデュアルモードパワーアンプ制御

本願明細書のいくつかの実施形態に従うと、本開示のこのセクションは、単一のデジタル制御インターフェイスダイ内における、無線周波数フロントエンド（radio frequency front end（RFFE））シリアルインターフェイスと、3モード汎用入力／出力（three-mode general purpose input/output（GPIO））インターフェイスとの両方を提供するために使用され得るデュアルモード制御インターフェイスに関する。ある実施形態では、デュアルモード制御インターフェイスまたはデジタル制御インターフェイスは、パワーアンプと通信し得る。さらに、デュアルモード制御インターフェイスは、パワーアンプのモードをセットするために使用され得る。上に示されるように、パワーアンプモジュールおよび当該パワーアンプモジュールが使用されるデバイスの性能をさらに改善するために

、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられてもよい。

【0311】

新しい規格が導入される場合または既存の規格が修正される場合、新しい規格または更新された規格を活用するために、新しいコンポーネントの導入または既存のコンポーネントの修正がしばしば必要である。たとえば、パワーアンプモジュールのようなモジュール内の複数の構成モードをサポートするためにM I P I（登録商標）R F F Eフロントエンド（R F F E）規格シリアルインターフェイスを採用することは、新しい規格をサポートすることを望むデバイス製造業者が、R F F E規格をサポートする新しいフロントエンドコンポーネントを使用する必要があると得るということを意味し得る。R F F E規格を使用する顧客と、汎用入力／出力（G P I O）インターフェイスのような異なる規格を使用する顧客とを有するフロントエンドコンポーネントの製造業者は、2つの別個のコンポーネントを製造しなければならない。これは、たとえば、両方のタイプのフロントエンドデバイスを生産するためにより多くの時間および人的資源が費やさなければならないので、コストがかかり得る。

10

【0312】

さらに、両方の規格をサポートすることを望むデバイス製造業者は、これらの規格をサポートするために2つ以上のコンポーネントを適合するよう彼らの製品のデザイン変更をしばしば要求され得る。これは、より多くの物理的なスペースを必要とし得るだけでなく、たとえば複数のインターフェイスコンポーネントが各々電力を消費し得るため電力消費がより大きくなり得る。

20

【0313】

本開示のこのセクションの実施形態は有利なことに、ダイのサイズを増加させることなく、またはフロントエンドインターフェイスをサポートするのに必要なピンの数を増加させることなく、単一のダイにおいて複数の規格を実現するためのシステムおよび方法を提供する。さらに、いくつかの実施形態において、単一のインターフェイス規格を実現するコンポーネントを使用するデバイスと比較して、電力消費は増加しない。さらに、本開示の実施形態は、既存のデバイスに対する如何なる修正もなしで、R F F Eシリアルインターフェイス、G P I Oインターフェイスまたは両方のインターフェイスをサポートするよう、単一のインターフェイスコンポーネントまたはダイを提供する。ある実現例では、単一のコンポーネントのサイズおよびピンの個数は、R F F EインターフェイスおよびG P I Oインターフェイスのうちの一方のみを実現するダイと同じに維持され得る。

30

【0314】

本願明細書のある実施形態では、インターフェイスコンポーネントまたはデジタル制御インターフェイスは、M I P I（登録商標）R F F Eシリアルインターフェイスの機能を実現するR F F Eコアを含む。このR F F Eコアは、電圧入力／出力（V I O）ピンから電力を受け取るように構成され得る。多くの実現例では、R F F Eコアは、使用されない場合、電力を受け取ることを止め得る。R F F Eコアに電力が供給されない場合、デジタル制御インターフェイスは、G P I Oインターフェイスとして、R F F Eコアに信号を提供するピンを使用するように構成され得る。組合せ論理を使用することによって、デジタル制御インターフェイスは、R F F EシリアルインターフェイスまたはG P I Oインターフェイスの使用に関連付けられる信号がたとえばパワーアンプに提供されるかどうかを制御し得る。ある実施形態において、有利なことに、単一のダイ上にR F F EシリアルインターフェイスおよびG P I Oインターフェイスを集積することによって、G P I Oインターフェイスをまだ使用している如何なる製造業者も疎外することなく、R F F Eシリアル規格のシームレスな採用が可能になる。R F F Eシリアル規格およびG P I Oインターフェイスを組み合わせることに関するさらなる詳細が本願明細書において記載される。

40

【0315】

A. 電子デバイス

図18は、本発明の局面に従ったワイヤレスデバイス248の実施形態を示す。本開示の用途はワイヤレスデバイスに限定されず、パワーアンプを有するまたはパワーアンプを

50

有さない任意のタイプの電子デバイスに適用され得る。たとえば、実施形態は、パワーアンプを含み得る有線デバイス、天候感知デバイス、レーダ、ソナー、マイクロ波オープンおよび任意の他のデバイスに適用され得る。さらに本発明の実施形態は、フロントエンドインターフェイスを介して制御される1つ以上のコンポーネントを含み得るデバイスに適用され得る。たとえば本開示の実施形態は、例示すると、パワーアンプ供給調整に使用され得るスイッチモード電源 (Switch Mode Power Supply (S M P S)) デバイス、アンテナスイッチモジュール (Antenna Switch Module (A S M))、およびアンテナ負荷調整モジュールに適用され得る。本開示は、ワイヤレスデバイスまたはパワーアンプの制御に限定されないが、議論を単純化するために、多くの実施形態は、ワイヤレスデバイス 2 4 8 およびパワーアンプモジュール 2 4 9 に関して記載される。

10

【0316】

ワイヤレスデバイス 2 4 8 はパワーアンプモジュール 2 4 9 を含み得る。パワーアンプモジュール 2 4 9 は一般に、パワーアンプ 2 5 1 と、パワーアンプ 2 5 1 を制御するためのパワーアンプコントローラ 2 5 2 とを含む任意のコンポーネントまたはデバイスを含み得る。パワーアンプ 2 5 1 を制御することは一般に、パワーアンプ 2 5 1 によって提供される電力増幅の量をセット、修正、または調節することを指すが、そのように限定されない。いくつかの実現例では、パワーアンプ 2 5 1 はパワーアンプコントローラ 2 5 2 を含んでもよい。さらに、パワーアンプモジュール 2 4 9 は、パワーアンプコントローラ 2 5 2 およびパワーアンプ 2 5 1 の機能を含む単一のコンポーネントであってもよい。他の実現例では、ワイヤレスデバイス 2 4 8 は、パワーアンプ 2 5 1 およびパワーアンプコントローラ 2 5 2 を別個の異なるコンポーネントとして含んでもよい。

20

【0317】

さらに、ワイヤレスデバイス 2 4 8 はデジタル制御インターフェイス 2 5 3 を含み得る。いくつかの実施形態では、パワーアンプモジュール 2 4 9 はデジタル制御インターフェイス 2 5 3 を含む。一般に、デジタル制御インターフェイス 2 5 3 は、複数のタイプのフロントエンドインターフェイスをサポートし得る任意のタイプの制御インターフェイスを含み得る。たとえば、示されるデジタル制御インターフェイス 2 5 3 は、M I P I (登録商標) 無線周波数 (R F) フロントエンド (R F F E) シリアルインターフェイス 2 5 4 と汎用入力/出力 (G P I O) インターフェイス 2 5 6 との両方をサポートし得る。多くの実施形態では、デジタル制御インターフェイス 2 5 3 は、回路設計の変更またはボンディングの変更を必要とすることなく、インターフェイスが同じ構成要素のダイ上に共存し得るように複数のタイプのフロントエンドインターフェイスをサポートし得る。さらに、いくつかの実施形態において、デジタル制御インターフェイス 2 5 3 は、インターフェイスピンの数を増加させることなく、または、ワイヤレスデバイス 2 4 8 による使用のために露出した接続点を増加させることなく、複数のフロントエンドインターフェイスをサポートし得る。多くの実施形態において有利なことに、デジタル制御インターフェイス 2 5 3 を修正することなく、デジタル制御インターフェイス 2 5 3 は、異なるインターフェイス規格をサポートするデバイスと共に使用され得る。たとえば、図 1 8 の示されるデジタル制御インターフェイス 2 5 3 は、デジタル制御インターフェイス 2 5 3 を修正することなく、M I P I (登録商標) R F F E、G P I O またはこれら 2 つの組合せをサポートするデバイスと共に使用され得る。

30

40

【0318】

ある実現例では、デジタル制御インターフェイス 2 5 3 は、パワーアンプモジュール 2 4 9、パワーアンプコントローラ 2 5 2、パワーアンプ 2 5 1、またはデジタル制御インターフェイス 2 5 3 によって制御され得る任意の他のコンポーネントの動作モードを決定またはセットする、パワーアンプモジュール 2 4 9 と信号源との間の仲介部または管理部として機能し得る。信号源は、デジタル制御インターフェイス 2 5 3 にたとえばパワーアンプモジュール 2 4 9 の動作モードを決定またはセットさせ得る信号をデジタル制御インターフェイス 2 5 3 に提供するように構成される任意のコンポーネントを含み得る。たとえば、図 1 8 に示されるように、信号源はトランシーバ 2 5 7 であり得る。代替的または

50

付加的には、上記信号源は、デジタル制御インターフェイス 253 にパワーアンプモジュール 249 またはパワーアンプ 251 の動作モードをセットさせるようデジタル制御インターフェイス 253 に 1 つ以上の信号を提供し得るベースバンドチップ 258、デジタル信号プロセッサ (DSP) 259、または任意の他のコンポーネントを含み得る。

【0319】

パワーアンプ 251 のモードをセットするシナリオの一例において、トランシーバはたとえばアンテナ 261 または DSP 259 から信号を受け取る。信号の受け取りに応答して、トランシーバ 257 は、パワーアンプ 251 の動作モードをセットすることに関連付けられるデジタル制御インターフェイス 253 に 1 つ以上の信号を提供し得る。デジタル制御インターフェイス 253 は、トランシーバ 257 から受け取った信号に基づいて、受け取った信号が RFFE シリアルインターフェイス 254 または GPIO インターフェイス 256 に関連付けられるかどうかを決定し得る。その後、デジタル制御インターフェイス 253 は、識別されたインターフェイス (たとえば RFFE シリアルインターフェイス 254、GPIO インターフェイス 256、またはデジタル制御インターフェイス 253 が含み得る任意の他のインターフェイス) を使用して、受け取った信号を処理し得る。その後、受け取った信号を処理した結果に基づいて、デジタル制御インターフェイス 253 は、パワーアンプ制御部 252 にモード設定信号を提供し得、パワーアンプ制御部 252 は、当該モード設定信号に基づいてパワーアンプ 251 のモードをセットし得る。

【0320】

一般に、パワーアンプ 251 のモード設定は、デバイス (たとえばワイヤレスデバイス 248) のコンポーネントに提供される信号の電力増幅の割合または量に対応する。この信号は、コンポーネントに電力を供給するために提供され得るか、または、ワイヤレスデバイス 248 のコンポーネントによる処理のために提供され得る。パワーアンプモジュールは、電源 262 から電力を受け取り得る。パワーアンプモジュール 249 はその後、配電バス 263 によって示されるように、ワイヤレスデバイス 248 に含まれる多くのコンポーネントに電力を分配し得る。

【0321】

ワイヤレスデバイス 248 は、多くの付加的なコンポーネントを含み得る。これらの付加的なコンポーネントのうちの少なくともいくつかは、配電バス 263 を介して電力を受け取り得る。さらに、付加的なコンポーネントのうちの少なくともいくつかは、デジタル制御インターフェイス 253 と通信し得、デジタル制御インターフェイス 253 にパワーアンプモジュール 249 のセッティングを修正させ得る。たとえば、ワイヤレスデバイス 248 は、デジタルアナログコンバータ (DAC) 264、ディスプレイプロセッサ 266、中央プロセッサ 267、ユーザインターフェイスプロセッサ 268、アナログデジタルコンバータ 269 およびメモリ 271 を含み得る。

【0322】

また、図 18 に示されるワイヤレスデバイス 248 のコンポーネントは例として提供される。ワイヤレスデバイス 248 は他のコンポーネントを含んでもよい。たとえば、ワイヤレスデバイス 248 はオーディオプロセッサ、ジャイロスコプまたは加速度計を含んでもよい。さらに、さまざまな示されるコンポーネントは、より少ないコンポーネントへと組み合わせられるか、または付加的なコンポーネントへと分離されてもよい。たとえば、DAC 264 および ADC 269 は単一のコンポーネントへと組み合わせられ得、ベースバンドチップ 258 はトランシーバ 257 と組み合わせられ得る。別の例として、トランシーバ 257 は、別個のレシーバおよびトランスミッタに分割され得る。

【0323】

B. デジタル制御インターフェイス

図 19 は、本開示の局面に従った、デジタル制御インターフェイス 272 として識別されるデジタル制御インターフェイスの特定の実施形態を示す。デジタル制御インターフェイス 272 は、RFFE シリアルインターフェイスおよび GPIO インターフェイスの両方を含む。ある実施形態において有利なことに、デジタル制御インターフェイス 272 は

、RFFEシリアルインターフェイスおよびGPIOインターフェイスのうちの1つを含む制御インターフェイスと同じ数のピンを有する同じサイズのパッケージにおいて実現され得る。チップのサイズを広げることなく単一のチップ内に複数のインターフェイスタイプを組み合わせたことができることは、3mm×3mmモジュールを必要とし得る用途といった、小さいパッケージを使用または必要とする用途に特に有利である。

【0324】

デジタル制御インターフェイス272は、MIP I（登録商標）RFFEシリアルインターフェイスの機能を提供するように構成されるRFFEコア273を含む。さらに、デジタル制御インターフェイス272は、VIOピン274、クロック／モードピン276、データ／イネーブルピン277といった多くの入力ピンを含む。

10

【0325】

VIOピン274は、デジタル制御インターフェイス272がRFFEシリアルインターフェイスまたはGPIOインターフェイスとして動作すべきかどうかを示す信号を受け取るように構成される。例示される実施形態では、デジタル制御インターフェイス272は、VIOピン274が論理ハイ信号を受け取る場合、RFFEシリアルインターフェイスとして動作し、VIOピン274が論理ロー信号を受け取る場合、GPIOインターフェイスとして動作する。しかしながら、いくつかの実現例では、デジタル制御インターフェイス272は、VIOピン274が論理ロー信号を受け取る場合にRFFEシリアルインターフェイスとして動作し、VIOピン274が論理ハイ信号を受け取る場合にGPIOインターフェイスとして動作するように構成され得る。論理ロー信号は、0ボルト、－5ボルトなどといった低いと規定される任意の値に関連付けられ得る。同様に、論理ハイ信号は、0ボルト、＋5ボルトなどといった高いと規定される任意の値に関連付けられ得る。いくつかの実現例では、論理ロー信号は、VIOピン274を接地に接続することに関連付けられ得る。同様に、いくつかの場合では、論理ハイ信号は、電圧源にVIOピン274を接続することに関連付けられ得る。

20

【0326】

デジタル制御インターフェイス272について動作モードをセットすることに加えて、VIOピン274はさらに、電源262（図18）のような電源からの電力をRFFEコア273に提供し得る。したがって、いくつかの実施形態において、VIOピン274が論理ローにセットされるかまたは接地される場合、RFFEコア273に電力が供給されず、デジタル制御インターフェイス272はGPIOインターフェイスとして機能するように構成される。他方、いくつかの実施形態において、VIOピン274が、論理ハイにセットされるか、または電源に直接的もしくは間接的に接続される場合、RFFEコア273には電力が提供され、デジタル制御インターフェイス272はRFFEシリアルインターフェイスとして機能するように構成される。

30

【0327】

さらに、デジタル制御インターフェイス272は、ハードウェア、ソフトウェアまたはこれら2つの組合せで実現され得るパワーオンリセット278を含む。パワーオンリセット278は、RFFEコア273をリセットすることを促進するように構成される。いくつかの実施形態において、パワーオンリセット278は、反転遅延機能として機能し得る。反転遅延機能は、デジタル制御インターフェイス272をRFFEシリアルインターフェイスとして構成する場合、RFFEコア273に関連付けられる1つ以上の論理ブロックおよび／または1つ以上のレジスタが既知の条件または値にセットされるのに十分な時間を提供するように構成される。いくつかの場合では、当該時間の長さは用途に特有であり得るが、他の場合では、時間の長さはハードウェア設計および／または実現例の特性に基づき得る。たとえば、必要とされる時間の量は、クロック周波数、論理コンポーネントのサイズ、デジタル制御インターフェイス272に直接的または間接的に接続されるコンポーネントのタイプなどに依存し得る。さらに、RFFEコア273を初期化する場合、または、RFFEコア273をリセット状態から出す場合、既知の値に論理ブロックおよび／またはレジスタをセットすることが行われ得る。

40

50

【0328】

いくつかの実現例では、パワーオンリセット278は、組合せ論理ブロック279に選択信号を提供するように構成され得る。たとえば、デジタル制御インターフェイス272は、VIOピン274が論理ロー信号を受け取る場合はGPIOインターフェイスとして動作し、VIOピン274が論理ハイ信号を受け取る場合はRFFEシリアルインターフェイスとして動作するよう構成され得る。この例を引き続き参照して、VIOピン274が論理ロー信号を受け取ると、パワーオンリセット278によって提供される選択信号は、それぞれデータ/イネーブルピン277およびクロック/モードピン276に入力される信号を組合せ論理ブロック279がイネーブルレベルシフタ282およびモードレベルシフタ283に出力することを引き起こし得る。代替的には、VIOピン274が論理ハイ信号を受け取る場合、パワーオンリセット278によって提供される選択信号は、RFFEコア273によって提供される信号を組合せ論理ブロック279がイネーブルレベルシフタ282およびモードレベルシフタ283に出力することを引き起こし得る。ある実施形態において、組合せ論理ブロック279は、データ/イネーブルピン277、クロック/モードピン276またはRFFEコア273から受け取られた信号を、レベルシフタに出力する前に遅延または別の態様で修正し得る。

10

【0329】

さらにいくつかの場合において、パワーオンリセット278は、レベルシフタ281の1つ以上をデフォルト状態にするよう構成され得る。たとえば、レベルシフタ281は、RFFEコア273がリセット状態にある場合、デフォルトまたはリセット状態にされ得る。いくつかの設計において、パワーオンリセット278は、GPIOインターフェイスモードの間にハイであるように構成される各レベルシフタに関連付けられるデフォルトハイピンに接続され、GPIOインターフェイスモード間にローであるように構成される各レベルシフタに関連付けられるデフォルトローピンに接続され得る。いくつかの実現例では、デフォルト状態へレベルシフタ281をセットすることによって、デフォルトピン284によって提供されるデフォルト入力信号に基づいて、レベルシフタ281が値を出力し得る。デフォルトピン284はデフォルト入力信号を受け取るものとして示されるが、多くの実施形態において、デフォルトピン284は、デフォルトハイ入力およびデフォルトロー入力の一方に結びつけられる。したがって、いくつかの場合では、デフォルト値はあらかじめ構成され得るが、他の場合では、デフォルト値は構成または動作に基づいて可変であり得る。いくつかの設計では、各レベルシフタ281が、異なるデフォルト値または信号に関連付けられ得ることが可能である。代替的には、各レベルシフタ281は、同じデフォルト値または信号に関連付けられ得る。

20

30

【0330】

レベルシフタ281の各々にVccピン287を通じて電力が供給され得る。いくつかの実現例では、各レベルシフタ281は、電源に別個に接続され得る。代替的には、単一のレベルシフタ281が、直接的または間接的に電源に接続され、その残りのレベルシフタ281が、電源に接続される上記レベルシフタ281または他のコンポーネントへの接続によって電力を取得し得る。さらに、同様に、レベルシフタ282および283は各々電源に接続され得るか、または、レベルシフタ282および283に電力を提供し得るレベルシフタもしくは他のコンポーネントに接続され得る。ある実施形態では、レベルシフタ281、282および283は、受け取られた信号の電圧レベルを調節するとともに、修正された信号を出力するように構成される。レベルシフタ281、282および283は、Vccピン287に加えられる電圧と実質的に整合するように、受け取った信号の電圧レベルを調節し得るが、このようなものに限定されない。

40

【0331】

図19は2つのレベルシフタ281を示すが、当該開示は、そのようなものに限定されない。RFFEコア273は、1つ、2つ、3つまたは任意の所望の数の付加的なレベルシフタ281と直接的または間接的に通信し得る。さらにいくつかの場合、デジタル制御インターフェイス272は、RFFEコア273が含むレジスタ（図示せず）の数と同じ

50

数のレベルシフト 281 を含む。各レジスタは、当該レジスタの値に関連付けられる信号を、対応するレベルシフト 281 に提供し得る。いくつかの場合には、レジスタより多いまたは少ないレベルシフト 281 が存在し得る。たとえば、各レベルシフト 281 は、2 つのレジスタに関連付けられ得る。この例では、RFFE コア 273 の内部の論理が、どのレジスタの値が対応するレベルシフト 281 に提供されるかを決定し得る。第 2 の例として、RFFE コア 273 は、RFFE コア 273 による内部での使用のために含まれる付加的なレジスタを含み得る。この例において、RFFE コア 273 のすべてのレジスタがレベルシフト 281 に関連付けられ得るわけではない。レベルシフト 281、282 および 283 は、図 20 に関して以下により詳細に記載される。

【0332】

あらかじめ示されるように、RFFE コア 273 は、レジスタのセット（図示せず）を含み得る。ある状況では、レジスタのセットは未知の値にセットされ得る。たとえば、最初にワイヤレスデバイス 248 に電力が供給される際に、レジスタのセットは未知の値にセットされ得る。第 2 の例として、VIO ピン 274 が、RFFE コア 273 のための電源と、RFFE モードと GPIO モードとの間のモード選択器との両方として機能する実現例において、デジタル制御インターフェイス 272 が GPIO インターフェイスから RFFE シリアルインターフェイスに最初に遷移する場合に、レジスタのセットは未知の値にセットされ得る。RFFE コア 273 に電力が最初に供給される場合または RFFE コア 273 が初期状態から出る場合にレジスタが既知の値にセットされることを保証するために、RFFE コア 273 は、レジスタのセットの各々の値を、ストラップドデフォルト（strapped default）286 のセットによって提供される値にセットするように構成され得る。ある実現例では、ストラップドデフォルト 286 は、デフォルトピン 284 に提供される値と同等であり得る。

【0333】

RFFE コア 273 は、クロック／モードピン 276 からクロック信号を受け取るように構成され得る。このクロック信号は、RFFE コア 273 の実現例に基づいて、任意の周波数または信号形状にセットされ得る。いくつかの実現例では、クロック信号は、周波数が 26 MHz 以下の矩形波であってもよい。さらに、RFFE コア 273 のデータインターフェイスは双方向であってもよい。したがって RFFE コア 273 は、RFFE コア 273 の Data In にて、データ／イネーブルピン 277 からデータを受け取り得る。同様に、RFFE コア 273 は、RFFE コア 273 の Data Out からのデータをデータ／イネーブルピン 277 に提供し得る。バッファ 288 および 289 によって図 19 に示されるように、データ入力およびデータ出力の両方はバッファされ得る。いくつかの実施形態では、バッファはトライステートバッファであってもよい。いくつかの実現例では、RFFE コア 273 の Output Enable は、Data Out および Data In の両方が、データ／イネーブルピン 277 へおよびデータ／イネーブルピン 277 から同じラインを共有することを可能にするようバッファ 288 および 289 を制御するように構成される。したがっていくつかの例では、RFFE コア 273 からデータを読み出す際、バッファ 288 はデータフローを有効にする一方、バッファ 289 はデータフローを防止するかまたは高インピーダンスにセットされる。同様にいくつかの例では、RFFE コア 273 にデータを書き込む際、バッファ 289 はデータフローを有効にする一方、バッファ 288 はデータフローを防止するかまたは高インピーダンスにセットされる。

【0334】

以下は、デジタル制御インターフェイス 272 についての使用の場合の非限定的な例である。ここで記載されるさまざまな実施形態に従って、他の動作または使用が可能である。1 つの例示的な使用の場合において、論理ロー信号が VIO ピン 274 で受け取られる。この信号はたとえば、トランシーバ 257（図 18）から受け取られ得る。論理ロー信号を受け取ることにより、デジタル制御インターフェイス 272 は GPIO インターフェイスとして動作される。したがって、この例において、RFFE コア 273 はインアクテ

ィブである。さらに、組合せ論理ブロック 279 は、クロック／モードピン 276 およびデータ／イネーブルピン 277 で受け取られた信号をそれぞれモードレベルシフタ 283 およびイネーブルレベルシフタ 282 に渡す。レベルシフタ 282 および 283 は、信号の電圧レベルを修正する際に、当該信号をパワーアンプコントローラ 252 に提供する。パワーアンプコントローラ 252 (図 18) は、レベルシフタ 282 および 283 から受け取られた信号に基づいて、電源 262 またはトランシーバ 257 によって提供される信号のような、パワーアンプ 251 によって受け取られた信号の増幅のレベルをセットするようにパワーアンプ 251 を制御する。また、パワーアンプコントローラ 252 は、レベルシフタ 281 からのデフォルトに関連付けられる信号を受け取り得る。そうであれば、パワーアンプコントローラ 252 は、レベルシフタ 281 からの信号を無視し得るか、または、レベルシフタ 281 から受け取った信号に部分的に基づきパワーアンプ 251 を制御し得る。

10

【0335】

第 2 の例示的な使用の場合として、図 18 および図 19 を引き続き参照して、論理ハイ信号が V I O ピン 274 で受け取られる。この信号はたとえば、図 18 のベースバンドチップ 258 から受け取られ得る。論理ロー信号を受け取ることによって、デジタル制御インターフェイス 272 が R F F E シリアルインターフェイスとして動作される。したがって、この例において、R F F E コア 273 はアクティブであり、組合せ論理ブロック 279 は、R F F E コア 273 から受け取られたモードおよびイネーブル信号をそれぞれモードレベルシフタ 283 およびイネーブルレベルシフタ 282 に渡す。レベルシフタ 282 および 283 は、信号の電圧レベルを修正する際に、当該信号をパワーアンプコントローラ 252 に提供する。パワーアンプコントローラ 252 は、レベルシフタ 282 および 283 から受け取った信号に部分的に基づいて、パワーアンプ 251 を制御し得る。ある実施形態において、デジタル制御インターフェイス 272 が R F F E シリアルインターフェイスとして動作している場合、パワーアンプコントローラ 252 は、レベルシフタ 282 および 283 の信号を無視し得る。

20

【0336】

第 2 の例示的な使用の場合を引き続き参照して、R F F E コア 273 は、クロック／モードピン 276 からクロック信号を受け取り、データ／イネーブルピン 277 からアドレス信号を受け取り得る。代替的または付加的には、R F F E コア 273 は、データ／イネーブルピン 277 からデータ信号を受け取り得る。いくつかの場合では、アドレス信号の後、データ信号が受け取られる。代替的には、データ信号はアドレス信号の前に受け取られてもよい。さらに、デジタル制御インターフェイス 272 が別個のアドレスピン (図示せず) を含む実施形態では、R F F E コア 273 は、アドレス信号およびデータ信号を少なくとも部分的に並列に受け取り得る。

30

【0337】

R F F E コア 273 は、R F F E コア 273 に関連付けられる 1 つ以上のコンポーネントの動作を同期させるようクロック信号を使用し得る。さらに、クロック信号は、データ／イネーブルピン 277 から受け取られた信号に関連付けられるレジスタアドレスおよびデータを識別することを促進するよう使用され得る。R F F E コア 273 は、R F F E コア 273 に関連付けられるレジスタを識別するようアドレス信号を使用し得る。その後、R F F E コア 273 はデータ信号に関連付けられるデータをレジスタに格納し得る。いくつかの実施形態では、R F F E コア 273 は、データ信号に基づいてレジスタにある既存のデータを修正し得る。さらに、いくつかの場合では、データ／イネーブルピン 277 にて受け取られた信号は、R F F E コア 273 を制御して、または R F F E コア 273 にその動作を修正させ得る。

40

【0338】

ある実施形態では、R F F E コア 273 はレベルシフタ 281 に 1 つ以上の信号を提供し得る。R F F E コア 273 によって提供される信号は、R F F E コア 273 に関連付けられるレジスタに格納される値および／または信号に関連付けられ得る。その後、さらに

50

、レベルシフタ 281 は、信号および／または信号の修正バージョンをパワーアンプコントローラ 252 に提供し得る。パワーアンプコントローラ 252 は、レベルシフタ 281 からの信号に少なくとも部分的に基づいて、いくつかの場合では、モードレベルシフタ 283 および／またはイネーブルレベルシフタ 282 からの信号に少なくとも部分的に基づいて、パワーアンプ 251 の構成をセットする。

【0339】

一般に、VIOピン 274、クロック／モードピン 276、およびデータ／イネーブルピン 277 で受け取られる信号は、デジタル信号である。しかしながら、いくつかの実施形態では、受信信号の 1 つ以上はアナログ信号であってもよい。たとえば、VIOピン 274 で受け取られる信号はアナログ信号であってもよい。さらに、図 19 に示されるコンポーネントの各々は、デジタル制御インターフェイス 253 のように、単一のチップまたはダイに含まれ得る。ある実施形態において有利なことに、単一のダイにデジタル制御インターフェイス 272 のコンポーネントの各々を含むことによって、複数のチップの必要とすることなく、ワイヤレスデバイス 248 のようなワイヤレスデバイスが、RFFEシリアルインターフェイス、GPIOインターフェイスまたは両方のタイプのインターフェイスを使用する能力を有することが可能になる。複数のチップの代わりに単一のチップを使用することによって、ある実施形態では、電力消費が低減されるとともに、パワーアンプ 251 のための制御インターフェイス、または、制御インターフェイスを使用する任意の他のモジュールが必要とする実装面積が低減され得る。

【0340】

C. レベルシフタ

図 20 は、本発明の局面に従った、レベルシフタ 291 の実施形態を示す。レベルシフタ 281、282 および 283 の実施形態は、レベルシフタ 291 と同等または実質的に同等であり得る。いくつかの実現例では、レベルシフタ 281、282 および 283 は、レベルシフタ 291 と設計が異なり得る。しかしながら、レベルシフタの各々は、入力信号の電圧を修正することが可能である。いくつかの場合では、入力信号の電圧は、図 19 の Vccピン 287 で提供される電圧と整合するようシフトまたは修正される。他の場合では、入力信号の電圧は、入力電圧と Vccピン 287 で提供される電圧との間の範囲内でシフトまたは修正される。

【0341】

動作の間、レベルシフタ 291 は、入力 292 で入力信号を受け取ることが可能である。この入力信号は、その電圧レベルが修正されることになる任意の信号を一般に含み得る。したがって、たとえば、入力信号は、図 19 に関して以前に記載された信号の 1 つ以上を含み得る。たとえば入力信号は、RFFEコア 273 に関連付けられるレジスタのうちの 1 つからを含む、RFFEコア 273 から提供される信号であり得る。第 2 の例として、入力信号は組合せ論理ブロック 279 によって提供される信号であり得る。

【0342】

入力 292 で受け取られた入力信号は、ラッチ 293 に提供される。ラッチ 293 は、任意のタイプのフリップフロップを含み得る。たとえば、図 20 に示されるように、ラッチ 293 は、NANDベースの RS フリップフロップであり得る。しかしながら、他のタイプのフリップフロップが可能である。たとえば、ラッチ 293 は NOR ベースの RS フリップフロップであり得る。ある実施形態では、ラッチ 293 はラッチ 293 からのオーバーラップしない出力を保証する。オーバーラップしない出力を保証することによって、NFTトランジスタ 294 の各対が同時に活性化されないことが保証される。いくつかの実施形態では、NFTトランジスタ 294 の各対が同時に活性化されないことを保証するために、遅延要素を有する 2 つの並列信号パスが使用され得る。

【0343】

いくつかの実現例により、ラッチ 293 は、2 つの信号、すなわち、NANDゲートの各々からの信号（たとえばセット信号およびリセット信号）を提供する。これらの信号の各々は、NFTトランジスタ 294 の対に提供され得る。NFTトランジスタ 294

は、ラッチ 293 からの信号によって活性化され得る。N F E T トランジスタは、活性化されると、クロスカップリングされた P F E T トランジスタ 296 の対の状態をセットする。クロスカップリングされた P F E T トランジスタ 296 の対によって、入力信号の電圧レベルがレベルシフトされる。このレベルシフトされた信号は、その後、出力 297 にて、たとえば図 18 に示されるパワーアンプコントローラ 252 またはパワーアンプ 251 に提供される。いくつかの実施形態において、たとえば負の出力電圧動作が所望であり得る場合、N F E T トランジスタ 294 は、P F E T トランジスタであり得、P F E T トランジスタ 296 は N F E T トランジスタであり得る。

【0344】

本願明細書のいくつかの実施形態において、信号が入力 292 に提供されないか、または信号が実質的に 0 であることが可能である。そのような実施形態では、N F E T トランジスタ 294 は、デフォルトロー入力 298 および／またはデフォルトハイ入力 299 によって提供されるデフォルト信号によってセットまたは活性化され得る。図 20 は、2 つのデフォルト、すなわちデフォルトハイ入力 299 およびデフォルトロー入力 298 を示すが、多くの実施形態では、単一のデフォルト信号のみがレベルシフタ 291 に提供される。出力 297 がリセットの間にハイであることが望ましいならば、デフォルトハイ入力 299 は、リセットの間に信号を提供するように構成される。代わりに、レベルシフタ 291 がリセットの間にロー出力を提供することが望ましい場合、デフォルトロー入力 298 は、リセットの間に信号を提供するように構成される。リセットの間に N F E T トランジスタ 294 をセットするように構成されないデフォルト入力は、接地に結合され得るか、またはある実現例では、存在しない場合がある。いくつかの実現例では、デフォルトロー入力 298 および／またはデフォルトハイ入力 299 は、あらかじめ構成されるか、または、所定の信号を提供する信号発生器に接続される。代替的にはデフォルトロー入力 298 および／またはデフォルトハイ入力 299 は、図 19 に示されるパワーオンリセット 278 に接続され得る。いくつかの実施形態では、デフォルト入力 298 および 299 の一方または両方は、随意であってもよい。たとえばいくつかの場合、イネーブルレベルシフタ 282 およびモードレベルシフタ 283 が、それらの入力で信号を受け取る。

【0345】

D. デジタル制御インターフェイスの動作のためのプロセス

図 21 は、本開示の局面に従った、デジタル制御インターフェイスの動作についてのプロセス 301 のフローチャートを示す。プロセス 301 は、R F F E シリアルインターフェイスおよび G P I O インターフェイスとして動作するように構成される任意のタイプのデジタル制御インターフェイスによって実行され得る。たとえば、プロセス 301 は、図 18 のデジタル制御インターフェイス 253 および図 19 のデジタル制御インターフェイス 272 によって実行され得る。さらに、プロセス 301 は、いくつかの実施形態において、異なるインターフェイスモードで動作するように構成される任意のタイプのデジタル制御インターフェイスによって実行され得る。議論を単純化するために、プロセス 301 は、図 19 のデジタル制御インターフェイス 272 によって実現されるものとして記載されるが、プロセス 301 の実現はこのようなものに限定されない。

【0346】

プロセス 301 は、たとえば、ブロック 302 において、デジタル制御インターフェイス 272 が V I O ピン 274、クロック／モードピン 276 およびデータ／イネーブルピン 277 で信号を受け取ると開始する。いくつかの実施形態において、クロック／モードピン 276 およびデータ／イネーブルピン 277 の 1 つ以上で受け取られた信号は、遅延され得るか、ノイズであり得るか、またはデジタル制御インターフェイス 272 が初期化プロセスを完了するまで無視される何らかの既知もしくは未知の信号であり得る。

【0347】

ブロック 303 では、V I O ピン 274 で受け取られた信号は R F F E コア 273 に提供される。いくつかの実現例では、V I O ピン 274 からの信号は R F F E コア 273 に電力を供給する。さらに、V I O ピン 274 からの信号またはその信号の欠如によって、

R F F E コア 2 7 3 が電力を受け取らないことがあり得る。R F F E コア 2 7 3 に V I O 信号を提供することに加えて、ブロック 3 0 3 は、V I O 信号をパワーオンリセット 2 7 8 に提供することを含み得る。いくつかの実施形態では、図 1 9 のパワーオンリセット 2 7 8 は、V I O ピン 2 7 4 からの信号を組合せ論理ブロック 2 7 9 に提供し得る。さらに、パワーオンリセット 2 7 8 は V I O ピン 2 7 4 からの信号を遅延または別の態様で修正し得、その後、当該遅延または修正された信号を組合せ論理ブロック 2 7 9 に提供し得る。同様に、ある実施形態において、パワーオンリセット 2 7 8 は、V I O 信号、V I O 信号の遅延バージョン、または V I O 信号の修正バージョンを、R F F E コア 2 7 3 に関連付けられるリセット入力に提供し得る。

【0348】

図 2 1 に示されるブロック 3 0 4 では、クロック／モードピン 2 7 6 にて受け取られる信号は組合せ論理ブロック 2 7 9 に提供される。同様に、ブロック 3 0 6 では、データ／イネーブルピン 2 7 7 で受け取られた信号が、組合せ論理ブロック 2 7 9 に提供される。さらにブロック 3 0 7 では、R F F E コア 2 7 3 に関連付けられる R F F E モードレジスタからのモード信号が組合せ論理ブロック 2 7 9 に提供される。同様にブロック 3 0 8 では、R F F E コア 2 7 3 に関連付けられる R F F E イネーブルレジスタからのイネーブル信号が組合せ論理ブロック 2 7 9 に提供される。ある動作状態の間、ブロック 3 0 7 および 3 0 8 で提供される信号は、ノイズであり得るか、または、デジタル制御インターフェイス 2 7 2 の動作に影響を与えない何らかの既知または未知の信号であり得る。さらに、いくつかの動作状態では、ブロック 3 0 7 および 3 0 8 において信号が提供されることが可能ではない。たとえば、デジタル制御インターフェイス 2 7 2 が G P I O インターフェイスとして動作している場合といった、R F F E コア 2 7 3 に電力が供給されない実現例においては、ブロック 3 0 7 および 3 0 8 では、信号が提供されることが可能ではない。いくつかの実現例では、ブロック 3 0 7 および 3 0 8 は随意であってもよい。

【0349】

決定ブロック 3 0 9 では、デジタル制御インターフェイス 2 7 2 は、V I O 信号が論理ハイかどうかを決定する。ある実現例では、V I O 信号が論理ハイかどうか決定することは、V I O 信号に基づいてデジタル制御インターフェイス 2 7 2 を構成することを含む。デジタル制御インターフェイス 2 7 2 を構成することは、図 2 1 の残りのブロックに関してさらに記載されるように、デジタル制御インターフェイス 2 7 2 の部分の動作を調節することと、デジタル制御インターフェイス 2 7 2 内で信号のフローを調節することを含む。

【0350】

決定ブロック 3 0 9 で V I O 信号が論理ハイでなければ、デジタル制御インターフェイス 2 7 2 は G P I O インターフェイスとして動作し、プロセス 3 0 1 はブロック 3 1 1 に進み、ブロック 3 1 1 では、R F F E コア 2 7 3 がリセットモードにされる。このリセットモードは、R F F E コア 2 7 3 が既知または未知の値をそのレジスタに維持し、その出力ポートから値を出力するアクティブリセットであり得る。代替的には、たとえば、V I O ピン 2 7 4 を接地するによって、または、電源から V I O ピン 2 7 4 を切断することによって論理ロー V I O 信号が提供される場合、R F F E コア 2 7 3 は、リセットモードの間、電力が供給されなくなる。

【0351】

図 2 1 のブロック 3 1 2 では、ブロック 3 0 4 で提供されたクロック／モードピン 2 7 6 からの信号がモードレベルシフタ 2 8 3 に提供される。同様にブロック 3 1 3 では、ブロック 3 0 6 で提供されたデータ／イネーブルピン 2 7 7 からの信号がイネーブルレベルシフタ 2 8 2 に提供される。ある実現例では、ブロック 3 1 2 および 3 1 3 でレベルシフタに提供された信号は、パワーオンリセット 2 7 8 によって組合せ論理ブロック 2 7 9 に提供された信号に基づき得るか、または基づいて選択され得る。さらに、いくつかの場合、ブロック 3 1 2 および 3 1 3 にてレベルシフタ 2 8 3 および 2 8 2 にそれぞれ提供された信号は、レベルシフタ 2 8 3 および 2 8 2 に提供される前に、組合せ論理ブロック 2 7

9によってそれぞれ遅延または修正され得る。

【0352】

ブロック314では、デジタル制御インターフェイス272は、RFFEレジスタレベルシフト281にてデフォルト値を維持する。これらのデフォルト値はデフォルトピン284を介して提供される。多くの実現例では、デフォルト値は用途に特有であり得る。さらに、デフォルト値は、あらかじめ構成および／またはハードコーディングされ得る。代替的には、デフォルト値は、デジタル制御インターフェイス272および／またはワイヤレスデバイス248に関連付けられるコンポーネントの1つ以上の動作に基づき、生成または決定され得る。ある実施形態では、ブロック314は随意であり得る。

【0353】

決定ブロック309でVIO信号が論理ハイであった場合、デジタル制御インターフェイス272はRFFEシリアルインターフェイスとして動作し、プロセス301はブロック316に進み、ブロック316では、RFFEコア273はリセットモードから出る。いくつかの場合では、プロセス301は、ワイヤレスデバイス248に電力が最初に供給されるか、または、電力が供給されない時間期間の後でワイヤレスデバイス248が初期化される場合に行なわれる。このような場合、ブロック316は、デジタル制御インターフェイス272の初期化の部分として行なわれ得る。さらに、ブロック316は、リセットモードからRFFEコア273を移す代わりにまたはこれに加えて、RFFEコア273を初期化することを含み得る。RFFEコア273をリセットモードから移すことは、RFFEコア273に関連付けられる1つ以上のレジスタ、信号および／またはコンポーネントが安定化および／または初期化されるのに十分な時間を提供する遅延プロセスであり得る。この遅延プロセスは、パワーオンリセット278によって制御および／または実現され得る。いくつかの実施形態では、ブロック316は随意であり得る。

【0354】

ブロック317では、プロセス301は、RFFEコア273に関連付けられる内部レジスタ（図示せず）をデフォルト値にセットに構成することを含む。これらのデフォルト値は、ストラップドデフォルト286によって提供され得る。代替的には、これらのデフォルト値は、RFFEコア273に関連付けられる内部論理に基づいて決定され、VIOピン274、クロック／モードピン276およびデータ／イネーブルピン277の1つ以上から受け取られた信号に応答してセットされ得る。

【0355】

ブロック318では、RFFEコア273からのモード信号がモードレベルシフタ283に提供される。このモード信号は、RFFEコア273のモードレジスタに関連付けられるか、または当該モードレジスタから取得され得る。代替的または付加的には、モード信号は、クロック／モードピン276から受け取られる信号、データ／イネーブルピン277から受け取られる信号、ストラップドデフォルト286に基づいた値、およびRFFEコア273の内部の論理を含むものの1つ以上に少なくとも部分的に基づき得る。

【0356】

さらに、ブロック319では、RFFEコア273からのイネーブル信号がイネーブルレベルシフタ282に提供される。このイネーブル信号は、RFFEコア273のイネーブルレジスタに関連付けられるか、または当該イネーブルレジスタから取得され得る。代替的または付加的には、イネーブル信号は、クロック／モードピン276から受け取られる信号、データ／イネーブルピン277から受け取られる信号、ストラップドデフォルト286に基づいた値、およびRFFEコア273の内部の論理の1つ以上に少なくとも部分的に基づき得る。

【0357】

本願明細書のある実現例では、ブロック318および319でレベルシフタに提供された信号は、パワーオンリセット278によって組合せ論理ブロック279に提供された信号に基づくか、または当該信号に基づいて選択され得る。さらにいくつかの場合、ブロック318および319でレベルシフタ283および282にそれぞれ提供された信号は、

レベルシフタ 283 および 282 に提供される前に、組合せ論理ブロック 279 によって遅延または修正され得る。

【0358】

ブロック 321 では、プロセス 301 は、RFFE レジスタ値または RFFE レジスタに関連付けられる信号を RFFE レベルシフタ 281 に提供することを含む。RFFE レジスタ値は、RFFE コア 273 に関連付けられるレジスタからのものである。いくつかの場合には、これらのレジスタは、ブロック 318 および 319 に関して上で記載されたレジスタを含み得るが、一般に、ブロック 321 のレジスタは異なるレジスタである。さらに、レジスタによって提供される値は、パワーアンプ 251 のモードをセットまたは特定するよう使用される。GPIO インターフェイスモードの間、デジタル制御インターフェイス 272 は、ハイおよびローといった、2つの電圧値に関連付けられる2つのモードおよび/または2レベルの電力増幅を特定することに制限され得る。デジタル制御インターフェイスが付加的なピンを含む実施形態において、デジタル制御インターフェイス 272 は、GPIO モードの間、付加的なモードを特定することが可能であり得る。RFFE シリアルインターフェイスモードの間、デジタル制御インターフェイス 272 は、RFFE コア 273 に対してクロックインされた値、RFFE コア 273 に関連付けられるレジスタに格納された値、またはこれら2つの組合せに基づき、パワーアンプ 251 について異なるモードをセットまたは特定し得る。

【0359】

VIO 信号が論理ハイまたは論理ローかどうかにかかわらず、ブロック 322 において、モードレベルシフタ 283 の出力はパワーアンプ 251 に提供される。同様に、VIO 信号が論理ハイまたは論理ローかどうかにかかわらず、ブロック 322 において、イネーブルレベルシフタ 282 の出力はパワーアンプ 251 に提供される。ある実施形態では、モードレベルシフタ 283 およびイネーブルレベルシフタ 282 の出力は、パワーアンプコントローラ 252 に提供される。その後、パワーアンプコントローラ 252 は、モードレベルシフタ 283 およびイネーブルレベルシフタ 282 からの受信信号に少なくとも部分的に基づいて、パワーアンプ 251 を構成し得る。

【0360】

ブロック 324 では、RFFE レベルシフタ 281 の出力はパワーアンプ 251 に提供される。代替的には、RFFE レベルシフタ 281 の出力は、パワーアンプコントローラ 252 に提供され得、その後、パワーアンプコントローラ 252 は、RFFE レベルシフタ 281 からの受信信号に少なくとも部分的に基づいてパワーアンプ 251 を構成し得る。デジタル制御インターフェイス 272 が GPIO インターフェイスとして動作している場合、RFFE レベルシフタ 281 の出力は、デフォルト値またはデフォルトピン 284 で受け取った信号に少なくとも部分的に基づき得る。対照的に、デジタル制御インターフェイス 272 が RFFE シリアルインターフェイスとして動作している場合、RFFE レベルシフタ 281 の出力は、RFFE コア 273 に関連付けられるレジスタに格納された値を含む、RFFE コア 273 から受け取られた値または信号に少なくとも部分的に基づき得る。いくつかの実施形態では、ブロック 322、323 および 324 の1つ以上は随意であってもよい。たとえば、デジタル制御インターフェイス 272 が GPIO インターフェイスとして動作している場合、レベルシフタ 281 はパワーアンプ 251 またはパワーアンプコントローラ 252 に値を提供しなくてもよい。

【0361】

E. 第2の電子デバイス

図 22 は、本発明の局面に従って実現される、ワイヤレスデバイス 326 と称されるワイヤレスデバイスの代替的な実施形態を示す。本願明細書のいくつかの実現例では、ワイヤレスデバイス 248 に関して上で記載された実施形態のうちのいくつかまたはすべては、ワイヤレスデバイス 326 に適用され得る。

【0362】

ワイヤレスデバイス 326 はパワーアンプモジュール 327 を含み得る。パワーアンプ

モジュール 3 2 7 は一般に、パワーアンプ 3 2 8、パワーアンプ 3 2 8 を制御するためのパワーアンプコントローラ 3 2 9、モード選択器 3 3 0、およびデジタル制御インターフェイス 3 3 1 を含む任意のコンポーネントまたはデバイスを含み得る。パワーアンプ 3 2 8 を制御することは一般に、パワーアンプ 3 2 8 によって提供される電力増幅の量をセット、修正、または調節することを指すが、そのように限定されない。

【0 3 6 3】

図 1 8 のデジタル制御インターフェイス 2 5 3 と同様に、本願明細書において示されるデジタル制御インターフェイス 3 3 1 は、パワーアンプ 3 2 8 を制御し、および／または、パワーアンプ 3 2 8 を制御するようパワーアンプコントローラ 3 2 9 を構成するための複数のタイプのインターフェイスをサポートし得る任意のタイプの制御インターフェイス 10 を含み得る。たとえば、デジタル制御インターフェイス 3 3 1 は、シリアルインターフェイス 3 3 2 および G P I O インターフェイス 3 3 3 を含み得る。シリアルインターフェイス 3 3 2 は、任意のタイプのシリアルインターフェイスを含み得る。たとえば、シリアルインターフェイスは、例示すると、R F F E シリアルインターフェイス（たとえば M I P I（登録商標）R F F E シリアルインターフェイス）、シリアル周辺インターフェイス（Serial Peripheral Interface（S P I））バス、3 ワイヤーシリアルバス、または I²C バスであり得る。いくつかの実現例では、デジタル制御インターフェイス 2 5 3 に関して上で記載された実施形態のうちのいくつかまたはすべては、デジタル制御インターフェイス 3 3 1 に適用され得る。

【0 3 6 4】

多くの実施形態において、デジタル制御インターフェイス 3 3 1 は、回路設計の変更または既存のコンポーネントダイ構成（たとえば、デジタル制御インターフェイスに制御信号を提供し得るかまたはデジタル制御インターフェイスから制御信号を受け取り得る既存のパワーアンプ、既存のパワーアンプモジュール、既存のトランシーバまたは他のコンポーネント）に対するボンディングの変更を必要とすることなく、同じコンポーネントダイ上に複数のインターフェイスタイプを含み得る。さらに、いくつかの実施形態において、デジタル制御インターフェイス 3 3 1 は、ワイヤレスデバイス 3 2 6 またはパワーアンプモジュール 3 2 7 による使用のために露出されるインターフェイス接続（たとえば、ピン、リード、ワイヤー、ボールグリッドアレイなど）の数を増加させることなく、複数のインターフェイスをサポートし得る。多くの実施形態において有利なことに、デジタル制御 30 インターフェイス 3 3 1 を修正することなく、デジタル制御インターフェイス 3 3 1 は、異なるインターフェイス規格をサポートするデバイスと共に使用され得る。たとえば、図 2 2 の示されるデジタル制御インターフェイス 3 3 1 は、デジタル制御インターフェイスを修正することなく、シリアルインターフェイス、G P I O インターフェイスまたはこれら 2 つの組合せをサポートするデバイスと共に使用され得る。いくつかの場合では、デジタル制御インターフェイス 3 3 1 は、動作の間、異なるインターフェイスタイプの間で切り替わり得る。

【0 3 6 5】

モード選択器 3 3 0 は、デジタル制御インターフェイス 3 3 1 の動作モードを選択するように構成される任意のデバイスまたはコンポーネントを含み得る。デジタル制御インターフェイス 3 3 1 の動作モードを選択することは、デジタル制御インターフェイス 3 3 1 がパワーアンプコントローラ 3 2 9 と通信するために使用するインターフェイスのタイプを選択することを含み得る。たとえば、モード選択器 3 3 0 は、シリアルインターフェイスまたは G P I O インターフェイスとして動作するようデジタル制御インターフェイス 3 3 1 を選択または構成し得る。この選択は、インターフェイスタイプを選択するために用いられ得るか、または、デジタル制御インターフェイス 3 3 1 の利用可能なインターフェイスタイプから選択するようインターフェイスタイプを決定するために用いられ得る信号を提供し得るアンテナ 3 3 8、トランシーバ 3 3 4、ベースバンドチップ 3 3 6 または任意の他の信号源から受け取られる信号に基づき得る。

【0 3 6 6】

10

20

30

40

50

さらに、ある実現例では、デジタル制御インターフェイス 331 は、信号源から受け取られた 1 つ以上の信号に基づいて、直接的にまたはパワーアンプコントローラ 329 を介してパワーアンプ 328 の動作モードをセットし得る。ある実施形態において、デジタル制御インターフェイス 331 は、デジタル制御インターフェイス 331 の動作インターフェイスタイプを選択する信号をモード選択器 330 から受け取りつつ、デジタルコントローラインターフェイス 331 にパワーアンプ 328 の動作モードをセットさせる 1 つ以上の信号をたとえばアンテナ 338、トランシーバ 334、ベースバンド 336 または DSP 337 から受け取る。代替的には、デジタル制御インターフェイス 331 は、デジタル制御インターフェイス 331 にパワーアンプ 328 の動作モードをセットさせる 1 つ以上の信号と、デジタル制御インターフェイス 331 の動作インターフェイスタイプを選択する信号とをモード選択器 330 から受け取り得る。モード選択器 330 は、たとえばアンテナ 338、トランシーバ 334、ベースバンド 336 または DSP 337 から信号のいくつかまたはすべてを受け取り得る。代替的または付加的には、モード選択器 330 は、たとえばアンテナ 338、トランシーバ 334、ベースバンド 336 または DSP 337 から受け取られる 1 つ以上の信号に基づいて、デジタル制御インターフェイス 331 に提供される信号のいくつかまたはすべてを生成し得る。

10

【0367】

パワーアンプ 328 のモードをセットするシナリオの一例において、トランシーバ 334 はたとえばアンテナ 338 または DSP 337 から信号を受け取る。信号を受け取ることに応答して、トランシーバ 334 は、モード選択器 330 に 1 つ以上の信号を提供し得る。トランシーバ 334 から受け取られた 1 つ以上の信号に基づいて、モード選択器 330 は、シリアルインターフェイスまたは GPIO インターフェイスのいずれかとして動作するようにデジタル制御インターフェイス 331 を構成し得る。さらに、トランシーバ 334 は、デジタル制御インターフェイス 331 に 1 つ以上の信号を提供し得、デジタル制御インターフェイス 331 は、モード選択器 330 によって特定されるモードに基づいてシリアルモードまたは GPIO モードで信号を処理する。その後、信号を処理した結果に基づいて、デジタル制御インターフェイス 331 は、パワーアンプコントローラ 329 に 1 つ以上のモード設定信号を提供し得、パワーアンプコントローラ 329 は、当該モード設定信号に基づいてパワーアンプ 328 のモードをセットし得る。代替的には、デジタル制御インターフェイス 331 がパワーアンプ 328 のモードをセットし得る。

20

30

【0368】

いくつかの実現例では、パワーアンプ 328 は、パワーアンプコントローラ 329、デジタル制御インターフェイス 331 およびモード選択器 330 の 1 つ以上を含み得る。いくつかの実現例については、パワーアンプコントローラ 329 は、デジタル制御インターフェイス 331 およびモード選択器 330 の 1 つ以上を含み得る。さらに、いくつかの場合には、デジタル制御インターフェイスはモード選択器 330 を含み得る。さらに、パワーアンプモジュール 327 は、モード選択器 330、デジタル制御インターフェイス 331、パワーアンプコントローラ 329 およびパワーアンプ 328 の機能を含む単一のコンポーネントであってもよい。代替的には、パワーアンプモジュール 327 は、モード選択器 330、デジタル制御インターフェイス 331、パワーアンプコントローラ 329 およびパワーアンプ 328 の機能を含む複数のコンポーネントを含んでもよい。さらに他の実現例では、ワイヤレスデバイス 326 は、モード選択器 330、デジタル制御インターフェイス 331、パワーアンプコントローラ 329 およびパワーアンプ 328 の機能を含む 1 つ以上のコンポーネントを含んでもよい。

40

【0369】

図 18 のパワーアンプモジュール 249 と同様に、図 22 に示されるパワーアンプモジュール 327 は、電源 339 から電力を受け取り得る。パワーアンプモジュール 327 はその後、たとえば配電バス 341 を介して、ワイヤレスデバイス 326 に含まれる多くのコンポーネントに電力を分配し得る。

【0370】

50

ある実施形態では、電源 339 は、いくつかの場合において電源 339 がパワーアンプモジュール 327 の 1 つ以上の要素を構成することを可能にする組合せ論理および／または 1 つ以上のプロセッサを含む。たとえばいくつかの場合において、電源 339 は、デジタル制御インターフェイス 331 がパワーアンプ 328 を構成することを可能にするようデジタル制御インターフェイス 331 に 1 つ以上の信号を提供し得る。さらに、電源 339 は、パワーアンプ 328 の出力に基づいて、たとえばデジタル制御インターフェイス 331 に信号を提供し得、これにより、パワーアンプモジュール 327 と電源 339 との間にフィードバックループを作り出す。

【0371】

ワイヤレスデバイス 326 は、多くの付加的なコンポーネントを含み得る。これらの付加的なコンポーネントのうちの少なくともいくつかは、配電バス 341 を介して電力を受け取り得る。たとえば、ワイヤレスデバイス 326 は、デジタルアナログコンバータ (DAC) 342、ディスプレイプロセッサ 343、中央プロセッサ 344、ユーザインターフェイスプロセッサ 346、アナログデジタルコンバータ (ADC) 347 およびメモリ 348 を含み得る。付加的なコンポーネントの少なくともいくつかは、デジタル制御インターフェイス 331 と通信し得、デジタル制御インターフェイス 331 にパワーアンプモジュール 327、パワーアンプ 328 および／またはパワーアンプコントローラ 329 のセッティングを修正させ得る。さらに、付加的なコンポーネントのうちの少なくともいくつかは、モード選択器 330 と通信し得、モード選択器 330 にデジタル制御インターフェイス 331 の動作モードを選択させ得る。

【0372】

F. 第 2 のデジタル制御インターフェイス

図 23 は、本発明のある局面に従って実現される、図 22 のデジタル制御インターフェイス 331 の実施形態を示す。いくつかの実現例では、デジタル制御インターフェイス 253 およびデジタル制御インターフェイス 272 に関して上で記載された実施形態のうちのいくつかまたはすべては、デジタル制御インターフェイス 331 に適用され得る。

【0373】

デジタル制御インターフェイス 331 は、シリアルインターフェイス 332、GPIO インターフェイス 333、および多くの入力ピンを含む。これらの入力ピンは、VIOピン 351、クロック／モードピン 352 およびデータ／イネーブルピン 353 を含み得る。

【0374】

VIOピン 351 は、シリアルインターフェイスまたは GPIO インターフェイスのいずれかとして動作するようデジタル制御インターフェイス 331 をセットする信号を受け取るように構成され得る。例示される実施形態では、デジタル制御インターフェイス 331 は、VIOピン 351 が論理ハイ信号を受け取る場合、シリアルインターフェイスとして動作し、VIOピン 351 が論理ロー信号を受け取る場合、GPIO インターフェイスとして動作する。しかしながら、いくつかの実現例では、デジタル制御インターフェイス 331 は、VIOピン 351 が論理ロー信号を受け取る場合にシリアルインターフェイスとして動作し、VIOピン 351 が論理ハイ信号を受け取る場合に GPIO インターフェイスとして動作するように構成され得る。論理ロー信号は、0 ボルト、-5 ボルトなどといった低いと規定される任意の値に関連付けられ得る。同様に、論理ハイ信号は、0 ボルト、+5 ボルトなどといった高いと規定される任意の値に関連付けられ得る。いくつかの実現例では、論理ロー信号は、VIOピン 351 を接地に接続することに関連付けられ得る。同様に、いくつかの場合では、論理ハイ信号は、電圧源に VIOピン 351 を接続することに関連付けられ得る。

【0375】

さらに、VIOピン 351 は、図 22 の電源 339 のような電源からシリアルインターフェイスコア 349 に電力を提供するように構成され得る。したがって、いくつかの実施形態において、VIOピン 351 が論理ローにセットされるかまたは接地される場合、シ

リアルインターフェイスコア349に電力が供給されず、デジタル制御インターフェイス331はGPIOインターフェイスとして機能するように構成される。他方、いくつかの実施形態において、VIOピン351が、論理ハイにセットされるか、または電源に直接的もしくは間接的に接続される場合、シリアルインターフェイスコア349には電力が提供され、デジタル制御インターフェイス331はシリアルインターフェイスとして機能するように構成される。いくつかの実現例では、VIOピン274に関して上で記載された実施形態のうちのいくつかまたはすべては、VIOピン351に適用され得る。

【0376】

シリアルインターフェイス332は、フロントエンドコアまたはシリアルインターフェイスコア349を含み得る。さらに、シリアルインターフェイス332は、パワーオンリセット354と、バッファ368および369の対と、多くのレベルシフタ357とを含み得る。GPIOインターフェイス333は、組合せ論理ブロック356と、レベルシフタ358および359の対とを含み得る。デジタル制御インターフェイス331がシリアルインターフェイスとして機能する場合、シリアルインターフェイス332のコンポーネントは、アクティブであるかまたはシリアルインターフェイスを提供するよう動作し、GPIOインターフェイス333の1つ以上のコンポーネントがアクティブではない場合がある。同様に、デジタル制御インターフェイス331がGPIOインターフェイスとして機能する場合、GPIOインターフェイス333のコンポーネントは、アクティブであるか、またはGPIOインターフェイスを提供するよう動作し、シリアルインターフェイス332の1つ以上のコンポーネントがアクティブではない場合がある。

【0377】

しかしながら、ある実施形態では、デジタル制御インターフェイス331がシリアルインターフェイスとして機能する場合、デジタル制御インターフェイス331は、GPIOインターフェイス333の1つ以上のコンポーネントを使用してシリアルインターフェイスを提供することを促進し得、これにより、GPIOインターフェイス333の1つ以上のコンポーネントが、アクティブであるか、または、シリアルインターフェイスを提供するよう動作し得る。同様に、ある実施形態では、デジタル制御インターフェイス331がGPIOインターフェイスとして機能する場合、デジタル制御インターフェイス331は、シリアルインターフェイス332の1つ以上のコンポーネントを使用してGPIOインターフェイスを提供することを促進し得、これにより、シリアルインターフェイス332の1つ以上のコンポーネントが、アクティブであるか、または、GPIOインターフェイスを提供するよう動作し得る。たとえば、いくつかの実現例では、組合せ論理ブロック356は、パワーオンリセット354によって制御されるマルチプレクサを含み得る。さらにこの例では、組合せ論理ブロック356は、デジタル制御インターフェイス331の動作モードに基づき、したがって、パワーオンリセット354によって出力される値に基づき、レベルシフタ358および359に異なる信号を提供し得る。したがってこの例では、パワーオンリセット354は一般にシリアルインターフェイス332の部分であるが、デジタル制御インターフェイスがGPIOインターフェイスモードにある場合、パワーオンリセット354は、GPIOインターフェイスの部分として機能し得る。同様にこの例では、組合せ論理ブロック356と、レベルシフタ358および359とは一般に、GPIOインターフェイス333の部分であるが、デジタル制御インターフェイス331がシリアルインターフェイスモードである場合、組合せ論理ブロック356ならびにレベルシフタ358および359の1つ以上は、シリアルインターフェイスを提供するのを補助するよう動作し得る。

【0378】

パワーオンリセット354は、ハードウェア、ソフトウェアまたはこれら2つの組合せで実現され得る。さらに、パワーオンリセット354は、シリアルインターフェイスコア349をリセットすることを促進するように構成され得る。いくつかの実施形態において、パワーオンリセット354は、反転遅延機能として機能し得る。反転遅延機能は、デジタル制御インターフェイス331をシリアルインターフェイスとして構成する場合、シリ

アルインターフェイスコア349に関連付けられる1つ以上の論理ブロックおよび／または1つ以上のレジスタが既知の条件または値にセットされるのに十分な時間を提供するように構成される。いくつかの場合では、当該時間の長さは用途に特有であり得るが、他の場合では、時間の長さはハードウェア設計および／または実現例の特性に基づき得る。たとえば、必要とされる時間の量は、クロック周波数、論理コンポーネントのサイズ、デジタル制御インターフェイスに直接的または間接的に接続されるコンポーネントのタイプなどに依存し得る。さらに、シリアルインターフェイスコア349を初期化する場合、または、シリアルインターフェイスコア349をリセット状態から移す場合、既知の値に論理ブロックおよび／またはレジスタをセットすることが行われ得る。

【0379】

いくつかの実現例では、パワーオンリセット354は、組合せ論理ブロック356に選択信号を提供するように構成され得る。たとえば、デジタル制御インターフェイス331は、VIOピン351が論理ロー信号を受け取る場合はGPIOインターフェイスとして動作し、VIOピン351が論理ハイ信号を受け取る場合はシリアルインターフェイスとして動作するように構成され得る。この例を引き続き参照して、VIOピン351が論理ロー信号を受け取ると、パワーオンリセット354によって提供される選択信号は、それぞれデータ／イネーブルピン353およびクロック／モードピン352への入力に基づく信号を組合せ論理ブロック356がイネーブルレベルシフタ358およびモードレベルシフタ359に出力することを引き起こし得る。たとえば、組合せ論理ブロック356は、クロック／モードピン352およびデータ／イネーブルピン353から受け取られた信号をデコードし、当該デコードされた信号をイネーブルレベルシフタ358およびモードレベルシフタ359に提供し得る。

【0380】

この例において、VIOピン351が、論理ロー信号でなく論理ハイ信号を受け取る場合、パワーオンリセット354によって提供される選択信号は、組合せ論理ブロック356が、シリアルインターフェイスコア349から受け取られた信号に基づく信号をイネーブルレベルシフタ358およびモードレベルシフタ359に出力することを引き起こし得る。ある実施形態において、組合せ論理ブロック356は、データ／イネーブルピン353、クロック／モードピン352またはシリアルインターフェイスコア349から受け取られた信号を、レベルシフタ358および359に出力する前に遅延または別の態様で修正し得る。

【0381】

いくつかの場合において、パワーオンリセット354は、レベルシフタ357の1つ以上をデフォルトまたはリセット状態にするよう構成され得る。これはたとえば、シリアルインターフェイスコア349がリセット状態にある場合に行われ得る。いくつかの設計において、パワーオンリセット354は、GPIOインターフェイスモードの間にハイであるように構成される各レベルシフタに関連付けられるデフォルトハイピンに接続され、GPIOインターフェイスモードの間にローであるように構成される各レベルシフタに関連付けられるデフォルトローピンに接続され得る。いくつかの実現例では、デフォルト状態へレベルシフタ357をセットすることによって、デフォルトピン361によって提供されるデフォルト入力信号に基づいて、レベルシフタ357が値を出力し得る。デフォルトピン361はデフォルト入力信号を受け取るものとして示されるが、多くの実施形態において、デフォルトピン361は、デフォルトハイ入力およびデフォルトロー入力の一方に結びつけられる。したがって、いくつかの場合では、デフォルト値はあらかじめ構成され得る一方、他の場合では、デフォルト値は用途に特有であり得、デジタル制御インターフェイス331またはパワーアンプモジュールの構成または動作に基づき変動し得る。いくつかの設計では、各レベルシフタ357が、異なるデフォルト値または信号に関連付けられ得ることが可能である。代替的には、各レベルシフタ357は、同じデフォルト値または信号に関連付けられ得る。

【0382】

レベルシフタ 357 の各々に Vcc ピン 363 を通じて電力が供給され得る。いくつかの実現例では、各レベルシフタ 357 は、電源に別個に接続され得る。代替的には、単一のレベルシフタ 357 が、直接的または間接的に電源に接続され、その残りのレベルシフタ 357 が、電源に接続される上記レベルシフタ 357 または他のコンポーネントへの接続によって電力を取得し得る。さらに同様に、レベルシフタ 358 および 359 は各々、電源に接続され得るか、または、レベルシフタ 358 および 359 に電力を提供し得るレベルシフタもしくは他のコンポーネントに接続され得る。ある実施形態では、レベルシフタ 357、358 および 359 は、受け取られた信号の電圧レベルを調節するとともに、修正された信号を出力するように構成される。レベルシフタ 357、358 および 359 は、Vcc ピン 363 に加えられる電圧を実質的に整合するように、受け取った信号の電圧レベルを調節し得るが、このようなものに限定されない。

10

【0383】

いくつかの実現例において、パワーオンリセット 278 に関して上で記載された実施形態のうちのいくつかまたはすべては、パワーオンリセット 354 に適用され得る。同様に、いくつかの実現例では、レベルシフタ 284 に関して上で記載された実施形態のうちのいくつかまたはすべては、レベルシフタ 357 に適用され得る。さらにいくつかの実現例では、レベルシフタ 282 および 283 に関して上で記載された実施形態のうちのいくつかまたはすべては、レベルシフタ 358 および 359 にそれぞれ適用され得る。さらに、上記の図 20 を参照してレベルシフタ 291 に関して上で記載された実施形態のうちのいくつかまたはすべては、ここで図 23 に示されるレベルシフタ 357、358 および 359 に適用され得る。

20

【0384】

シリアルインターフェイスコア 349 は一般に、シリアルインターフェイスコアがシリアルインターフェイスを提供することを可能にする回路網または論理を含み得る。いくつかの実施形態では、シリアルインターフェイスコア 349 は、RFFE コア（たとえば RFFE コア 273）を含み得る。さらに、いくつかの場合では、シリアルインターフェイスコア 349 は、RFFE コア 273 に関して上で記載された実施形態のうちのいくつかまたはすべてを含み得る。

【0385】

RFFE コア 273 と同様に、シリアルインターフェイスコア 349 はレジスタのセット（図示せず）を含み得る。ある状況では、レジスタのセットは未知の値にセットされ得る。たとえば、最初にワイヤレスデバイス 326 に電力が供給される際に、レジスタのセットは未知の値にセットされ得る。第 2 の例として、VIO ピン 351 が、シリアルインターフェイスコア 349 のための電源と、シリアルインターフェイスモードと GPIO インターフェイスモードとの間のモード選択器との両方として機能する実現例において、デジタル制御インターフェイス 331 が GPIO インターフェイスから RFFE シリアルインターフェイスに最初に遷移する場合に、レジスタのセットは未知の値にセットされ得る。シリアルインターフェイスコア 349 に電力が最初に供給される場合またはシリアルインターフェイスコア 349 がリセット状態から出る場合にレジスタが既知の値にセットされることを保証するために、シリアルインターフェイスコア 349 は、レジスタのセットの各々の値を、ストラップドデフォルト 362 のセットによって提供される値にセットするように構成され得る。ある実現例では、図 19 のストラップドデフォルト 286 は、デフォルトピン 361 に提供される値と同等であり得る。

30

40

【0386】

ある実施形態では、シリアルインターフェイスコア 349 は、クロック／モードピン 352 からクロック信号を受け取るように構成され得る。このクロック信号は、シリアルインターフェイスコア 349 の実現例に基づいて、任意の周波数または信号形状にセットされ得る。いくつかの実現例では、クロック信号は、周波数が 26 MHz 以下の矩形波であってもよい。さらに、シリアルインターフェイスコア 349 のデータインターフェイスは双方向であってもよい。したがってシリアルインターフェイスコア 349 は、シリアルイ

50

ンターフェイスコア349のData Inにて、データ／イネーブルピン388からデータを受け取り得る。同様に、シリアルインターフェイスコア349は、シリアルインターフェイスコア349のData Outからのデータをデータ／イネーブルピン353に提供し得る。バッファ368および369によって図23に示されるように、データ入力およびデータ出力の両方はバッファされ得る。いくつかの実施形態では、バッファはトライステートバッファであってもよい。さらに、シリアルインターフェイスコア349のOutput Enableは、Data OutおよびData Inの両方が、データ／イネーブルピン353へおよびデータ／イネーブルピン353から同じラインを共有することを可能にするようバッファ368および369を制御するように構成され得る。したがっていくつかの例では、シリアルインターフェイスコア349からデータを読み出す際、バッファ368はデータフローを有効にする一方、バッファ369はデータフローを防止するかまたは高インピーダンスにセットされる。同様にいくつかの例では、シリアルインターフェイスコア349にデータを書き込む際、バッファ369はデータフローを有効にする一方、バッファ368はデータフローを防止するかまたは高インピーダンスにセットされる。

10

【0387】

組合せ論理ブロック356は一般に、デジタル制御インターフェイス331にイネーブル信号とモード信号とをイネーブルレベルシフタ358およびモードレベルシフタ359へそれぞれ提供させる任意の論理を含む。いくつかの実施形態では、組合せ論理ブロック356は、信号のデコーディングを可能にする論理を含む。その後、組合せ論理ブロック356は、デコードされた信号をレベルシフタ358および359の一方または両方に提供し得る。いくつかの場合において、この実施形態の組合せ論理ブロック356は、図19において上で示された組合せ論理ブロック279に関して上で記載された実施形態のうちのいくつかまたはすべてを含んでもよい。

20

【0388】

いくつかの実現例では、デジタル制御インターフェイス331は、図21に関して上で記載されたプロセス301を行い得る。このような実現例では、その代りに、RFFEコアに関連付けられる動作がシリアルインターフェイスコア349によって行なわれ得る。たとえば、ブロック311は、シリアルインターフェイスコア349をリセットモードにすることを含み得る。第2の例として、ブロック321は、シリアルインターフェイスレジスタ値またはシリアルインターフェイスコア349のレジスタに関連付けられる信号をシリアルインターフェイスレベルシフタ357に提供することを含み得る。

30

【0389】

G. 組合せ論理ブロック

図24は、図23に示され、本発明の局面に従って実現される組合せ論理ブロック356の実施形態のさらなる詳細を示す。上述したように、組合せ論理ブロック356は、レベルシフタ358および359にイネーブル信号とモード信号とをそれぞれ出力するように構成され得る。さらに、組合せ論理ブロック356は、イネーブル信号およびモード信号が、シリアルインターフェイスコア349から受け取られた入力またはクロック／モードピン352およびデータ／イネーブルピン353から受け取られた入力に基づくかどうかを決定する論理を含む。いくつかの場合では、デジタル制御インターフェイス331がGPIOインターフェイスとして動作している場合、イネーブル信号およびモード信号は、クロック／モードピン352およびデータ／イネーブルピン353から入力信号を受け取る付加的な論理またはデバイス（図示せず）を介して受け取られた入力に基づき得る。同様に、いくつかの場合では、デジタル制御インターフェイス331がシリアルインターフェイスとして動作している場合、イネーブル信号およびモード信号は、シリアルインターフェイスコア349から信号を受け取る付加的な論理またはデバイス（図示せず）を介して受け取られた入力に基づき得る。いくつかの場合では、付加的な論理またはデバイスは、組合せ論理ブロック356に信号を提供する前に、信号を処理し得る。

40

【0390】

50

図24に示されるように、組合せ論理ブロック356はマルチプレクサ378およびマルチプレクサ379を含む。マルチプレクサ378は、イネーブルレベルシフタ358にイネーブル信号を提供し得、マルチプレクサ379はモードレベルシフタ359にモード信号を提供し得る。マルチプレクサの各々は、リセット入力377から組合せ論理ブロック356に受け取られたリセット信号によって制御され得る。上述したように、リセット信号は、パワーオンリセット354から受け取られ、いくつかの場合、VIOピン351から受け取られた信号の反転されたバージョンであり得る。

【0391】

前述のように、いくつかの実施形態において、組合せ論理ブロック356にリセット入力377で受け取られたリセット信号が論理ハイまたは「1」である場合、デジタル制御
10
インターフェイス331はGPIOインターフェイスとして動作する。このような場合、マルチプレクサ378は、データ／イネーブル入力376で受け取られた信号を出力し、マルチプレクサ379は、クロック／モード入力374で受け取られた信号を出力する。小さな正方形によって示されたように、データ／イネーブル入力376およびクロック／モード入力374への入力、いくつかの場合に、如何なる介在する論理またはコンポーネントなしで、データ／イネーブルピン353およびクロック／モードピン352からそれぞれ受け取られ得る。他の実施形態では、図23のピン352および353と入力374および376との間にそれぞれ付加的な論理が存在し得る。

【0392】

いくつかの実施形態では、組合せ論理ブロック356は、データ／イネーブル入力37
20
6とマルチプレクサ378との間のANDゲート381、および／または、クロック／モード入力374とマルチプレクサ379との間のANDゲート382を含み得る。いくつかの実施形態はANDゲートを含むが、データ／イネーブル入力376およびクロック／モード入力374の入力を選択する場合、リセット入力377は論理ハイであるので、マルチプレクサの出力は変化しない。ある実施形態において、ANDゲートは、信号の周波数および／または信号パスが互いに近いことによって引き起こされるデジタルノイズを低減または除去するよう含まれる。データ信号およびクロック信号は、いくつかの場合には、いくつかの実現例では26MHzと同じくらい速くあり得る高速デジタル信号であり得る。他の場合では、当該信号は、26MHzより速いまたは遅くあり得、用途に依存し得る。ANDゲートは信号の速度で切り替わるノードの数を制限するよう使用され得、これ
30
により、組合せ論理ブロック356と通信する1つ以上のデバイス（たとえばパワーアンプコンローラ329、パワーアンプ328など）のRF性能局面を低下させ得るクロックエネルギーの量を制限する。いくつかの場合には、ANDゲートは、1つ以上の信号の同期を可能にする遅延を導入し得る。ある実施形態では、ANDゲートは随意であってもよい。

【0393】

図24の組合せ論理ブロック356はANDゲートを含むが、ANDゲート381および382に加えてまたはANDゲート381および382の代わりに、組合せ論理ブロック356が他のタイプの論理を含むことが可能である。たとえば、組合せ論理ブロック356は、入力376および374とマルチプレクサ378および379との間にそれぞれ
40
、1つ以上のANDゲート、NANDゲート、インバータ、ORゲート、NORゲートまたはXORゲートを含み得る。

【0394】

組合せ論理ブロック356へのリセット入力377で受け取られたリセット信号が論理ローまたは「0」である場合、デジタル制御インターフェイス331はシリアルインターフェイスとして動作する。このような場合、マルチプレクサ378は、シリアルイネーブル入力372で受け取られた信号を出力し、マルチプレクサ379は、シリアルモード入力373で受け取られた信号を出力する。

【0395】

図24は以前に記載された任意の付加的な論理を示していないが、いくつかの実現例で

10

20

30

40

50

は、組合せ論理ブロック 356 は付加的な論理コンポーネントを含んでもよい。たとえば、付加的なゲートが、ノイズを低減し、信号のタイミングを遅延し、または以前の信号を格納するよう含まれてもよい。

【0396】

H. 第3のデジタル制御インターフェイス

次に図 25 を参照して、ここで本発明のさらなる局面に従って実現されるデジタル制御インターフェイス 383 として参照されるデジタル制御インターフェイスの別の実施形態が示される。いくつかの場合には、デジタル制御インターフェイス 383 は、(図 22 に示される) ワイヤレスデバイス 326 の (図 23 に示される) デジタル制御インターフェイス 331 を置換し得る。いくつかの実現例では、デジタル制御インターフェイス 253、デジタル制御インターフェイス 272 およびデジタル制御インターフェイス 331 に関して上で記載された実施形態のうちのいくつかまたはすべては、このデジタル制御インターフェイス 383 に適用され得る。議論を単純化するために、デジタル制御インターフェイス 331 とデジタル制御インターフェイス 383 との間の共通の要素は以下では繰り返されない。

【0397】

ある実施形態において有利なことに、デジタル制御インターフェイス 383 は、GPIO インターフェイスとして構成される場合、3つのモードをサポートし得る。いくつかの場合において、GPIO インターフェイスとして構成される場合にデジタル制御インターフェイス 383 が3つのモードをサポートすることを可能にすることによって、デジタル制御インターフェイス 383 は、別個のモードおよびイネーブルピンを使用する信号制御インターフェイスよりも多くのパワーアンプモードをサポートすることが可能である。さらにいくつかの場合において、付加的なピン入力を加えることなく、かつ、デジタル制御インターフェイスのパッケージサイズを拡大することなく、付加的なモードがサポートされ得る。いくつかの実現例では、これらの利点は、第2のモード入力を提供するピンにデジタル制御インターフェイス 331 のデータ/イネーブルピン 353 を取り替え、かつ、非イネーブル信号として第4の利用可能なモードを解釈するよう組合せ論理ブロック 356 を修正することによって、達成され得る。

【0398】

図 25 に示されるように、デジタル制御インターフェイス 383 は、クロック/モード 0 ピン 384 およびデータ/モード 1 ピン 386 を含み得る。ピン 384 および 386 は、デジタル制御インターフェイス 331 のピン 352 および 353 と同様に、それぞれ構成され得る。しかしながら、デジタル制御インターフェイス 383 が GPIO インターフェイスとして構成される場合、クロック/モード 0 ピン 384 は組合せ論理ブロック 388 に第1のモード信号を提供し得、クロック/モード 1 ピン 386 は組合せ論理ブロック 388 に第2のモード信号を提供し得る。

【0399】

GPIO インターフェイス 387 は、2つのモードレベルシフタと、モード 0 レベルシフタ 389 と、モード 1 レベルシフタ 391 とを含み得る。図 22 のパワーアンプ 328 がイネーブルされるべきであることをイネーブルレベルシフタ 358 によって出力される信号が示す場合、2つのモードレベルシフタによって出力される信号がパワーアンプコントローラ 329 によって使用され得、パワーアンプ 328 によって受け取られた信号の増幅のレベルをセットする。いくつかの実施形態では、イネーブルレベルシフタ 358 の出力にかかわらず、パワーアンプ 328 はイネーブルされる。いくつかのこのような場合、イネーブルレベルシフタ 358 の出力は、2つのモードレベルシフタ 389 および 391 の出力に基づいてパワーアンプ 328 のモードを調節するべきかどうか決定するようパワーアンプコントローラ 329 によって使用され得る。

【0400】

図 26 に関して以下により詳細に記載されるように、イネーブルレベルシフタ 358 に供給される信号は、モードピン 384 および 386 で受け取られる信号に基づき得る。さ

らに、いくつかの場合において、図25に示されるように、シリアルインターフェイスコア349は、組合せ論理ブロック388に3つの信号接続を提供し得る。他の場合では、シリアルインターフェイスコア349は、組合せ論理ブロック388にこれより多いまたは少ない信号線を提供し得る。このような場合、信号線は、1つ以上の論理ブロックを使用して、組合せ論理ブロック388から出力信号を受け取るレベルシフタの数に少なくとも部分的に基づいて、組み合わせまたは分割されてもよい。

【0401】

I. 第2の組合せ論理ブロック

図26は、本発明のさらに別の局面に従って実現され得る、ここで組合せ論理ブロック388として指定される本発明の組合せ論理ブロックの代替的な実施形態を示す。いくつかの実施形態では、組合せ論理ブロック388は、組合せ論理ブロック356に関して上

10

【0402】

組合せ論理ブロック356と同様に、組合せ論理ブロック388は、イネーブル信号およびモード信号が、シリアルインターフェイスコア349から受け取られた入力またはクロック／モード0ピン384およびデータ／モード1ピン386から受け取られた入力に基づくかどうかを決定する論理を含む。いくつかの場合では、デジタル制御インターフェイス383がGPIOインターフェイスとして動作している場合、イネーブル信号ならびにモード0信号およびモード1信号は、クロック／モード0ピン384およびデータ／モード1ピン386から入力信号を受け取る付加的な論理またはデバイス（図示せず）を介して受け取られた入力に基づき得る。同様にいくつかの場合において、デジタル制御インターフェイス383がシリアルインターフェイスとして動作している場合、イネーブル信号ならびにモード0信号およびモード1信号は、シリアルインターフェイスコア349から信号を受け取る付加的な論理またはデバイス（図示せず）を介して受け取られた入力に基づき得る。いくつかの場合では、付加的な論理またはデバイスは、組合せ論理ブロック388に信号を提供する前に、信号を処理し得る。

20

【0403】

図26に示されるように、組合せ論理ブロック388は3つのマルチプレクサを含む。マルチプレクサ401はイネーブルレベルシフタ358にイネーブル信号を提供し得る。デジタル制御インターフェイス383がシリアルインターフェイスとして構成される場合、マルチプレクサ401は、シリアルイネーブル入力396を介してシリアルインターフェイスコア349から受け取られたイネーブル信号を出力する。デジタル制御インターフェイス383がGPIOインターフェイスとして構成される場合、マルチプレクサ401は、クロック／モード0入力393およびデータ／モード1入力394から受け取られた信号の論理和に基づくイネーブル信号を出力する。論理和は、図26に示されるORゲート407を介して得られ得る。しかしながら、たとえばNORゲートとインバータとを使用することにより、他の論理的な同等物が可能である。

30

【0404】

マルチプレクサ402は、第1のモード信号すなわちモード0信号をモード0レベルシフタ389に提供し得る。同様に、マルチプレクサ403は、第2のモード信号すなわちモード1信号をモード1レベルシフタ391に提供し得る。デジタル制御インターフェイス383がシリアルインターフェイスとして構成される場合、マルチプレクサ402はシリアルモード0入力397を介してシリアルインターフェイスコア349から受け取られたモード0信号を出力する。同様に、デジタル制御インターフェイス383がシリアルインターフェイスとして構成される場合、マルチプレクサ403はシリアルモード1入力398を介してシリアルインターフェイスコア349から受け取られたモード1信号を出力する。

40

【0405】

デジタル制御インターフェイス383がGPIOインターフェイスとして構成される場合、マルチプレクサ402は、クロック／モード0入力393で受け取られた信号とリセ

50

ット入力 399 で受け取られたリセット信号との論理積を出力する。同様に、デジタル制御インターフェイス 383 が G P I O インターフェイスとして構成される場合、マルチプレクサ 403 は、データ／モード 1 入力 394 で受け取られた信号とリセット入力 399 で受け取られたリセット信号との論理積を出力する。論理積は A N D ゲート 404 および 406 によって得られ得る。しかしながら、たとえば N A N D ゲートとインバータとを使用することにより、他の論理的な同等物が可能である。図 24 に関して前述のように、A N D ゲート 404 および 406 の使用により、デジタルノイズが低減または除去され得る。

【0406】

マルチプレクサの各々は、リセット入力 399 から受け取られるリセット信号によって制御され得る。言い換えれば、マルチプレクサに提供される選択信号はリセット信号であり得る。上述したように、リセット信号は、パワーオンリセット 354 から受け取られ得、いくつかの場合において、V I O ピン 351 から受け取られた信号の反転されたバージョンであり得る。リセット信号が論理「1」である場合、デジタル制御インターフェイス 383 は G P I O インターフェイスとして構成され、マルチプレクサは、G P I O インターフェイスモードについて上述したように信号を出力する。リセット信号が論理「0」である場合、デジタル制御インターフェイス 383 はシリアルインターフェイスとして構成され、マルチプレクサはシリアルインターフェイスモードについて上述したように G P I O 信号を出力する。

【0407】

前述のように、組合せ論理 388 を使用するデジタル制御インターフェイス 383 は、イネーブル信号を代わりに出力するべきかどうか決定するようモード 0 ピン 384 およびモード 1 ピン 386 の値を使用することによってか、または、イネーブル制御信号に別個のピンを供することによって、パワーアンプコントローラ 329 および／またはパワーアンプ 328 に 3 つの異なるモードを提供し得る。3 つの構成されたモードのうちの 1 つが選択される場合、組合せ論理ブロック 388 はイネーブル信号を出力するように構成される。第 4 のモードが選択されると、組合せ論理ブロック 388 は、非イネーブル信号を出力するように構成される。以下の表 1 は、デジタル制御インターフェイス 383 が G P I O インターフェイスとして構成される場合に、モードピンの値に基づくレベルシフタへの組合せ論理ブロック 388 の出力についての 1 つの非限定的な例を示す。表 1 のモードセ

【0408】

【表 1】

表 1

モード 0	モード 1	イネーブル	モードセッティング
0	0	NO	.
0	1	YES	1
1	0	YES	2
1	1	YES	3

【0409】

いくつかの実施形態では、デジタル制御インターフェイス 383 は、図 21 に示される

プロセス301の修正バージョンを行ない得る。たとえば、いくつかの場合では、ブロック318は、シリアルインターフェイスコアからの第1および第2のモード信号をそれぞれ、第1のモードレベルシフタ389および第2のモードレベルシフタ391に提供することを含み得る。さらに、ブロック312は、いくつかの場合において、クロック／モードピン384からの第1のモード信号を第1のモードレベルシフタ389に提供し、データ／モードピン386からの第2のモード信号を第2のモードレベルシフタ391に提供することを含む。ある実施形態において、2つのモード信号を提供することにより、デジタル制御インターフェイス383は、GPIOインターフェイスとして動作する場合に、2つのモードの代わりに、3つのモードを提供し得る。

【0410】

いくつかの実施形態では、ブロック313の動作は、それぞれクロック／モードピン384およびデータ／モードピン386からの第1のモード信号および第2のモード信号を組合せ論理ブロック388に提供するように修正されてもよい。その後、組合せ論理ブロック388は、第1および第2のモード信号に基づいて、イネーブルレベルシフタ358にイネーブル信号を提供するべきかどうか決定し得、これにより、デジタル制御インターフェイス383が、専用のイネーブルピンを有することなく、パワーアンプコントローラ329にイネーブル信号を出力することが可能になる。ある場合において有利なことに、イネーブルピンの必要性をなくすことによって、デジタル制御インターフェイスは、第2のモードピンとして当該イネーブルピンを別の目的に再利用することによりパワーアンプを構成するためにより多くのモードをサポートし得る。

【0411】

J. 付加的な実施形態

いくつかの実施形態では、デジタル制御インターフェイスは、VIO信号を受け取るように構成される電圧入力／出力（VIO）ピンを含む。さらに、デジタル制御インターフェイスは、シリアルインターフェイスを提供するように構成されるフロントエンドコアを含み得る。フロントエンドコアは、VIO信号が第1の論理レベルを満たす場合、アクティブ状態にあり得、VIO信号が第2の論理レベルを満たす場合、インアクティブ状態にあり得る。さらに、デジタル制御インターフェイスは、フロントエンドコアがインアクティブ状態にセットされる場合に、汎用入力／出力（GPIO）インターフェイスを提供するように構成され得る。さらに、デジタル制御インターフェイスは、イネーブルレベルシフタにイネーブル信号を提供し、モードレベルシフタにモード信号を提供するように構成される組合せ論理ブロックを含み得る。さらに、デジタル制御インターフェイスはクロック／モードピンおよびデータ／イネーブルピンを含み得る。クロック／モードピンは、フロントエンドコアがアクティブ状態にセットされる場合にフロントエンドコアにクロック信号を提供し、フロントエンドコアがインアクティブ状態にセットされる場合に組合せ論理ブロックにモード信号を提供するように構成され得る。データ／イネーブルピンは、フロントエンドコアがアクティブ状態にセットされる場合にフロントエンドコアにデータ信号を提供し、フロントエンドコアがインアクティブ状態にセットされる場合に組合せ論理ブロックにイネーブル信号を提供するように構成され得る。さらにデジタル制御インターフェイスは、VIO信号に基づいて、イネーブルレベルシフタおよびモードレベルシフタにそれぞれ提供されるイネーブル信号およびモード信号の源を選択するように構成されるパワーオンリセットを含み得る。いくつかの実現例によると、フロントエンドコアは無線周波数フロントエンド（RFFE）コアを含む。

【0412】

いくつかの場合では、データ／イネーブルピンはさらに、フロントエンドコアがアクティブ状態にセットされる場合に、フロントエンドコアのレジスタに関連付けられるアドレス信号をフロントエンドコアに提供するように構成される。

【0413】

デジタル制御インターフェイスは、いくつかの実現例では、複数のレジスタレベルシフタを含み得る。複数のレジスタレベルシフタの各レジスタレベルシフタは、フロントエン

10

20

30

40

50

ドコアに関連付けられる複数のレジスタの1つに格納された値に関連付けられるレジスタ信号をフロントエンドコアから受け取り、当該レジスタ信号を出力するよう構成され得、これにより、パワーアンプがレジスタ信号に基づいて構成されることが可能になる。いくつかの場合、少なくとも1つのレジスタレベルシフタはさらに、リセット状態の間にデフォルト信号を受け取るように構成される。さらに、パワーオンリセットブロックはさらに、少なくとも1つのレジスタレベルシフタをリセット状態にするように構成され得る。いくつかの場合において、パワーオンリセットブロックはさらに、遅延されたリセット信号をフロントエンドコアに提供するように構成され得る。

【0414】

ある実施形態では、デジタル制御インターフェイスは、第1のバッファおよび第2のバッファを含む。第1のバッファは、データ/イネーブルピンとフロントエンドコアの出力ポートとの間に接続され得、第2のバッファは、データ/イネーブルピンとフロントエンドコアの入力ポートとの間に接続され得る。さらに、第1のバッファは、フロントエンドコアからデータが読み出されることを可能にするように構成され得、第2のバッファは、フロントエンドコアにデータが提供されることを可能にするように構成され得る。第1のバッファおよび第2のバッファの両方は、トライステートバッファであってもよい。いくつかの設計では、第1のバッファとデータ/イネーブルピンとの間の接続および第2のバッファとデータ/イネーブルピンとの間の接続は共有されたパスである。第1のバッファおよび第2のバッファはさらに、第1のバッファおよび第2のバッファを通る同時のデータフローを防止するように構成され得る。

【0415】

本発明のいくつかの実施形態は、フロントエンドコアおよび組合せ論理ブロックを含むデジタル制御インターフェイスにおいて複数の制御インターフェイスを提供するための方法を実現するように構成され得る。この方法は、デジタル制御インターフェイスへのV I O入力でのV I O信号を受け取ることと、V I O信号が論理ハイかどうか決定することとを含み得る。V I O信号が論理ハイであるという決定に応答して、当該方法は、クロック入力からのクロック信号をフロントエンドコアに提供し、データ入力からのデータ信号をフロントエンドコアに提供し、イネーブルレベルシフタおよびモードレベルシフタに出力すべき第1のイネーブル信号および第1のモード信号を組合せ論理ブロックにて選択することにより、シリアルインターフェイスとして機能するようにデジタル制御インターフェイスを構成することを含み得る。第1のイネーブル信号および第1のモード信号の両方は、フロントエンドコアから受け取られ得る。V I O信号が論理ローであるという決定に応答して、この方法は、イネーブル入力からの第2のイネーブル信号を組合せ論理ブロックに提供し、モード入力からの第2のモード信号を組合せ論理ブロックに提供し、イネーブルレベルシフタおよびモードレベルシフタに出力すべき第2のイネーブル信号および第2のモード信号を組合せ論理ブロックにて選択することにより、汎用入力/出力(G P I O)インターフェイスとして機能するようデジタル制御インターフェイスを構成することを含み得る。

【0416】

いくつかの実現例では、当該方法は、V I O信号が論理ハイであるという決定に応答して、フロントエンドコアをリセット状態からアクティブ状態に再構成することを含み得る。フロントエンドコアをリセット状態からアクティブ状態に再構成することは、フロントエンドコアの内部レジスタのセットをデフォルト値に構成することを含み得る。当該方法のいくつかの実現例によると、当該内部レジスタのセットの少なくとも1つのレジスタは、当該内部レジスタのセットの少なくとも1つの他のレジスタとは異なるデフォルト値に構成される。

【0417】

さらに、当該方法は、パワーアンプコントローラにイネーブルレベルシフタの出力およびモードレベルシフタの出力を提供することを含み得、これにより、パワーアンプコントローラが、イネーブルレベルシフタの出力およびモードレベルシフタの出力に基づいてパ

ワアンプを構成することが可能になる。さらに、当該方法は、V I O信号が論理ローであるという決定に応答して、フロントエンドコアをリセットモードにすることを含み得る。フロントエンドコアをリセットモードにすることは、レジスタレベルシフタのセットにてデフォルト値を維持することを含み得る。

【0418】

このセクションにおける本発明の開示のある局面は、パワーアンプおよびパワーアンプモジュールの部分として含まれ得、したがって、本願明細書において詳細に上で記載されたようなワイヤレスモバイルデバイスにおいて有利に使用され得る。パワーアンプは、デジタル制御インターフェイスと、デジタル制御インターフェイスにV I O信号を提供するように構成されるモード選択器とを含み得る。V I O信号は、デジタル制御インターフェイスのモードをセットするように構成され得る。ある実現例では、デジタル制御インターフェイスは、V I O信号を受け取るように構成される電圧入力／出力（V I O）ピンと、シリアルインターフェイスを提供するように構成されるフロントエンドコアとを含む。フロントエンドコアは、V I O信号が第1の論理レベルを満たす場合にはアクティブ状態にあり得、V I O信号が第2の論理レベルを満たす場合にはインアクティブ状態にあり得る。デジタル制御インターフェイスは、フロントエンドコアがインアクティブ状態にセットされる場合に、汎用入力／出力（G P I O）インターフェイスを提供するように構成され得る。さらに、デジタル制御インターフェイスは、イネーブルレベルシフタにイネーブル信号を提供し、モードレベルシフタにモード信号を提供するように構成される組合せ論理ブロックと、フロントエンドコアがアクティブ状態にセットされる場合にフロントエンドコアにクロック信号を提供し、フロントエンドコアがインアクティブ状態にセットされる場合に組合せ論理ブロックにモード信号を提供するように構成されるクロック／モードピンとを含み得る。さらに、デジタル制御インターフェイスは、フロントエンドコアがアクティブ状態にセットされる場合にフロントエンドコアにデータ信号を提供し、フロントエンドコアがインアクティブ状態にセットされる場合に組合せ論理ブロックにイネーブル信号を提供するように構成されるデータ／イネーブルピンを含み得る。いくつかの場合、デジタル制御インターフェイスは、V I O信号に基づいて、イネーブルレベルシフタおよびモードレベルシフタにそれぞれ提供されるイネーブル信号およびモード信号の源を選択するように構成されるパワーオンリセットブロックを含む。いくつかの実現例では、パワーアンプ制御モジュールはさらに、パワーアンプと、イネーブルレベルシフタからのイネーブル信号およびモードレベルシフタからのモード信号を受け取り、モード信号に基づいてパワーアンプに制御信号を提供するように構成されるパワーアンプコントローラとを含む。当該制御信号は、パワーアンプの動作モードを特定し得る。

【0419】

このパワーアンプモジュールのいくつかの実現例において、データ／イネーブルピンはさらに、フロントエンドコアがアクティブ状態にセットされる場合にフロントエンドコアにアドレス信号を提供するように構成される。当該アドレス信号は、フロントエンドコアのレジスタに関連付けられ得る。さらに、いくつかの場合では、デジタル制御インターフェイスは複数のレジスタレベルシフタを含む。複数のレジスタレベルシフタの各レジスタレベルシフタは、フロントエンドコアからレジスタ信号を受け取り、レジスタ信号を出力するように構成され得、これにより、パワーアンプがレジスタ信号に基づいて構成されることが可能になる。レジスタ信号は、フロントエンドコアに関連付けられる複数のレジスタのうちの1つに格納される値に関連付けられ得る。さらに、いくつかの場合、少なくとも1つのレジスタレベルシフタがさらに、リセット状態の間にデフォルト信号を受け取るように構成される。パワーオンリセットブロックは、少なくとも1つのレジスタレベルシフタをリセット状態にするように構成され得る。

【0420】

いくつかの実施形態では、デジタル制御インターフェイスは、V I O信号を受け取るように構成される電圧入力／出力（V I O）ピンを含む。V I O信号は、第1の論理レベルおよび第2の論理レベルのうちの1つに対応し得る。さらに、デジタル制御インターフェイス

イスは、第1の論理レベルおよび第2の論理レベルのうちの1つに対応する第1の信号を受け取るように構成されるクロック／モードピンと、第1の論理レベルおよび第2の論理レベルのうちの1つに対応する第2の信号を受け取るように構成されるデータ／モードピンとを含み得る。さらに、デジタル制御インターフェイスは、汎用入力／出力（G P I O）インターフェイスモジュールと、シリアルインターフェイスモジュールとを含み得る。いくつかの場合、G P I Oインターフェイスモジュールは、イネーブルレベルシフタと、第1のモードレベルシフタと、第2のモードレベルシフタと、組合せ論理ブロックとを含む。組合せ論理ブロックは、パワーアンプコントローラへの出力のために、イネーブルレベルシフタにイネーブル信号を提供するように構成され得る。さらに、組合せ論理ブロックは、パワーアンプコントローラへの出力のために第1のモードレベルシフタに第1のモード信号を提供し、パワーアンプコントローラへの出力のために第2のモードレベルシフタに第2のモード信号を提供するように構成され得る。イネーブル信号は、第1の信号および第2の信号の1つ以上が第1の論理レベルに対応し、V I O信号が第2の論理レベルに対応する場合、イネーブル論理値に対応し得る。さらに、V I O信号が第2の論理レベルに対応する場合、第1のモード信号は第1の信号に対応し得、第2のモード信号は第2の信号に対応し得る。いくつかの場合、パワーアンプコントローラは、第1のモード信号および第2のモード信号に少なくとも部分的に基づいてパワーアンプを制御するように構成される。シリアルインターフェイスモジュールのいくつかの実現例は、シリアルインターフェイスコアおよびリセット論理ブロックを含む。シリアルインターフェイスコアは、V I O信号が第1の論理レベルに対応する場合にシリアルインターフェイスを提供するように構成され得、リセット論理ブロックは、V I O信号が第2の論理レベルに対応する場合にシリアルインターフェイスコアをリセットモードにするように構成され得る。

【0421】

いくつかの実施形態では、イネーブル信号は、第1の信号および第2の信号が各々第2の論理レベルに対応し、V I O信号が第2の論理レベルに対応する場合、非イネーブル論理値に対応する。さらに、イネーブル信号は、V I O信号が第1の論理値に対応する場合、シリアルインターフェイスコアから受け取られたシリアルイネーブル値に対応し得る。さらに、第1のモード信号は、V I O信号が第1の論理値に対応する場合、シリアルインターフェイスコアから受け取られた第1のシリアルモード信号に対応し得、第2のモード信号は、V I O信号が第1の論理値に対応する場合、シリアルインターフェイスコアから受け取られた第2のシリアルモード信号に対応し得る。

【0422】

本願明細書のいくつかの実現例によると、データ／モードピンはさらに、V I O信号が第1の論理レベルに対応する場合、シリアルインターフェイスコアにアドレス信号を提供するように構成される。アドレス信号は、シリアルインターフェイスコアのレジスタに関連付けられ得る。また、クロック／モードピンはさらに、V I O信号が第1の論理レベルに対応する場合に、シリアルインターフェイスコアにクロック信号を提供するように構成され得る。

【0423】

デジタル制御インターフェイスは、いくつかの実施形態において、複数のレジスタレベルシフタを含む。複数のレジスタレベルシフタの各レジスタレベルシフタは、シリアルインターフェイスコアからレジスタ信号を受け取り、パワーアンプコントローラにレジスタ信号を出力するように構成され得る。これにより、いくつかの場合において、パワーアンプコントローラがレジスタ信号に基づいてパワーアンプを構成することが可能になる。レジスタ信号は、シリアルインターフェイスコアに関連付けられる複数のレジスタのうちの1つに格納される値に関連付けられ得る。

【0424】

いくつかの実施形態では、シリアルインターフェイスモジュールはさらに第1のバッファおよび第2のバッファを含む。バッファ制御信号が第1の値にセットされる場合、第1のバッファは、シリアルインターフェイスコアからデータが読み出されることを可能にす

るように構成され得、第2のバッファは、データがシリアルインターフェイスコアに書き込まれるのを防止するように構成され得る。さらに、バッファ制御信号が第2の値にセットされる場合、第1のバッファは、データがシリアルインターフェイスコアから読み出されるのを防止するように構成され得、第2のバッファは、データがシリアルインターフェイスコアに書き込まれるのを可能にするように構成され得る。いくつかの場合では、バッファ制御信号は、シリアルインターフェイスコアによって生成される。

【0425】

本開示のいくつかの実施形態は、GPIOインターフェイスモジュールと、シリアルインターフェイスコアを含み得るシリアルインターフェイスモジュールとを含むデジタル制御インターフェイスにおいて複数の制御インターフェイスを提供するための方法を実現するように構成され得る。当該方法は、デジタル制御インターフェイスへのVIO入力でVIO信号を受け取ることと、VIO信号が論理ハイ値に対応するかどうか決定することとを含み得る。VIO信号が論理ハイ値に対応するという決定にตอบสนองして、当該方法は、クロック入力からのクロック信号をシリアルインターフェイスコアに提供し、データ入力からのデータ信号をシリアルインターフェイスコアに提供し、イネーブルレベルシフタに出力すべき第1のイネーブル信号と、第1のモードレベルシフタに出力すべき第1のモード信号と、第2のモードレベルシフタに出力すべき第2のモード信号とを組合せ論理ブロックにて選択することにより、シリアルインターフェイスとして機能するようデジタル制御インターフェイスを構成することを含み得る。第1のイネーブル信号、第1のモード信号および第2のモード信号は各々、シリアルインターフェイスコアから受け取られ得る。VIO信号が論理ロー値に対応するという決定にตอบสนองして、当該方法は、組合せ論理ブロックに第1の入力信号および第2の入力信号を提供し、イネーブルレベルシフタに出力すべき第2のイネーブル信号と、第1のモードレベルシフタに出力すべき第3のモード信号と、第2のモードレベルシフタに出力すべき第4のモード信号とを組合せ論理ブロックにて選択することにより、汎用入力/出力（GPIO）インターフェイスとして機能するようにデジタル制御インターフェイスを構成することを含み得る。第2のイネーブル信号は、第1の入力信号および第2の入力信号の論理演算に基づき得る。さらに、第3のモード信号は、第1の入力信号に少なくとも部分的に基づき得、第4のモード信号は、第2の入力信号に少なくとも部分的に基づき得る。

【0426】

示される方法は、いくつかの場合において、VIO信号が論理ハイ値に対応するという決定にตอบสนองして、リセット状態からアクティブ状態にシリアルインターフェイスコアを再構成することを含む。シリアルインターフェイスコアをリセット状態からアクティブ状態に再構成することは、シリアルインターフェイスコアの内部レジスタのセットをデフォルト値に構成することを含み得る。

【0427】

さらに、当該方法は、イネーブルレベルシフタの出力、第1のモードレベルシフタの出力および第2のモードレベルシフタの出力をパワーアンプコントローラに提供することを含み得、これにより、イネーブルレベルシフタの出力がイネーブル値に対応する場合に、パワーアンプコントローラが第1のモデルレベルシフタの出力および第2のモードレベルシフタの出力に基づいてパワーアンプを構成することが可能になる。さらに、当該方法は、VIO信号が論理ロー値に対応するという決定にตอบสนองして、シリアルインターフェイスコアをリセットモードにすることを含み得る。シリアルインターフェイスコアをリセットモードにすることは、シリアルインターフェイスコアのレジスタのセットにデフォルト値のセットをロードすることを含み得る。

【0428】

本開示のある局面は、パワーアンプの部分として含まれ得る。パワーアンプは、デジタル制御インターフェイスと、パワーアンプと、パワーアンプコントローラと、デジタル制御インターフェイスにVIO信号を提供するように構成されるモード選択器とを含み得る。いくつかの場合では、VIO信号は、デジタル制御インターフェイスのモードをセット

するように構成され、第1の論理レベルおよび第2の論理レベルのうちの1つに対応し得る。デジタル制御インターフェイスは、V I O信号を受け取るように構成される電圧入力／出力（V I O）ピンと、第1の論理レベルおよび第2の論理レベルのうちの1つに対応する第1の信号を受け取るように構成されるクロック／モードピンと、第1の論理レベルおよび第2の論理レベルのうちの1つに対応する第2の信号を受け取るように構成されるデータ／モードピンとを含み得る。さらに、デジタル制御インターフェイスは、イネーブルレベルシフタを含み得る汎用入力／出力（G P I O）インターフェイスモジュールと、第1のモードレベルシフタと、第2のモードレベルシフタと、組合せ論理ブロックとを含み得る。いくつかの場合では、組合せ論理ブロックは、パワーアンプコントローラへの出力のために、イネーブルレベルシフタにイネーブル信号を提供するように構成される。組合せ論理ブロックはさらに、パワーアンプコントローラへの出力のために第1のモードレベルシフタに第1のモード信号を提供し、パワーアンプコントローラへの出力のために第2のモードレベルシフタに第2のモード信号を提供するように構成され得る。第1の信号および第2の信号の1つ以上が第1の論理レベルに対応し、V I O信号が第2の論理レベルに対応する場合、イネーブル信号はイネーブル論理値に対応し得る。いくつかの場合では、V I O信号が第2の論理レベルに対応する場合、第1のモード信号は第1の信号に対応し、第2のモード信号は第2の信号に対応する。さらに、デジタル制御インターフェイスは、シリアルインターフェイスコアおよびリセット論理ブロックを含み得るシリアルインターフェイスモジュールを含み得る。シリアルインターフェイスコアは、V I O信号が第1の論理レベルに対応する場合に、シリアルインターフェイスを提供するように構成され得、リセット論理ブロックは、V I O信号が第2の論理レベルに対応する場合に、シリアルインターフェイスコアをリセットモードにするように構成され得る。さらに、パワーアンプコントローラは、イネーブルレベルシフタからのイネーブル信号と、第1のモードレベルシフタからの第1のモード信号と、第2のモードレベルシフタからの第2のモード信号とを受け取るように構成され得る。さらに、パワーアンプコントローラは、第1のモード信号および第2のモード信号に少なくとも部分的に基づいてパワーアンプに制御信号を提供することによって、パワーアンプを制御し得る。この制御信号は、パワーアンプの動作モードを特定し得る。

【0429】

いくつかの実施形態では、ワイヤレスデバイスは、パワーアンプモジュールを含み得る。パワーアンプモジュールは、以前に記載された実施形態の1つ以上を含み得る。さらに、ワイヤレスデバイスは、パワーアンプモジュールに電力を供給するように構成される電源と、パワーアンプモジュールのモード選択器に制御信号を提供するように構成されるトランシーバとを含み得る。

【0430】

いくつかの実施形態では、デジタル制御インターフェイスは、V I O信号を受け取るように構成される電圧入力／出力（V I O）ピンを含む。さらに、デジタル制御インターフェイスは、汎用入力／出力（G P I O）インターフェイスモジュールおよびシリアルインターフェイスモジュールを含み得る。G P I Oインターフェイスモジュールは、イネーブルレベルシフタ、第1のモードレベルシフタ、第2のモードレベルシフタおよび組合せ論理ブロックを含み得る。組合せ論理ブロックは、パワーアンプコントローラへの出力のために、イネーブルレベルシフタにイネーブル信号を提供するように構成され得る。組合せ論理ブロックはさらに、パワーアンプコントローラへの出力のために第1のモードレベルシフタに第1のモード信号を提供し、パワーアンプコントローラへの出力のために第2のモードレベルシフタに第2のモード信号を提供するように構成され得る。シリアルインターフェイスモジュールは、シリアルインターフェイスコアおよびリセット論理ブロックを含み得る。シリアルインターフェイスコアは、V I O信号が第1の論理レベルに対応する場合に、シリアルインターフェイスを提供するように構成され得る。さらに、リセット論理ブロックは、V I O信号が第2の論理レベルに対応する場合に、シリアルインターフェイスコアをリセットモードにするように構成され得る。さらに、G P I Oインターフェイ

スモジュールは、V I O信号が第2の論理レベルに対応する場合に、G P I Oインターフェイスを提供するように構成され得る。

【0431】

ある実現例では、デジタル制御インターフェイスはさらに、第1の論理レベルおよび第2の論理レベルのうちの1つに対応する第1の信号を受け取るように構成されるクロック／モードピンを含み得る。さらに、デジタル制御インターフェイスは、第1の論理レベルおよび第2の論理レベルのうちの1つに対応する第2の信号を受け取るように構成されるデータ／モードピンを含み得る。いくつかの場合では、イネーブル信号は、第1の信号および第2の信号の1つ以上が第1の論理レベルに対応し、V I O信号が第2の論理レベルに対応する場合に、イネーブル論理値に対応し得る。さらに、V I O信号が第2の論理レベルに対応する場合、第1のモード信号は第1の信号に対応し得、第2のモード信号は第2の信号に対応し得る。いくつかの実施形態では、パワーアンプコントローラは、第1のモード信号および第2のモード信号に少なくとも部分的に基づいてパワーアンプを制御するように構成される。

10

【0432】

このセクションにおける本発明のある実施形態を記載してきたが、これらの実施形態は、例示を目的としてのみ提示されており、本開示または如何なる請求項の範囲を限定するようには意図されない。実際には、本願明細書において記載される新規な方法およびシステムはさまざまな他の形態で実施されてもよい。更に、本開示の精神から逸脱することがなければ、本願明細書において記載された方法およびシステムの形態においてさまざまな省略、置換および変更がなされてもよく、このセクションにおいて開示された本発明のこれらの局面は、本願明細書の他の局面と組み合わせられて、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるモバイルデバイスの性能をさらに改善し得る。

20

【0433】

V I . プロセスで補償されたH B Tパワーアンプバイアス回路および方法

本開示のこのセクションは、パワーアンプにバイアスをかけるためのシステムに関し、当該パワーアンプは第1のダイと第2のダイとを含んでおり、第1のダイは、パワーアンプ回路と、第1のダイの1つ以上の状態に依存する電気特性を有する受動コンポーネントを含み、第2のダイは、第1のダイの受動コンポーネントの電気特性の測定に少なくとも部分的に基づいてバイアス信号を生成するように構成されるバイアス信号生成回路を含む。上に示されるように、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられて、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善し得る。

30

【0434】

ここで、図27を参照して、集積回路(I C)411が形成された半導体ダイ409を含む無線周波数(R F)構成408が示される。本願明細書に記載されるようないくつかの実現例では、ダイ409は、ダイ409に関連付けられる1つ以上の状態に依存する1つ以上の動作パラメータを有するダイ依存コンポーネント412を含み得る。I C411の少なくとも部分の動作は、ダイ409の外部に位置するバイアス回路413によって促進され得る。このようなダイ依存コンポーネントの非限定的な例は、本願明細書において以下により詳細に記載される。

40

【0435】

図27にさらに示されるように、ダイ依存コンポーネント412は、バイアス回路413がダイ依存コンポーネント412の状態に少なくとも部分的に基づいて動作され得るように、バイアス回路413に結合され得る。ダイ依存コンポーネント412のこのような状態はダイ409の状態を示しているので、上記の態様でバイアス回路を動作することによって、改善された態様でI C411が動作することが可能になり得る。このようなダイ依存動作のさまざまな例は、本願明細書において以下により詳細に記載される。

【0436】

図28は、いくつかの実現例において、図27のI C411およびダイ依存コンポーネ

50

ント４１２が第１の半導体ダイ４０９上に形成され得ることと、（図２７の）バイアス回路４１３が第２の半導体ダイ４１４上に形成され得ることを示す。第１のダイ４０９および第２のダイ４１４のタイプの例は、以下により詳細に議論される。

【０４３７】

次に図２９を参照して、図２８の２つの別個のダイ４０９および４１４の例が示される。第１のダイ４０９は、ヘテロ接合バイポーラトランジスタ（ＨＢＴ）プロセス技術に基づいたダイ４１６であり得る。図２９にさらに示されるように、このようなダイ上に形成されるＩＣは、ＩＣ４１１において実現されるパワーアンプ（ＰＡ）回路４１５を含み得る。図２９にさらに示されるように、プロセス依存コンポーネント４１２は、バイアス回路４１３とのダイ間接続を有するプロセス依存抵抗４１２を含み得、ＰＡ　ＩＣはバイアス回路４１３と同様の接続を有する。

10

【０４３８】

図２９はさらに、第２のダイ４１４がシリコンプロセス技術に基づいたダイ４１７であり得ることを示す。バイアス回路４１３は、このようなダイ上に形成されることが示される。本願明細書においてＨＢＴダイおよびシリコンダイの文脈でさまざまな例が記載されるが、本開示の１つ以上の特徴は他のダイのタイプの組合せにも適用され得るということが理解されるべきである。また、ＰＡ動作およびこのようなＰＡのバイアシングの文脈で記載されているが、本開示の１つ以上の特徴は他のタイプのＩＣおよびこのようなＩＣの制御にも適用され得るということが理解されるべきである。

20

【０４３９】

ＨＢＴベースのＰＡダイと、別個のシリコンダイ上のバイアス回路との文脈において、多くの線形ＨＢＴパワーアンプ設計において使用される「ダイオードスタック」バイアス構成の規格は典型的に、アンプの有意な零入力電流変化につながるデバイスベータに対する感度を示す。零入力電流の変化は、ゲイン、リニアリティおよび電流ドレインのような性能パラメータに影響を与え得る。製品歩留りも、これらのパラメータの変化により低下し得る。

【０４４０】

このようなベータ感度を扱う能力がないことまたはその能力の低減により、動作構成は、基準回路網のバイアシングの増加を必要とし得、これにより、典型的に当該製品について電流ドレインが増加する。いくつかの状況において、より複雑な回路設計が、典型的に回路面積および電流ドレインを増加させるダイオードスタックバイアシングアプローチに適用され得る。ダイオードスタックトポロジ以外の代替的なバイアスアプローチが使用され得るが、これらのアプローチはしばしば、帯域幅を損ない得、ノイズを劣化し得、および／または、外部の受動コンポーネントを必要とし得る。

30

【０４４１】

図３０は、前述の「ダイオードスタック」バイアス構成の規格を有する例示的な線形ＨＢＴ　ＰＡダイ４１８を示す。説明の目的で、例示的なＰＡダイ４１８は２つの段４１９および４２１を含むように示される。段の数は２より多いまたは少なくあり得るということが理解されるべきである。第１段４１９は、増幅されるべきＲＦ信号を入力整合回路４２３を介してＲＦＩＮノード４２２から受け取るよう示される。第１段４１９の出力は、整合および高調波終端を提供する段間回路４２４を介して第２段４２１に渡されるように示される。第２段４２１の出力は、出力整合および高調波終端回路４２６を介してＲＦＯＵＴノード４２７に渡されるように示される。

40

【０４４２】

図３０に示される例では、各ＰＡ段４１９および４２１は、それぞれの入力４２８および４２９を通じてＣＭＯＳバイアス回路（図示せず）から直流バイアス電流を受け取るよう示される。バイアス電流は、バイアス信号を与えるようダイオードスタックを有する２× V_{be} ダイオードミラーに提供されることが示される。そのような設計トポロジは、ゲイン、効率およびリニアリティに影響を与える零入力電流の部分間の変化の増加につながり得るプロセスベータに対する感度を示す。

50

【0443】

いくつかの実現例では、本発明は、ベータのようなダイ依存パラメータを効果的に感知するようアンプダイ上の受動デバイスを利用し、かつ、零入力電流変化のような関連付けられる効果を補償して性能を改善および／または製品の部分間の変化を低減するPA構成に関する。いくつかの実施形態では、このようなPA構成は、シリコンバイアスダイおよびHBTアンプダイを含み得る。従来、シリコンダイは、PAダイのための基準電流を生成しており、当該基準電流は、PAダイの温度に関して実質的に一定であり、本質的に離散的抵抗器の公差だけのみ変化する。

【0444】

本発明のいくつかの実現例では、このような離散的基準抵抗器は、HBTダイ上の集積された抵抗器と置換され得る。いくつかの実施形態では、この集積された抵抗器は、HBTデバイスのベース材料を用いて形成され得、プロセスベータに追従するシート抵抗特性を示し得る。そのような抵抗に基づいて、基準電流は、ベータに追従し、ベータに対する「ダイオードスタック」の感度をキャンセルまたは低減するように構成され得る。

【0445】

いくつかの実施形態において、前述のベース抵抗器(R_b)タイプは、基準抵抗器の両端に加えられる電圧が環境温度とともに増加するようにシリコン制御ダイ内のバイアス生成回路網によって補償され得る高温係数を与えるように構成され得る。アンプに与えられる得られた基準電流は、選択された範囲の環境温度にわたって実質的に一定であり得、実質的にHBTプロセスベータに追従し得る。

【0446】

図31は、抵抗R_bがプロセス依存である抵抗器412をHBT PAダイ416が含む例示的な構成408を示す。このような抵抗器は、2つの例示的なPA段415aおよび415bのためにバイアス信号を生成するための基準抵抗として使用され得る。本開示を考慮すると、基準抵抗に関連付けられる1つ以上の機能と、このような基準抵抗に基づいたバイアス信号の生成とは、より多いまたは少ない段数を有するPA構成に適用され得るということは容易に理解されるはずである。

【0447】

図31の例示的な構成408において、基準抵抗器412の1つの端部は、V-I回路432に接続されることが示されており、他方の端部は、接地に接続されることが示されている。V-I回路432は、シリコンダイ417上に存在するように示されており、電流源433および434が第1および第2のPA段415aおよび415bにバイアス信号を提供することを促進するように示されている。本願明細書に記載されるように、このようなバイアス信号は、HBT PAダイ416の1つ以上の状態の変化について補償され得る。絶対温度比例(proportional-to-absolute-temperature (PTAT))電圧基準431および基準抵抗器412に関連してV-I回路432がどのように構成および動作され得るかの例が、本願明細書において以下により詳細に記載される。

【0448】

図32、図33および図34は、基準抵抗器412に関連付けられる抵抗(R_{ref}、また「R_b」とも称される)の測定によって、ベータパラメータおよび温度における変化がどのように検出され得るかを示す。図32は、異なるウェハ(W₂~W₁₀)上に形成されるHBTダイについての1/R_b値のプロットを示す。図33は、例示的なウェハW₂~W₁₀上に形成される同じHBTダイについてベータ値のプロットを示す。多くの観察がなされ得る。たとえば、所与のウェハ内において、ベータパラメータのダイ間での変化が存在し得ることが図33に示され得る。異なるウェハ間でも、ベータパラメータの著しい変化が存在し得る。同様に、ダイ間およびウェハ間での著しい1/R_bの変化が存在し得ることが図32において観察され得る。

【0449】

経験的に、ウェハ間での1/R_bの値はベータ値に相関されるということが図32および図33において分かり得る。たとえば、ウェハW₂~W₅についての平均ベータ値の低

10

20

30

40

50

下は、同じウェハについての平均 $1/R_b$ 値の増加に対応する。このようなことは、ベータが減少／増加する場合の $1/R_b$ の増加／減少の傾向がウェハの例示的なサンプルにわたって継続することが示される。

【0450】

如何なる特定の理論によって拘束されることは望まれないまたは意図されないが、ベース抵抗 R_b およびベータパラメータに関連付けられるいくつかの理論が考慮され得る。ベース抵抗 R_b は、シート抵抗 R_{bsh} として表わすことができ、シート抵抗 R_{bsh} は、

【0451】

【数1】

$$R_{bsh} = 1/(q\mu_p N_A w_b)$$

10

(1)

【0452】

として表すことができ、式中、 q はキャリア電荷であり、 μ_n はn型キャリア移動度であり、 N_A は、正味の不純物濃度であり、 w_b はベース層の厚さである。ベータパラメータは、 β_{max} について、直流電流ゲインとして表わすことができる。

【0453】

【数2】

20

$$\beta_{max} = (N_E/N_B)(V_{nB}/V_{pE})e^{[\Delta E_v/(kT)]} = (N_E/N_B)(D_n/D_p)(w_E/w_B)e^{[\Delta E_v/(kT)]}$$

(2A)

【0454】

AlGaAs および Si について、式中、 N_E および N_B はエミッタおよびベースのドーピング濃度であり、 w_E および w_B はエミッタおよびベースの厚さであり、 ΔE_v は有効な価電子帯バリア高さである。いくつかの状況では、InGaP についての直流電流ゲインは、

【0455】

30

【数3】

$$\beta = (V_{nB}/w_b)\tau(N_b),$$

(2B)

【0456】

として表わすことができ、

【0457】

【数4】

40

$$(\beta/R_{bsh}) = qN_E w_E \mu_n e^{[\Delta E_v/(kT)]}.$$

(2C)

【0458】

を示すように操作され得る。

式2Cでは、右側のパラメータはエミッタに関係付けられており、したがって、ベースプロセスに亘って著しくは変化し得ない。したがって、(HBTの場合に R_b および β の変化のほとんどが発生する) ベースにおける変化について、ベータパラメータ β およびベース抵抗 R_b が、実質的に同一または同様の態様で応答し得るので、これら2つのパラメータの比率は概して一定であり得る。したがって、 R_b における変化の測定によって、ベ

50

スにおいて発生する変化について、 β の変化に関する情報が提供され得る。

【0459】

図34は、HBT PAの異なる電力出力セッティング（単位はdBm）について、基準抵抗（ R_{ref} ）対動作温度のプロットを示す。これらのプロットを考慮すると、 R_{ref} と温度との間の関係はほぼ線形であることが観察され得る。

【0460】

図31～図34を参照して記載されるように、PAダイ（たとえばHBT PAダイ）のベース抵抗は、温度および／またはベース層パラメータとともに変化する。いくつかの実現例では、このような抵抗は、温度および／またはベース層パラメータに関連付けられる変化を補償する制御信号（たとえばバイアス信号）を生成するよう基準抵抗として利用され得る。図35は、このような補償された制御信号を生成し得る例示的なV-I回路432を示す。

10

【0461】

ここで図35を引き続き参照して、例示的なV-I回路432は、シリコンダイ417上に形成されることが示されており、PTAT源431から絶対温度比例（PTAT）信号（たとえば約0.6V）を受け取るように構成され得る。このような信号は、一般にHBT PAダイの温度およびプロセスパラメータから独立しており、ベース抵抗器（図31における412）に提供され得る。たとえば、ベース抵抗器412に提供される電流は、ベース抵抗（ R_b ）の値に依存して変化し得る。示される例において、6k Ω の例示的な R_b 値に提供されるこの0.6のPTAT電圧によって、約408 μ Aの電流が引き出される。この電流は、V-I回路からの出力電圧を生成するために使用され得、これにより、HBTダイ上に形成されるPA回路に提供される基準電流 I_{ref} が与えられる。HBTダイに提供されるこのような基準電流（ I_{ref} ）は、ベース抵抗器412によって感知されたHBTダイに関連する効果について補償される。

20

【0462】

図36は、異なる V_{batt} セッティング（2.9V、3.4V、3.9V、4.4V）について、V-I回路からの測定された出力電圧対温度のプロットを示す。基準抵抗と温度との間の概して線形の関係と同様に、V-I出力電圧もHBT PAダイのベース温度に概して比例する。

【0463】

30

図37A～図40を参照して、本開示の1つ以上の特徴から実現され得る利点の例が記載される。異なる状態下でパワーアンプの性能をシミュレートするために、ベータパラメータ、ターンオン電圧 V_{be} 、 F_t パラメータ、抵抗およびキャパシタンスといったパラメータが、公称値と、高値と、低値との間で変更された。図37Aおよび図37Bの「補償されない」設計は図30の例示的な構成に対応し、図38Aおよび図38Bの「補償された」設計は図31の例示的な構成に対応する。

【0464】

図37Aおよび図37Bは、本願明細書において記載される補償されないPA例の第1および第2段についての零入力電流対温度のプロットを示す。異なるプロットは、変化したパラメータの異なる組合せに対応する。第1および第2段のシミュレーションにおいて、零入力電流は約 $\pm 50\%$ 変化する。

40

【0465】

図38Aおよび図38Bは、本願明細書において記載される補償されるPA例の第1および第2段についての零入力電流対温度のプロットを示す。異なるプロットは、変化したパラメータの異なる組合せに対応する。第1段について、零入力電流は、約 $\pm 10\%$ 変化する。第2段について、零入力電流は、約 $\pm 7\%$ 変化する。考慮された考察の後、両方の段について、補償された構成における零入力電流の変化の相対量は、補償されない構成よりも非常に低いということが観察され得る。

【0466】

図39および図40は、零入力電流の変化の低減によって提供され得るゲイン特性の改

50

善の例を示す。図 39 は、3つの例示的な温度（ -20°C 、 25°C 、 85°C ）での、計算されたゲイン（dB）対電力出力（dBm）のプロットを示す。各温度について、中央の曲線は、公称の構成に対応し、上部の曲線は、零入力電流が $+10\%$ であることに対応し、下部の曲線は、零入力電流が -10% であることに対応する。なお 10% は、図 38 を参照して記載される補償された構成について、最悪の場合の変化である。零入力電流の $\pm 10\%$ の変化は、温度にわたって概して一定であり、したがって、良好な圧縮性能特性が与えられ得るということが理解され得る。

【0467】

図 40 は、図 38 A および図 38 B を参照して記載された変化したパラメータの異なる組合せについて、ゲイン対電力出力のプロットを示す。ここで、補償されたゲイン曲線のすべてが $28\text{ dB} \pm 3\text{ dB}$ のウィンドウ内に適合するのが望ましいことが理解され得る。

10

【0468】

本発明のこれらの局面に従ったいくつかの実現例において、本願明細書に記載されるような 1 つ以上の特徴を有するベース抵抗器は、 $\text{I I I}-\text{V}$ 族半導体ダイ（たとえば HBT ダイ）上に形成される半導体抵抗器であり得る。このような抵抗器に関する付加的な詳細は以下、本願明細書のセクション V I I I において記載される。

【0469】

本発明のいくつかの実施形態において、本願明細書において記載される 1 つ以上の特徴を有する P A およびバイアスダイは、パッケージモジュールで実現され得る。そのようなモジュールの例が、図 41 A（平面図）および図 41 B（側面図）において示される。モジュール 436 はパッケージング基板 437 を含むように示されている。このようなパッケージング基板は、複数のコンポーネントを受け取るように構成され得、たとえばラミネート基板を含み得る。パッケージング基板 437 上に実装されるコンポーネントは、1 つ以上のダイを含み得る。示された例において、P A ダイ（たとえば HBT P A ダイ 416）およびバイアスダイ（たとえばシリコンバイアスダイ 417）がパッケージング基板 437 に実装されることが示される。P A ダイ 416 は、本願明細書に記載されるように P A 回路 415 およびベース抵抗器 412 を含み得、バイアスダイ 417 は、本願明細書において記載される V-I 回路 432 を含み得る。ダイ 416 および 417 は、接続ワイヤーボンド 443 のような接続を介して、モジュールの他の部分および互いに電氣的に接続され得る。このような接続ワイヤーボンドは、ダイ上に形成されたコンタクトパッド 441 と、パッケージング基板 437 上に形成されたコンタクトパッド 438 との間に形成され得る。いくつかの実施形態では、1 つ以上の表面実装デバイス（surface mounted device（SMD））442 は、モジュール 436 のさまざまな機能を促進するためにパッケージング基板 437 に実装され得る。

20

30

【0470】

実施形態に従うと、シールドイングワイヤーボンド 444 のような R F シールドイング機能が、1 つ以上のコンポーネント（たとえばダイ 416、ダイ 417 および／または SMD 442）の R F シールドイングを促進するために提供され得る。このような R F シールドイングは、このようなコンポーネントとモジュール 436 の外側のエリアとの間で、R F 信号またはノイズの通過を抑制し得る。シールドイングワイヤーボンド 444 の文脈において、このようなワイヤーボンドは、シールドイングワイヤーボンド 444 が一般に所望のエリアの周りに（たとえばモジュール 436 の周辺部の近傍に）周辺部を形成するように、コンタクトパッド 439 上に形成され得る。このようなシールドイングワイヤーボンドの寸法およびスペーシングは、所望の R F シールドイング特性を提供するよう選択され得る。

40

【0471】

いくつかの実施形態では、3次元の R F シールド構造が以下のように提供され得る。図 41 B に示されるように、シールドイングワイヤーボンド 444 は、パッケージング基板 437 の表面の下に存在する接地平面 440 に電氣的に接続され得る。シールドイングワイヤーボンド 444 と接地平面 440 との間のこのような接続は、コンタクトパッド 43

50

9 および接続機構 4 5 0 (たとえばビア) によって促進され得る。シールドイングワイヤーボンド 4 4 4 の上には、導電層 (たとえば導電ペイント層) 4 4 5 が、シールドイングワイヤーボンド 4 4 4 の上部分に電氣的に接続されるように設けられ得る。したがって、導電層 4 4 5、シールドイングワイヤーボンド 4 4 4 および接地平面 4 4 0 は、3 次元 R F シールド構造を形成し得る。

【0 4 7 2】

本願明細書のいくつかの実施形態に従うと、パッケージング基板 4 3 7 と導電層 4 4 5 との間のスペースは、オーバーモールド構造 4 4 6 で充填され得る。このようなオーバーモールド構造は、外部要素からのコンポーネントおよびワイヤーボンドの保護と、パッケージモジュール 4 3 6 のより容易な取り扱いとを含む多くの望ましい機能を提供し得る。

10

【0 4 7 3】

いくつかの実現例では、本願明細書において記載される 1 つ以上の特徴を有するデバイスおよび／または回路は、ワイヤレスデバイスのような R F デバイスに含まれ得る。そのようなデバイスおよび／または回路は、直接的にワイヤレスデバイスにおいて、本願明細書において記載されるようなモジュールの形で、またはそれらの何らかの組合せで実現され得る。いくつかの実施形態において、このようなワイヤレスデバイスは、たとえば、携帯電話、スマートフォン、電話機能を有するまたは有さないハンドヘルドワイヤレスデバイス、ワイヤレスタブレット、および対応する機能を提供する他の同様のデバイスを含み得る。

【0 4 7 4】

20

次に図 4 2 を参照して、本願明細書において記載される有利な 1 つ以上の特徴を有する例示的なワイヤレスデバイス 4 4 7 が概略的に示される。本願明細書に記載されるように P A のバイアシングの文脈において、1 つ以上の P A を有する P A ダイ 4 1 6 は、モジュール 4 3 6 の部分であり得る。ここで、ダイ 4 1 6 において 4 つの P A が例示的な目的のために示される。このようなモジュールはさらに、本願明細書に記載されるような 1 つ以上の特徴を有するバイアスダイ 4 1 7 を含み得る。本願明細書のいくつかの実施形態では、このような P A モジュールはたとえば、ワイヤレスデバイス 4 4 7 のマルチバンド動作を促進し得る。

【0 4 7 5】

モジュール 4 3 6 における P A は、増幅および送信される R F 信号を生成するとともに受取られた信号を処理するよう公知の態様で構成および操作され得るトランシーバ 4 5 4 からそれぞれの R F 信号を受け取り得る。トランシーバ 4 5 4 は、ユーザに好適なデータおよび／または音声信号とトランシーバ 4 5 4 に好適な R F 信号との間の変換を提供するように構成されるベースバンドサブシステム 4 5 3 と連携動作するように示される。トランシーバ 4 5 4 はさらに、ワイヤレスデバイスの動作のための電力を管理するように構成される電力管理コンポーネント 4 5 1 に接続されることが示される。このような電力管理はさらに、ベースバンドサブシステム 4 5 3 および P A モジュール 4 3 6 の動作を制御し得る。

30

【0 4 7 6】

ベースバンドサブシステム 4 5 3 は、音声および／またはデータのさまざまな入力および出力がユーザに提供されることおよびユーザから受け取られることを促進するよう、ユーザインターフェイス 4 4 8 に接続されることが示される。ベースバンドサブシステム 4 5 3 はさらにメモリ 4 4 9 に接続され得、メモリ 4 4 9 は、ワイヤレスデバイスの動作を促進し、および／または、ユーザのために情報の格納を提供するようデータおよび／または指示を格納するように構成される。

40

【0 4 7 7】

例示的なワイヤレスデバイス 4 4 7 では、モジュール 4 3 6 の P A の出力は、整合ネットワークによって整合され得、それらのそれぞれのデュプレクサ 4 5 6 および帯域選択スイッチ 4 5 7 を介してアンテナ 4 5 8 にルーティングされ得る。いくつかの実施形態において、各デュプレクサは、送信動作および受信動作が共通のアンテナ (たとえば 4 5 8)

50

を使用して同時に行なわれることを可能にする。図42では、受取られた信号は、たとえば低ノイズアンプ（low-noise amplifier（LNA））を含み得る「Rx」パス（図示せず）にルーティングされることが示される。

【0478】

多くの他のワイヤレスデバイス構成は、本願明細書において記載される1つ以上の特徴を利用し得る。たとえば、ワイヤレスデバイスはマルチバンドデバイスである必要はない。別の例では、ワイヤレスデバイスは、ダイバーシティアンテナのような付加的なアンテナと、Wi-Fi（登録商標）、ブルートゥース（登録商標）およびGPSのような付加的な接続機能とを含み得る。

【0479】

このセクションにおいて提供された本発明の実施形態の上記の詳細な説明は、網羅的であるよう意図されず、または、本願明細書に開示されたそのものの形態に本発明を限定するよう意図されない。本発明の特定の実施形態および本発明についての例は、上で例示的な目的のために記載されているが、関連する技術における当業者が認識し得るように、本発明の範囲内でさまざまな同等な修正が可能である。本願明細書において提供される本発明の教示は、他のシステムに適用され得、したがって必ずしも、上で記載されたシステムに限定されるように意図されない。上で記載されるさまざまな実施形態の要素および動作は、さらに別の実施形態を提供するよう組み合わせられ得る。

【0480】

VII. HBTおよびFETを有する構造のためのデバイスおよび方法

本開示のこのセクションは、ヘテロ接合バイポーラトランジスタ（HBT）および電界効果トランジスタ（FET）を含む半導体構造に関し、当該ヘテロ接合バイポーラトランジスタ（HBT）は、基板の上に位置し、半導体材料を含むコレクタ層を含み、当該電界効果トランジスタ（FET）は基板の上に位置し、HBTのコレクタ層を形成する半導体材料に形成されるチャンネルを有する。いくつかの実現例では、第2のFETが、基板の上に位置するように設けられ得、HBTのエミッタを形成する半導体材料に形成されるチャンネルを含むように構成され得る。前述の特徴の1つ以上が、ダイ、パッケージモジュールおよびワイヤレスデバイスといったデバイスにおいて実現され得る。本願明細書の技術の当業者であれば、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられて、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善し得るということが容易に理解されるはずである。

【0481】

砒化ガリウム（GaAs）材料システムにおいて作製されたデバイスへの特定の参照により記載されるが、このセクションにおいて記載される構造は、りん化インジウム（InP）および窒化ガリウム（GaN）のような他のIII-V族半導体材料を使用して作製され得る。さらに、さまざまな半導体成長技術、形成技術および処理技術のいずれも、層を形成し、本願明細書において記載された構造を作製するよう使用され得る。たとえば、半導体層は、分子線エピタキシー（molecular beam epitaxy（MBE））、有機金属気相成長法（organic metallic vapor phase epitaxy（OMVPE））とも時に称される金属有機物化学蒸気堆積法（metal organic chemical vapor deposition（MOCVD））、または任意の他の技術を使用して形成され得る。さらに、以下に記載されるさまざまな半導体層の厚さは近似であり、記載されるよりも薄いまたは厚い範囲でもよい。同様に、本願明細書において以下に記載されるドーパされた半導体層のドーピングレベルは相対的である。

【0482】

このセクションにおいて提示される本発明の局面は、ヘテロ接合バイポーラトランジスタ（HBT）のようなバイポーラ装置と、共通の基板上に集積され、一般にBiFETとも称され、GaAs材料システムにおいて形成されるp型電界効果トランジスタ（pFET）とを含む半導体構造に関する。実施形態はさらに、GaAs材料システムにおいてHBTと集積されるp型FET（pFET）およびn型FET（nFET）を含む相補的な

BiFET (complementary BiFET (BiCFET)) を含む。以下の説明は、本発明の実現例に係る特定の情報を含んでいる。当業者であれば、本発明は本願において具体的に議論されるのと異なる態様で実現されてもよいということを認識するであろう。

【0483】

本願明細書において議論される図面と、それに伴う詳細な説明とは、単に例示的な本発明の実施形態に関する。本願明細書において以下でさらに議論される構造459は、半導体ダイにおいて基板の上に位置するNPN HBTおよびpFETを含む例示的なBiFETを示すが、本発明はさらに、PNP HBTおよびNFETと、NPN HBTならびにNFETおよびpFETの両方と、PNP HBTならびにNFETおよびpFETの両方とを含むBiFETに適用され得る。

10

【0484】

ここで、図43を参照して、本発明の一実施形態に従った、例示的なBiFETを含む例示的な構造の断面図を示す概略図が示される。構造459は、BiFET461と、分離領域466、467、および469と、半絶縁性GaAs基板であり得る基板464とを含む。BiFET461は、分離領域466と467との間で基板464の上に位置するHBT462と、分離領域467と469との間で基板464の上に位置するpFET463とを含む。分離領域466、467および469は、基板464上の他のデバイスからの電氣的絶縁を提供し、当該技術において公知の態様で形成され得る。

【0485】

HBT462は、サブコレクタ層471、第1のコレクタ層セグメント472、第2のコレクタ層セグメント473、随意のエッチストップ層セグメント474、ベース層セグメント476、エミッタ層セグメント477、エミッタキャップ層セグメント478、底部コンタクト層セグメント479、上部コンタクト層セグメント481、コレクタコンタクト482、ベースコンタクト484、およびエミッタコンタクト486を含む。

20

【0486】

本願明細書において説明の目的で、エミッタは、エミッタスタックに関連付けられる1つ以上の部分を含み得る。図43の例示的なHBT構成462において、このようなエミッタスタックは、エミッタ層477、エミッタキャップ層478、底部コンタクト層479、および上部コンタクト層481を含み得る。したがって、本願明細書に記載されるようなエミッタは、エミッタ層477および／またはエミッタキャップ層478を含み得る。

30

【0487】

さらに本願明細書において説明の目的で、GaAs/InGaPの文脈において、例示的なHBTポロジが記載される。しかしながら、本開示の1つ以上の特徴はさらに、たとえば、りん化インジウム(InP)、アンチモン化物、または窒化物ベースの材料を含む、HBTに使用される他の材料システムに適用され得るということが理解されるべきである。

【0488】

pFET463は、バックゲートコンタクト468と、ライトドープされたN型GaAsセグメント488と、ライトドープされたP型GaAsセグメント489と、ライトドープされたN型またはP型InGaPを典型的に含む随意のエッチストップ層セグメント491と、典型的にヘビードープされたP型GaAsを含むソースコンタクト層492およびドレインコンタクト層493と、ゲートコンタクト494と、ソースコンタクト497と、ドレインコンタクト498とを含む。代替的には、随意のエッチストップ層セグメント491は、非ドープであり得る。本実施形態では、HBT462は、pFET463を有する相補的な構成に集積されるNPN HBTであり得る。別の実施形態では、HBT462は、NFETに集積されたPNP HBTであり得るか、または、pFET463およびNFETに集積されたPNP HBTもしくはNPN HBTであり得る。本実施形態では、pFET463は、デプレッションモードFETまたはエンハンスメントモードFETであり得る。

40

50

【0489】

サブコレクタ層471は基板464上に位置しており、ヘビードープされたN型GaAsを含み得る。サブコレクタ層471は、金属有機物化学蒸気堆積法(MOCVD)プロセスまたは他のプロセスを使用することにより形成され得る。第1のコレクタ層セグメント472およびコレクタコンタクト482は、サブコレクタ層471上に配置される。第1のコレクタ層セグメント472は、ライトドープされたN型GaAsを含み得る。第2のコレクタ層セグメント473は、ライトドープされたP型GaAsを含み得る。第1のコレクタ層セグメント472および第2のコレクタ層セグメント473は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。コレクタコンタクト482は、サブコレクタ層471の上に堆積およびパターン化され得る適切な金属または金属の組合せから形成され得る。

10

【0490】

随意のエッチストップ層セグメント474は、第2のコレクタ層セグメント473上に配置され得るとともに、ライトドープされたN型またはP型InGaPを含み得る。代替的には、随意のエッチストップ層セグメント474は、非ドープであり得る。エッチストップ層セグメント474は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。

【0491】

ベース層セグメント476はエッチストップ層セグメント474上に配置されるとともに、ヘビードープされたP型GaAsを含み得る。ベース層セグメント476は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。

20

【0492】

エミッタ層セグメント477およびベースコンタクト484は、ベース層セグメント476上に配置される。エミッタ層セグメント477は、ライトドープされたN型インジウムりん化ガリウム(InGaP)を含み得、MOCVDプロセスまたは他のプロセスを使用することによりベース層セグメント476上に形成され得る。ベースコンタクト484は、ベース層セグメント476の上に堆積およびパターン化され得る適切な金属または金属の組合せを含み得る。エミッタキャップ層セグメント478は、エミッタ層セグメント477上に配置され、ライトドープされたN型GaAsを含み得る。エミッタキャップ層セグメント478は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。

30

【0493】

底部コンタクト層セグメント479は、エミッタキャップ層セグメント478上に配置されるとともに、ヘビードープされたN型GaAsを含み得る。底部コンタクト層セグメント479は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。

【0494】

上部コンタクト層セグメント481は、底部コンタクト層セグメント479上に位置しており、ヘビードープされたN型インジウム砒化ガリウム(InGaAs)を含み得る。上部コンタクト層セグメント481は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。エミッタコンタクト486は、上部コンタクト層セグメント481上に配置されるとともに、上部コンタクト層セグメント481の上に堆積およびパターン化され得る適切な金属または金属の組合せを含み得る。

40

【0495】

HBT462の動作の間、電流は、エミッタコンタクト486から、上部コンタクト層セグメント481、底部コンタクト層セグメント479、エミッタキャップ層セグメント478、エミッタ層セグメント477を通して、ベース層476に流れており、矢印483によって示される。

【0496】

HBT462のコレクタにおいてpFET463を形成するために、ライトドープされ

50

たP型GaAs層セグメント489が、ライトドープされたN型GaAs層セグメント488の上に配置される。ライトドープされたn型GaAs層セグメント488は、ヘビードープされたN型GaAs層セグメント487の上に配置される。pFET463のバックゲートを作り出すために、バックゲートコンタクト468は、ヘビードープされたn型GaAs層セグメント487上に形成される。バックゲートコンタクト468は、ヘビードープされたN型GaAs層セグメント487の上に堆積およびパターン化され得る適切な金属または金属の組合せを含み得る。

【0497】

ライトドープされたN型GaAs層セグメント488は、組成および形成が、上で議論された第1のコレクタ層セグメント472に実質的に同様である。ライトドープされたP型GaAs層セグメント489は、組成および形成が、上で議論された第2のコレクタ層セグメント473に実質的に同様である。

【0498】

ライトドープされたP型GaAs層セグメント489は、pFET463のチャンネルを形成する。エッチストップ層セグメント491は、ライトドープされたP型GaAs層セグメント489上に位置しており、ライトドープされたN型またはP型InGaPを含み得る。代替的には、エッチストップ層セグメント491は、非ドープであり得る。エッチストップ層セグメント491は、MOCVDプロセスまたは他の適切なプロセスを使用することにより、ライトドープされたP型GaAs層セグメント489上に形成され得る。エッチストップ層セグメント491は、実現されると、約10ナノメートル(nm)と約15nmとの間の厚さを有し得る。一実施形態では、pFET463はエンハンスメントモードFETであり得、エッチストップ層セグメント491は、10nm未満の厚さを有し得る。

【0499】

ソースコンタクト層492およびドレインコンタクト層493は、エッチストップ層セグメント491上に配置されており、ソース領域およびドレイン領域をそれぞれ形成するよう、ヘビードープされたP型GaAsを含み得る。ソースコンタクト層492およびドレインコンタクト層493は、MOCVDプロセスまたは他のプロセスを使用することにより形成され得る。ソースコンタクト497およびドレインコンタクト498は、エッチストップ層セグメント491上に配置される。ソースコンタクト497およびドレインコンタクト498はプラチナゴールド(「PtAu」)または他の適切な金属を含み得、当該技術において公知の態様で形成され得る。ゲートコンタクト494は、ソースコンタクト層492とドレインコンタクト層493との間に形成されるギャップ496において、エッチストップ層セグメント491上に配置され、適切な金属または金属の組合せを含み得る。ギャップ496は、InGaAsの層およびGaAsの層を選択的にエッチングし、かつ、エッチストップ層セグメント491上で停止するよう適切なエッチング化学作用を利用することにより、形成され得る。ギャップ496が形成された後、ゲートコンタクト494は、当該技術において公知の態様でエッチストップ層セグメント491上に形成され得る。一実施形態では、FET463はエンハンスメントモードFETであり得、ゲートコンタクト494は、ライトドープされたP型GaAs層セグメント489上に直接的に形成され得る。その実施形態において、適切なエッチング化学作用が、エッチストップ層セグメント491を選択的にエッチングし、かつ、ライトドープされたP型GaAs層セグメント489上で停止するよう利用され得る。

【0500】

したがって、HBT462のコレクタを含む層にpFET463を形成することによって、pFETがNPN HBTに集積され得、相補的なBiFETが得られる。

【0501】

次に図44を参照して、図43の構造の代替的な実施形態の断面図を示す概略図が示される。図44に示される構造499は、HBT502、pFET503およびnFET504を含むBiCFET構造を含む。図43における対応する要素および構造に類似する

10

20

30

40

50

図44における要素および構造は、再び詳細に記載されない。

【0502】

B i C F E T 5 0 1 は、分離領域506と分離領域507との間に位置するH B T 5 0 2を含んでおり、p F E T 5 0 3は分離領域507と509との間に位置し、n F E T 5 0 4は分離領域509と分離領域510との間に位置する。

【0503】

H B T 5 0 2 は、サブコレクタ層511、第1のコレクタ層セグメント512、第2のコレクタ層セグメント513、随意のエッチストップ層セグメント514、ベース層セグメント516、エミッタ層セグメント517、エミッタキャップ層セグメント518、第2の随意のエッチストップ層519、底部コンタクト層セグメント521、上部コンタクト層セグメント522、コレクタコンタクト523、ベースコンタクト524、およびエミッタコンタクト525を含む。

【0504】

本願明細書に記載されるように、エミッタは、エミッタスタックに関連付けられる1つ以上の部分を含み得る。図44の例示的なH B T 構成502において、このようなエミッタスタックは、エミッタ層517、エミッタキャップ層518、第2のエッチストップ層519、底部コンタクト層521、および上部コンタクト層522を含み得る。したがって、本願明細書に記載されるようなエミッタは、エミッタ層517および／またはエミッタキャップ層518を含み得る。

【0505】

さらに、本願明細書において記載されるように、例示的なH B T トポロジはG a A s / I n G a P の文脈において記載される。しかしながら、本開示の1つ以上の特徴は、たとえば、りん化インジウム (I n P)、アンチモン化物または窒化物ベースの材料を含む、H B T に使用される他の材料システムにも適用され得るということが理解されるであろう。

【0506】

p F E T 5 0 3 は、ライトドープされたN型G a A s 層セグメント527の上に位置するライトドープされたP型G a A s 層セグメント529を含み、上記ライトドープされたN型G a A s 層セグメント527は、ヘビードープされたN型G a A s 層セグメント526上に位置する。上記ヘビードープされたN型G a A s 層セグメント526上にはバックゲートコンタクト508が形成され、これにより、p F E T 5 0 3 のためのバックゲートが作り出される。バックゲートコンタクト508は、ヘビードープされたN型G a A s 層セグメント526の上に堆積およびパターニングされ得る適切な金属または金属の組合せから形成され得る。

【0507】

ライトドープされたP型G a A s 層セグメント529は、p F E T 5 0 3 のチャンネルを形成する。エッチストップ層セグメント531はライトドープされたP型G a A s 層セグメント529上に位置しており、ライトドープされたN型またはP型I n G a P を含み得る。代替的には、随意のエッチストップ層セグメント531は、非ドープであり得る。エッチストップ層セグメント531は、M O C V D プロセスまたは他の適切なプロセスの使用により、ライトドープされたP型G a A s 層セグメント529上に形成され得る。エッチストップ層セグメント531は、実現されると、約10ナノメートル (n m) と約15 n m との間の厚さを有し得る。ソースコンタクト層533およびドレインコンタクト層538は、エッチストップ層セグメント531上に配置されており、ソース領域およびドレイン領域をそれぞれ形成するよう、ヘビードープされたP型G a A s を含み得る。ソースコンタクト542およびドレインコンタクト544は、それぞれのコンタクト層533および538の上のエッチストップ層セグメント531上に位置する。ゲートコンタクト541は、ソース領域533とドレイン領域538との間に形成されるギャップ540においてエッチストップ層セグメント531上に位置しており、適切な金属または金属の組合せを含み得る。

【0508】

HBT462のエミッタを含む層においてnFET504を形成するために、ライトドープされたP型GaAs層セグメント530は、ヘビードープされたN型GaAs層セグメント526の上に位置するライトドープされたN型GaAs層セグメント528の上に配置される。ライトドープされたN型GaAs層セグメント528は、組成および形成が、図43に関して上で議論された第1のコレクタ層セグメント472と実質的に同様である。ライトドープされたP型GaAs層セグメント530は、組成および形成が、図43において上で議論された第2のコレクタ層セグメント473と実質的に同様である。

【0509】

エッチストップ層セグメント532は、ライトドープされたP型GaAs層セグメント530上に配置されており、エッチストップ層セグメント531に類似している。

10

【0510】

ヘビードープされたP型GaAs層セグメント534は、エッチストップ層セグメント532上に配置されており、組成および形成が、上で議論されたベース層セグメント476と実質的に同様である。バックゲートコンタクト536は、ヘビードープされたP型GaAs層セグメント534上に形成され、これにより、nFET504のためのバックゲートを作り出す。バックゲートコンタクト536は、ヘビードープされたP型GaAs層セグメント534の上に堆積およびパターンニングされ得る適切な金属または金属の組合せを含み得る。ライトドープされたN型InGaPセグメント537は、ヘビードープされたP型GaAs層セグメント534上に配置されており、組成および形成が、上で議論されたエミッタ層セグメント477と実質的に同様である。

20

【0511】

ライトドープされたN型GaAs層セグメント539は、ライトドープされたN型InGaP層セグメント537上に配置されており、組成および形成が、上で議論されたエミッタキャップ層セグメント478と実質的に同様である。ライトドープされたN型GaAs層セグメント539は、nFET504のためのチャンネルを形成する。第2の随意のエッチストップ層セグメント543は、ライトドープされたN型GaAs層セグメント539上に配置されており、ライトドープされたN型またはP型InGaPを含み得る。代替的には、第2の随意のエッチストップ層セグメント543は、非ドープであり得る。第2の随意のエッチストップ層セグメント543は、MOCVDプロセスまたは他の適切なプロセスの使用により、ライトドープされたN型GaAs層セグメント539上に形成され得る。本願明細書の実施形態では、第2の随意のエッチストップ層セグメント543は、約10nmと約15nmとの間の厚さを有し得る。ある実施形態において、nFET504は、エンハンスメントモードFETであり得、エッチストップ層セグメント543は、10nm未満の厚さを有し得る。

30

【0512】

ソース領域546およびドレイン領域547は、第2の随意のエッチストップ層セグメント543上に配置されており、ヘビードープされたN型GaAsを含み得る。ソース領域546およびドレイン領域547は、MOCVDプロセスまたは他のプロセスの使用により形成され得る。コンタクト層セグメント548および549はそれぞれ、ソース領域546およびドレイン領域547上に配置されており、ヘビードープされたN型InGaAsを含み得る。コンタクト層セグメント548および549は、MOCVDプロセスまたは他のプロセスの使用により形成され得る。

40

【0513】

ソースコンタクト551およびドレインコンタクト552はそれぞれ、上部コンタクト層セグメント547および548上に配置される。ゲートコンタクト553は、ギャップ554において、第2の随意のエッチストップ層セグメント543上に配置される。ギャップ554は、InGaAsの層およびGaAsの層を選択的にエッチングし、かつ、第2の随意のエッチストップ層セグメント543上で停止するように適切なエッチング化学作用を利用することにより、形成され得る。ギャップ554が形成された後、ゲートコン

50

タクト553は、当該技術において公知の態様で第2の随意のエッチストップ層セグメント543上に形成され得る。本願明細書の実施形態では、nFET504はエンハンスメントモードFETであり得、ゲートコンタクト553は、ライトドープされたN型GaAs層セグメント539上に直接的に形成され得る。その実施形態では、適切なエッチング化学作用を利用して、第2の随意のエッチストップ層セグメント543を選択的にエッチングし、ライトドープされたn型GaAs層セグメント539上で停止し得る。

【0514】

これにより、NPNまたはPNP HBTのいずれかと共にGaAs基板上に形成される相補的なpFET503およびnFET504を含むBiCFETが作製され得る。

【0515】

本願明細書において記載されるようないくつかの実施形態において、エッチストップ層（たとえば474、491、514、519、531、532および543）のうちのいくつかまたはすべては、インジウムりん化ガリウム（InGaP）またはインジウム砒化ガリウム（InGaAs）を含み得る。このようなエッチストップ層は、10ナノメートル（nm）と15nmとの間の厚さ範囲を有し得る。他の厚さ範囲も実施可能である。いくつかの実施形態において、前述のエッチストップ層のいくつかまたはすべては、たとえばFETのチャンネルに対するエッチング選択性を有する任意の材料を含み得る。このような材料は、前述の例示的な材料InGaPまたはInGaAsと同様の結果を達成するように、適切な厚さまたは適切な範囲の厚さで実現され得る。

【0516】

図45は、図43の例示的なBiFET461または図44の例示的なBiCFET501の部分を作製するために実現され得るプロセス555を示す。ブロック556では、半導体基板が提供され得る。いくつかの実施形態では、このような半導体層は、図43および図44の例示的な層464および505のような半絶縁GaAs層を含む、本願明細書において開示される1つ以上の層を含み得る。ブロック557では、ヘテロ接合バイポーラトランジスタ（HBT）が、基板の上に配置されるコレクタ層を含むように形成され得る。いくつかの実施形態では、このようなコレクタ層は、p-GaAs層（図43における473および図44における513）を含む、本願明細書において開示される1つ以上の層を含み得る。ブロック558では、電界効果トランジスタ（FET）が、基板の上に配置されるとともにHBTのコレクタ層と同じ材料から形成されるチャンネル領域を含むよう形成され得る。いくつかの実施形態では、このようなチャンネル領域は、p-GaAs層（図43における489および図44における529）を含む、本願明細書において開示される1つ以上の層を含み得る。いくつかの実現例では、HBT（たとえばベース、エミッタおよびコンタクト）とFET（たとえばソース、ドレインおよびコンタクト）とに関連付けられる他の構造が形成され得る。

【0517】

図46は、図44の例示的なBiCFET501を作製するよう実現され得るプロセス559を示す。ブロック561では、半導体基板が提供され得る。いくつかの実施形態では、このような半導体層は、図44の例示的な層505のような半絶縁GaAs層を含む、本願明細書において開示される1つ以上の層を含み得る。ブロック562では、サブコレクタ層が基板層の上に形成され得る。いくつかの実施形態では、このようなサブコレクタ層は、n+GaAs層（図44における511および／または526）を含む、本願明細書において開示される1つ以上の層を含み得る。ブロック563では、HBTはサブコレクタ層の上に形成され得る。いくつかの実施形態において、このようなHBTは、コレクタ513、512（たとえばp-GaAs）、ベース516（たとえばp+GaAs）、エミッタ517（たとえばn-InGaP）、およびエミッタキャップ518（たとえばn-GaAs）を含む図44を参照して本願明細書において記載された例示的な層を含むように形成され得る。ブロック564では、第1のFETが、そのチャンネル領域がHBTのコレクタ領域と同じ材料から形成されるようにサブコレクタ層の上に形成され得る。いくつかの実施形態では、このような第1のFETは、チャンネル層529（たとえば

10

20

30

40

50

p-GaAs)、ソースコンタクト層533(たとえばp+GaAs)、およびドレインコンタクト層538(たとえばp+GaAs)を含む、図44を参照して本願明細書において記載された例示的な層を含むように形成され得る。ブロック566では、第2のFETが、そのチャンネル領域がHBTのエミッタキャップ領域と同じ材料から形成されるようにサブコレクタ層の上に形成され得る。いくつかの実施形態では、このような第2のFETは、チャンネル層539(たとえばn-GaAs)、ソースコンタクト層546(たとえばn+GaAs)、およびドレインコンタクト層547(たとえばn+GaAs)を含む、図44を参照して本願明細書において記載された例示的な層を含むように形成され得る。

【0518】

10

図47、図48および図49は、図43および図44の例示的な構成の文脈において、図45および図46を参照して記載されたプロセスのより具体的な例であり得るプロセスを示す。図47は、図43および図44のHBTのようなHBTを作製するよう実施され得るプロセス567を示す。図48は、図43および図44のFETのようなFETを作製するために実施され得るプロセス581を示す。図49は、図44の第2のFETのような第2のFETを作製するために実施され得るプロセス588を示す。図47、図48および図49の説明の目的で、(半絶縁GaAsのような)半導体基板および(n+GaAsのような)サブコレクタ層が提供されるとする。

【0519】

例示的なプロセス567、581および588は、順に、適用可能な場合は並列で、またはその任意の組合せで、行なわれ得る。HBTを1つ以上のFETと集積するこのようなスキームの例が、本願明細書においてより詳細に記載される。

20

【0520】

HBTが作製されている図47の例示的なプロセス567において、ブロック568では、第1のコレクタ層(たとえばn-GaAs)がサブコレクタ層上に形成され得る。ブロック569では、第2のコレクタ層(たとえばp-GaAs)が第1のコレクタ層上に形成され得る。ブロック571では、第1のエッチストップ層(たとえばn-またはp-InGaP)が第2のコレクタ層上に形成され得る。ブロック572では、ベース層(たとえばp+GaAs)が第1のエッチストップ層上に形成され得る。ブロック573では、エミッタ層(たとえばn-InGaP)はベース層上に形成され得る。ブロック574では、エミッタキャップ層(たとえばn-GaAs)がエミッタ層上に形成され得る。ブロック576では、第2のエッチストップ層(たとえばn-またはp-InGaP)がエミッタキャップ層上に形成され得る。ブロック577では、エミッタのための底部コンタクト層(たとえばn+GaAs)が第2のエッチストップ層上に形成され得る。ブロック578では、エミッタのための上部コンタクト層(たとえばInGaAs)が、底部コンタクト層上に形成され得る。ブロック579では、エミッタ、ベースおよびコレクタのためのコンタクトが図43および図44のHBT構成(462, 502)のようなHBT構成を与えるように形成され得る。

30

【0521】

第1のFET(たとえばpFET)が作製されている図48の例示的なプロセス581において、ブロック582では、ドープ層(たとえばn-GaAs)がサブコレクタ層上に形成され得る。ブロック583では、チャンネル層(たとえばp-GaAs)がドープ層上に形成され得る。ブロック584では、第1のエッチストップ層(たとえばn-またはp-InGaP)がチャンネル層上に形成され得る。ブロック586では、ソースおよびドレインコンタクト層(たとえばp+GaAs)が、第1のエッチストップ層上に形成され得る。ブロック587では、ソース、ドレイン、ゲートおよびバックゲートのためのコンタクトが、図43および図44の例示的なpFET463および503のようなFET構成を与えるように形成され得る。

40

【0522】

第2のFET(たとえばnFET)が作製されている図49の例示的なプロセス588

50

において、ブロック589では、第1のドーブ層（たとえば $n-GaAs$ ）がサブコレクタ層上に形成され得る。ブロック591では、第2のドーブ層（たとえば $p-GaAs$ ）が第1のドーブ層上に形成され得る。ブロック592では、第1のエッチストップ層（たとえば n -または $p-InGaP$ ）が第2のドーブ層上に形成され得る。ブロック593では、第3のドーブ層（たとえば $p+GaAs$ ）が第1のエッチストップ層上に形成され得る。ブロック594では、第4のドーブ層（たとえば $n-InGaP$ ）が第3のドーブ層上に形成され得る。ブロック596では、チャンネル層（たとえば $n-GaAs$ ）が第4のドーブ層上に形成され得る。ブロック597では、第2のエッチストップ層（たとえば n -または $p-InGaP$ ）がチャンネル層上に形成され得る。ブロック598では、ソースおよびドレイン領域（たとえば $n+GaAs$ ）が第2のエッチストップ層上に形成され得る。ブロック599では、ソースおよびドレインコンタクト層（たとえば $InGaAs$ ）がソース領域およびドレイン領域に形成され得る。ブロック601では、ソース、ドレイン、ゲートおよびバックゲートのためのコンタクトが、図44の例示的な $nFET$ （504）のような FET 構成を与えるように形成され得る。

10

【0523】

いくつかの実現例では、1つ以上の FET との $HB T$ の上記の集積は、再成長法、2ステップ法、および／または共同集積法（co-integration methodology）を含む多くの態様で達成され得る。再成長法では、再成長は、選択エリア技術、多層技術、および／またはあらかじめパターニングされた多層技術を含み得る。選択エリア技術は、1つのデバイスを成長させることと、1つ以上の選択エリアにおいてエッチングすることと、次いでそれらの選択エリアにおいて他のデバイスを成長させることとを含み得る。多層技術は、デバイス層が一体化または共有されず積み重ねられた状態での単一の成長処理を含み得る。あらかじめパターニングされた多層技術は、2つ以上のデバイスのための層を堆積する前に基板の選択的なエッチングを含み得る。

20

【0524】

2ステップ成長法では、最初に1つのデバイスが形成され得、その後、当該最初のデバイスに隣接して他のデバイスが形成される。（図44の例のような）3つのデバイスの集積の文脈において、このような2ステップの成長は、第3のデバイスの第3のステップの成長を含むよう拡張され得る。

【0525】

共同集積法では、単一の成長により、2つ以上のデバイスによって共有される層が与えられ得る。いくつかの実現例では、共同集積法は、当該2つ以上のデバイスの層の大部分を構成する、単一の成長によって生成された層を含み得る。

30

【0526】

図50は、いくつかの実施形態において、本願明細書において記載された $BiFET$ および／または $BiCFET$ 構成に関連付けられる1つ以上の特徴が半導体ダイ602の部分として実現され得ることを示す。たとえば、このようなダイは、本願明細書において提供される構造および方法に従って形成される1つ以上の $BiFET$ および／または $BiCFET$ デバイス604を有するパワーアンプ（PA）回路603を含み得る。

【0527】

このようなPA回路603は、入力RF信号（ RF_IN ）を増幅して増幅出力RF信号（ RF_OUT ）として生成するように構成され得る。

40

【0528】

図51は、PA／スイッチコントローラ608によって制御されるPA回路607を含む別の例示的なダイ606を示す。コントローラ608は、本願明細書の構造および方法に従って形成される1つ以上の $BiFET$ および／または $BiCFET$ デバイス604を含むように構成され得る。

【0529】

図52は、本願明細書のいくつかの実施形態において、（図51の例示的なダイ606のような）ダイが、パッケージモジュール609において実現され得ることを示す。ダイ

50

606は、PA607と、本願明細書に記載されるような有利な特徴の1つ以上を有するBiFET（および／またはBiCFET）604を有するコントローラ608とを含み得る。このようなモジュールはさらに、ダイ606への信号および／または電力ならびにダイ606からの信号および／または電力の通過を促進するように構成される1つ以上の接続部611を含み得る。このようなモジュールはさらに、ダイ606に対する保護（たとえば物理的な電磁シールドリングなど）のような機能を提供する1つ以上のパッケージング構造612を含み得る。接続部611およびパッケージング構造612は、パワーアンプ、パワーアンプモジュール、およびそれらが使用され得るワイヤレスデバイスの性能をさらに改善するために、本願明細書の他の有利な局面に従って実現され得る。

【0530】

図53は、いくつかの実施形態において、図51のダイ606または図52のモジュール609のようなコンポーネントが、本願明細書の有利な局面から利益を得ることがあり得る携帯電話、スマートフォン、または他のこのようなワイヤレスデバイスのようなワイヤレスデバイス613に含まれ得ることを示す。図53では、パッケージRFモジュール609はワイヤレスデバイス613の部分であると示されており、このようなモジュールは、本願明細書に記載されるような1つ以上の特徴を有するBiFETおよび／またはBiCFET604を含むように示されている。いくつかの実施形態では、同様の機能を有するパッケージされていないダイも、同様の機能を達成するように利用され得る。ワイヤレスデバイス613は、RFIC616およびアンテナ617のような他の一般的な部品を含むことが示される。ワイヤレスデバイス613はさらに、電池614のような電源を受けるように構成され得る。

【0531】

本発明のさまざまな実施形態がこのセクションにおいて記載されたが、本発明の範囲内にあるであろうさらに多くの実施形態および実現例が可能であるということは当業者には明白であろう。たとえば、本願明細書における発明は、砒化ガリウム材料システムに限定されず、この開示の全体を通じて記載されるように、集積回路、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善するために、本発明の任意の他の数の関連する局面、所望の局面、または好適な局面と組み合わせられてもよい。

【0532】

VIII. 半導体抵抗器を有するRFパワーアンプ

多くの状況において、パワーアンプ（PA）のような無線周波数（RF）デバイスのコストを低減することが望ましい。プロセスステップを取り除くことおよび／または余分な処理ステップを含んでいない「フリー」のデバイスを使用することは、このようなコスト削減がどのように達成され得るかについての例である。本願明細書に記載され、かつ、本願明細書の他の局面に関係付けられるこの開示の全体にわたって記載されるように、このような有利なコスト削減を半導体抵抗器が提供することができる。さらに本願明細書において記載されるように、他の利点も半導体抵抗器により実現され得る。たとえば、利用可能な抵抗値に依存して、抵抗器実装面積がより小さくなり得、これにより、ダイサイズの縮小を支援し得る。このようなダイサイズの低減によって、さらにコストを低減することができる。別の例では、いくつかの半導体抵抗器は、当該抵抗器を形成するのと同じ半導体材料の状態に敏感であり得る。上に示されるように、本発明のこれらの局面は、本願明細書の他の局面と組み合わされて、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善し得る。

【0533】

ここで次に引き続き図54を参照して、この発明のさらに別の局面に従った集積回路（IC）619を有する半導体ダイ618が図解的に示される。本願明細書のいくつかの実施形態では、このようなICは、1つ以上の半導体抵抗器621を含み得る。このような半導体抵抗器の例は本願明細書において以下により詳細に記載される。

【0534】

図55は、半導体基板630（たとえば半絶縁GaAs）に形成される層のスタックを有するHBT622の例を示す。例として本願明細書に記載されるように、異なる層のこのようなスタックは、半導体抵抗器として利用され得る。このような例はHBT構造の文脈において記載されるが、半導体抵抗器は他のタイプのスタックデバイスに関連付けられる層に基づいても形成され得るということが理解されるべきである。さらに、図55に示される層材料の文脈において、層材料のさまざまな例が記載されるが、他の材料が利用され得ることが理解されるべきである。

【0535】

図55に示されるように、サブコレクタ層623（たとえば $n+GaAs$ ）が基板630の上に形成され得る。コレクタ層624（たとえば $n-GaAs$ ）がサブコレクタ層623の上に形成され得る。ベース層625（たとえば $p+GaAs$ ）がコレクタ層624の上に形成され得る。エミッタ層626（たとえば $n-InGaP$ ）がベース層625の上に形成され得る。エミッタキャップ層627（たとえば $n-GaAs$ ）がエミッタ層626の上に形成され得る。底部コンタクト層628（たとえば $n+GaAs$ ）がエミッタキャップ層627の上に形成され得る。上部コンタクト層629（たとえば $InGaAs$ ）が底部コンタクト層628の上に形成され得る。

10

【0536】

図55にさらに示されるように、コレクタコンタクト631がサブコレクタ層623上に形成され得る。ベースコンタクト632がベース層625上に形成され得る。エミッタコンタクト633が上部コンタクト層629上に形成され得る。

20

【0537】

図56A～図56Gは、図55の例示的なHBT622に関連付けられるさまざまな層を使用して形成され得る半導体抵抗器の例を示す。図56A-1～図56G-1はそれぞれ、図56A～図56Gの半導体抵抗器の電氣的な概略図である。図56A～図56Gの半導体抵抗器の抵抗は、金属半導体界面の接触抵抗および1つ以上の半導体領域の抵抗に基づき得る。いくつかの実現例では、半導体抵抗器の抵抗は、金属半導体界面の接触抵抗および2つ以上の半導体領域の抵抗に基づき得る。

【0538】

図56Aに示される例において、ダイ618上に形成される半導体抵抗器621は、HBT622のサブコレクタ623を形成するステップの間に形成される分離された抵抗領域634を含み得る。このような抵抗領域は、たとえば $n+GaAs$ から形成され得、分離機構638および639によってHBT622およびダイ618の他の部分から分離され得る。電気コンタクト640は、半導体抵抗器621が回路において利用され得るように抵抗領域634上に形成され得る。

30

【0539】

本願明細書のいくつかの実現例では、抵抗領域634は、HBT622の他の上層の形成の間、マスクされ得る。HBT622が完成すると、抵抗領域634の上のマスクは取り除くことができる。その後、抵抗領域634のための電気コンタクト640が、他のコンタクト（たとえば631、632および633）の形成の間に形成され得る。

【0540】

40

図56A-1は、図56Aの半導体抵抗器106の電氣的な概略図である。図56A-1に示されるように、2つの電気コンタクト640同士の間の抵抗が、抵抗領域634の抵抗に直列の金属半導体界面 RC^A の接触抵抗と、金属半導体界面 RC^A の別の接触抵抗とによってモデル化され得る。金属半導体界面 RC の接触抵抗は、 $\exp(\phi B n / s q r t(N d))$ に比例し得、式中、 $\phi B n$ は（コンタクト金属の仕事関数に依存する）バリアの高さであり、 $N d$ はコンタクト金属に当接する半導体材料のドーピング濃度である。図56A-1～図56G-1における接触抵抗は、電気コンタクトに当接する半導体層が異なるドーピング濃度を有する場合、互いに異なる。図56A-1～図56G-1における異なる接触抵抗は、選択された抵抗値を有する半導体抵抗器621に寄与し得る。

【0541】

50

図56Bに示される例では、ダイ618上に形成される半導体抵抗器621は、HBT622のコレクタ624を形成するステップの間に形成される分離された抵抗領域645を含み得る。分離された抵抗領域645は、示されるように抵抗領域634の上に形成され得る。このような抵抗領域645は、たとえば $n\text{-GaAs}$ から形成され得、分離機構638および639によってHBT622およびダイ618の他の部分から分離され得る。電気コンタクト641は、半導体抵抗器621が回路において利用され得るように抵抗領域645上に形成され得る。

【0542】

いくつかの実現例では、抵抗領域645は、HBT622の他の上層の形成の間、マスクされ得る。HBT622が完成すると、抵抗領域645の上のマスクは取り除くことができる。その後、抵抗領域645のための電気コンタクト641は、他のコンタクト（たとえば631、632および633）の形成の間に形成され得る。

10

【0543】

図56B-1は、図56Bの半導体抵抗器621の電氣的な概略図である。図56B-1の概略図は、図56A-1の概略図とは異なる接触抵抗値を有する。さらに、図56B-1の概略図は、抵抗領域634の抵抗と並列の抵抗領域645の抵抗も含む。図56B-2に示されるように、2つの電気コンタクト641同士の間の抵抗は、抵抗領域612および抵抗領域614の並列抵抗と直列であり、かつ、さらに金属半導体界面 RC^B の別の接触抵抗と直列である金属半導体界面 RC^B の接触抵抗によってモデル化され得る。

【0544】

20

図56Cに示される例では、ダイ618上に形成される半導体抵抗器621は、HBT622のベース625を形成するステップの間に形成される付加的な分離された抵抗領域650を含み得る。このような抵抗領域は、たとえば $p\text{-GaAs}$ から形成され得、分離機構638および639によってHBT622およびダイ618の他の部分から分離され得る。電気コンタクト642は、半導体抵抗器621が回路において利用され得るように抵抗領域650上に形成され得る。

【0545】

いくつかの実現例では、抵抗領域650は、HBT622の他の上層の形成の間、マスクされ得る。HBT622が完成すると、抵抗領域650の上のマスクは取り除くことができる。その後、抵抗領域650のための電気コンタクト642は、他のコンタクト（たとえば631、632および633）の形成の間に形成され得る。

30

【0546】

図56C-1は、図56Cの半導体抵抗器621の電氣的な概略図である。図56C-1の概略図は、図56A-1および図56B-1の概略図とは異なる接触抵抗値を有する。図56C-1の概略図は、抵抗領域645と抵抗領域650との間のPN接合にダイオードを含む。これらのダイオードのうちの1つには、逆バイアスがかけられるべきである。したがって、抵抗領域634および645の抵抗は、電気コンタクト642間の抵抗に有意に寄与するべきではない。したがって、電気コンタクト642同士の間の抵抗は、抵抗領域650の抵抗に直列であり、かつ、さらに金属半導体界面 RC^C の別の接触抵抗に直列である金属半導体界面 RC^C の接触抵抗によって近似され得る。

40

【0547】

図56Dに示される例では、ダイ618上に形成される半導体抵抗器621は、HBT622のエミッタ626を形成するステップの間に形成される分離された抵抗領域655を含み得る。このような抵抗領域は、たとえば $n\text{-InGaP}$ から形成され得、示されるようにHBT622およびダイ618の他の部分から分離され得る。電気コンタクト643は、半導体抵抗器621が回路において利用され得るように抵抗領域655上に形成され得る。

【0548】

いくつかの実現例では、抵抗領域655は、HBT622の他の上層の形成の間、マスクされ得る。HBT622が完成すると、抵抗領域655の上のマスクは取り除くことが

50

できる。その後、抵抗領域 655 のための電気コンタクト 643 は、他のコンタクト（たとえば 631、632 および 633）の形成の間に形成され得る。

【0549】

図 56D-1 は、図 56D の半導体抵抗器 621 の電氣的な概略図である。図 56D-1 の概略図は、抵抗領域 650 と抵抗領域 655 との間の PN 接合にダイオードを含む。これらのダイオードのうちの 1 つには、逆バイアスがかけられるべきである。したがって、抵抗領域 634、645 および 650 の抵抗は、電気コンタクト 643 間の抵抗に有意に寄与するべきではない。したがって、電気コンタクト 643 同士の間の抵抗は、抵抗領域 655 の抵抗と直列の金属半導体界面 R_{C^D} の接触抵抗と、金属半導体界面 R_{C^D} の別の接触抵抗とによって近似され得る。

10

【0550】

図 56E に示される例では、ダイ 618 上に形成される半導体抵抗器 621 は、HBT 622 のエミッタキャップ 627 を形成するステップの間に形成される付加的な分離された抵抗領域 635 を含み得る。そのような抵抗領域は、たとえば n-GaAs から形成され得、示されるように HBT 622 およびダイ 618 の他の部分から分離され得る。電気コンタクト 644 は、半導体抵抗器 621 が回路において利用され得るように抵抗領域 635 上に形成され得る。

【0551】

いくつかの実現例では、抵抗領域 635 は、HBT 622 の他の上層の形成の間、マスクされ得る。HBT 622 が完成すると、抵抗領域 635 の上のマスクは取り除くことができる。その後、抵抗領域 635 のための電気コンタクト 644 は、たとえばコンタクト 631、632 および 633 といった他のコンタクトの形成の間に形成され得る。

20

【0552】

図 56E-1 は、図 56E の半導体抵抗器 621 の電氣的な概略図である。図 56E-1 の概略図は、抵抗領域 635 の抵抗が抵抗領域 655 の抵抗と並列に含まれることと、金属半導体界面の接触抵抗が異なるということとを除いて、図 56E-1 の概略図に類似している。電気コンタクト 644 同士の間の抵抗は、抵抗領域 655 および 635 の並列抵抗と直列であり、かつ、さらに金属半導体界面 R_{C^E} の別の接触抵抗と直列である金属半導体界面 R_{C^E} の接触抵抗によって近似され得る。

【0553】

30

図 56F において次に示される本願明細書の例において、ダイ 618 上に形成される半導体抵抗器 621 は、HBT 622 の底部コンタクト層 628 を形成するステップの間に形成される分離された抵抗領域 636 を含み得る。このような抵抗領域は、たとえば n-GaAs から形成され得、示されるように HBT 622 およびダイ 618 の他の部分から分離され得る。電気コンタクト 646 は、半導体抵抗器 621 が回路において利用され得るように抵抗領域 636 上に形成され得る。

【0554】

本願明細書のいくつかの実現例では、抵抗領域 636 は、HBT 622 の他の上層の形成の間、マスクされ得る。HBT 622 が完成すると、抵抗領域 636 の上のマスクは取り除くことができる。その後、抵抗領域 636 のための電気コンタクト 646 は、コンタクト 631、632 および 633 といった他のコンタクトの形成の間に形成され得る。

40

【0555】

図 56F-1 は、図 56F の半導体抵抗器 621 の電氣的な概略図である。図 56F-1 の概略図は、抵抗領域 636 の抵抗が抵抗領域 655 および 635 の抵抗と並列に含まれることと、金属半導体界面の接触抵抗が異なるということとを除いて、図 56E-1 の概略図に類似している。コンタクト 646 間の抵抗は、抵抗領域 655、635 および 636 の並列抵抗に直列であり、かつ、さらに金属半導体界面 R_{C^F} の別の接触抵抗に直列である金属半導体界面 R_{C^F} の接触抵抗によって近似され得る。

【0556】

図 56G に示される例では、ダイ 618 上に形成される半導体抵抗器 621 は、HBT

50

6 2 2 の上部コンタクト層 6 2 9 を形成するステップの間に形成される分離された抵抗領域 6 3 7 を含み得る。このような抵抗領域は、たとえば $n\text{-InGaAs}$ から形成され得、示されるように HBT 6 2 2 およびダイ 6 1 8 の他の部分から分離され得る。電気コンタクト 6 4 7 は、半導体抵抗器 6 2 1 が回路において利用され得るように抵抗領域 6 3 7 上に形成され得る。

【0557】

いくつかの実現例では、抵抗領域 6 3 7 は、HBT 6 2 2 の任意の他の上層の形成の間、マスクされ得る。HBT 6 2 2 が完成すると、抵抗領域 6 3 7 の上のマスクは取り除くことができる。その後、抵抗領域 6 3 7 のための電気コンタクト 6 4 7 は、コンタクト 6 3 1、6 3 2 および 6 3 3 といった他のコンタクトの形成の間に形成され得る。

10

【0558】

図 5 6 G-1 は、図 5 6 G の半導体抵抗器 6 2 1 の電氣的な概略図である。図 5 6 G-1 の概略図は、金属半導体界面の接触抵抗が異なることと、抵抗領域 6 3 7 の抵抗が抵抗領域 6 5 5、6 3 5 および 6 3 6 の抵抗に並列に含まれることを除いて、図 5 6 F-1 の概略図に類似している。電気コンタクト 6 4 7 同士の間抵抗は、抵抗領域 6 5 5、6 3 5、6 3 6 および 6 3 7 の並列抵抗に直列であり、かつ、さらに金属半導体界面 R_C^G の別の接触抵抗に直列である金属半導体界面 R_C^G の接触抵抗によって近似され得る。

【0559】

図 5 6 A ~ 図 5 6 G の例示的な構成において、抵抗器 6 2 1 の上部層の抵抗領域は、HBT 6 2 2 スタックにおける対応する層を示し得る。したがって、たとえば、抵抗領域 6 4 5 はコレクタ 6 2 4 に対応する。同様に、抵抗領域 6 5 0 はベース 6 2 5 に対応する。抵抗器 6 2 1 における 1 つ以上の抵抗領域の抵抗は、抵抗器 6 2 1 の合計の抵抗に寄与し得る。いくつかの場合では、抵抗器 6 2 1 における 2 つ以上の抵抗領域の抵抗は、抵抗器 6 2 1 の合計の抵抗に寄与し得る。上で論じたように、いくつかの実現例では、下層は、半導体抵抗器 6 2 1 の抵抗に対して、電気コンタクトを含む 1 つ以上の上層からの寄与と比較すると、相対的に小さな寄与を有し得る。いくつかの場合では、抵抗器 6 2 1 の上部層の抵抗は、HBT 6 2 2 の対応する層の特性の測定値に相関し得る。

20

【0560】

図 5 6 A ~ 図 5 6 G の例示的な構成は、スタックデバイスにおける層のいくつかまたはすべてのうち選択されたものが半導体抵抗器を形成するために利用され得ることを示す。このような概念は、図 5 7 A において概略的に示されており、図 5 7 A では、ダイ 6 1 8 が、複数の層を有するスタックデバイスを含むよう示される。このような複数の層の中には、選択された層 6 5 1 が存在し、その上（集散的に 6 5 2 として示される）および／またはその下に集散的に 6 4 9 として示される付加的な層が存在し得る。選択された層 6 5 1 に対応する抵抗領域 6 5 4 を形成するために、層 6 5 3 または 6 5 3 として集散的に示される層はそれぞれ、対応する下部分 6 4 9 の形成の間に形成され得る。その後、所望の抵抗領域 6 5 4 は、選択された層 6 5 1 の形成の間に形成され得る。スタック 6 4 8 の上部分 6 5 2 が形成される必要がある場合、抵抗領域 6 5 4 はそのような形成ステップの間にマスクされ得る。このようなステップが完了すると、当該マスクは電気コンタクト 6 5 6 の形成を可能にするよう取り除かれ得る。その後、コンタクト 6 5 6 を有する、結果得られた抵抗領域 6 5 4 は、半導体抵抗器 6 2 1 を形成する。

30

40

【0561】

いくつかの実施形態では、抵抗領域 6 5 4 は、図 5 7 A および図 5 7 B に示されるように、スタック 6 4 8 の選択された層 6 5 1 の厚さと実質的に同じである厚さ「 t 」と、横方向の寸法「 d_1 」および「 d_2 」とを有し得る。このような寸法は、抵抗器 6 2 1 の所望の抵抗および実装面積サイズのような特徴を与えるよう選択され得る。

【0562】

図 5 7 C は、図 5 7 A および図 5 7 B を参照して記載された半導体抵抗器 6 2 1 が、抵抗「 R 」を有する抵抗器として概略的に示され得ることを示す。異なる用途においてこのような抵抗器がどのように利用され得るかについての例が本願明細書においてより詳細に

50

記載される。

【0563】

図58は、いくつかの実施形態において、ダイ上に形成されるとともに本願明細書において記載される1つ以上の特徴を有する半導体抵抗器621が、同じダイ上にあるトランジスタ648（たとえばHBT）のようなスタックデバイスに結合され得るということを示す。図59A、図59Bおよび図59Cは、図58の構成の異なる例示的な実施形態を示す。示される例では、半導体抵抗器621は、HBT648（図59A）のベースと、（図59Bの例示的なNPN構成の文脈における）HBT648のエミッタと、HBT648（図59C）のコレクタとについて、安定抵抗を提供するように示される。半導体の安定化に関するさらなる詳細は、「半導体安定化を伴うHBT（HBT WITH SEMICONDUCTOR B 10 ALLASTING）」という名称を有し、明示的に本願明細書において全文参照により援用され、かつ、本願の明細書の部分と考えられるべき米国特許番号第5,378,922号において発見され得る。

【0564】

いくつかの実施形態では、本願明細書に記載されるような1つ以上の特徴を有する抵抗器621は、安定化以外の目的のためにトランジスタ648に結合され得る。いくつかの実施形態では、このような抵抗器は、トランジスタを有する回路において利用され得るが、必ずしもトランジスタに直接的に結合されない。

【0565】

いくつかの実施形態では、本願明細書に記載される1つ以上の特徴を有する抵抗器は、ダイ上で実現され、当該ダイの外部に位置する別の回路に接続され得る。たとえば、図60は、半導体抵抗器621がダイ618上に形成される例を示す。抵抗器621の、参照番号が657である1つの端子が、ダイ618の外部の位置への電氣的接続のために構成されることを示されており、他の端子658はダイ618内に存在することが示されている。ダイ618は、1つ以上のトランジスタ648を有する集積回路（たとえばパワーアンプ回路）を含み得、このような回路は、たとえば端子659を通じて外部回路から制御され得る。ダイ618の外部に位置するバイアス回路が、このような外部回路であり得る。このようなバイアス回路は、抵抗器621から得られるパラメータに基づくトランジスタの動作を可能にするよう、抵抗器621およびトランジスタ648に接続され得る。抵抗器621は、トランジスタ648の層と実質的に同じ材料から形成され得るので、抵抗器621に関連付けられるこのようなパラメータは、トランジスタ648および抵抗器の両方に共通の状態に追従し得る。このような状態の追跡およびその用途の例は、上記セクションVIに存在する。

【0566】

上で示されるように、本願明細書に記載される1つ以上の特徴を有する半導体抵抗器の作製は、所与のダイ上でのスタック構造の作製と比較すると、付加的な処理ステップなしで、または、プロセスステップのほんのわずかな修正で、達成され得る。本願明細書においてさまざまな例がHBTの文脈において記載されるが、同様の抵抗器構造および作製方法が他の構成に適用可能であるということが理解されるべきである。たとえば、付加的な層が、HBTおよび1つ以上の他のトランジスタ構造を含むデバイスを作製するために形成され得る。このようなデバイスの例は、本願明細書の概要のセクションにおいて上で引用された米国特許番号第6,906,359号およびPCT公開番号WO2012/061632号を含むが、これに限定されない。

【0567】

上で論じたように、本開示の1つ以上の特徴は、III-V族半導体ダイにおいて実現され得る。いくつかの実施形態では、このようなIII-V族半導体ダイは、GaAsベースのダイを含み得る。このようなGaAsベースのダイ上に形成されるトランジスタおよび／または他のスタック構造は、HBTを含んでもよく、含まなくてもよい。

【0568】

以前に上で示されたように、多くの有利な特徴が半導体抵抗器によって提供され得る。

他の利点はたとえば、抵抗器層に関連付けられる材料を選択することにより、異なる抵抗の温度係数 (temperature coefficient of resistance (TCR)) 値が提供される望ましい特徴を含み得る。別の例において、抵抗器のサイズは、可能な抵抗値のこのような範囲 (たとえば約 8 オーム/sq (たとえばサブコレクタ) から約 1, 000 オーム/sq (たとえば、注入されたベース層) のシート抵抗) により、望ましい態様で最適化または構成され得る。さらに別の例では、どの抵抗器が選択されるかに依存して、(たとえば、デバイス上の第 3 の端子にバイアスがどのようにかけられるかを修正することにより) 抵抗器の RF ロールオフが選択および/または調整され得る。

【0569】

いくつかの実施形態において、このセクションで記載される 1 つ以上の特徴を有するダイは、本願の図 41A および図 41B に関してセクション VI において上で議論されたパッケージモジュール 436 のようなパッケージモジュールにおいて実現され得る。上で論じたように、図 41A および図 41B のモジュール 436 は、パッケージング基板 437 を含むよう示される。このようなパッケージング基板は、複数のコンポーネントを受け取るように構成され得、たとえばラミネート基板を含み得る。パッケージング基板 437 上に実装されるコンポーネントは、1 つ以上の半導体ダイを含み得る。示される例において、PA ダイ 416 は、このセクションで議論される HBT PA ダイ 618 として実現されてもよく、モジュール 436 は同様に、パッケージング基板 437 上に実装されると示されるシリコンバイアスダイ 417 を含んでもよい。図 41A および図 41B の例示的なモジュール 436 において実現される PA ダイ 618 は、このセクションにおいて記載されるように、トランジスタ 648 および半導体抵抗器 621 を含み得、バイアスダイ 417 は、PA ダイ 618 に制御信号を提供するように構成される回路を含み得る。この実施形態において、ダイ 618 および 417 は、接続ワイヤーボンド 443 のような接続を介して、モジュールの他の部分および互いに電氣的に接続され得る。このような接続ワイヤーボンドは、ダイ上に形成されたコンタクトパッド 441 と、パッケージング基板 437 上に形成されたコンタクトパッド 438 との間に形成され得る。いくつかの実施形態では、1 つ以上の表面実装デバイス (surface mounted device (SMD)) 442 は、本発明のこれらの局面および特徴により実現されるように、モジュール 436 のさまざまな機能を促進するためにパッケージング基板 437 に実装され得る。

【0570】

いくつかの実施形態において、シールドングワイヤーボンド 444 のような RF シールドング機能は、電流ダイ HBT 618、ダイ 417 および/または SMD 442 といった 1 つ以上のコンポーネントの RF シールドングを促進するために提供され得る。この開示の文脈で議論されるこのような RF シールドングは、このようなコンポーネントとモジュール 436 の外側のエリアとの間で、RF 信号またはノイズの通過を抑制し得る。シールドングワイヤーボンド 444 の実現例において、このようなワイヤーボンドは、シールドングワイヤーボンド 444 が一般に所望のエリアの周りに (たとえばモジュール 436 の周辺部の近傍に) 周辺部を形成するように、コンタクトパッド 439 上に形成され得る。このようなシールドングワイヤーボンドの寸法およびスペーシングは、所望の RF シールドング特性を提供するよう選択され得る。

【0571】

いくつかの実施形態では、3 次元の RF シールド構造が以下のように提供され得る。図 41B に示されるように、シールドングワイヤーボンド 444 は、パッケージング基板 437 の表面の下に存在する接地平面 440 に電氣的に接続され得る。シールドングワイヤーボンド 444 と接地平面 440 との間のこのような接続は、コンタクトパッド 439 と、たとえば基板 437 に形成されたビアといった接続機構 450 とによって促進され得る。シールドングワイヤーボンド 444 の上には、導電層 (たとえば導電ペイント層) 445 が、シールドングワイヤーボンド 444 の上部分に電氣的に接続されるように設けられ得る。したがって、導電層 445、シールドングワイヤーボンド 444 および接地平面 440 は、3 次元 RF シールド構造を形成し得る。

【0572】

本願明細書のいくつかの実施形態において、パッケージング基板437と導電層445との間のスペースは、上で議論したオーバーモールド構造446で充填され得る。このようなオーバーモールド構造は、外部要素からのコンポーネントおよびワイヤーボンドの保護と、パッケージモジュール436のより容易な取り扱いとを含む多くの望ましい機能を提供し得る。

【0573】

本発明の局面に従ったこれらのRFシールディングおよびオーバーモールド構造の付加的な局面は、本願明細書においてセクションXIIおよびXIIIにさらに詳細に以下に提示される。

10

【0574】

本願明細書のいくつかの実現例では、本願明細書において記載される抵抗器機構の1つ以上を有するデバイスおよび／または回路は、ワイヤレスデバイスのようなRFデバイスに含まれ得る。そのようなデバイスおよび／または回路は、直接的にワイヤレスデバイスにおいて、本願明細書において記載されるようなモジュールの形で、またはそれらの何らかの組合せで実現され得る。いくつかの実施形態において、このようなワイヤレスデバイスは、たとえば、携帯電話、スマートフォン、電話機能を有するまたは有さないハンドヘルドワイヤレスデバイス、ワイヤレスタブレット、および現在既知であるかまたは今後達成されるこのような同様のデバイスを含み得る。

【0575】

20

ここで図42を再び参照して、そこに記載されたPAモジュール436は、このセクションで議論されるPAダイ618で有利に実現され得る。そのようなモジュールはさらに、本願明細書において前述のようにバイアスダイ417を含み得る。いくつかの実施形態では、このようなPAモジュールはたとえば、ワイヤレスデバイス447のマルチバンド動作をさらに良好に促進し得る。

【0576】

上述したように、モジュール436におけるPAは、増幅および送信されるRF信号を生成するとともに受取られた信号を処理するよう公知の態様で構成および操作され得る。トランシーバ454からそれぞれのRF信号を受け取り得る。トランシーバ454は、ユーザに好適なデータおよび／または音声信号とトランシーバ454に好適なRF信号との間の変換を提供するように構成されるベースバンドサブシステム453と連携動作するように示される。トランシーバ454はさらに、ワイヤレスデバイスの動作のための電力を管理するように構成される電力管理コンポーネント451に接続されることが示される。このような電力管理はさらに、ベースバンドサブシステム453およびモジュール436の動作を制御し得る。

30

【0577】

ベースバンドサブシステム453は、音声および／またはデータのさまざまな入力および出力がユーザに提供されることおよびユーザから受け取られることを促進するよう、ユーザインターフェイス448に接続されることが示される。ベースバンドサブシステム453はさらにメモリ649に接続され得、メモリ649は、ワイヤレスデバイスの動作を促進し、ならびに／または、ユーザのために情報の格納を提供するようデータおよび／もしくはは指示を格納するように構成される。

40

【0578】

例示的なワイヤレスデバイス447では、モジュール436のPAの出力は、整合ネットワークによって整合され得、それらのそれぞれのデュプレクサ456および帯域選択スイッチ457を介してアンテナ458にルーティングされ得る。いくつかの実施形態において、各デュプレクサは、送信動作および受信動作が共通のアンテナ（たとえば458）を使用して同時に行なわれることを可能にする。図42では、受取られた信号は、たとえば低ノイズアンプ（low-noise amplifier（LNA））を含み得る「Rx」パス（図示せず）にルーティングされることが示される。

50

【0579】

多くの他のワイヤレスデバイス構成は、本願明細書において記載される1つ以上の特徴を利用し得る。たとえば、ワイヤレスデバイスはマルチバンドデバイスである必要はない。別の例では、ワイヤレスデバイスは、ダイバーシティアンテナのような付加的なアンテナと、Wi-Fi（登録商標）、ブルートゥース（登録商標）およびGPSのような付加的な接続機能とを含み得る。任意のこのようなワイヤレスデバイスは、このセクションにおいて開示された抵抗器アセンブリのうちのいずれかを有利に集積して、任意のPA、PAモジュールまたはそれらを使用するワイヤレスデバイスが利益、利点、およびそれらに関連付けられる性能の改善を享受し得るようにしてもよい。

【0580】

10

このセクションにおいて本発明のさまざまな実施形態および関連する特徴、局面、ならびに特性が記載されているが、本発明の範囲内であるさらに多くの実施形態および実現例が可能であるということは当業者には明白であろう。たとえば、本願明細書における発明は、記載された材料またはシステムに限定されず、集積回路、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善するために、この開示の全体にわたって記載される本発明の任意の他の数の関連する局面、所望の局面、または好適な局面と組み合わせて、個々に、または、別の態様では組み合わせられ、集積され、組み立てられ、もしくは一緒に連結されてもよい。

【0581】

IX. 信号パス終端

20

本開示のこのセクションは、負荷線と分離している高調波終端回路に関する。一実施形態では、負荷線は、パワーアンプ出力の基本周波数にてパワーアンプ出力でのインピーダンスを整合するように構成されており、高調波終端回路は、パワーアンプ出力の高調波周波数に対応する位相で終端するように構成される。ある実施形態に従うと、負荷線および高調波終端回路は、パワーアンプダイの異なる出力ピンを介してパワーアンプダイの外部のパワーアンプ出力に電氣的に結合され得る。これに加えてさらに、本願明細書の技術における当業者であれば、パワーアンプモジュールおよびそれらが使用されるデバイスの性能をより良好に改善するために、本発明のこれらの局面は本願明細書の他の局面と組み合わされてもよいということが容易に理解されるはずである。

【0582】

30

一般に記載されるように、本開示の局面は、終端回路のような信号の反射を防止するように構成される回路に関する。より具体的には、本願明細書における開示の局面は、信号の異なる周波数成分の電力の部分が反射されるのを防止するように構成される別個の終端回路に関する。本願明細書において記載されるシステム、装置、および方法を使用して、パワーアンプを含むシステムおよび／または無線周波数（RF）信号を送信するように構成されるシステムのような電子システムは、より効率的に動作し、および／または、消費する電力がより少なくなり得る。たとえば、より少ないエネルギーがRF信号の高調波周波数に変換され得、および／または、RF信号の高調波周波数成分からのエネルギーがRF信号の基本周波数のエネルギーに変換され得る。本願明細書において記載される1つ以上の特徴に従って、直流（DC）エネルギーはより効率的にRFエネルギーに変換され得る。

40

【0583】

上で論じたように、相手先商標製造会社（OEM）のような顧客はしばしば、高いPAEおよび高いリニアリティを所望する。パワーアンプの出力での負荷線は、PAEおよびリニアリティに影響を与え得る。出力パワーアンプでの負荷線は、リニアリティおよび／またはPAEを増加および／または最適化するように構成され得る。これは、基本周波数成分を整合すること、および／または、パワーアンプ出力の1つ以上の高調波周波数成分を終端することを含み得る。このような負荷線は、終端回路によって実現され得る。

【0584】

パワーアンプ出力は、基本周波数成分および1つ以上の高調波周波数成分を含み得る。

50

同様に、パワーアンプまたはパワーアンプ段への入力、基本周波数成分および1つ以上の高調波周波数成分を含み得る。いくつかの従来のパワーアンプシステムは、ノードでの信号の基本周波数のインピーダンスを整合するとともにノードでの信号の高調波周波数に対応する位相で終端するように、単一の終端回路（たとえば負荷線）を含んでいた。しかしながら、P A Eおよびリニアリティの両方を最適化する態様で、増幅されたパワーアンプ出力信号の基本周波数のインピーダンスを整合することと、増幅されたパワーアンプ出力信号の高調波周波数の位相で終端することの両方を行うよう単一の終端回路を調節するのは難しくあり得る。結果として、P A Eは、増幅されたパワーアンプ出力の基本周波数のインピーダンスを整合することを最適化すること、または、増幅されたパワーアンプ出力を高調波周波数の位相で終端することのいずれかにより減少し得る。

10

【0585】

このセクションにおいて記載されるように、電子システムは、パワーアンプ出力またはパワーアンプ段への入力のような信号パスのノードに各々が結合される2つ以上の別個の終端回路を含み得る。第1の終端回路は、ノードでの信号の基本周波数のインピーダンスを整合するように構成され得る。いくつかの実現例では、第1の終端回路は基本負荷線に含まれ得る。第1の終端回路と分離している第2の終端回路は、ノードでの信号の高調波周波数に対応する位相で終端するように構成され得る。第1の終端回路および第2の終端回路の回路要素は、パワーアンプシステムにおいてP A Eおよびリニアリティを改善するように選択され得る。

20

【0586】

本願明細書のいくつかの実現例では、第1の終端回路および／または第2の終端回路の少なくとも一部は、パワーアンプダイのパワーアンプ出力のようなダイの出力ノードを駆動する回路要素を含むダイの外部で実施され得る。たとえば、第1の終端回路は、パッケージング基板に結合されるパワーアンプダイの1つ以上のピンに電氣的に接続されるワイヤーボンドのような1つ以上の配線と、パワーアンプダイと分離するとともにパッケージング基板に結合される1つ以上のキャパシタとを含み得る。代替的または付加的には、第2の終端回路は、パワーアンプダイの1つ以上のピンに電氣的に接続されるワイヤーボンドのような1つ以上の配線と、パッケージング基板に結合される1つ以上の他のキャパシタとを含み得る。複数の配線が終端回路に含まれている場合、当該配線は、互いに並列に結合され得る。第1および第2の終端回路の少なくとも1つにおいて、1つ以上のワイヤーボンドが誘導性回路要素として機能し得、パッケージング基板に結合される1つ以上のキャパシタと直列に結合され得る。

30

【0587】

ダイの外部では、第1の終端回路および第2の終端回路は、ダイの出力ノードへの異なる電氣的接続を有し得る。ある実現例では、ダイの第1の出力ピンは第1のワイヤーボンドによって第1の終端回路に結合され得、ダイの第2の出力ピンは第2のワイヤーボンドによって第2の終端回路に結合され得る。これらの実現例のうちのいくつかにおいて、第1の数のワイヤーボンドは、ダイのピンに第1の終端回路を結合し得、第2の数のワイヤーボンドは、ダイのピンに第2の終端回路を結合し得、第1の数は第2の数と異なる。多くの他の実現例に従うと、ダイの第1の出力ピンは、第1のバンプによって第1の終端回路に結合され得、ダイの第2の出力ピンは、第2のバンプによって第2の終端回路に結合され得る。これらの実現例のうちのいくつかにおいて、第1の数のバンプは、ダイのピンに第1の終端回路を結合し得、第2の数のバンプは、ダイのピンに第2の終端回路を結合し得、第1の数は第2の数と異なる。

40

【0588】

第1の終端回路および第2の終端回路は、ダイの外部の異なる信号パスを含み得る。たとえば、第1の終端回路終端回路は、パッケージング基板上に実現される第1のトレースを含み得、第2の終端回路は、基板上に第2のトレースを含み得る。第1のトレースおよび第2のトレースは、基板上の別個の信号パスの部分であり得る。たとえば、いくつかの実現例では、第1のトレースはR F信号パスの部分であり得、第2のトレースはD C信号

50

パスの部分であり得る。第1のトレースおよび第2のトレースは、ダイの外部で互いに電氣的に絶縁され得る。

【0589】

代替的または付加的には、ダイ内において、出力ノードは、出力がダイ上の別個の信号パスへ提供されるように、分岐した導電機構に電氣的に結合され得る。別個の信号パスは、第1の終端回路に含まれる第1のパスと、第2の終端回路に含まれる第2のパスとを含み得る。これにより、ダイの設計の間、第1の終端回路および第2の終端回路は、ダイ内において別々に調整可能であり得る。たとえば、ダイにおける第1の信号パスは、ダイの第1の出力ピンへと至り得、第2の信号パスは、第2の出力ピンに到る前に、ダイ上に実現されるキャパシタを含み得る。一実施形態において、パワーアンプの出力段のコレクタは、ダイの導電機構によって、第1の終端回路および第2の終端回路の両方に直接的に電氣的に結合され得る。

10

【0590】

2つ以上の別個の終端回路を使用することによって、各終端回路は、所望の周波数での信号の反射を防止するよう調整され得る。たとえば、各終端回路のインダクタンスおよび／またはキャパシタンスは、各終端回路が信号の所望の周波数成分の反射を防止するように選択され得る。

【0591】

このセクションに記載される、信号パス終端のための方法、システム、および装置は、たとえば、以下の有利な特徴の1つ以上を達成可能であり得る。有利なことに、信号の2つ以上の別個の周波数成分の反射を防止するように構成される別個の終端回路によって、P A E、パワーアンプのリニアリティ、およびベースバンド性能（たとえば、より広い周波数応答および／またはより大きな帯域幅）の1つ以上が増加し得る。いくつかの実現例では、パワーアンプのP A Eおよびリニアリティの両方が増加され得る。更に、パワーアンプの性能指数（Fig. of merit（F O M））も増加され得る。さらに、電池寿命が延長し得、放散される熱量が低減され得、別個の終端回路が反射を防止している信号の信号品質が増加され得、またはその任意の組合せがあり得る。このセクションに記載される、信号パス終端のための方法、システム、および装置は、この開示の全体にわたって開示されるこの発明の他の局面と組み合わされると、さらに別の利点および改善が達成され得る。

20

【0592】

A. ワイヤレスデバイス

ここで図61Aを参照して、概略的なブロック図において、本発明の特徴を有利に含むよう実現され得るワイヤレスデバイス661が示される。本願明細書において記載される信号の2つ以上の周波数成分の反射を防止するためのシステム、方法、装置、およびシステムのいずれも、ワイヤレスデバイスまたはモバイルデバイスのようなさまざまな電子デバイスにおいて実現され得る。ワイヤレスデバイス661の例は、携帯電話（たとえばスマートフォン）と、ラップトップと、タブレットコンピュータと、携帯情報端末（P D A）と、電子ブックリーダーと、ポータブルデジタルメディアプレーヤと、現在既知または将来達成されるその他のこのようなデバイスとを含むがこれらに限定されない。たとえばワイヤレスデバイス661は、たとえば、グローバルシステム・フォー・モバイル（G S M）、符号分割多重アクセス（C D M A）、3 G、4 G、ロングタームエボリューション（L T E）など、またはそれらの任意の組み合わせを使用して通信するように構成されるマルチバンド／マルチモード携帯電話のようなマルチバンドおよび／またはマルチモードデバイスであり得る。

30

40

【0593】

ある実施形態では、ワイヤレスデバイス661は、R Fフロントエンド662、トランシーバコンポーネント663、アンテナ664、パワーアンプ665、制御コンポーネント666、コンピュータ読取可能媒体667、プロセッサ668、電池669、および供給制御ブロック670、またはそれらの任意の組合せを含み得る。

【0594】

50

トランシーバコンポーネント 663 は、アンテナ 664 を介する送信のための RF 信号を生成し得る。更に、トランシーバコンポーネント 663 は、アンテナ 664 から入って来る RF 信号を受け取り得る。

【0595】

RF 信号の送信および受信に関連付けられるさまざまな機能は、トランシーバ 663 として図 61A において集合的に表わされる 1 つ以上のコンポーネントによって達成され得るということが理解されるべきである。たとえば、送信機能および受信機能の両方を提供するために、単一のコンポーネントが構成され得る。別の例では、送信機能および受信機能は、別個のコンポーネントによって提供され得る。

【0596】

さらに同様に、RF 信号の送信および受信に関連付けられるさまざまなアンテナ機能は、アンテナ 664 として図 61A において集合的に表わされる 1 つ以上のコンポーネントによって達成され得るということも理解されるべきである。たとえば、送信機能および受信機能の両方を提供するために、単一のアンテナが構成され得る。別の例では、送信機能および受信機能は、別個のアンテナによって提供され得る。さらに別の例では、ワイヤレスデバイス 661 に関連付けられる異なる帯域は、異なるアンテナによって提供され得る。

【0597】

図 61A に示されるように、トランシーバ 663 からの 1 つ以上の出力信号が、1 つ以上の送信パスを介して、RF フロントエンド 662 を経由してアンテナ 664 に提供されることが示されている。示される例において、異なる送信パスは、異なる帯域および／または異なる電力出力に関連付けられる出力パスを示し得る。たとえば、示された 2 つの例示的なパワーアンプ 665 は、異なる電力出力構成（たとえば低電力出力および高電力出力）に関連付けられる増幅、および／または、異なる帯域に関連付けられる増幅を示し得る。いくつかの実現例では、1 つ以上の終端回路が送信パスの 1 つ以上に含まれ得る。

【0598】

図 61A では、アンテナ 664 からの 1 つ以上の検出された信号が、1 つ以上の受信パスを介してトランシーバ 663 に提供されることが示されている。示される例において、異なる受信パスは、異なる帯域に関連付けられるパスを示し得る。たとえば、示される 4 つの例示的なパスは、いくつかのワイヤレスデバイスに提供されているクワッドバンド性能を示し得る。

【0599】

受信パスと送信パスとの間のスイッチングを促進するために、RF フロントエンド 662 は、選択された送信パスまたは受信パスにアンテナ 664 を電氣的に接続するように構成され得る。したがって、RF フロントエンド 662 は、ワイヤレスデバイス 661 の動作に関連付けられる多くのスイッチング機能を提供し得る。ある実施形態では、RF フロントエンド 662 は、たとえば、異なる帯域間のスイッチング、異なる電力モード間のスイッチング、送信モードと受信モードとの間のスイッチング、またはその何らかの組合せに関連付けられる機能を提供するように構成される多くのスイッチを含み得る。RF フロントエンド 662 はさらに、信号のフィルタリングを含む付加的な機能を提供するように構成され得る。たとえば、RF フロントエンド 662 は、1 つ以上のデュプレクサを含み得る。さらに、いくつかの実現例では、RF フロントエンド 662 は、信号の周波数成分の反射を防止するように構成される 1 つ以上の終端回路を含み得る。

【0600】

ワイヤレスデバイス 661 は 1 つ以上のパワーアンプ 665 を含み得る。RF パワーアンプは、相対的に低い電力を有する RF 信号の電力を増強するよう使用され得る。その後、増強された RF 信号は、送信機のアンテナを駆動することを含むさまざまな目的に使用され得る。パワーアンプ 665 は、送信のために RF 信号を増幅するよう携帯電話のような電子デバイスに含まれ得る。たとえば、3G および／または 4G 通信規格下での通信のためのアーキテクチャを有する携帯電話において、パワーアンプは RF 信号を増幅するた

10

20

30

40

50

めに使用され得る。所望の送信電力レベルは、ユーザが基地局および／またはモバイル環境からどれくらい遠ざかっているかに依存し得るので、RF信号の増幅を管理することが望ましくあり得る。パワーアンプはさらに、割り当てられた受信時間スロットの間の送信からの信号干渉を防止するよう、時間にわたってRF信号の電力レベルを調整することを支援するために使用され得る。パワーアンプモジュールは、1つ以上のパワーアンプを含み得る。

【0601】

図61Aは、ある実施形態において、制御コンポーネント666が提供され得、このようなコンポーネントは、RFフロントエンド662、パワーアンプ665、供給制御部670および／または他の動作コンポーネントの動作に関連付けられるさまざまな制御機能を提供するように構成され得ることを示す。

10

【0602】

ある実施形態において、プロセッサ668は、本願明細書において記載されるさまざまな処理の実現を促進するように構成され得る。説明の目的で、本開示の実施形態はさらに、方法、装置（システム）およびコンピュータプログラムプロダクトのフローチャート図および／またはブロック図を参照して記載され得る。フローチャート図および／またはブロック図の各ブロックと、フローチャート図および／またはブロック図におけるブロックの組合せとは、コンピュータプログラム命令によって実現され得るということが理解されるべきである。これらのコンピュータプログラム命令は、汎用コンピュータ、専用コンピュータまたは他のプログラマブルデータ処理装置のプロセッサに提供されて、コンピュータまたは他のプログラマブルデータ処理装置のプロセッサを介して実行する命令がフローチャートおよび／またはブロック図のブロックにおいて特定される動作を実現するための手段を作り出すようなマシンを作り出し得る。

20

【0603】

ある実施形態では、これらのコンピュータプログラム命令もコンピュータ読取可能メモリ667に格納され得、特定の態様で動作するようにコンピュータまたは他のプログラマブルデータ処理装置を命令し得、コンピュータ読取可能メモリに格納される当該命令は、フローチャートおよび／またはブロック図のブロックにおいて特定される動作を実現する命令を含む製品を作り出す。コンピュータプログラム命令はさらに、コンピュータまたは他のプログラマブルデータ処理装置にロードされてコンピュータまたは他のプログラマブル装置上で一連の動作を行なわせ、これにより、コンピュータまたは他のプログラマブル装置上で実行する命令によってフローチャートおよび／またはブロック図のブロックにおいて特定される動作を実現するための動作が提供されるような、コンピュータによって実現されるプロセスが作り出される。

30

【0604】

示されるワイヤレスデバイス661はさらに、1つ以上のパワーアンプ665に電力供給を提供するために使用され得る供給制御部670を含む。たとえば、供給制御部670はDC-DCコンバータであり得る。しかしながら、ある実施形態において、供給制御部670は、たとえば、増幅されるべきRF信号のエンベロープに基づいて、パワーアンプ665に提供される供給電圧を変化させるように構成されるエンベロープトラッカのような他の機能を含み得る。

40

【0605】

供給制御部670は、電池669に電氣的に接続され得、供給制御部670は、DC-DCコンバータの出力電圧に基づいて、パワーアンプ665に提供される電圧を変化させるように構成され得る。電池669は、たとえばリチウムイオン電池を含む、ワイヤレスデバイス661において使用される任意の好適な電池であり得る。パワーアンプ665の出力信号の反射を低減することにより、電池669の電力消費が低減され得、これにより、ワイヤレスデバイス661の性能が改善される。たとえば、本願明細書において記載される終端回路は、電池669が放電するのにかかる時間の量を延長し得る。

【0606】

50

図 6 1 B は、この開示の 1 つ以上の局面を実現し得る別の例示的なワイヤレスデバイス 6 7 2 の概略的なブロック図である。いくつかの実現例では、図 6 1 B の例示的なワイヤレスデバイス 6 7 2 は携帯電話であり得る。本願明細書において記載される終端回路の特徴の任意の組合せは、パワーアンプに関連して、たとえば、ワイヤレスデバイス 6 7 2 の 2 . 5 G モジュールおよび／または 3 G / 4 G フロントエンドモジュール (F E M) において実現され得る。

【 0 6 0 7 】

示されるワイヤレスデバイス 6 7 2 は、メインアンテナ 6 7 3、スイッチモジュール 6 7 4、2 . 5 G モジュール 6 7 6、3 G / 4 G フロントエンドモジュール 6 7 7、L N A モジュール 6 7 8、ダイバーシティアンテナ 6 7 9、ダイバーシティフロントエンドモジュール 6 8 1、トランシーバ 6 8 2、グローバルポジショニングシステム (G P S) アンテナ 6 8 3、電力管理コントローラ 6 8 4、ベースバンドアプリケーションプロセッサ 6 8 6、メモリ 6 8 7、ユーザインターフェイス 6 8 8、加速度計 6 8 9、カメラ 6 9 1、W L A N / F M ブルートゥースシステム・オン・ア・チップ (System on a Chip (S O C)) 6 9 2、W L A N ブルートゥースアンテナ 6 9 3、および F M アンテナ 6 9 4 を含む。ワイヤレスデバイス 6 7 2 は、図 6 1 B において示されたよりも多いまたは少ないコンポーネントを含み得るということが理解されるべきである。

【 0 6 0 8 】

トランシーバ 6 8 2 は、マルチモードトランシーバであり得る。トランシーバ 6 8 2 は、さまざまな通信規格を使用して R F 信号を生成および処理するよう使用され得、当該通信規格はたとえば、グローバルシステム・フォー・モバイルコミュニケーションズ (G S M)、符号分割多重アクセス方式 (C D M A)、ワイドバンド C D M A (W - C D M A)、エンハンスドデータレート・フォー・G S M エボリューション (Enhanced Data Rates for GSM Evolution (E D G E))、他のプロプラエタリおよびノンプロプラエタリな通信規格、またはその任意の組合せを含む。示されるように、トランシーバ 6 8 2 は、2 . 5 G モジュール 6 7 6 および 3 G / 4 G フロントエンドモジュール 6 7 7 に電氣的に結合される。2 . 5 G モジュール 6 7 6 および 3 G / 4 G フロントエンドモジュール 6 7 7 におけるパワーアンプは、相対的に低い電力を有する R F 信号の電力を増強し得る。その後、増強された R F 信号は、メインアンテナ 6 7 3 を駆動するよう使用され得る。そのようなパワーアンプは、入力および／または出力にて反射および／またはノイズを低減するために、本願明細書において記載される終端回路のうちのいずれかを含み得る。スイッチモジュール 6 7 4 は選択的に、2 . 5 G モジュール 6 7 6 および 3 G / 4 G フロントエンドモジュール 6 7 7 におけるパワーアンプをメインアンテナ 6 7 3 に電氣的に結合し得る。スイッチモジュール 6 7 4 は、所望の送信パスにメインアンテナ 6 7 3 を電氣的に接続し得る。

【 0 6 0 9 】

ある実現例では、ダイバーシティフロントエンドモジュール 6 8 1 およびダイバーシティアンテナ 6 7 9 は、見通し内損失 (line-of-sight loss) を低減することにより、および／または、メインアンテナ 6 7 3 の信号干渉に関連付けられる位相シフト、時間遅延および／または歪みの影響を緩和することにより、ワイヤレスリンクの品質および／または信頼性を改善するのを補助し得る。いくつかの実施形態では、さらにダイバーシティを改善するために、複数のダイバーシティフロントエンドモジュールおよびダイバーシティアンテナが提供され得る。

【 0 6 1 0 】

ワイヤレスデバイス 6 7 2 は、受取られる W L A N ブルートゥースおよび／または F M 信号を生成および処理し得る W L A N / F M ブルートゥース S O C モジュール 6 9 2 を含む得る。たとえば、W L A N / F M ブルートゥース S O C モジュール 6 9 2 は、ワイヤレスヘッドセットのようなブルートゥースデバイスに接続するよう、ならびに／または、ワイヤレスアクセスポイントもしくはホットスポットを使用して、W L A N ブルートゥースアンテナ 6 9 3 および／もしくは F M アンテナ 6 9 4 を介してインターネット上で通信す

るよう、使用され得る。

【0611】

ワイヤレスデバイス672はさらに、ベースバンド信号を処理するようベースバンドアプリケーションプロセッサ686を含み得る。カメラ691、加速度計689、およびユーザインターフェイス688など、またはその任意の組合せは、ベースバンドアプリケーションプロセッサ686と通信し得る。ベースバンドアプリケーションプロセッサによって処理されるデータは、メモリ687に格納され得る。

【0612】

ワイヤレスデバイスの2つの例の文脈において終端回路を説明および記載したが、このセクションに記載される終端回路は、他のワイヤレスデバイスおよびエレクトロニクスにおいて使用され得る。

10

【0613】

B. モジュール

図61Cは、パワーアンプモジュール696の概略的なブロック図である。例示的な目的のために、パワーアンプダイを有するパワーアンプモジュールが議論されるが、本願明細書において記載される原理および利点は、任意の好適なダイおよび／または任意の好適な電子モジュールに適用され得るということが理解されるべきである。パワーアンプモジュール696は、パワーアンプシステムのいくつかまたはすべてを含み得る。パワーアンプモジュール696は、ある実現例において、マルチチップモジュールと称され得る。パワーアンプモジュール696は、パッケージング基板697、1つ以上のパワーアンプダイ698、整合ネットワーク699、1つ以上の他のダイ700、およびパッケージング基板697に結合される1つ以上の回路要素701など、またはその任意の組合せを含み得る。

20

【0614】

当該1つ以上の他のダイ700はたとえば、パワーアンプバイアス回路および／または直流-直流(DC-DC)コンバータを含み得るコントローラダイを含み得る。パッケージング基板上に実装される例示的な回路要素701はたとえば、インダクタおよびキャパシタなど、またはその任意の組合せを含み得る。パワーアンプモジュール696は、パワーアンプモジュール696のパッケージング基板697に取り付けおよび／または結合される複数のダイおよび／または他のコンポーネントを含み得る。いくつかの実現例では、基板697は、パワーアンプモジュール696が電話基板のような回路基板に実装される場合に、ダイおよび／または他のコンポーネントを支持し、外部の回路網への電氣的接続性を提供するように構成される多層基板であり得る。したがって基板697は、ダイおよび／または別個の受動コンポーネントのような複数のコンポーネントを受け入れるように構成され得る。基板697は、仕上げめっきを有するラミネート基板であり得る。

30

【0615】

パワーアンプダイ698は、パワーアンプモジュール696の1つ以上の入力ピンにてRF信号を受け取り得る。パワーアンプダイ698は、たとえば、RF信号を増幅するように構成される複数段のパワーアンプを含む1つ以上のパワーアンプを含み得る。増幅されたRF信号は、パワーアンプダイ698の1つ以上の出力ピンに提供され得る。1つ以上の出力ピンはたとえば、ワイヤーボンディングのために構成されるボンドパッドであり得る。整合ネットワーク699は、信号反射および／または他の信号歪みを低減することを支援するようパワーアンプモジュール696上に設けられ得る。整合ネットワーク699は、本願明細書において記載される特徴の任意の組合せを実現する1つ以上の終端回路を含み得る。整合ネットワークは、パワーアンプダイ698に外部であるとして示されているが、整合ネットワーク699の少なくとも一部はパワーアンプダイ698上で実現され得るということが理解されるであろう。パワーアンプダイ698は任意の好適なダイであり得る。いくつかの実現例では、パワーアンプダイは砒化ガリウム(GaAs)ダイである。これらの実現例のいくつかでは、GaAsダイは、ヘテロ接合バイポーラトランジスタ(HBT)プロセスを使用して形成されるトランジスタを有する。

40

50

【0616】

パワーアンプモジュール696の1つ以上の回路要素701は、キャパシタおよびインダクタを含み得る。インダクタ701は、基板697上のトレースとしてまたは基板697に実装される表面実装コンポーネント(SMC)として、基板697上に実現され得る。当該インダクタはチョークインダクタとして動作し得、供給電圧ピン V_{CC} 上で受け取られる供給電圧とパワーアンプダイ698との間に配置され得る。インダクタは、高周波RF信号成分をチョークおよび／またはブロックしつつ、供給電圧ピン V_{CC} 上で受け取られる供給電圧をパワーアンプダイ698上のパワーアンプに提供し得る。インダクタは、供給電圧ピン V_{CC} に電氣的に接続される第1の端部と、パワーアンプダイ698に関連付けられるバイポーラトランジスタのコレクタに電氣的に接続される第2の端部とを含み得る。キャパシタは、デカップリングキャパシタとして機能し得る。キャパシタは、インダクタの第1の端部に電氣的に接続される第1の端部と、接地に電氣的に結合される第2の端部とを含み得、当該接地は、ある実現例では、パワーアンプモジュール696のグランドピン(図示されない)を使用して提供される。キャパシタは、高周波数信号に低インピーダンスパスを提供し得、これにより、パワーアンプ供給電圧のノイズを低減し、パワーアンプの安定性を改善し、および／またはRFチョークとしてのインダクタの性能を改善する。いくつかの実現例では、キャパシタはSMCを含み得る。

10

【0617】

整合ネットワーク699は2つ以上の終端回路を含み得る。いくつかの実現例では、整合ネットワーク699は、パワーアンプダイ698の入力および／または出力ピンをパッケージング基板697に電氣的に接続するようワイヤーボンドを含み得る。ワイヤーボンドは誘導性回路要素として機能し得る。インダクタンスは、付加的なワイヤーボンドを並列に加えることにより増加され得る。並列のワイヤーボンドは各々、パワーアンプダイ698の異なるピンに結合され得る。インダクタンスは、並列のワイヤーボンドを取り除くおよび／またはワイヤーボンドを直列に加えることにより減少され得る。整合ネットワーク699はさらに、基板697上の1つ以上の導電性トレースと、基板697上に実装される1つ以上のキャパシタとを含み得る。各終端回路は、パワーアンプダイ698の1つ以上のピンに電氣的に接続される1つ以上のワイヤーボンドに直列である導電性トレースおよび／またはキャパシタを含み得る。キャパシタンスおよび／またはインダクタンス値は、インピーダンス不整合により、ある周波数成分が(たとえばアンテナから)反射されるのを防止するように選択され得る。これにより、PAE、パワーアンプリニアリティ、パワーアンプが仕様内で動作する帯域幅、FOMなど、またはその任意の組合せが有利に増加され得る。整合ネットワーク699に含まれ得る終端回路は、本願明細書において以下により詳細に記載される。

20

30

【0618】

パワーアンプモジュール696は、たとえば付加的なパワーアンプダイ、キャパシタおよび／またはインダクタを含む、より多くまたはより少ないコンポーネントを含むよう修正され得る。たとえば、パワーアンプモジュール696は、1つ以上の付加的な整合ネットワーク699を含み得る。特に、RF_INとパワーアンプダイ698への入力との間に別の整合ネットワークが存在し得、および／または、パワーアンプ段同士の間

40

【0619】

C. 終端回路

本願明細書において使用されるように、終端回路は、RF信号のような信号の電力の一

50

部が反射されるのを防止するように構成される回路を指し得る。終端回路は、インピーダンスを整合することによって、信号の反射を低減および／または最小限にするように構成され得る。これにより、P A Eおよび／またはパワーアンプゲインが増加され得る。終端回路はたとえば、ノードにて基本周波数のインピーダンスを整合するように構成される負荷線と、1つ以上の高調波終端回路とを含み得る。

【0620】

図62を参照して、例示的な終端回路を有するパワーアンプシステムの回路図が記載される。パワーアンプシステムのうちのいくつかまたはすべては、図61Cのパワーアンプモジュール696上で実現され得る。図62に示されるように、パワーアンプモジュール696は、GaAsバイポーラトランジスタのようなパワーアンプ段713および／または714、 V_{SUP1} および V_{SUP2} のような電源ピン、インダクタ716および／または717、整合ネットワーク705および708、ならびに入力整合回路712、またはその任意の組合せを含み得る。RF入力信号RF_INが、入力整合回路712を介して第1段パワーアンプ713に提供され得る。第1段パワーアンプ713によって第1段増幅RF信号が生成され得る。第1段増幅RF信号は、段間パワーアンプ整合ネットワーク706を介して第2段パワーアンプ714に提供され得る。第2段パワーアンプ714によって第2段増幅RF信号が生成され得る。第2段増幅RF信号は、出力整合ネットワーク709を介して出力負荷に提供され得る。出力負荷に提供されるRF信号RF_OUTは、いくつかの実現例において、パワーアンプモジュールの出力に提供され得る。

【0621】

第1段パワーアンプ713は、チョークインダクタ716を介して、たとえば V_{SUP1} を供給する電池または他の源といった電源に結合され得る。同様に、第2段アンプ714は、チョークインダクタ717を介して、 V_{SUP2} を提供するたとえば電池といった電源に結合され得る。第1のパワーアンプ段713が消費する当該電源からの電力は、対応する終端回路が第1段増幅RF信号の基本周波数成分および第1段増幅RF信号の1つ以上の高調波成分の反射を防止するように調整されると、少なくなり得る。同様に、第2のパワーアンプ段714が消費する当該電源からの電力は、対応する終端回路が第2段増幅RF信号の基本周波数成分および第2段増幅RF信号の1つ以上の高調波成分の反射を防止するように調整されると、少なくなり得る。

【0622】

図62に示されるように、パワーアンプモジュール696は第1の整合ネットワーク705および第2の整合ネットワーク708を含み得る。第1の整合ネットワーク705は、段間基本終端回路706および段間高調波終端回路707を含み得る。第2の整合ネットワーク708は、出力基本終端回路709および出力高調波終端回路711を含み得る。第2の整合ネットワーク708の特徴の任意の組合せは、第1の整合ネットワーク705に適切ないように適用され得る。

【0623】

例示的な目的のために、第2の整合ネットワーク708はより詳細に記載される。出力基本終端回路709は、基本負荷線であり得る。出力基本終端回路709は、第2段増幅RF信号の基本周波数成分の電力の一部が、負荷から反射されるのを防止するように構成され得る。当該負荷はたとえば、スイッチモジュール674におけるRFスイッチと、アンテナ673とを含み得る。出力高調波終端回路711は、第2段増幅RF信号の1つ以上の高調波周波数成分の電力の一部が、負荷へとリークされるのを防止するように構成され得る。より具体的には、出力高調波終端回路711は、第2段増幅RF信号の2次高調波周波数成分の電力の一部が負荷へとリークされるのを防止するように構成される終端回路を含み得る。いくつかの実現例では、出力高調波終端回路711は代替的または付加的には、第2段増幅RF信号の3次高調波周波数成分の電力の一部が負荷へとリークされるのを防止するように構成される終端回路を含み得る。第2段増幅RFの高調波周波数成分の電力の一部の反射を防止するように構成される別個の終端回路の原理および利点は、任意の所望の高調波周波数成分および／または任意の好適な数の高調波周波数成分に適用さ

れ得る。いくつかの実施形態は高調波周波数を参照して記載されるが、本願明細書において記載される1つ以上の特徴は、任意の所望の周波数に適用され得る。

【0624】

第2段増幅RF信号の所望の周波数成分に対応する終端回路は、1つ以上の容量性回路要素に直列する1つ以上の誘導性回路要素を含み得る。当該終端回路の直列回路要素は、出力基本終端回路709のような基本負荷線の入力ノードを接地基準電圧に結合し得る。直列回路要素はたとえば、ワイヤーボンドと、基板上のトレースと、表面実装キャパシタとを含み得る。ある実現例では、直列回路要素は、ダイの出力ピンに結合される第1の端部と、パッケージング基板上の導電性トレースに結合される第2の端部とを有するワイヤーボンドを含み得る。これらの実現例のうちのいくつかに従うと、直列回路要素はさらに、パッケージング基板上に実装されるキャパシタを含み得る。このようなキャパシタは、導電性トレースに結合される第1の端部と、接地電位のような基準電圧に結合される第2の端部とを有し得る。誘導性回路要素の実効インダクタンスおよび／または容量性回路要素の実効キャパシタンスは、終端回路を調節するように選択され、第2段増幅RF信号の所望の周波数成分の反射を防止し得る。

10

【0625】

ノードn1では、パワーアンプ出力は、基本周波数成分および1つ以上の高調波周波数成分を含み得る。出力負荷に提供されるRF出力信号RF_{OUT}は、これらの周波数成分の各々の合計であり得る。信号を送信するために効率的である波形を有するパワーアンプ出力によって、パワーアンプの望ましいリニアリティが得られ得る。たとえば、組み合わせ完全な正弦波を形成する、ノードn1でのパワーアンプ出力の周波数成分を有することが望ましくあり得る。代替的または付加的には、パワーアンプ出力段714のバイポーラトランジスタのコレクタでの出力がクリッピングすることを防止することが望ましくあり得る。

20

【0626】

ノードn1でのインピーダンスは、式3および式4によって表わすことができる。

【0627】

【数5】

$$Z = jx - \frac{1}{j\omega C} \quad (3)$$

30

$$x = \omega L - \frac{1}{\omega C} \quad (4)$$

【0628】

式3において、Zはノードn1でのインピーダンスを表わし得、jxはノードn1と終端キャパシタとの間の送信線のインピーダンスを表わし得、 $1/j\omega C$ は、終端キャパシタのインピーダンスを表わし得る。式4において、 ωL は送信線のインピーダンスの誘導成分を表わし得、 $1/\omega C$ は基本周波数 ω での送信線の容量成分を表わし得る。したがって、送信線は、容量性および／または誘導性回路要素として機能し得る。送信線はたとえば、パワーアンプダイの1つ以上のピンからパッケージング基板上の導電性トレースへの1つ以上の配線を含み得る。送信線はさらに、パッケージング基板上の導電性トレースを含み得る。

40

【0629】

ノードn1でのパワーアンプ出力の位相は、送信線のインピーダンスを調節することによりシフトされ得る。一例として、1つ以上のワイヤーボンドと並列にパッキング基板上の導電性トレースにノードn1を結合する付加的なワイヤーボンドを加えることによって、送信線の誘導インピーダンス成分が減少され得る。これは、スミスチャート上で特定の

50

周波数について回路に沿って特定の周波数のインピーダンスの位相をシフトし得る。インピーダンスの位相をシフトすることにより、たとえば式3および4によって表わされるように、インピーダンスの容量性および誘導性成分が調節され得る。別の例として、パッケージング基板上の導電性トレースの長さを調節することにより、送信線のインピーダンスが調節され得る。高調波終端回路において送信線のインピーダンスおよび／または終端キャパシタのキャパシタンスを調節することにより、高調波終端回路は、ノードn1でのパワーアンプ出力の高調波周波数の位相にて終端するように構成され得る。

【0630】

本願明細書のある実現例では、ノードn1でのインピーダンスは、第2の高調波で約0（短絡）であり得、第3の高調波で、ノードn1でのインピーダンスは非常に大きいまたは無限（開放）であるように思われ得る。たとえば、短絡インピーダンスは、式3および式4においてインピーダンスを0に等しくすることにより実現され得る。別の例として、送信線のキャパシタンスが0に接近すると、インピーダンスは式3および式4に従って開放として現われる。他のいくつかの実現例では、ノードn1でのインピーダンスは、第2高調波にて開放および第3の高調波にて短絡であり得る。したがって、高調波終端回路は、所望の用途の必要性を満たすように構成され得る。

【0631】

図63Aを参照して、別の実施形態に従った例示的な終端回路を含む別のパワーアンプシステムのブロック図が記載される。図63Aに示されるパワーアンプシステムのうちのいくつかまたはすべては、パワーアンプモジュール696上で実現され得る。パワーアンプモジュール696は、パッケージング基板697上に実装されるパワーアンプダイ698を含み得る。パワーアンプダイ698は、出力ピン721および722のようなピンを含み得る。出力ピン721および722はそれぞれ単一のピンとして示されるが、ある実施形態においては、これらのピンは各々、2つ以上のピンの群を示し得る。パワーアンプの出力は、出力ピン721および722に提供され得る。出力ピン721および722は両方とも、図62のノードn1に結合され得る。図62に示されるように、ノードn1は、GaAsバイポーラトランジスタのコレクタ、出力整合ネットワーク709への入力、および出力高調波終端回路711の入力に結合される。

【0632】

図63Aのパワーアンプモジュール696は、出力高調波終端回路711とは別個の出力基本終端回路709を含む。基本終端回路709と高調波終端回路711とは、パワーアンプモジュール698の外部である、図62におけるノードn1のようなパワーアンプの出力ノードへの異なる電気的接続を有し得る。たとえば、基本終端回路709および高調波終端回路711をパワーアンプモジュール698の異なるピンに異なる配線が電気的に結合し得る。基本終端回路709および高調波終端回路711は、基板697上の別個の信号パスに含まれ得る。これらの別個の信号パスは、基板697上またはパワーアンプモジュール698の外部の回路要素を介して互いに電気的に接続されなくてもよい。基本終端回路709および高調波終端回路711は、別個の信号パスに含まれ得る。たとえば、パワーアンプの出力は、1つのパスが基本終端回路709に向かうとともに異なるパスが高調波終端回路711に向かう2つ以上の別個の信号パスへ提供され得る。当該2つ以上の別個のパスはたとえば、示されるように、RFパスとは別個のDCパスを含み得る。

【0633】

基本終端回路709は、パッケージング基板697の導電性トレースに1つ以上の出力ピン722を結合するワイヤーボンドおよび／またはバンプのような1つ以上の配線719を含み得る。1つより多い出力ピン722を有する実現例では、導電性トレースにピン722を電気的に接続する配線719は互いに並列であり得る。配線719（たとえばワイヤーボンド）の数は、出力ピン722での信号パス上の信号の所望の周波数成分の反射を防止するために、出力基本終端回路709のインダクタンスを変更するよう調節され得る。より多くの配線719を並列に含むことによって、実効インダクタンスが低減され得る。導電性トレースは、配線719をキャパシタに直列に結合し得る。導電性トレースは

10

20

30

40

50

さらに、上で論じたようにたとえば、終端回路にインダクタンスおよび／またはキャパシタンスを加え得る。キャパシタのキャパシタンスは、出力ピン722での信号パス上の信号の所望の周波数成分の反射を防止するように選択され得る。代替的または付加的には、終端回路の実効キャパシタンスは、上記キャパシタと直列および／もしくは並列に付加的なキャパシタを含むことにより、ならびに／または、他の容量性回路要素を含むことにより調節され得る。終端回路の実効インダクタンス、実効キャパシタンスは、パワーアンプモジュール696のリニアリティおよび／またはPAEを増加させるように互いに組み合わせて構成され得る。実効インダクタンスおよび実効キャパシタンスは、たとえば、パワーアンプダイ698の出力ピンに結合される配線の数と、基板上の導電性トレースの寸法（たとえば長さ）と、基板上に実装されるキャパシタのキャパシタンスとに基づき決定され得る。

10

【0634】

出力高調波終端回路711は、パッケージング基板697の導電性トレースに1つ以上の出力ピン721を結合するワイヤーボンドおよび／またはバンプのような1つ以上の配線718を含む。1つより多い出力ピン721を有する実現例では、ワイヤートレースにピン721を電気的に接続する配線718は並列に結合され得る。出力高調波終端回路711に含まれる配線718（たとえばワイヤーボンド）の数は、出力基本終端回路709の配線719の数とは別個に構成され得る。これにより、異なる終端回路のインダクタンスは、パワーアンプモジュール696のリニアリティおよび／またはPAEを増加させるよう調整され得る。これは、出力基本終端回路709においてノードでの信号の基本周波数のインピーダンスを整合することと、出力高調波終端回路711においてノードでの信号の高調波周波数に対応する位相で終端することとを含み得る。異なる終端回路の実効キャパシタンスも互いに別個かつ独立して構成され得る。異なる信号パスに異なる終端回路が含まれ得るので、いずれの終端回路に対する変更によっても別の終端回路は影響を受け得ない。

20

【0635】

導電性トレースは、図63Aに示される出力整合ネットワークにおいて、キャパシタのような1つ以上の容量性回路要素に直列にワイヤーボンドのような配線を結合し得る。終端回路の実効キャパシタンスは、出力基本終端回路709が反射するのを防止するように構成される信号の所望の周波数成分とは異なる、出力ピン721での信号パス上の信号の別の所望の周波数成分の反射を防止するよう選択され得る。ある実現例では、異なる終端回路は、基板697上に、それぞれの終端回路にインダクタンスおよび／またはキャパシタンスを加え得る異なる導電性トレースを含み得る。異なる導電性トレースは、選択された周波数で各導電性トレースが所望の終端を提供し得るよう互いに別個かつ独立して構成され得る。終端回路の実効インダクタンスおよび実効キャパシタンスは、パワーアンプモジュール696のリニアリティおよび／またはPAEを増加させるよう、互いに組み合わせて構成され得る。

30

【0636】

図63Bは、本願明細書の特定の実施形態に従って例示的な基板697を示す。基板697は、ラミネート基板のようなパッケージング基板であり得る。基板697は、パワーアンプモジュール696のような、本願明細書において議論されるモジュールのいずれかに含まれ得る。基板697は、複数のコンポーネントを受けるように構成されており、導電性トレースを含む。図63Bにおける破線は、基板697がコンポーネントを受けるように構成されるエリアを示す。たとえば、示されるように、基板697は、パワーアンプモジュール698と、複数の表面実装キャパシタ726、727および728とを受けるように構成される。当該示される基板697はさらに、第1の導電性トレース723および第2の導電性トレース724を含む。図63Bに示されるように、分離部720が第2の導電性トレース724から第1の導電性トレース723を絶縁する。分離部720は、所望の用途について任意の好適な点で、第2の導電性トレース724から第1の導電性トレース723を物理的に分離し得る。したがって、第1の導電性トレース723および第

40

50

2の導電性トレース724は、基板697上の異なる信号パスの部分である。

【0637】

基板697は、本願明細書において議論される終端回路の少なくとも一部を実現するように構成され得る。たとえば、第1の導電性トレース723は、パワーアンプ出力信号の基本周波数にてパワーアンプダイ698の出力ノードでインピーダンスを整合するように構成される負荷線に含まれ得る。示されるように、基板697はさらに、負荷線の部分である表面実装キャパシタ726を受けるように構成される。第2の導電性トレース724は、負荷線と別個の高調波終端回路に含まれ得る。高調波終端回路は、パワーアンプ出力の高調波周波数に対応する位相で終端するように構成され得る。示されるように、第2の導電性トレース724は、高調波終端回路の部分である1つ以上の表面実装キャパシタ727および728を受けるように構成される。

10

【0638】

図64A、図64Bおよび図64Cは、図63Aのパワーアンプモジュール696の性能を単一の終端回路を有する従来のパワーアンプと比較するシミュレーション結果を示す。図64Aに示されるように、図63Aのパワーアンプモジュール696の一実施形態において、1850MHz~1910MHzの周波数範囲にわたって、PAEは従来の設計と比較して約2~3%増加した。さらに、いくつかのシミュレーションにおいて、PAEは、本願明細書において記載される原理および利点に従って、5%以上増加した。システムのPAEの増加により、たとえば、システムに電力を供給する電池が放電する時間量が増加され得る。

20

【0639】

図64Bは、図63Aのパワーアンプモジュール696の一実施形態において、従来の設計と比較した、隣接チャンネル電力比(adjacent channel power ratio (ACPR))によって測定されるリニアリティの改善を示す。図64Bに示されるように、ACPRは、1850MHz~1910MHzの周波数範囲にわたって約2~3dB改善する。図64Aおよび図64Bはともに、図63AのパワーアンプシステムがPAEおよびACPRの両方を同時に改善し得ることを示す。

【0640】

性能指数(FOM)は、パワーアンプの全体の性能を特徴付ける1つの方法である。図64Cは、図63Aのパワーアンプモジュール696の一実施形態において、1850MHz~1910MHzの周波数範囲にわたって、従来の設計と比較してFOMが約86から約90に増加することを示す。さらに、いくつかの実現例では、FOMは、本願明細書において記載される原理および利点の1つ以上に従って約82から約90に増加した。

30

【0641】

さらに、PAE、ACPR、FOMまたはその任意の組合せの増加は、たとえば1710MHz~1780MHzといった多くの他の周波数帯において示された。シミュレーションデータは、信号の基本周波数成分および高調波周波数成分についての別個の終端回路によって、RFスペクトルおよび他の周波数スペクトラムにおけるさまざまな周波数にわたって、PAE、ACPR、FOMまたはその任意の組合せが増加され得るを示す。さらに、PAE、ACPR、FOMまたはその任意の組合せにおける改善は、異なる電力レベルにわたって示された。

40

【0642】

図65を参照して、別の実施形態に従ったダイおよび例示的な終端回路を示すブロック図が記載される。図65は、所望の用途に基づいて、任意の好適な数の別個の終端回路が実現され得ることを示す。さらに、図65は、ダイの入力ピンおよび／またはダイの出力ピンのような、電子システム内でさまざまなノードにて複数の別個の終端回路が実現され得ることを示す。図65はダイの入力ピンおよびダイの出力ピンにおける複数の別個の終端回路を示すが、本願明細書において記載される別個の終端回路の特徴の任意の組合せは、たとえばパワーアンプダイのようなダイ内において、電子システムの他のノードでの信号に適用され得る。さらに、ある実現例に従うと、ノードに結合される別個の終端回路の

50

1つ以上の少なくとも一部はダイ内において実施され得る。これらの実現例のうちのいくつかでは、ノードに結合される別個の終端回路の1つ以上は、ダイの外部で実施され得る。

【0643】

図65に示されるように、電子システム732は、ダイ733と、複数の終端回路743および747を含み得る。電子システム732はたとえば、図61Aまたは図61Bのワイヤレスデバイス、図61Cのパワーアンプモジュールなど、またはその任意の組合せに含まれ得る。いくつかの実現例では、ダイ733はパワーアンプダイ698であり得る。他の実現例では、ダイ733はたとえば、周波数通倍器またはミキサーなどを含み得る。

10

【0644】

ダイ733は、複数の入力ピン734a~734nおよび/または出力ピン738a~738nを含み得る。本願明細書において記載される特徴の任意の組合せを含む別個の終端回路は、異なるピンおよび/または2つ以上のピンの異なる群に結合され得る。たとえば、入力終端回路743a~743nは各々、ダイ733の1つ以上の入力ピンに結合されるノードでの信号の異なる周波数成分の反射を防止するように構成され得る。入力終端回路は、示されるように、ダイ733の入力ピン734a~734nにそれぞれ結合され得る。いくつかの実現例では、入力終端回路は、ダイ733の2つ以上の入力ピン734に結合され得る。代替的または付加的には、2つ以上の入力終端回路は、ダイ733の単一のピンに結合され得る。同様に、出力終端回路747a~747nは、1つ以上の出力ピンを含むノードでの信号の異なる周波数成分の反射を防止するように各々構成され得る。出力終端回路は、それぞれダイ733の出力ピン738a~738nに結合され得る。いくつかの実現例では、出力終端回路は、ダイ733の2つ以上の出力ピン738に結合され得る。代替的または付加的には、2つ以上の出力終端回路は、ダイ733の単一のピンに結合され得る。

20

【0645】

任意の好適な数の入力ピン734a~734nおよび/または出力ピン738a~738nはダイ733上に含まれ得る。さらに、任意の好適な数の入力終端回路743a~743nおよび/または出力終端回路747a~747nは、電子システム732に含まれ得る。いくつかの実現例において、別個の入力終端回路743a~743nおよび/または別個の出力終端回路747a~747nの数は、終端すべき所望の数の高調波周波数成分に基づいて選択され得る。

30

【0646】

図66は、さらに別の実施形態に従ったモジュールを製造する例示的な方法752のフロー図である。本願明細書において議論される方法のうちのいずれも、より多いまたは少ない動作を含んでもよく、当該動作は適切なように任意の順番で行われてもよいということが理解されるであろう。さらに、方法の1つ以上の動作は、連続的または並列のいずれかで行なわれ得る。たとえば、方法752のブロック754および756の動作は、連続的または並列のいずれかで行なわれ得る。方法752は、パワーアンプモジュール696のような本願明細書において議論されるモジュールのいずれかを製造する部分として行なわれ得る。

40

【0647】

ブロックまたはステップ753では、ダイが基板に取り付けられ得る。たとえば、パワーアンプダイ698はパッケージング基板697に取り付けられ得る。

【0648】

ブロックまたはステップ754では、当該ダイと基板上の第1の導電性トレースとの間の第1の配線が形成され得る。第1の配線は、ダイの1つ以上の出力ピンに結合され得る。第1の配線はたとえば、1つ以上のワイヤーボンドおよび/または1つ以上のバンプを含み得る。ある実現例では、第1の配線は、ダイのパッドにボンディングされるワイヤーボンドを含み得る。これらの実現例のいくつかに従うと、ワイヤーボンドはさらに基板の

50

仕上げめっきにボンディングされ得る。第1の配線は、ダイの出力信号の基本周波数のインピーダンスを整合するように構成される第1の終端回路に含まれ得る。

【0649】

ブロック756では、ダイと基板上の第2の導電性トレースとの間の第2の配線が形成され得る。第2の配線は、ダイの1つ以上の出力ピンに結合され得る。第2の配線はたとえば、1つ以上のワイヤーボンドおよび／または1つ以上のバンプを含み得る。ある実現例では、第2の配線は、ダイのパッドにボンディングされるワイヤーボンドを含み得る。これらの実現例のいくつかによれば、ワイヤーボンドはさらに基板の仕上げめっきにボンディングされ得る。第2の配線は、増幅出力信号の高調波に対応する位相で終端するように構成される第2の終端回路に含まれ得る。

10

【0650】

D. 用途

このセクションにおいて上に記載された実施形態のうちのいくつかは、パワーアンプを含むワイヤレスデバイスに関連して例を提供している。しかしながら、実施形態の原理および利点は、信号の2つ以上の異なる周波数成分の反射を防止するように構成される2つ以上の別個の終端回路について必要性を有する任意の他のシステムまたは装置に使用され得る。たとえば、別個の終端回路は、パワーアンプの代わりに、周波数通倍器のような通倍器および／またはミキサーに関連して実現され得る。別の例として、別個の終端回路は、基本周波数成分および高調波周波数成分のような2つ以上の異なる周波数成分のために終端回路を分離することが望ましい、信号パス上の任意の点で実現され得る。

20

【0651】

本開示の1つ以上の局面を実現するシステムは、さまざまな電子デバイスにおいて実現され得る。電子デバイスの例は、コンシューマエレクトロニクス製品、コンシューマエレクトロニクス製品の部分、電子試験機器、任意のこのような類似した製品および機器を含み得るがこれらに限定されない。より具体的には、本開示の1つ以上の局面を実現するように構成される電子デバイスは、その具体的なものをいくつか例示すると、RF送信デバイス、パワーアンプを有する任意のポータブルデバイス、携帯電話（たとえばスマートフォン）、電話、基地局、フェムトセル、レーダ、Wi-Fi（登録商標）規格に従って通信するように構成されるデバイス、テレビ、コンピュータモニタ、コンピュータ、ハンドヘルドコンピュータ、タブレットコンピュータ、ラップトップコンピュータ、携帯情報端末（PDA）、電子レンジ、冷蔵庫、自動車、ステレオシステム、DVDプレーヤ、CDプレーヤ、VCR、MP3プレーヤ、ラジオ、カムコーダ、カメラ、デジタルカメラ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯／乾燥機、コピー機、ファクシミリマシン、スキャナ、多機能周辺機器、腕時計、時計などを含み得るがこれらに限定されない。コンシューマエレクトロニクス製品の部分は、マルチチップモジュール、パワーアンプモジュール、2つ以上の終端回路を含む集積回路、および1つ以上の回路要素を含むパッケージング基板などを含み得る。さらに、電子デバイスの他の例はまた、メモリチップ、メモリモジュール、光学ネットワークまたは他の通信ネットワークの回路、およびディスクドライバ回路を含み得るがこれらに限定されない。さらに、電子デバイスは未完成の製品を含み得る。

30

40

【0652】

X. 高性能無線周波数用途のための送信線

本開示のこのセクションは、高性能無線周波数（RF）用途のための送信線に関する。1つのこのような送信線は、RF信号を受け取るように構成されるボンディング層と、バリア層と、拡散バリア層と、拡散バリア層に隣接した導電層とを含み得る。拡散バリア層は、受け取られたRF信号が拡散バリア層を貫通して導電層に到ることを可能にする厚さを有し得る。本願明細書のある実現例では、拡散バリア層はニッケルであり得る。これらの実現例のいくつかでは、送信線は、金のボンディング層、パラジウムのバリア層、およびニッケルの拡散バリア層を含み得る。上に示されるように、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられて、パワーアンプモジュール、およびそれらが使

50

用されるデバイスの性能をさらに改善し得る。

【0653】

一般的に記載されるように、本開示の局面は、拡散バリア層を含む無線周波数（RF）送信線に関する。拡散バリア層は、汚染物質が拡散し、拡散バリア層を通過することが防止されるような、材料を含み、厚さを有し得る。拡散バリア層の厚さは、RF信号が拡散バリア層を貫通して導電層において伝播するように十分に小さくあり得る。たとえば、拡散バリア層の厚さは、RF範囲における周波数（たとえば約0.45GHz～20GHzの範囲で選択される周波数）での材料の表皮厚さ未満であり得る。いくつかの実現例では、拡散バリア層はニッケルであり得る。これらの実現例のいくつかに従うと、ニッケル拡散バリア層は、約0.04μm～0.5μmの範囲から選択される厚さを有し得る。RF送信線はさらに、ボンディング層と、汚染物質がボンディング層に入るのを防止するためのバリア層と、RF信号が伝播する導電層とを含み得る。

10

【0654】

本開示のこのセクションに記載される主題の特定の実現例は特に、以下の可能な利点の1つ以上を実現するために実現され得る。本願明細書において記載されるシステム、装置、および方法の1つ以上の特徴を使用して、パワーアンプを含むシステムならびに／または無線周波数（RF）信号を送信および／もしくは受信するように構成されるシステムのような電子システムは、より効率的に動作し、および／または、消費する電力がより少なくなり得る。代替的または付加的には、このようなシステムにおけるRF信号の信号品質は改善され得る。いくつかの実現例では、送信線を実現するために使用される金の量は、電気性能を著しく低下させることなく、減少され得る。実際に、ある実現例に従うと、シミュレーションデータおよび実験データは、送信線上で使用される金の量は減少され得るとともに電気性能が改善され得るということを示す。

20

【0655】

送信線は、多層ラミネートを含み得るパッケージング基板またはプリント回路基板（PCB）上で実施され得る。多層ラミネートPCBまたはパッケージ基板は、RF産業において広く使用される。低ノイズアンプ（low noise amplifier（LNA））、ミキサ、電圧制御発振器（voltage controlled oscillator（VCO））、フィルタ、スイッチおよび全体のトランシーバといったほとんどのRFブロックは、半導体技術を使用して実現され得る。

30

【0656】

しかしながら、RFモジュール（たとえばパワーアンプ、スイッチ、フィルタなど、またはその任意の組合せを含むRFフロントエンドモジュール）において、単一チップの集積は、異なるブロックが異なる半導体技術において実現されるため、実際的ではない場合がある。たとえば、パワーアンプはGaAsプロセスによって形成され得る一方、関連する制御および／またはバイアス回路網はCMOSプロセスによって形成され得る。電磁相互作用によって、ブロックの電気性能が低下し得、これにより、システムが電気性能仕様を満たさなくなり得る。1つより多いチップにおいてRFモジュールを実現する1つの理由は、長い送信線、インダクタ、バラン、変圧器など、またはその任意の組合せのようなオンチップ受動要素が、低いQファクタを有し得、および／または大きなチップエリアを費やし得ることである。したがって、マルチチップモジュール（multi-chip module（MCM））および／またはシステムインパッケージ（system in package（SiP））アセンブリ技術が、RFモジュール用途において、低コスト、小さいサイズ、および／または高性能を達成するよう使用され得る。

40

【0657】

コスト有効性および／または導電体性能の考慮のために、ラミネート技術がMCMアセンブリに使用され得る。ラミネート技術は、送信線に銅を使用することを含み得る。電氣的信号の伝播のために銅を使用することは、銅の物理的性質により望ましくあり得る。高Q送信線、インダクタ、変圧器など、またはその任意の組合せは、ラミネート基板上で実現され得る。たとえば、パワーアンプモジュール、出力整合ネットワーク、高調波フィルタ

50

、カプラーなど、またはその任意の組合せはラミネート基板に結合され得る。これらの要素のいずれの性能にも、導電体損失が有意な影響を及ぼし得る。したがって、ラミネートめっき技術が、RF損失に有意に影響を与え得る。

【0658】

ラミネートの外層上の銅トレースは、外部コンポーネントへの配線が望まれないエリアにおいて、はんだマスク、酸化物または他の好適な材料で覆われ得る。これらの配線は、コンポーネントのためのはんだ継手および／またはダイへのワイヤーボンダ接続を含み得る。はんだぬれ性 (solderability) および／またはワイヤーボンディング性 (wirebondability) が保存されるエリアでは、銅トレースは、プレフラックス (organic solderability preservative (OSP)) またはめっき仕上げで覆われ得る。仕上げめっきの冶金および／または金属層厚さは、はんだ付け面および／またはワイヤーボンディング面のような露出エリアの関数に依存し得る。不活性で酸化物のない表面は、はんだぬれ性および／またはワイヤーボンディング性を維持し得る。

【0659】

仕上げめっきのためのこのような冶金は典型的に、めっきされた表面への銅の拡散と、アセンブリの間での空気および／または高温への露出によるその後の酸化とを防止するように拡散バリアを含む。拡散バリアはたとえば、使用されている化学作用に依存して、電気めっきされたニッケル (Ni) または無電解Ni (P) であり得る。従来、約2.5 μm ~ 8 μmの厚さを有するニッケルが、MCMおよび／またはSiPアセンブリの間に発生する熱サイクルの間、はんだぬれ性を維持するよう、ラミネート基板のための十分に厚い拡散バリア層として確立されている。金 (Au) ワイヤーボンディングの場合、約0.4 μm ~ 0.9 μmの範囲で選択される厚さを有する金のボンディング層を形成するために、電解または無電解Auが使用され得る。しかしながら一般に、Niの上の浸漬Au層が薄いほど、高ボリュームのアセンブリ動作において、信頼性のあるAuワイヤーボンディング面が提供されない。無電解Ni / 無電解パラジウム (Pd) / 浸漬Auは、はんだ付け、およびAuワイヤーボンディングを含むワイヤーボンディングのために入手可能となっている。これは、Au厚さの低減により、コスト効率の良い仕上げであり得る。無電解Ni / 無電解Pd / 浸漬Auは、特に周波数が高いほど、露出した (仕上げめっきされた) エリアにおける導電体損失を増加し得る。

【0660】

電解もしくは無電解NiAuまたはNiPdAuめっき技術は現在、ラミネート基板とともに使用される。無電解NiPdAuは、より損失のある電気的特性にもかかわらず、順調に実施されている。いくつかのRFモジュールは、金が厚いことによりコストが高いにもかかわらず、モジュール性能のために、高い周波数 (たとえば約1.9 GHz以上の周波数) で特に損失が低い電解または無電解NiAuを使用する。

【0661】

A. 送信線

ここで、図67Aを参照して、本願明細書のいくつかの実施形態に従った送信線757の断面が示される。図67Aに示される断面は、送信線757のいくつかまたはすべての断面を示し得る。送信線757は、ボンディング層758、バリア層759、拡散バリア層761および導電層762を含み得る。送信線757は、RF回路において実現され得るとともに、RF信号を送信するために構成され得る。送信線757は、ラミネート基板上で実施され得る。いくつかの実現例に従うと、ボンディング層758、バリア層759および拡散バリア層761が仕上げめっきとみなされ得、導電層762がワイヤーとみなされ得る。いくつかの実現例では、送信線757は、少なくとも約5 μm、10 μm、15 μm、20 μm、25 μm、50 μm、75 μm、100 μm、250 μmまたは500 μmの長さであり得る。

【0662】

ある実現例では、送信線757は、金のボンディング層、パラジウムのバリア層、ニッケルの拡散バリア層および銅の導電層を含み得る。たとえば、これらの実現例のうちのい

くつかでは、送信線 757 は、厚さが約 $0.1\ \mu\text{m}$ である金のボンディング層と、厚さが約 $0.1\ \mu\text{m}$ であるパラジウムのバリア層と、厚さが約 $0.04\ \mu\text{m} \sim 0.5\ \mu\text{m}$ の範囲から選択されるニッケル拡散バリア層と、厚さが約 $20\ \mu\text{m}$ である銅導電層とを含み得る。送信線 757 の仕上げめっきは、銅の導電層の上にニッケルを無電解めっきし、当該ニッケルの上にパラジウムを無電解めっきし、当該パラジウムの上に金の浸漬めっきすることにより形成され得る。このような送信線の仕上げめっきを形成する他の好適なプロセスおよび／またはサブプロセスが代替的に実現され得る。たとえば、銅の導電層の上にニッケル拡散バリア層が電気めっきされ得る。

【0663】

ある実現例において、送信線 757 は、金のボンディング層、パラジウムのバリア層、ニッケルの拡散バリア層、および銅の導電層を含むが、送信線 757 の 1 つ以上の層を実現するために他の材料が代替的に使用され得るということが理解されるべきである。

【0664】

送信線 757 のボンディング層 758 は、はんだ付けおよび／またはワイヤーボンディングのために構成されるボンディング面を有し得る。ボンディング層 758 は、ボンディング面にて RF 信号を受け取るように構成され得る。いくつかの実現例に従うと、ダイのピンは、ボンディング層 758 のボンディング面へボンディングされ得る。たとえば、パワーアンプダイの出力は、ボンディング層 758 のボンディング面へボンディングされ得る。フィルタおよび／または RF スイッチのような 1 つ以上の RF コンポーネントに送信線 757 を介して送信され得る。ボンディング層 758 は金を含み得る。いくつかの実現例では、金のボンディング層の厚さは、約 $0.05\ \mu\text{m} \sim 0.15\ \mu\text{m}$ の範囲から選択され得る。ある実現例に従うと、金のボンディング層の厚さが約 $0.1\ \mu\text{m}$ であり得る。

【0665】

送信線 757 のバリア層 759 は、汚染物質がボンディング層 758 に入るのを防止し得る。バリア層 759 は、ボンディング層 758 に隣接し得る。図 67A の方位において、ボンディング層 758 は、バリア層 759 の上に配置される。いくつかの実現例では、たとえば、図 67A に示されるように、バリア層 759 の主面は、ボンディング層 758 の主面に直接的に接触し得る。図 67A に示されるように、バリア層 759 は、ボンディング層 758 と拡散バリア層 761 との間に存在し得る。バリア層 759 はパラジウムを含み得る。いくつかの実現例では、パラジウムバリア層の厚さは、約 $0.03\ \mu\text{m} \sim 0.15\ \mu\text{m}$ の範囲から選択され得る。ある実現例に従うと、パラジウムのバリア層の厚さは約 $0.1\ \mu\text{m}$ であり得る。

【0666】

送信線 757 の拡散バリア層 761 は、汚染物質がボンディング層 758 および／またはバリア層 759 に入るのを防止するように構成され得る。たとえば、いくつかの実現例では、拡散バリア層 761 は、銅の導電層からの銅が金のボンディング層まで拡散するのを防止し得る。拡散バリア層 761 は、導電層 762 のために接着表面を提供し得る。ある実現例に従うと、拡散バリア層 761 の接着表面は、銅の導電層に接着し得る。

【0667】

拡散バリア層 761 は、RF 信号が導電層 762 において伝播することが可能なように十分に小さい厚さを有し得る。たとえば、拡散バリア層 761 の厚さは、RF 範囲における周波数（たとえば約 $0.9\ \text{GHz} \sim 20\ \text{GHz}$ の範囲で選択される周波数）での拡散バリア層 761 の表皮厚さ未満であり得る。これにより、RF 信号が拡散バリア層 761 を貫通することが可能になり得る。上記 RF 範囲における所望の周波数での材料の表皮厚さ未満である厚さを有する材料の拡散バリア層 761 により、RF 信号がボンディング層 758 およびバリア層 759 も貫通すると、RF 信号の実質的にすべてが送信線 757 の導電層 762 において伝わるはずである。RF 信号がボンディング層 758 を貫通するために、ボンディング層 758 の厚さは、RF 範囲における所望の周波数での、ボンディング層 758 を形成する材料の表皮厚さ未満であり得る。同様に、RF 信号がバリア層 759 を貫通するために、バリア層 759 の厚さは、RF 範囲における所望の周波数での、バリア

ア層 759 を形成する材料の表皮厚さ未満であり得る。

【0668】

拡散バリア層 761 は、ボンディング層 758 と導電層 762 との間に存在し得る。図 67A の方位において、バリア層 759 は拡散バリア層 761 の上に配置され、拡散バリア層 761 は導電層 762 の上に配置される。いくつかの実現例では、たとえば、図 67A に示されるように、拡散バリア層 761 の主面はバリア層 759 および／または導電層 762 の主面と直接的に接触し得る。

【0669】

拡散バリア層 761 は、ニッケルを含み得る。いくつかの実現例では、拡散バリア層 761 はニッケルであり得る。ニッケルの拡散バリア層はさらに、導電層からの銅が金のボンディング層へ拡散することを防止し得る。ニッケルのバリア層の厚さは、RF 範囲における周波数でのニッケルの表皮厚さ未満であり得る。たとえば、ニッケルの厚さは、約 0.45 GHz ~ 20 GHz の範囲から選択される周波数でのニッケルの表皮厚さ未満であり得る。これは、RF 信号が拡散バリア層 761 を貫通して導電層 762 に到ることを可能にし得る。いくつかの実現例に従うと、ニッケル拡散浸透層の厚さは、約 0.3 GHz、0.35 GHz、0.4 GHz、0.45 GHz、0.5 GHz、0.6 GHz、0.7 GHz、0.8 GHz、0.9 GHz、1 GHz、2 GHz、5 GHz、6 GHz、10 GHz、12 GHz、15 GHz、または 20 GHz でのニッケルの表皮厚さ未満であり得る。拡散バリア層のために代替的な材料がニッケルの代わりに使用される場合、このような拡散バリア層の厚さは、約 0.3 GHz、0.35 GHz、0.4 GHz、0.45 GHz、0.5 GHz、0.6 GHz、0.7 GHz、0.8 GHz、0.9 GHz、1 GHz、2 GHz、5 GHz、6 GHz、10 GHz、12 GHz、15 GHz、または 20 GHz での代替的な材料の表皮厚さ未満であり得る。

【0670】

いくつかの実現例では、ニッケル拡散バリア層の厚さは、約 2 μm 、1.75 μm 、1.5 μm 、1.25 μm 、1 μm 、0.95 μm 、0.9 μm 、0.85 μm 、0.8 μm 、0.75 μm 、0.7 μm 、0.65 μm 、0.6 μm 、0.55 μm 、0.5 μm 、0.45 μm 、0.4 μm 、0.35 μm 、0.3 μm 、0.25 μm 、0.2 μm 、0.15 μm 、0.1 μm 、0.09 μm 、0.05 μm 、または 0.04 μm 未満であり得る。ある実現例では、ニッケル拡散バリア層の厚さは、約 0.04 μm ~ 0.7 μm 、約 0.05 μm ~ 0.7 μm 、約 0.1 μm ~ 0.7 μm 、約 0.2 μm ~ 0.7 μm 、約 0.04 μm ~ 0.5 μm 、約 0.05 μm ~ 0.5 μm 、約 0.09 μm ~ 0.5 μm 、約 0.04 μm ~ 0.16 μm 、約 0.05 μm ~ 0.15 μm 、約 0.1 μm ~ 0.75 μm 、約 0.2 μm ~ 0.5 μm 、約 0.14 μm ~ 0.23 μm 、約 0.09 μm ~ 0.21 μm 、約 0.04 μm ~ 0.2 μm 、約 0.05 μm ~ 0.5 μm 、約 0.15 μm ~ 0.5 μm 、または約 0.1 μm ~ 0.2 μm といった範囲のうちの 1 つから選択され得る。一例として、ニッケル拡散バリア層の厚さは約 0.1 μm であり得る。これらの例示的な実現例のすべてにおいて、ニッケル拡散バリア層は 0 でない厚さを有する。

【0671】

RF 信号は、送信線 757 の導電層 762 において伝播し得る。たとえば RF 信号は、ボンディング層 758、バリア層 759 および拡散バリア層 761 を貫通して導電層 762 において伝播し得る。RF 信号の実質的にすべては、送信線 757 の導電層 762 において伝播し得る。導電層 762 は、拡散バリア層 761 の接着表面に接着され得る。導電層 762 は、送信線 757 に沿って RF 信号を伝播するために、任意の好適な材料を含み得る。たとえば、導電層は銅、アルミニウム、銀など、またはその任意の組合せを含み得る。ある実現例では、導電層 762 は銅であり得る。ある実現例に従うと、導電層 762 の厚さは、約 10 μm ~ 50 μm の範囲から選択され得る。これらの実現例のいくつかでは、導電層の厚さは、約 15 μm ~ 30 μm の範囲から選択され得る。

【0672】

図 6 7 B は、図 6 7 A の例示的な送信線を概略的に示す。送信線 7 5 7 は、ある実現例に従うと、1 つのノードから別のノードに R F 信号を送信するよう 1 つより多い送信線 7 5 7 を含み得る。たとえば、図 6 7 B に示される送信線 7 5 7 はともに、図 6 9 の送信線 7 5 7 を実現し得る。図 6 7 B における送信線 7 5 7 は、第 1 のノード R F_{I N} から第 2 のノード R F_{O U T} まで R F 信号を送信する媒体として機能する。1 つ以上の送信線 7 5 7 は、電力（たとえば V c c）または接地のような母線（power rail）に結合され得る 1 つの端部を有し得る。示されるように、それぞれの送信線 7 5 7 は、キャパシタ C₁、C₂ または C₃ を介して接地に結合され得る。

【0 6 7 3】

B. 表皮厚さの計算

上述したように、送信線 7 5 7 の拡散バリア層 7 6 1 は、材料を含み、R F 信号が導電層において伝播することが可能であるように十分に小さい厚さを有し得る。したがって、拡散バリア層 7 6 1 は、所望の周波数の材料の表皮厚さ未満である厚さを有し得る。表皮厚さは式 5 によって表わすことができる。

【0 6 7 4】

【数 6】

$$\delta = \sqrt{\frac{2\rho}{(2\pi f)(\mu_0\mu_r)}} \quad (5)$$

【0 6 7 5】

式 5 において、 δ はメートルを単位として表皮厚さを表わし得、 μ_0 は、値が $4\pi \times 10^{-7}$ ヘンリー／メートル（約 $1.2566370614 \times 10^{-6}$ ヘンリー／メートル）である、自由空間の透磁率（真空透磁率または磁気定数とも称される）を表わし得、 μ_r は、媒体の比透磁率を表わし得、 ρ は、単位を $\Omega \cdot m$ として媒体の抵抗率（媒体の導電率の逆数と等しくなり得る）を表わし得、 f は、単位を H z として、媒体を通して伝播する電流の周波数を表わし得る。

【0 6 7 6】

下記の表 2 は、3 つの送信線のさまざまな層のめっき厚みを含む。表 2 におけるデータは、N i A u 仕上げめっきを有する送信線と、異なるニッケル層厚さを有する N i P d A u 仕上げめっきを有する 2 つの異なる送信線とに対応する。N i P d A u 仕上げめっきを有する送信線の 1 つは 5 μm のニッケル厚さを有し、N i P d A u 仕上げめっきを有する他の送信線は 0. 1 μm のニッケル厚さを有する。5 μm のニッケル厚さは、従来使用されている許容可能なニッケル厚さの範囲（たとえば 2. 5 μm ～ 8 μm ）内である。表 2 におけるデータに対応する送信線の 3 つのすべてにおいて、導電層は銅である。N i P d A u 仕上げめっきを有する送信線は、図 6 7 A に示されるような断面を有し得る。N i A u 仕上げめっきを有する送信線は、バリア層 7 5 9 のない、図 6 7 A に類似する断面を有し得、金属ボンディング層がニッケルの拡散バリア層の直上に存在し、ニッケル層が銅の導電層の直上に存在する。

【0 6 7 7】

10

20

30

40

【表 2】

	NiPdAu (um)	薄い“Ni” — NiPdAu (um)	NiAu (um)
Cu	21	21	21
Ni	5	0.1	5
Pd	0.09	0.09	...
Au	0.1	0.1	0.4

表 2 — めっき厚さ

10

【0678】

これらの3つの送信線の表皮厚さは、式5と、以下の表3に含まれる材料特性とを使用して計算され得る。ニッケルの比透磁率は、ニッケル層を形成するよう使用されるプロセスに依存して変化し得る。たとえば、無電解ニッケルプロセスでの燐含有量は、ニッケルの比透磁率に影響を与え得る。表3に示されるニッケル透磁率の範囲は、ニッケル透磁率の典型的な範囲を取り込み得る。

【0679】

【表 3】

	抵抗率, ρ ($\mu\Omega\cdot\text{cm}$)	μ_r
Cu	1.673	1
Ni	8.707	100-600
Pd	10.62	1
Au	2.44	1

表 3 — 材料特性

20

【0680】

RF範囲における6つの異なる周波数での銅、ニッケル、パラジウムおよび金についての計算された表皮厚さが以下の表4に示される。

30

【0681】

【表 4】

	0.45 GHz での表皮厚さ (um)	0.9 GHz での表皮厚さ (um)	1.9 GHz での表皮厚さ (um)	5 GHz での表皮厚さ (um)	12 GHz での表皮厚さ (um)	20 GHz での表皮厚さ (um)
Cu	3.07	2.17	1.49	0.92	0.59	0.46
Ni	0.29 - 0.7	0.2 - 0.5	0.14 - 0.34	0.09 - 0.2	0.06 - 0.14	0.04 - 0.11
Pd	7.73	5.47	3.76	2.32	1.50	1.16
Au	3.70	2.62	1.8	1.11	0.72	0.56

表 4 — 計算された表皮厚さ

40

【0682】

表4に示されるデータは、. 045 GHz、0.9 GHz、1.9 GHz、5 GHz、12 GHz または 20 GHz の周波数を有する信号の大部分は、NiAu仕上げめっきを有する送信線でのニッケルにおいて伝わるはずであるということを示す。金の厚さ（すなわち 0.4 μm ）が金の場合の表皮厚さ（すなわち、0.45 GHz では 3.70 μm 、

50

0.9 GHzでは2.62 μm 、1.9 GHzでは1.8 μm 、5 GHzでは1.11 μm 、12 GHzでは0.72 μm 、および20 GHzでは0.56 μm ）未満であり、かつ、ニッケルの厚さ（すなわち5 μm ）は、ニッケルの表皮厚さ（すなわち0.45 GHzでは0.29～0.7 μm 、0.9 GHzでは0.2～0.5 μm 、1.9 GHzでは0.14～0.34 μm 、5 GHzでは0.09～0.21 μm 、12 GHzでは0.06～0.14 μm 、および20 GHzでは0.04～0.11 μm ）より大きいので、0.45 GHz、0.9 GHz、1.9 GHz、5 GHz、12 GHzおよび20 GHzの信号は、金およびニッケル層の両方において伝わるはずである。ニッケルの厚さが、約0.45 GHzから20 GHzの周波数範囲における表皮厚さより大きいので、この周波数範囲における信号は、ニッケル層を貫通するはずはない。表皮厚さは、周波数が高いほど、小さくなるはずであるので、20 GHzより大きい周波数の信号もニッケル層を貫通するはずはない。金は、5 μm のニッケル厚さを有するNiPdAu仕上げめっきを有する送信線と比較して（すなわち0.1 μm ）、NiAu仕上げめっきを有する送信線において厚い（すなわち0.4 μm ）ので、5 μm のニッケルを有するNiPdAu送信線と比較して、相対的により多くの信号が、NiAu送信線においてニッケルに比して金において伝導し、これにより、NiAu送信線において比較的損失が少なくなる。

10

【0683】

表4に示されるデータはさらに、5 μm のニッケル厚さを有するNiPdAu仕上げめっきを有する送信線におけるニッケルにおいて、0.45 GHz、0.9 GHz、1.9 GHz、5 GHz、12 GHzまたは20 GHzの周波数を有する信号の大部分が伝わるはずであることを示す。金の厚さ（すなわち0.1 μm ）およびパラジウムの厚さ（0.09 μm ）はともにそれぞれの表皮厚さ（すなわち金の場合、0.45 GHzでは3.70 μm 、0.9 GHzでは2.62 μm 、1.9 GHzでは1.8 μm 、5 GHzでは1.11 μm 、12 GHzでは0.72 μm 、および20 GHzでは0.56 μm ；パラジウムの場合、0.45 GHzでは7.73 μm 、0.9 GHzでは5.47 μm 、1.9 GHzでは3.76 μm 、5 GHzでは2.32 μm 、12 GHzでは1.50 μm 、および20 GHzでは1.16 μm ）未満であり、かつ、ニッケルの厚さ（すなわち5 μm ）は、ニッケルの表皮厚さ（すなわち0.45 GHzでは0.29～0.7 μm 、0.9 GHzでは0.2～0.5 μm 、1.9 GHzでは0.14～0.34 μm 、5 GHzでは0.09～0.21 μm 、12 GHzでは0.06～0.14 μm 、および20 GHzでは0.04～0.11 μm ）より大きいので、0.45 GHz、0.9 GHz、1.9 GHz、5 GHz、12 GHzまたは20 GHzの信号の大部分は、ニッケルにおいて伝わるはずである。ニッケルの厚さが、約0.45 GHzから20 GHzの周波数範囲における表皮厚さよりも大きいので、この周波数範囲における信号はニッケル層を貫通するはずはない。表皮厚さは、周波数が高いほど、小さくなるはずであるので、20 GHzより大きい周波数の信号もニッケル層を貫通するはずはない。したがって、金のボンディング面を介して5 μm のニッケル厚さを有するNiPdAu送信線に電氣的に結合されるRF信号の大部分は、ニッケルにおいて伝播するはずである。

20

30

【0684】

対照的に、表4に示されるデータはさらに、0.1 μm のニッケル厚さを有するNiPdAu仕上げめっきを有する送信線における銅において、0.45 GHz、0.9 GHz、1.9 GHz、5 GHz、12 GHzまたは20 GHzの周波数を有する信号の大部分が伝わるはずであることを示す。金、パラジウムおよびニッケルの厚さは各々それぞれの表皮厚さ未満であるので、0.45 GHz、0.9 GHz、1.9 GHz、5 GHz、12 GHzまたは20 GHzの信号の大部分は、貫通して銅に到るはずである。表皮厚さは、周波数が高いほど、小さくなるはずであるので、20 GHzより大きい周波数の信号も貫通して銅に到るはずである。したがって、金のボンディング面を介して0.1 μm のニッケル厚さを有するNiPdAu送信線に電氣的に結合されるRF信号の大部分は、銅において伝播するはずである。

40

【0685】

50

表3に示されるように、銅はニッケルの抵抗率の約5分の1の抵抗率を有する。したがって、0.45 GHz以上の周波数で信号を送信する場合、表1および表3におけるデータに対応する3つの送信線のうち、0.1 μmのニッケル厚さを有するNiPdAu仕上げめっきを有する送信線が、最も少ない抵抗性損失を有するはずである。表4におけるデータはさらに、周波数が20 GHzの信号は、0.11 μm未満の厚さを有するニッケルを貫通し得、周波数が12 GHzの信号は、0.14 μm未満の厚さを有するニッケルを貫通し得、周波数が5 GHzの信号は、0.2 μm未満の厚さを有するニッケルを貫通し得、周波数が1.9 GHzの信号は、0.34 μm未満の厚さを有するニッケルを貫通し得、周波数が0.9 GHzの信号は、0.5 μm未満の厚さを有するニッケルを貫通し得、周波数が0.45 GHzの信号は、0.7 μm未満の厚さを有するニッケルを貫通し得るということを示す。したがって、これらの信号は、金およびパラジウムの厚さが当該信号のそれぞれの周波数での表皮厚さ未満ならば、0.1 μmのニッケル厚さを有するNiPdAu仕上げめっきを有する送信線における銅において伝播するはずである。式5ならびに表2および表3におけるデータに基づいて、約22 GHzまでの周波数を有する信号は、約0.1 μmの厚さを有するニッケルにまで貫通することが可能であるはずである。

【0686】

C. ワイヤーボンディング

いくつかの実現例において、送信線757は、ワイヤーボンドを介してダイのピンに電氣的に結合され得る。ワイヤーのような導電体は、送信線757にRF信号を提供し得る。図68Aは、図67Aの送信線757にボンディングされるワイヤーの例を示す。図68Aに示されるように、送信線757は基板772上に含まれ得る。ダイ774も基板772に結合され得る。ワイヤー763は、送信線757のボンディング層758のボンディング面をダイ774に電氣的に接続し得る。これにより、送信線757はボンディング層758のボンディング面にてRF信号を受け取り得る。ワイヤー763は、ボールボンド764、ネック766、スパン767、ヒール768、ステッチボンド769（代替的にはウェッジボンド）、またはその任意の組合せを含み得る。

【0687】

いくつかのワイヤーボンドの仕様では、特定の障害が発生することのない最小の引張強度をワイヤー763が有するべきであることが特定される。たとえばいくつかの用途において、ワイヤーボンドの仕様は、ワイヤーが、熱への露出（たとえば、175℃で12時間のリフローまたはベーク）後、少なくとも3 gの引張強度を有するべきであり、かつ、ステッチリフト障害モード（stitch lift failure mode）を有するべきでないということを特定する。

【0688】

20 μmの厚さのAuワイヤーおよび20 μmの厚さのCuワイヤーについて実験データが収集された。Auワイヤーは、NiAu仕上げめっきを有する送信線と、異なるニッケル層厚さ（5 μmおよび0.1 μm）を有するNiPdAu仕上げめっきを有する2つの異なる送信線とを含んだ3つの異なる送信線においてテストされた。Cuワイヤーは、NiAu仕上げめっきを有する送信線と、異なるニッケル層厚さ（5 μmおよび0.1 μm）を有するNiPdAu仕上げめっきを有する2つの異なる送信線とを含む3つの異なる送信線においてテストされた。仕上げめっきは、NiAuおよびNiPdAuについて表2に示される値に対応する。実験のサンプル条件は、ワイヤーボンドの前の標準的なアセンブリプロセス（表面実装取付けおよびプラズマ）と、ワイヤーボンディング性に影響を与える、Ni拡散バリア層を通るCu拡散について試験するよう高熱への露出（表面実装取付けならびにベークおよびプラズマ）とを含んだ。標準的なアセンブリプロセスについての実験データは、Auワイヤーのすべてが、ワイヤー直径に依存して、熱への露出の後に3～4 gの引張強度仕様を超えるはずであることを示す。標準的なアセンブリプロセスについての実験データはさらに、プロセスパラメータが最適化されなかったが、Cuワイヤーのほとんどが3～4 gの引張強度仕様を超えるはずであることを示す。高い熱への露出について試験されたワイヤーの引張はすべて、3 gの引張強度仕様に合致または超え

ており、ステッチリフト障害モード基準に合致または超えていない。したがって、実験データは、MCMについて、 $0.1\text{ }\mu\text{m}$ のNi厚さを有するNiPdAu仕上げめっきのワイヤーボンディング性の実現可能性を確認する。

【0689】

D. 基板およびアレイ

図68Bは、図67Aの送信線757を含む基板772の例を示す。基板772は1つ以上の送信線757を含み得る。基板772は、本願明細書において記載される基板の特徴の任意の組合せを含み得る。たとえば、基板772はNiPdAu仕上げめっきを含むラミネート基板であり得る。

【0690】

同じ処理装置で複数の基板772が同時に製造され得る。図68Cは、図68Bの複数の基板772を含むアレイ773の例を示す。いくつかの実現例では、アレイ773は、RF信号を送信するために構成される送信線757を有する基板772を含むラミネートパネルであり得る。図68Cに示されるアレイ773は、25個の基板772を含んでいるが、他の実現例では、アレイ773は任意の好適な数の基板772を含み得る。送信線757は、たとえば、本願明細書において記載される仕上げめっき技術の特徴の任意の組合せを含むプロセスにおいて、複数の基板772上に形成され得る。次いで、たとえば、送信線757を形成した後、個々の基板772は、レーザーダイシング、ダイヤモンドソーまたは任意の他の好適な方法によって互いから分離され得る。

【0691】

E. めっき技術

$0.1\text{ }\mu\text{m}$ のニッケル厚さを有するNiPdAuめっき技術は、コストを削減し得る。このめっき技術はさらに、RF性能を改善または最小RF性能の影響を有し得る。上で議論されたデータおよび計算によって示されるように、 $0.1\text{ }\mu\text{m}$ のニッケル厚さを有するNiPdAuめっきにおいて、はんだめれ性および／またはワイヤーボンディング性を維持しつつ、金層、パラジウム層およびニッケル層において伝わるRF信号の量が低減され得るとともに、ラミネート上で銅層のような導電層においてRFエネルギーが増加および／または最大化され得る。他の実験のデータは、仕上げめっき（信号のすべてが銅層において伝わる）が最も低い挿入損失を提供しないことを示す。

【0692】

NiPdAuめっき技術の一例は無電解NiPdAuである。無電解NiPdAuの場合、たとえば、以前に議論された計算およびデータによって示されるように、ニッケル層が信号の周波数の表皮厚さより厚い場合、RF信号はニッケル層を貫通し得ない。ニッケル厚さがニッケルの表皮厚さ（たとえば、約 $0.1\text{ }\mu\text{m}$ ）未満にまで低減される場合、RF信号はニッケル、パラジウムおよび金めっき層を貫通し得る。従って、RF信号エネルギーの大部分は銅層に存在するはずである。金、パラジウムおよびニッケルと比較して、銅はRF損失が有意に低い。 $0.1\text{ }\mu\text{m}$ の厚さのニッケルを有するNiPdAu仕上げめっきを有する送信線におけるRFは、電解NiAuおよび／または無電解NiAu仕上げめっきを有する同等な伝送におけるRF損失未満であり得る。したがって、全体的な電気性能は、 $0.1\text{ }\mu\text{m}$ の厚さのニッケルを有するNiPdAu仕上げめっきを使用することにより、改善され得る。いくつかの実現例では、出力整合ネットワーク損失は、 1.9 GHz にて約 0.8 dB から 0.5 dB に低減され得、これにより、PA電力付加効率が約3%改善され得る。これは、 $0.1\text{ }\mu\text{m}$ の厚さのニッケルを有するNiPdAu仕上げめっきを含む製品の有意な歩留り向上および／または競争力の増大につながり得る。

【0693】

RF損失の特徴付けのために、出力整合ネットワークにおける2つの異なるインピーダンス（6オームおよび4オーム）により、実験データが収集された。6オームの出力整合ネットワークの場合、当該実験データは、損失が約 0.2 dB 改善されたことを示す。4オームの出力整合ネットワークの場合、当該実験データは、損失が約 0.3 dB 改善されたことを示す。 $0.1\text{ }\mu\text{m}$ の厚さのNiを有する無電解NiPdAu仕上げめっきを含む

送信線は、 $5\ \mu\text{m}$ の厚さのNiを有する標準の無電解NiPdAuを有する同等な送信線または無電解NiAu送信線よりも損失が低かった。

【0694】

F. モジュール

図69は、図67Aの送信線757を含み得るモジュール770の概略的なブロック図である。モジュール770は、いくつかの実現例では、マルチチップモジュールおよび／またはパワーアンプモジュールと称され得る。モジュール770は、基板772（たとえばパッケージング基板）、ダイ774（たとえばパワーアンプダイ）、整合ネットワーク775など、またはその任意の組合せを含み得る。示されていないが、モジュール770は、いくつかの実現例において、基板772に結合される1つ以上の他のダイおよび／または1つ以上の回路要素を含み得る。当該1つ以上の他のダイはたとえば、パワーアンプバイアス回路および／または直流－直流（DC－DC）コンバータを含み得るコントローラダイを含み得る。パッケージング基板上に実装される例示的な回路要素はたとえば、インダクタ、キャパシタ、インピーダンス整合ネットワークなど、またはその任意の組合せを含み得る。

10

【0695】

モジュール770は、モジュール770の基板772に実装および／または結合される複数のダイおよび／または他のコンポーネントを含み得る。いくつかの実現例では、基板772は、モジュール770が電話基板のような回路基板に実装される場合に、ダイおよび／またはコンポーネントを支持し、外部の回路網への電氣的接続性を提供するように構成される多層基板であり得る。基板772は、たとえば本願明細書において記載されるラミネートおよび／または仕上げめっきの特徴の任意の組合せを含む、仕上げめっきを有するラミネートを含み得る。基板772は、本願明細書において記載される送信線の特徴の任意の組合せを含む送信線757を介してコンポーネント同士の間の電氣的な接続性を提供し得る。たとえば、示されるように、送信線757は、出力整合ネットワーク775にパワーアンプダイ774を電氣的に接続し得る。

20

【0696】

パワーアンプダイ774は、モジュール770の入力ピンRF_INにてRF信号を受け取り得る。パワーアンプダイ774は、たとえば、RF信号を増幅するように構成される複数段のパワーアンプを含む1つ以上のパワーアンプを含み得る。パワーアンプダイ774は、入力整合ネットワーク776、第1段パワーアンプ777（ドライバアンプ（driver amplifier（DA））と称され得る）、段間整合ネットワーク778、第2段パワーアンプ779（出力アンプ（output amplifier（OA））と称され得る）、第1段パワーアンプ777にバイアスをかけるように構成される第1段バイアス回路780、第2段パワーアンプ779にバイアスをかけるように構成される第2段バイアス回路781、またはその任意の組合せを含み得る。パワーアンプは、第1段パワーアンプ777および第2段パワーアンプ779を含み得る。RF入力信号は、入力整合ネットワーク776を介して第1段パワーアンプ777に提供され得る。第1段パワーアンプ777は、RF入力を増幅し、段間整合回路778を介して第2段パワーアンプ779に増幅されたRF入力を提供し得る。第2段パワーアンプ779は、増幅されたRF出力信号を生成し得る。

30

40

【0697】

増幅されたRF出力信号は、出力整合ネットワーク775を介してパワーアンプダイ774の出力ピンRF_OUTに提供され得る。本願明細書において記載される送信線757のいずれも、パワーアンプの出力（たとえば、第2段パワーアンプ779によって生成される増幅RF出力信号）および／またはパワーアンプダイ774の出力を別のコンポーネントに結合するよう実現され得る。したがって、本願明細書において記載される拡散バリア層761の特徴の任意の組合せはさらに、パワーアンプの出力および／またはパワーアンプダイ774の出力にて実現され得る。整合ネットワーク775は、信号反射および／または他の信号歪みを低減することを支援するようモジュール770上に設けられ得る。パワーアンプダイ774は任意の好適なダイであり得る。いくつかの実現例では、パワ

50

ーアンプ774のダイは砒化ガリウム（GaAs）ダイである。これらの実現例のいくつかでは、GaAsダイは、ヘテロ接合バイポーラトランジスタ（HBT）プロセスを使用して形成されるトランジスタを有する。

【0698】

モジュール770はさらに、たとえばパワーアンプダイ774に電氣的に接続され得る1つ以上の電源ピンを含み得る。1つ以上の電源ピンは、いくつかの実現例において、異なる電圧レベルを有し得る $V_{SUPPLY1}$ および $V_{SUPPLY2}$ のような供給電圧をパワーアンプに提供し得る。モジュール770は、たとえばマルチチップモジュール上のトレースによって形成され得るインダクタのような回路要素を含み得る。インダクタは、チョークインダクタとして動作し得、供給電圧とパワーアンプダイ774との間に配置され得る。いくつかの実現例では、インダクタは表面実装される。さらに、回路要素は、インダクタに並列に電氣的に接続され、かつ、ピンRF_IN上で受け取られる信号の周波数の近傍の周波数で共振するように構成されるキャパシタを含み得る。ある実現例では、キャパシタは表面実装キャパシタを含み得る。

10

【0699】

モジュール770は、たとえば付加的なパワーアンプダイ、キャパシタおよび／またはインダクタを含む、より多くまたはより少ないコンポーネントを含むよう修正され得る。たとえば、モジュール770は、1つ以上の付加的な整合ネットワーク775を含み得る。別の例として、モジュール770は、付加的なパワーアンプダイと、当該付加的なパワーアンプダイとモジュール770の電源ピンとの間に配置される並列LC回路として動作するように構成される付加的なキャパシタおよびインダクタとを含み得る。モジュール770は、たとえば、パワーアンプダイ770上に配置される入力段に別個の電源が提供される実現例、および／または、モジュール770が複数の帯域にわたって動作する実現例において、付加的なピンを有するように構成され得る。

20

【0700】

モジュール770は、約3.2V～4.2Vの低電圧の正バイアス供給、良好なリニアリティ、高効率（たとえば28.25dBmではPAEが約40%）、大きなダイナミックレンジ、小さく低いプロファイルパッケージ（たとえば10パッド構成では3mm×3mm×0.9mm）、パワーダウン制御を有し得、低コレクタ電圧動作、デジタルイネーブルをサポートし、基準電圧、CMOSに適合する制御信号、集積された方向性結合器またはその任意の組合せを必要としない。

30

【0701】

いくつかの実現例において、モジュール770は、広帯域符号分割多重アクセス（WCDMA）用途のために開発された完全に整合した10パッドの表面実装モジュールであるパワーアンプモジュールである。この小さく効率的なモジュールは、完全な1920～1980MHzの帯域幅カバレジを単一の小型パッケージにパックし得る。全電力範囲を通じて達成される高効率により、モジュール770は、携帯電話について望ましい通話時間の利点を提供し得る。モジュール770は、高電力付加効率により、ハイスピードダウンリンクパケットアクセス（High Speed Downlink Packet Access（HSDPA））、ハイスピードアップリンクパケットアクセス（High Speed Uplink Packet Access（HSUPA））、ロングタームエボリューション（Long Term Evolution（LTE））データ伝送の厳格なスペクトルリニアリティ要件を満たし得る。方向性結合器は、モジュール770に集積され得、したがって外部結合器の必要性を除去できる。

40

【0702】

ダイ774は、モジュール770のすべての能動回路網を含む単一の砒化ガリウム（GaAs）マイクロ波モノリシック集積回路（MMIC）において実施されるパワーアンプダイであり得る。MMICは、オンボードのバイアス回路網と、入力整合ネットワーク776および段間整合ネットワーク778とを含み得る。出力整合ネットワーク775は、効率および電力性能を増加および／または最適化するよう、モジュール770のパッケージ内でダイ774と別個に実施される50オームの負荷を有し得る。

50

【0703】

モジュール770は、高効率および良好なリニアリティを維持しつつ、すべての正電圧DC供給動作を提供するGaAsヘテロ接合バイポーラトランジスタ(HBT)BiFETプロセスを用いて製造され得る。モジュール770への一次バイアスが、出力が約3.2~4.2Vまでの選択された範囲の任意の3セルNi-Cd電池、単一セルLiイオン電池、または他の好適な電池から直接的にまたは当該電池から中間コンポーネントを介して供給され得る。いくつかの実現例において、基準電圧は必要とされない。パワーダウンは、イネーブル電圧を0ボルトにセットすることにより達成され得る。いくつかの実現例に従うと、電池から完全な一次電圧が供給された状態で典型的な「オフ」リークが数マイクロアンペアであるので、外部供給側スイッチは必要ではない。

10

【0704】

G. モジュールデータ

図70A~図70Dは、図67Aの送信線と、図69のモジュールにおいて実現される他の送信線との間の関係を示すグラフである。図69に示されるとともに図69を参照して説明されたモジュール770に機能的に類似しているモジュールが、上記の表2~表4を参照して記載された3つの送信線を用いてテストされた。NiAu送信線は、5.5 μ mのニッケル厚さを有した。2つのNiPdAu送信線仕上げめっきはそれぞれ、6 μ mおよび0.1 μ mの異なるニッケル厚さを有する。テストされた送信線は、約25 μ mの厚さを有する銅の導電層を含む。別の態様では、テストされた送信線は、上記の表2~表4を参照して記載された層厚みおよび他の特性を有する。

20

【0705】

図70A~図70Dのグラフにおいて示されるように、NiPdAu仕上げめっきを有するとともに0.1 μ mのニッケル厚さを有する送信線が、性能指数(FOM)によって測定されるように、3つのタイプの送信線のテストのうち最良の性能を有する。さらに、以下の表5に含まれるデータは、0.1 μ mのニッケル厚さを有するNiPdAu仕上げめっきを有する送信線と、6 μ mのニッケル厚さを有するNiPdAu仕上げめっきを有する送信線について歩留りが同等であることを示す。

【0706】

【表5】

30

仕上げめっき	歩留り
NiAu (5.5 μ m Ni)	99.36%
NiPdAu (6 μ m Ni)	96.86%
Ni NiPdAu (0.1 μ m Ni)	98.90%

表5—異なる仕上げめっきでの歩留り

【0707】

パワーアンプは、隣接チャンネル電力比(ACPR)、電力付加効率(PAE)、性能指数(FOM)など、またはその任意の組合せのような多くの測定基準に基づいて評価され得る。ACPRはパワーアンプのリニアリティを評価する1つの測定基準である。PAEはパワーアンプの電力効率を評価する1つの測定基準である。たとえば、PAEが低いほど、携帯電話のようなパワーアンプを含む電子デバイスの電池寿命が低減され得る。FOMはパワーアンプの全体的な品質を特徴づける1つの方法である。

40

【0708】

図70Aおよび図70Bはそれぞれ、上記3つのタイプの送信線に対応する高電力、高周波数動作の場合のモジュール770のパワーアンプについてのACPRおよびPAEのグラフである。表6は、図70Aおよび図70Bからのデータのいくつかを要約している。

【0709】

50

【表 6】

仕上りめっき	n=	ACPR 平均	ACPR 標準偏差	PAE 平均	PAE 標準偏差	FOM (平均)
NiAu (5.5 μ m Ni)	469	-42.75	0.40	38.90	0.57	81.65
Ni NiPdAu (6 μ m Ni)	492	-40.28	1.16	39.30	0.51	79.58
Ni NiPdAu (0.1 μ m Ni)	451	-42.12	0.79	39.88	0.50	82.00

表 6－FOM高電力、高周波数

【0710】

図 70C および図 70D はそれぞれ、上記 3 つのタイプの送信線に対応する高電力、低周波数動作の場合のモジュール 770 のパワーアンプについての ACPR および PAE のグラフである。表 7 は、図 70C および図 70D からのデータのいくつかを要約している。

【0711】

【表 7】

仕上りめっき	n=	ACPR 平均	ACPR 標準偏差	PAE 平均	PAE 標準偏差	FOM (平均)
NiAu (5.5 μ m Ni)	469	-42.48	0.57	37.63	0.56	80.11
Ni NiPdAu (6 μ m Ni)	492	-42.56	0.32	38.48	0.55	81.04
Ni NiPdAu (0.1 μ m Ni)	451	-43.40	0.40	38.98	0.47	82.38

表 7－FOM高電力、低周波数

【0712】

表 6 および表 7 におけるデータは、0.1 μ m の厚さのニッケルを有する NiPdAu 仕上りめっきを有する送信線が、テストされた送信線のうち最も良好な FOM を有することを示す。表 6 のデータは、0.1 μ m の厚さのニッケルを有する NiPdAu 仕上りめっきを有する送信線についての平均の FOM は、NiAu めっきを有する同等の送信線についての平均の FOM よりも 0.35 良好であり、6 μ m のニッケル厚さを有する NiPdAu めっきを有する同等の送信線についての平均の FOM よりも 2.42 良好であることを示す。表 7 におけるデータは、0.1 μ m の厚さのニッケルを有する NiPdAu 仕上りめっきを有する送信線についての平均の FOM は、NiAu めっきを有する同等の送信線についての平均の FOM よりも 2.27 良好であり、6 μ m のニッケル厚さを有する NiPdAu めっきを有する同等の送信線についての平均の FOM よりも 1.34 良好であることを示す。

【0713】

表 8 は、上記 3 つのタイプの送信線がテストされる状態で、モジュール 770 の高電力零入力コレクタ電流 I_{QCC} についてのデータを要約している。当該データは、各タイプの送信線を含むモジュールが同様の DC 性能を有することを示す。

【0714】

【表 8】

仕上りめっき	n=	平均 IQCC (mA)	標準偏差(mA)
NiAu (5.5 um Ni)	469	95.60	5.46
NiPdAu (6 um Ni)	492	94.84	5.21
NiPdAu (0.1 um)	451	96.15	5.26

表 8－DC 性能

【0715】

10

表 9 は、テストされる上記 3 つのタイプの送信線に対応するモジュール 770 におけるパワーアンプの高電力、高周波数ゲインについてのデータを要約している。表 9 におけるデータは、0.1 μm の厚さのニッケルを有する NiPdAu 仕上りめっきを有する送信線を有するモジュールにおけるパワーアンプが、最も高い平均ゲインを有するので、最も低い挿入損失を有することを示す。

【0716】

【表 9】

仕上りめっき	n=	平均ゲイン	デルタゲイン
NiAu (5.5 um Ni)	469	28.65	---
NiPdAu (6 um Ni)	492	28.47	-0.18
NiPdAu (0.1 um)	451	28.77	0.12

20

表 9－ゲイン／挿入損失

【0717】

H. RF 送信線によって結合される例示的なコンポーネント

図 71 は、図 67A の送信線 757 を介して互いに結合される 2 つの無線周波数 (RF) コンポーネントの概略的なブロック図である。図 72A～図 72F は、図 67A の送信線 757 を介して互いに電氣的に結合され得るさまざまなコンポーネントの概略的なブロック図である。示されるコンポーネントは、たとえば図 69 に関連して記載されるように、本願明細書において記載される基板の特徴の任意の組合せを含む基板 772 に結合され得る。一例として、基板 772 は仕上りめっきを有し得る。代替的または付加的には、さまざまなコンポーネントは、図 73 を参照して記載されたモバイルデバイス 788 のようなモバイルデバイスに含まれ得る。

30

【0718】

図 71 に示されるように、送信線 757 は第 2 の RF コンポーネント 783 に第 1 の RF コンポーネント 782 を電氣的に結合し得る。第 1 の RF コンポーネント 782 は、RF 信号を送信し、RF 信号を受け取り、RF 信号を処理し、RF 信号を調節などし、またはその任意の組合せを行うように構成される任意の好適な回路要素を含み得る。同様に、第 2 の RF コンポーネント 783 は、RF 信号を送信し、RF 信号を受け取り、RF 信号を処理し、RF 信号を調節などし、またはその任意の組合せを行うように構成される任意の好適な回路要素を含み得る。RF コンポーネントの非限定的な例は、パワーアンプ、RF スイッチ、フィルタおよびアンテナを含む。

40

【0719】

図 72A および図 72B に示されるように、パワーアンプ 779 は、基板 772 上に含まれる送信線 757 に電氣的に結合される出力を有し得る。たとえば、パワーアンプ 779 の出力は送信線 757 にワイヤーボンディングされ得る。図 72A において示される実現例において、送信線 757 は、パワーアンプ 779 の出力を RF スイッチ 784 に送信するように構成される。RF スイッチ 784 は、オンの際に RF 信号を通過させ、オフの

50

際にRF信号をブロックするように構成される任意の好適なスイッチであり得る。図72Bに示される実現例において、送信線757は、パワーアンプ779の出力をフィルタ786に送信するように構成される。フィルタ786は、RF信号をフィルタするように構成される任意の好適なフィルタであり得る。たとえば、フィルタ786は、ローパスフィルタ、バンドパスフィルタまたはハイパスフィルタであり得る。

【0720】

図72Cおよび図72Dにおいて示されるように、RFスイッチ784は、基板772上に含まれる送信線757に電氣的に結合される出力を有し得る。たとえば、RFスイッチ784の出力は送信線757にワイヤーボンディングされ得る。図72Cにおいて示される実現例において、送信線757は、RFスイッチ784の出力をアンテナ787に送信するように構成される。図72Dに示される実現例において、送信線757は、RFスイッチ784の出力をフィルタ786に送信するように構成される。

10

【0721】

図72Eおよび図72Fにおいて示されるように、フィルタ786は、基板772上に含まれる送信線757に電氣的に結合される出力を有し得る。たとえば、フィルタ786の出力は送信線757にワイヤーボンディングされ得る。図72Eにおいて示される実現例において、送信線757は、フィルタ786の出力をRFスイッチ784に送信するように構成される。図72Fにおいて示される実現例において、送信線757は、フィルタ786の出力をアンテナ787に送信するように構成される。

20

【0722】

I. モバイルデバイス

本願明細書において記載されるシステム、方法、および装置のいずれも、ワイヤレスデバイスとも称され得るモバイルデバイスのようなさまざまな電子デバイスにおいて実現され得る。図73は、図67Aの送信線を含む例示的なモバイルデバイス788の概略的なブロック図である。モバイルデバイス788の例は、携帯電話（たとえばスマートフォン）と、ラップトップと、タブレットコンピュータと、携帯情報端末（PDA）と、電子ブックリーダーと、ポータブルデジタルメディアプレーヤとを含むがこれらに限定されない。たとえばモバイルデバイス788は、たとえば、グローバルシステム・フォー・モバイル（GSM）、符号分割多重アクセス（CDMA）、3G、4Gおよび／またはロングタームエボリューション（LTE）を使用して通信するように構成されるマルチバンド／マルチモード携帯電話のようなマルチバンドおよび／またはマルチモードデバイスであり得る。

30

【0723】

ある実施形態では、モバイルデバイス788は、スイッチングコンポーネント789、トランシーバコンポーネント791、アンテナ787、パワーアンプ792、制御コンポーネント793、コンピュータ読取可能媒体794、プロセッサ796、電池797および供給制御798の1つ以上を含み得る。本願明細書において記載される送信線757のいずれも、モバイルデバイス788におけるさまざまな位置において実現され得る。たとえば、図73に示されるように、送信線757は、スイッチングコンポーネント789にパワーアンプ792の出力を電氣的に接続し、および／または、アンテナ787にスイッチングコンポーネント789を電氣的に接続し得る。

40

【0724】

トランシーバコンポーネント791は、アンテナ787を介する送信のためのRF信号を生成し得る。更に、トランシーバコンポーネント791は、アンテナ787から入って来るRF信号を受け取り得る。

【0725】

RF信号の送信および受信に関連付けられるさまざまな機能は、トランシーバ791として図73において集合的に表わされる1つ以上のコンポーネントによって達成され得るということが理解されるべきである。たとえば、送信機能および受信機能の両方を提供するために、単一のコンポーネントが構成され得る。別の例では、送信機能および受信機能

50

は、別個のコポーネントによって提供され得る。

【0726】

さらに同様に、RF信号の送信および受信に関連付けられるさまざまなアンテナ機能は、アンテナ787として図73において集合的に表わされる1つ以上のコンポーネントによって達成され得るということが理解されるべきである。たとえば、送信機能および受信機能の両方を提供するために、単一のアンテナが構成され得る。別の例では、送信機能および受信機能は、別個のアンテナによって提供され得る。さらに別の例では、モバイルデバイス788に関連付けられる異なる帯域は、異なるアンテナによって提供され得る。

【0727】

図73では、トランシーバ791からの1つ以上の出力信号が、1つ以上の送信パスを介してアンテナ787に提供されることが示されている。示される例において、異なる送信パスは、異なる帯域および／または異なる電力出力に関連付けられる出力パスを示し得る。たとえば、示された2つの例示的なパワーアンプ792は、異なる電力出力構成（たとえば低電力出力および高電力出力）に関連付けられる増幅、および／または、異なる帯域に関連付けられる増幅を示し得る。

【0728】

図73において、アンテナ787からの1つ以上の検出された信号が、1つ以上の受信パスを介してトランシーバ791に提供されることが示されており、当該受信パスの各々は、本願明細書において示されるとともに記載される本発明の送信線757から利益を得ることがあり得る。示される例において、異なる受信パスは、異なる帯域に関連付けられるパスを示し得る。たとえば、示される4つの例示的なパスは、いくつかのモバイルデバイス788に提供されているクワッドバンド性能を示し得る。

【0729】

受信パスと送信パスとの間のスイッチングを促進するために、スイッチングコンポーネント789は、選択された送信パスまたは受信パスにアンテナ787を電氣的に接続するように構成され得る。したがって、スイッチングコンポーネント789は、モバイルデバイス788の動作に関連付けられる多くのスイッチング機能を提供し得る。ある実施形態では、スイッチングコンポーネント789は、たとえば、異なる帯域間のスイッチング、異なる電力モード間のスイッチング、送信モードと受信モードとの間のスイッチング、またはその何らかの組合せに関連付けられる機能を提供するように構成される多くのスイッチを含み得る。スイッチングコンポーネント789はさらに、信号のフィルタリングを含む付加的な機能を提供するように構成され得る。たとえば、スイッチングコンポーネント789は、1つ以上のデュプレクサを含み得る。

【0730】

モバイルデバイス788は、1つ以上のパワーアンプ792を含み得る。RFパワーアンプは、相対的に低い電力を有するRF信号の電力を増強するよう使用され得る。その後、増強されたRF信号は、送信機のアンテナを駆動することを含むさまざまな目的に使用され得る。パワーアンプ792は、送信のためにRF信号を増幅するよう携帯電話のような電子デバイスに含まれ得る。たとえば、3Gおよび／または4G通信規格下での通信のためのアーキテクチャを有する携帯電話において、パワーアンプはRF信号を増幅するために使用され得る。所望の送信電力レベルは、ユーザが基地局および／またはモバイル環境からどれくらい遠ざかっているかに依存し得るので、RF信号の増幅を管理することが望ましくあり得る。パワーアンプはさらに、割り当てられた受信時間スロットの間の送信からの信号干渉を防止するよう、時間にわたってRF信号の電力レベルを調整することを支援するために使用され得る。パワーアンプモジュールは、1つ以上のパワーアンプを含み得る。

【0731】

図73は、ある実施形態において、制御コンポーネント793が提供され得、このようなコンポーネントは、スイッチングコンポーネント789、パワーアンプ792、供給制御798および／または他の動作コンポーネントの動作に関連付けられるさまざまな制御

機能を提供するように構成される回路網を含み得ることを示す。

【0732】

ある実施形態において、プロセッサ796は、本願明細書において記載されるさまざまな機能の実現を促進するように構成され得る。本願明細書において記載されたコンポーネントのいずれかの動作に関連付けられる、プロセッサ796に命令し得るコンピュータプログラム命令は、コンピュータ読取可能メモリ794に格納され得、当該コンピュータ読取可能メモリに格納される指示が、本願明細書において記載されるモバイルデバイス、モジュールなどのさまざまな動作機能を実現する命令を含む製品が作り出す。

【0733】

示されるモバイルデバイス788はさらに、1つ以上のパワーアンプ792に電源を提供するために使用され得る供給制御ブロック798を含む。たとえば、供給制御ブロック798はDC-DCコンバータを含み得る。しかしながら、ある実施形態では、供給制御ブロック798は、たとえば、増幅されるRF信号のエンベロープに基づき、パワーアンプ792に提供される供給電圧を変化させるように構成されるエンベロープトラッカのような他のブロックを含み得る。

【0734】

供給制御ブロック798は、電池797に電氣的に接続され得、供給制御ブロック798は、DC-DCコンバータの出力電圧に基づいて、パワーアンプ792に提供される電圧を変化させるように構成され得る。電池797は、たとえばリチウムイオン電池を含む、モバイルデバイス788において使用される任意の好適な電池であり得る。ニッケルのような材料で形成され、かつ、RF範囲における周波数での材料の表皮厚さ未満の厚さを有する拡散バリア層を含む送信パスのための送信線757により、電池797の電力消費が低減され得、および／または、信号品質が改善され得、これにより、モバイルデバイス788の性能が改善される。

【0735】

J. 用途

このセクションにおいて上で記載された実施形態のうちのいくつかにより、携帯電話のような、パワーアンプを含むモジュールおよび／または電子デバイスに関係する例が提供された。しかしながら、当該実施形態の原理および利点は、高性能RF送信線の必要性を有する任意の他のシステムまたは装置に使用され得る。

【0736】

本開示の1つ以上の局面を実現するシステムは、さまざまな電子デバイスにおいて実現され得る。電子デバイスの例は、コンシューマエレクトロニクス製品、コンシューマエレクトロニクス製品の部分、および電子試験機器などを含み得るがこれらに限定されない。より具体的には、本開示の1つ以上の局面を実現するように構成される電子デバイスは、RF送信デバイス、パワーアンプを有する任意のポータブルデバイス、携帯電話（たとえばスマートフォン）、電話、基地局、フェムトセル、レーダ、Wi-Fi（登録商標）および／またはブルートゥース（登録商標）規格に従って通信するように構成されるデバイス、テレビ、コンピュータモニタ、コンピュータ、ハンドヘルドコンピュータ、タブレットコンピュータ、ラップトップコンピュータ、携帯情報端末（PDA）、電子レンジ、冷蔵庫、自動車、ステレオシステム、DVDプレーヤ、CDプレーヤ、VCR、MP3プレーヤ、ラジオ、カムコーダ、カメラ、デジタルカメラ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯／乾燥機、コピー機、ファクシミリマシン、スキャナ、多機能周辺機器、腕時計、時計などを含み得るがこれらに限定されない。コンシューマエレクトロニクス製品の部分は、RF送信線を含むマルチチップモジュール、パワーアンプモジュール、RF送信線を含む集積回路、RF送信線を含む基板など、またはその任意の組合せを含み得る。さらに、電子デバイスの他の例はまた、メモリチップ、メモリモジュール、光学ネットワークまたは他の通信ネットワークの回路、およびディスクドライバ回路を含み得るがこれらに限定されない。さらに、電子デバイスは未完成の製品を含み得る。

【0737】

このセクションにおいて本発明のさまざまな実施形態および関連する特徴、局面、ならびに特性が記載されているが、本発明の範囲内であるさらに多くの実施形態および実現例が可能であるということは当業者には明白であろう。たとえば、本願明細書における発明は、記載された材料またはシステムに限定されず、集積回路、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善するために、この開示の全体にわたって記載される本発明の任意の他の数の関連する局面、所望の局面、または好適な局面と組み合わせて、個々に、または、別の態様では組み合わせられ、集積され、組み立てられ、もしくは一緒に連結されてもよい。

【0738】

X I. 窒化タンタルで終端されたウェハ貫通ビア

10

窒化タンタルで終端されるウェハ終端ビアのための装置および方法が本願明細書において記載される。ある実現例では、窒化タンタル (T a N) 終端層が、砒化ガリウム (G a A s) ウェハの第1の側または表側上に形成され、金の導電層が当該T a N終端層の上に形成される。その後、ウェハ貫通ビアが、G a A s ウェハおよびT a N終端層の第1または内側部を貫通するよう延在して金の導電層に到達するように、G a A s ウェハの第2の側または裏側へとエッチングされる。ある実現例において、ウェハ貫通ビアは、ニッケルバナジウム (N i V) バリア層、金のシード層および銅層でめっきされる。ウェハ貫通ビアの形成の間、T a N終端層の第2または外側部は、G a A s ウェハへの銅の拡散を抑制するために金の導電層と銅層との間の界面を取り囲むように維持および構成される。

【0739】

20

T a Nで終端されるウェハ貫通ビアは、窒化珪素終端およびスパッタリングされたバリア層を使用するスキームに比して、金属接着の改善および銅のマイグレーションの低減を提供し得る。更に、ウェハ貫通ビアを終端するようT a N終端層を使用するある実現例では、ウェハ貫通ビアの場所または位置が、作製、または、G a A s ウェハの表側上に形成されるトランジスタ構造に関連付けられるリソグラフィマスクを変更することなく動かされることが可能になる。トランジスタに関連付けられるリソグラフィマスクを変更することなくウェハ貫通ビアを移動可能なように構成することにより、設計の柔軟性が増加され得、および／または、ウェハ貫通ビアを含む集積回路設計の増加する修正またはテープアウトに関連付けられる時間およびコストが低減される。これに鑑みて、関連する技術における当業者であれば、パワーアンプモジュールおよびそれらが使用されるデバイスの性能をさらに改善するために、本発明のこれらの局面は本願明細書に開示される他の局面と組み合わせられてもよいということが容易に理解されるはずである。

30

【0740】

ここで次に図74Aを参照して、本発明のある局面の一実施形態に従ったウェハ799の概略的な平面図が示される。ウェハ799は、複数のウェハ貫通ビア802を含んでおり、担持基板または板801に実装されている。

【0741】

ウェハ799は、自身の上に形成された、トランジスタ、抵抗器および／またはダイオード構造のような電子回路を含み得る砒化ガリウム (G a A s) ウェハであり得る。ある実現例では、電子回路はパワーアンプ回路として動作するように構成される。

40

【0742】

ウェハ799はさらに、ウェハ799の対向する側同士の間で電気的接続を提供するために使用され得るウェハ貫通ビア802を含む。ある実現例では、ウェハ貫通ビア802は、ウェハ799の第2または裏側上に配置される導電体を使用して提供される接地または低電源電圧により、ウェハ799の第1または表側の上に形成される電子回路に電力を供給するように使用される。

【0743】

ウェハ貫通ビア802の形成を支援するために、ウェハ799は、約200 μm未満である厚さのような相対的に小さな厚さを有するように構成され得る。担持板801は、処理の間にウェハ799に対する破損または他の損傷を防止することによって、ウェハ79

50

9 上にウェハ貫通ビア 802 を形成することを支援するために使用され得る。

【0744】

明瞭さのために、図 74A は 100 個未満のウェハ貫通ビアを含むようにウェハ 799 を示すが、ウェハ 799 は典型的に、たとえば 100、000 個以上のウェハ貫通ビアといった、より多くのウェハ貫通ビアを含む。

【0745】

図 74B は、図 74A のウェハ 799 の部分の部分拡大平面図である。示されるウェハ貫通ビア 802 は、ウェハ 799 においてキャビティを規定しており、当該キャビティは第 1 の端部および第 2 の端部を含む。ある実現例では、異方性エッチングプロセスがウェハ 799 をエッチングするために使用され、これにより、ウェハ貫通ビアのキャビティの第 1 および第 2 の端部が異なるサイズを有し得る。

10

【0746】

一実施形態では、キャビティの第 1 の端部は幅 W_1 および長さ L_1 を有し、キャビティの第 2 の端部は幅 W_2 および長さ L_2 を有し、 W_1 の範囲は約 $15\text{ }\mu\text{m}$ から約 $60\text{ }\mu\text{m}$ の間であり、 L_1 の範囲は約 $15\text{ }\mu\text{m}$ から約 $60\text{ }\mu\text{m}$ の間であり、 W_2 の範囲は約 $50\text{ }\mu\text{m}$ から約 $70\text{ }\mu\text{m}$ の間であり、 L_2 の範囲は約 $60\text{ }\mu\text{m}$ から約 $90\text{ }\mu\text{m}$ の間である。

【0747】

図 74A および図 74B は、ウェハ 799 の上から見た際に形状が実質的に長方形であるウェハ貫通ビア 802 の場合について示されるが、ウェハ貫通ビア 802 は、たとえば円形状、楕円形状、台形状および／または四角形状を含む他の態様に形状決めされ得る。

20

【0748】

図 75A～図 75I は、本願明細書の一実施形態に従ったウェハについて、ウェハ貫通ビアを形成するための製造プロセスを示す概略的な断面図である。

【0749】

図 75A は、ある実施形態において、砒化ガリウム (GaAs) 基板であり得る基板 803 の第 1 または表側の上にパッシベーション層 804 を形成することを示す。基板 803 の表側は、その上に形成されたパワーアンプ回路のような電子回路を含み得る。パッシベーション層 804 は、基板 803 をパッシベートし、および／または、電子回路を封止することを支援するよう、基板 803 の表側の上に形成され得る。一実施形態では、パッシベーション層 804 は窒化珪素 (SiN) 層である。パッシベーション層 804 は、約 190 nm の厚さといった任意の好適な厚さを有し得る。

30

【0750】

図 75B は、パッシベーション層 804 の上にフォトレジスト層 806 の形成およびパターンニングすることと、パッシベーション層 804 をパターンニングするためにフォトレジスト層 806 を使用することとを示す。フォトレジスト層 806 は、スピンコーティングを使用してフォトレジストを堆積し、その後、リソグラフィを使用してフォトレジストをパターンニングすることを含む任意の好適な技術を使用して形成され得る。

【0751】

パッシベーション層 804 は、たとえば、化学蒸気 (chemical vapor (CV)) エッチングを含む任意の好適なプロセスを使用してエッチングされ得る。図 75B に示されるように、パッシベーション層 804 のエッチングは、フォトレジスト層 806 の縁部の下に延在し得、これにより、フォトレジスト層 806 のその後の除去またはリフトオフを支援し得る。一実施形態では、パッシベーション層 804 をエッチングするのに用いられるプロセスは、少なくとも約 $3\text{ }\mu\text{m}$ だけフォトレジスト層 806 をアンダーエッチングするように構成される。

40

【0752】

図 75C は、マスクとしてフォトレジスト層 806 を使用して窒化タンタル (Ta₂N₅) 終端層 807 を形成することを示す。Ta₂N₅ 終端層 807 はスパッタプロセスのような任意の好適なプロセスを使用して形成され得る。さらに以下に記載されるように、基板 80

50

3を貫通するように形成されるウェハ貫通ビアを終端するために、TaN終端層807が使用され得る。一実施形態では、TaN終端層807は、約50nm～約100nmの範囲の厚さを有する。

【0753】

ある半導体プロセスは、TaNを利用して、基板803の表側に配置される電子回路に薄膜抵抗器を形成する。このようなプロセスでは、TaN終端層807は、TaN薄膜抵抗器層を使用することにより形成され得、これにより、ウェハの製造プロセスのステップの数および／またはコストが低減される。

【0754】

図75Dは、フォトリソ層806を取り除くことと、TaN終端層807の上に導電層809を形成することとを示す。フォトリソ層806は、酸素(O)および／またはフッ素(F1)のような反応種を使用するプラズマアッシングプロセスといった任意の好適なプロセスを使用して除去され得る。

10

【0755】

ある実現例において、導電層809は、基板803の表側から形成される、電子回路のための金属化層として動作するように構成される金属層である。図75Dに示されるように、導電層809の一部は、TaN終端層807の上に形成される。導電層809は、窒化珪素終端層を使用するスキームに対して、TaN終端層807への接着の改善を有し得る。

【0756】

20

さらに以下に詳細に記載されるように、ウェハ貫通ビアは、TaN終端層807の上に形成される導電層809の部分を、基板803の第2または裏側上に形成される裏側の導電性構造に電気的に接続するよう、基板803に形成され得る。裏側の導電性構造は銅層を含み得、TaN終端層807は、基板803への銅マイグレーションを低減または抑制し得る。

【0757】

導電層809は、図75Dに示される基板803の部分の上に連続的であるように示されるが、導電層809は典型的に基板803の上でパターニングされる。導電層809は、フォトリソプロセスのような任意の好適なパターニングプロセスを使用してパターニングされ得る。

30

【0758】

図75Eは、基板803の表側へ接着剤808を使用して担持板801を取り付けまたは接合することと、基板803の裏側上にフォトリソ層811を形成しパターニングすることとを示す。接着剤808は、担持板801に基板803を接合するよう使用され得る。接着剤はたとえば任意の好適なポリマーまたはワックスであり得る。

【0759】

ある実現例において、担持板801は、基板803より大きな直径を有するサファイヤ基板である。担持板801は、処理の間の基板803の破損を防止し得、その後、除去され得る。さらに、担持板801は、化学物質に対しておよび／または基板803の処理に関連付けられる環境に対して抵抗があり得る。

40

【0760】

図75Fは、基板803の裏側からウェハ貫通ビア802を基板803に形成することとを示す。ウェハ貫通ビア802はたとえば、プラズマエッチングプロセスを使用することにより形成され得る。ウェハ貫通ビア802は、基板803とTaN終端層807の内側部とを貫通して導電層809に到達するよう延在し得る。一実施形態では、ウェハ貫通ビア802の高さは、約80μmから約200μmの範囲にある。

【0761】

図75Gは、フォトリソ層811を除去することと、ウェハ貫通ビア802の上にバリア層812を形成することとを示す。フォトリソ層811は、図75Dに関して以前に記載されたプロセスのような任意の好適なプロセスを使用して除去され得る。バリ

50

ア層 8 1 2 は、その後に堆積された銅層の基板 8 0 3 への銅拡散を低減するために使用され得る。ある実現例では、バリア層 8 1 2 はニッケルバナジウム (N i V) 層である。バリア層 8 1 2 は、スパッタプロセスのような任意の好適なプロセスを使用して形成され得る。バリア層 8 1 2 は、その後に堆積された銅層の銅拡散を低減し得るが、それにもかかわらず、バリア層 8 1 2 の不完全なステップカバレジのようなさまざまな理由により、何らかの銅がバリア層 8 1 2 を通ってマイグレートし得る。

【0762】

図 7 5 H は、バリア層 8 1 2 の上にシード層 8 1 3 を形成することと、シード層 8 1 3 の上に銅層 8 1 4 を形成することとを示す。シード層 8 1 3 は、たとえば金属イオンを含む溶液に基板 8 0 3 を晒すといったさまざまなプロセスを使用して形成され得る。シード層 8 1 3 は、金のような任意の好適な金属を含み得る。銅層 8 1 4 はシード層 8 1 3 の上に形成されている。銅層 8 1 4 は、たとえば電気化学めっき法を含む任意の好適なプロセスを使用してシード層 8 1 3 の上に形成され得る。

10

【0763】

図 7 5 H に示されるように、終端層 8 0 7 の外側部は、処理の間、保持されるとともに、ウェハ貫通ビア 8 0 2 を終端するよう導電層 8 0 9 と銅層 8 1 4 との間の界面を取り囲むように構成されている。T a N 終端層 8 0 7 は、ウェハ貫通ビア 8 0 2 の近傍の基板 8 0 3 の部分をパッシベートし、バリア層 8 1 2 を通過してマイグレートする銅が基板 8 0 3 に到達するのを抑制することにより、銅マイグレーションを低減し得る。一実施形態において、導電層 8 0 9 と銅層 8 1 4 との間の界面を囲む T a N 終端層 8 0 7 の部分は、少なくとも 1 0 μ m の幅を有する。

20

【0764】

銅層 8 1 4 および導電層 8 0 9 は、ウェハ貫通ビア 8 0 2 を使用して互いに電氣的に接続される。ある実現例において、基板 8 0 3 の表側はその上に形成されるトランジスタを含み、銅層 8 1 4 から形成された導電性接地平面に当該トランジスタを電氣的に接続し、および／または、トランジスタによって生成される熱を放散するよう、ウェハ貫通ビア 8 0 2 が使用される。たとえば、基板 8 0 3 の表側は、その上に形成されるパワーアンプ回路を含み得、当該パワーアンプ回路に関連付けられるバイポーラトランジスタのエミッタが、ウェハ貫通ビア 8 0 2 を使用して、銅層 8 1 4 から形成される導電性接地平面に電氣的に接続され得る。

30

【0765】

図 7 5 I は、基板 8 0 3 から担持板 8 0 1 を除去または脱接合することとを示す。担持板 8 0 1 は、たとえば、接合強さを低減するよう接着剤 8 0 8 を加熱するとともに機械的な力を使用することを含むさまざまな態様で、基板 8 0 3 から除去され得る。基板 8 0 3 は、担持板 8 0 1 の除去の後、所望のように接着剤 8 0 8 が除去されるように、たとえばプラズマエッチングを使用し、および／または、アセトンのような清浄液を使用することによって清浄化され得る。

【0766】

図 7 5 A ~ 図 7 5 I に示される製造プロセスは脱接合プロセスで終わるように示されているが、示されるウェハにさらに別の処理が行われ得る。たとえば、ウェハからダイを形成するために、ウェハにシンギュレーションが行われ得る。一実施形態では、ウェハはパワーアンプ回路を含むように構成され、パワーアンプダイを形成するようシンギュレートされる。

40

【0767】

ある実施形態の上記の詳細な説明は、網羅的であるよう意図されず、または、本発明を上に開示されたそのものの形態に限定するよう意図されない。例示的な目的のために特定の製造プロセスが上に記載されているが、関連する技術の当業者が認識するように、さまざまな修正が本発明の範囲内で可能である。たとえば、本開示のこれらの局面の範囲から逸脱することがなければ、本願明細書において記載された製造プロセスに対するさまざまな省略、置換および／または変更がなされてもよい。

50

【0768】

したがって、このセクションにおいて本発明のさまざまな実施形態および関連する特徴、局面、ならびに特性が記載されているが、本発明の範囲内であるさらに多くの実施形態および実現例が可能であるということは当業者には明白であろう。たとえば、本願明細書における発明は、記載された材料またはシステムに限定されず、集積回路、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善するために、この開示の全体にわたって記載される本発明の任意の他の数の関連する局面、所望の局面、または好適な局面と組み合わせて、個々に、または、別の態様では組み合わせられ、集積され、組み立てられ、もしくは一緒に連結されてもよい。

【0769】

X I I . 無線周波数シールドイング用途におけるビアの密度および配置

このセクションにおいて議論される本開示の局面は、パッケージモジュールのRFアイソレーション構造の部分を形成するビアの位置および／または密度の決定と、その結果得られるRFアイソレーション構造とに関する。電磁干渉（EMI）データから、RFアイソレーション構造のEMI性能を著しく低下させることなくビア密度が増加および／または減少され得る位置が識別され得る。ある実施形態において、当該EMIデータに基づいて、1つ以上のビアがパッケージモジュールの選択されるエリアに付加および／または除去され得る。上に示されるように、パワーアンプモジュールおよび当該パワーアンプモジュールが使用されるデバイスの性能をさらに改善するために、本発明のこれらの局面は、本願明細書の他の局面と組み合わせられてもよい。

【0770】

ビアは、RFアイソレーション構造の上部導電層と底部導電層との間の電氣的接続の部分を形成し得る。たとえば導電層のうちの1つからRFアイソレーション構造への強い接地接続を有することは望ましくあり得る。RFアイソレーション構造の強さは、接地接続の強さに基づき得る。より多くのビアが、より強い接地接続を提供し得る。以前の設計では、強い接地接続をあるRFアイソレーション構造に提供するためにできるだけ多くのビアが含まれた。しかしながら、それらのビアは、有意なダイエリアを浪費し、パッケージモジュールのコストが増加した。

【0771】

本開示のこのセクションにおいて、EMIプロービングデータおよび／または近接場走査データといった電磁干渉（EMI）データに基づいて、ビアの配置が決定され得るということが認識される。RF信号に関連付けられるアイソレーションに関係する特定の特徴も、この開示において認識される。本願明細書において記載される1つ以上の特徴は、RFアイソレーション構造が、過剰なダイエリアを浪費せずに所望のRFアイソレーションを提供するようにビアを選択的に配置することに関する。たとえば、特定の環境からのEMIデータが取得され得、ビアの配置がこのようなデータに基づいて決定され得る。

【0772】

一般に記載されるように、このセクションにおけるこの開示の局面は、RFアイソレーション構造の部分を形成するビアの位置および／または密度を決定することに関する。シミュレーションおよび／またはEMIデータから、「ホットスポット」の位置および／またはパッケージモジュールの「非放射エリア」が決定され得る。「ホットスポット」は、相対的に高い量の電磁放射を発するパッケージモジュールのエリア、および／または、相対的に高い量の外部電磁放射を受け取るパッケージモジュールのエリアであり得る。「非放射エリア」は、相対的に低い量の電磁放射を発するパッケージモジュールのエリア、および／または、相対的に低い量の外部電磁放射を受け取るパッケージモジュールのエリアであり得る。パッケージモジュールの選択されたエリアにおいて、ホットスポットおよび／または非放射エリアの位置に基づいて、RFアイソレーション構造のEMI性能を著しく低下させることなく、RFアイソレーション構造の部分を形成するビアの密度が調節され得る。ある実施形態において、1つ以上のビアは、パッケージモジュールの選択されたエリアに付加および／または除去され得る。たとえば、ビアは非放射エリアの周りで除去

することができる。別の例として、ビアはホットスポットの周りに加えられ得る。代替的または付加的には、外部放射に対するパッケージモジュールの位置の感度が決定され得る。感度データに基づいて、ビアの位置および／または密度が調節され得る。

【0773】

ビアの位置および／または密度の調節によって、RFアイソレーション構造は、基板上のより少ないエリアを消費し得る。結果として、パッケージモジュールは、より小さくなり得、あまり高価でなくなり得、電力の消費が少なくなり得、またはその任意の組合せがなされ得る。特定のRFアイソレーションの必要性に対するビアの位置および／または密度を調整することによって、EMI性能を著しく低下させることなくビアの合計数が低減され得る。これにより、用いられるビアがより少なくなり得、ビアを含む基板の合計のコストが低減され得る。製造において、多くのパッケージモジュールが製造される場合、これらのコスト削減は有意であり得る。

10

【0774】

ここで、このセクションにおいて、無線周波数(RF)回路およびワイヤーボンドベースの電磁(EM)アイソレーション構造を有するパッケージモジュールの作製に関するシステム、装置、デバイス構造、材料および／または方法のさまざまな例が記載される。RF回路の文脈において記載されるが、本願明細書において記載される1つ以上の特徴は、非RFコンポーネントを伴うパッケージング用途において利用され得る。同様に、本願明細書において記載される1つ以上の特徴は、EMアイソレーション機能なしで、パッケージング用途において利用され得る。本願明細書において記載される1つ以上の特徴が、ワイヤーボンドを含まないアイソレーション構造に適用され得るということが理解されるべきである。

20

【0775】

ここで次に、図76Aを参照して、例示的なパッケージモジュール816の上平面図が示される。パッケージモジュール816は、1つ以上の回路要素を含み得る。多くの実施形態において、1つ以上の回路要素がRF回路要素を含む。パッケージモジュール816は、複数のビアを含むRFアイソレーション構造を含み得る。パッケージモジュール816は、パッケージ集積回路であり得る。示されたパッケージモジュール816は、無線周波数(RF)アイソレーション構造818と、高帯域部分819および低帯域部分821を含むRFコンポーネントとを含む。明瞭さのため図76Aに示されていないが、パッケージモジュール816は多くの他の構造を含み得る。

30

【0776】

RFアイソレーション構造818は、ファラデー遮蔽として機能し得る。RFアイソレーション構造818は、少なくとも1つのRFコンポーネントの周りに導電性の機構を含み得る。ある実現例において、導電性機構は、ビアと組み合わせてRFアイソレーションを提供するように構成される複数のワイヤーボンド832を含み得る。たとえば図87Aおよび図87Bを参照して、複数のワイヤーボンド832のさらなる詳細を以下に提供する。他のいくつかの実現例において、導電性機構は、固体金属缶のような他の構造を含み得る。

【0777】

示されたパッケージモジュール816は、高帯域部分819が高帯域パワーアンプ回路を含み、低帯域部分821が低帯域パワーアンプ回路を含むパッケージパワーアンプ集積回路(IC)である。パワーアンプは、相対的に弱いRF信号の振幅を増強するために使用され得る。その後、RFシステムにおいて、増強されたRF信号は、たとえばアンテナ、スイッチ、ミキサー、フィルタなど、またはその任意の組合せを駆動することを含むさまざまな目的に使用され得る。マルチバンドシステムのようなある電子システムにおいて、異なるパワーアンプ構造が異なる周波数のRF信号を増幅するために使用され得る。示された構成において、パッケージモジュール816は、相対的に高い周波数RF信号を増幅するための高帯域パワーアンプ回路と、相対的に低い周波数RF信号を増幅するための低帯域パワーアンプ回路とを含む。

40

50

【0778】

パッケージモジュール816は本願明細書において使用され得るパッケージICの一例を示すが、本願明細書において記載される方法および装置は、さまざまな他のアイソレーション構造に関連して実現され得る。

【0779】

図76Bは、図76Aの線A-Aに沿ったパッケージモジュール816の断面を示す。示された断面は、RFアイソレーション構造818の側面図を示す。示されるように、パッケージモジュール816は、システムボード826と、プリント回路基板825と、ワイヤーボンド832と、オーバーモールド構造833と、オーバーモールド構造833の上に形成される導電層834とを含む。システムボード826は、基板システムボード基板822と、接地平面であり得る電氣的基準面831とを含み得る。プリント回路基板は、ラミネート基板であり得る。プリント回路基板825は、入力／出力（I/O）パッド（たとえば、接地コンタクトパッド829）と、複数のビア823と、1つ以上のレーストラック824とを含み得る。複数のビア823および1つ以上のレーストラック824は、ワイヤーボンドパッド828に接地コンタクトパッド829を電氣的に接続し得、これにより、ワイヤーボンド832に基準面831を電氣的に接続する。ワイヤーボンド832は、図76Bに示される方位において、プリント回路基板825の上に配置され得る。オーバーモールド構造833は、ワイヤーボンド832を封入し得る。たとえば図89および図90を参照して、オーバーモールド構造833に関するさらなる詳細が以下に提供される。ワイヤーボンド832は、導電層834に電氣的に接続され得る。

10

20

【0780】

示されるように、RFアイソレーション構造818は、接地平面831、接地コンタクトパッド829、レーストラック824、複数のビア823、ワイヤーボンド832および導電層834を含む。たとえば、複数のビア823は、RFアイソレーション構造818内において、および／または、RFアイソレーション構造818の外部において、RF回路によって生成されるRF信号からのRFアイソレーションを提供し得る。ビア823同士は、RF信号の電力のほとんどがビア823によってブロックされるような距離だけ間隔を置き得る。ビア823配置は、本願明細書において記載される1つ以上の特徴に従って決定され得る。

【0781】

図76Bの例示的な断面はビア823の2つの層を示すが、本願明細書において記載される1つ以上の特徴は、ビア823の任意の好適な数の層を含むRFアイソレーション構造に適用することができるということが理解されるであろう。たとえば、他の実現例において、ビア823の1つの層が存在し得る。別の例として、ある実現例では、ビア823の3つ以上の層が存在し得る。ビア823の2つ以上の層を有する実現例において、ビア823は、異なる層において同じ配置または異なる配置で配置され得る。複数のビア823が、同じサイズであるように示されているが、2つ以上のビアが異なるサイズを有してもよいということが理解されるであろう。

30

【0782】

図77は、本願明細書において記載される1つ以上の特徴を有するおよび／または当該1つ以上の特徴のためのパッケージモジュールのようなパッケージモジュール816を作製するために実現され得るプロセス836を示す。図77は、図77のプロセス836に関連付けられるさまざまな部分および／またはさまざまな動作段を示す。

40

【0783】

図77のブロック837において、パッケージング基板と、パッケージング基板上に実装される部分とが提供され得る。このような部分は、たとえば、1つ以上の表面実装技術（SMT）コンポーネントと、集積回路（IC）を有する1つ以上のシングュレートされたダイとを含み得る。図78Aおよび図78Bは、いくつかの実施形態において、パッケージング基板がラミネートパネル858を含み得ることを示す。図78Aは例示的なラミネートパネル858の表側を示し、図78Bは例示的なラミネートパネル858の裏側を

50

示す。ラミネートパネル 858 は、時にアレイ 859 と称される群に配される複数の個々のモジュール基板 827 を含む得る。4 つの別個のモールドされたセクションが図 78 A、図 78 B、図 90 および図 94 に示されるが、本願に記載される特徴にいずれもが、途切れのない単一のアレイモールドキャップのような他の好適な構成に適用され得る。

【0784】

図 79 A、図 79 B、図 79 C はそれぞれ、個々のモジュール基板 827 の例示的な構成の上面図、側面図および下面図を示す。例示的な目的のために、境界 863 は、図 78 A および図 78 B のパネル 858 上でモジュール基板 827 によって占められたエリアを規定し得る。境界 863 内では、モジュール基板 827 は、上面または表側の面 862 および底面または裏面 869 を含む得る。表側の面 862 の上には、ダイ（図示せず）を受けるよう寸法決めされる例示的な実装エリア 864 が示される。複数の例示的なコンタクトパッド 866 は、ダイと、裏面 869 上に配される底部コンタクトパッド 871 との間に接続ワイヤーボンドの形成を可能にするよう、ダイ受取りエリアまたはダイパッド 864 の周りに配される。示されていないが、ワイヤーボンドコンタクトパッド 866 とモジュールのコンタクトパッド 871 との間の電氣的接続は、多くの態様に構成され得る。境界 863 内ではさらに、たとえば受動 SMT デバイス（図示せず）の実装を可能にするよう構成される 2 セットの例示的なコンタクトパッド 867 が存在する。コンタクトパッドは、裏面 869 上に配置されるモジュールのコンタクトパッドおよび／または接地コンタクトパッド 829 のうちのいくつかに電氣的に接続され得る。さらに、複数の EM アイソレーションワイヤーボンド（図示せず）の形成を可能にするように構成される複数のワイヤーボンドパッド 828 が境界 863 内に存在する。ワイヤーボンドパッド 828 は、（接地平面のような）電氣的基準面 831 に電氣的に接続され得る。ワイヤーボンドパッド 828 と（点線 874 として示される）接地平面 831 との間のこのような接続は、多くの態様で達成され得る。たとえば、図 76 B に示されるように、複数のビア 823 および／または 1 つ以上のレーストラック 824 が、ワイヤーボンドパッド 828 と接地平面 873 との間の電氣的接続の少なくとも部分を形成し得る。図 76 B のビア 823 および／またはレーストラック 824 は、モジュールにおいて RF 回路の周りに図 76 A の RF アイソレーション構造 818 の一部を形成し得る。いくつかの実施形態において、接地平面 831、873 は、裏面 869 に配置される接地コンタクトパッド 829 に接続されてもよく、接続されなくてもよい。

【0785】

図 80 は、個々のダイに切断（または時にシングュレートと称される）されることを待つ複数の機能的なダイ 877 を含む例示的な作製されたウェハ 876 を示す。ダイ 877 のそのような切断は多くの態様で達成され得る。図 81 は概略的に、複数の金属化コンタクトパッド 878 が提供され得る個々のダイ 877 を示す。このようなコンタクトパッドは、ダイ 877 とモジュール基板のコンタクトパッド 866 との間に接続ワイヤーボンドの形成を可能にするように構成され得る（たとえば図 79 A）。

【0786】

図 77 のブロック 838 において、はんだペーストが 1 つ以上の SMT デバイスの実装を可能にするためにモジュール基板上に塗布され得る。図 82 A および図 82 B は、はんだペースト 881 がモジュール基板 827 の表側の面または上面上のコンタクトパッド 867 の各々上に提供される例示的な構成 879 を示す。いくつかの実現例において、はんだペースト 881 は、SMT ステンシルプリンタによって所望の量だけ、パネル（たとえば図 78 A における 858）上の所望の位置に適用され得る。

【0787】

図 77 のブロック 839 において、1 つ以上の SMT デバイスが、はんだペーストを有するはんだコンタクト上に位置決めされ得る。図 83 A および図 83 B は、コンタクトパッド 867 の各々上に提供される例示的な SMT デバイス 883 がはんだペースト 881 上に位置決めされる例示的な構成 882 を示す。いくつかの実現例において、SMT デバイス 883 は、テープリールから SMT デバイスがフィードされる自動化されたマシンに

よって、パネル上の所望の位置に位置決めされ得る。

【0788】

図77のブロック841において、はんだペーストを溶かすようリフロー動作が行なわれ得、それぞれのコンタクトパッド上に1つ以上のSMTデバイスははんだ付けする。いくつかの実現例において、はんだペースト881が選択され得、第1の温度ではんだペースト881を溶かすようリフロー動作が行なわれ得、これにより、コンタクトパッド867とSMTデバイス883との間に所望のはんだコンタクトの形成が可能になる。

【0789】

図77のブロック842において、ブロック841のリフロー動作からのはんだ残留物が除去され得る。

10

【0790】

図77のブロック843において、1つ以上のダイの実装を可能にするよう、モジュール基板827上の1つ以上の選択されたエリア上に接着剤が塗布され得る。図84Aおよび図84Bは、接着剤886がダイ実装エリア864に塗布される例示的な構成884を示す。いくつかの実現例において、接着剤886は、スクリーン印刷のような技術によって所望の量だけパネル（たとえば図78Aにおける858）上の所望の位置に塗布され得る。

【0791】

図77のブロック844において、1つ以上のダイが、接着剤が上に塗布された状態で、選択されたエリアに位置決めされ得る。図85Aおよび図85Bは、ダイ877が接着剤886を介してダイ実装エリア864に位置決めされる例示的な構成887を示す。いくつかの実現例において、ダイ877は、生産量に対してリールに巻きつけられるダイのテープからダイがフィードされる自動化されたマシンによって、パネル上のダイ実装エリアに位置決めされ得る。

20

【0792】

図77のブロック846において、ダイとダイ実装エリアとの間の接着剤が硬化され得る。好ましくは、このような硬化動作は、それぞれのコンタクトパッド上への1つ以上のSMTデバイスの実装のための上記リフロー動作より低い1つ以上の温度で行なわれ得る。このような構成は、SMTデバイスのはんだ接続が硬化動作の間に損なわれないままであることを可能にする。

30

【0793】

図77のブロック847において、ブロック843および844の実装動作からの粘着残留物が除去され得る。

【0794】

図77のブロック848において、ワイヤーボンドのような電氣的接続は、実装されたダイとモジュール基板827上の対応するコンタクトパッドとの間に形成され得る。図86Aおよび図86Bは、多くのワイヤーボンド889がダイ877のコンタクトパッド878とモジュール基板827のコンタクトパッド866との間で形成される例示的な構成888を示す。このようなワイヤーボンドは、信号および／または電力のために、ダイ877の1つ以上の回路への電氣的接続および当該回路からの電氣的接続を提供し得る。いくつかの実現例において、前述のワイヤーボンドの形成は、自動化されたワイヤーボンディングマシンによって達成され得る。

40

【0795】

図77のブロック849において、複数のRFシールディングワイヤーボンドは、モジュール基板827上において選択されるエリアの周りに形成され得る。図87Aおよび図87Bは、複数のRFシールディングワイヤーボンド832がワイヤーボンドパッド828上に形成される例示的な構成891を示す。ワイヤーボンドパッド828は、接地平面873のような1つ以上の基準面に電氣的に接続される（点線874）ように概略的に示される。いくつかの実施形態では、このような接地平面は、モジュール基板827内に配置され得る。RFシールディングワイヤーボンド832と接地平面873との間の前述の

50

電氣的接続は、R Fシールドイングワイヤーボンド 8 3 2 によって規定されるエリアの側および下側にて、相互接続される R Fシールドイング構造を与え得る。R Fシールドイングワイヤーボンド 8 3 2 と接地平面 8 7 3 との間の電氣的接続は、たとえば、図 7 6 B を参照して記載されるように、ビア 8 2 3 および／または 1 つ以上のレーストラック 8 2 4 を含み得る。本願明細書に記載されるように、導電層はこのようなエリアの上に形成され得るとともに、R Fシールドイングワイヤーボンド 8 3 2 の上部分に接続され得、これにより、R F がシールドされたボリュームを有する図 7 6 A の R F アイソレーション構造 8 1 8 を形成する。

【0796】

図 8 7 A および図 8 7 B の例示的な構成 8 9 1 において、R Fシールドイングワイヤーボンド 8 3 2 は、ダイ 8 7 7 および S M T デバイス 8 8 3 が位置するエリアの周りに周辺部を形成すると示される。他の周辺部構成も可能である。たとえば、周辺部は、R Fワイヤーボンドによって、ダイの周りに、S M T デバイスの 1 つ以上の周りに、またはその任意の組合せに形成され得る。いくつかの実現例において、R Fワイヤーボンドベースの周辺部は、R Fアイソレーションが望ましい任意の回路、デバイス、コンポーネントまたはエリアの周りに形成され得る。説明目的で、R Fアイソレーションは、R F信号またはノイズが所与のシールドエリアに入るまたは出るのを防止することを含み得ると言うことが理解されるであろう。したがって、さらに、説明の目的で、分離（アイソレーション）およびシールドという用語は、適切のように交換可能に使用され得ると言うことが理解されるべきである。たとえば、シールドされている R Fコンポーネントは、別の源からの R F信号のいくつかまたは実質的にすべてが R Fコンポーネントに達することをブロックされている状況を含み得る。別の例として、分離されている R Fコンポーネントは、R F信号のいくつかまたは実質的にすべて（たとえばノイズまたは能動的に生成された信号）が別のデバイスから達することがブロックされている状況を含み得る。もし、文脈が別の態様を示していなければ、遮蔽および分離（アイソレーション）という用語の各々は、上記の機能のいずれかまたは両方を含み得ると言うことが理解されるべきである。

【0797】

図 8 7 A および図 8 7 B の例示的な構成 8 9 1 において、R Fシールドイングワイヤーボンド 8 3 2 は、本願明細書において記載されるように、モールド処理の間に、制御された変形を促進するように構成される非対称の側面プロファイルを有することが示される。このようなワイヤーボンドに関する付加的な詳細はたとえば、集積された干渉シールドイングを有する半導体パッケージおよびその製造の方法（SEMICONDUCTOR PACKAGE WITH INTEGRATED INTERFERENCE SHIELDING AND METHOD OF MANUFACTURE THEREOF）という名称を有する P C T 公開番号 W O 2 0 1 0 / 0 1 4 1 0 3 号において発見され得る。いくつかの実施形態において、他の成形された R Fシールドイングワイヤーボンドも利用され得る。たとえば、E M I シールドイングのためのワイヤーボンドケージを有するオーバーモールドされた半導体パッケージ（OVERMOLDED SEMICONDUCTOR PACKAGE WITH A WIREBOND CAGE FOR EMI SHIELDING）という名称を有する米国特許番号第 8, 0 7 1, 4 3 1 に記載された概して対称なアーチ形のワイヤーボンドが、示された非対称のワイヤーボンドの代わりにまたはそれと組み合わせて R Fシールドイングワイヤーボンドとして使用され得る。いくつかの実施形態において、R Fシールドイングワイヤーボンドは必ずしもループ形状を形成し、モジュール基板の表面上に両端を有する必要はない。たとえば、一端部がモジュール基板の表面上にあり他端部が（上部導電層に接続するために）当該表面の上に位置決めされるワイヤー延在部も利用され得る。

【0798】

図 8 7 A および図 8 7 B の例示的な構成 8 9 1 において、R Fシールドイングワイヤーボンド 8 3 2 は、ダイを接続するワイヤーボンド 8 8 9 の高さより概して高い同様の高さを有することが示される。このような構成により、ダイを接続するワイヤーボンド 8 8 9 が、本願明細書に記載されるようにモールドコンパウンドによって封入されるとともに、モールド処理の後に形成される上部導電層から分離されることが可能になる。

【0799】

図77のブロック851において、SMTコンポーネント、ダイおよびRFシールディングワイヤーボンドの上にオーバーモールドが形成され得る。図88は、このようなオーバーモールドの形成を促進し得る例示的な構成893を示す。モールドキャップ894が、モールドキャップ894の下表面896およびモジュール基板827の上表面862が、モールドコンパウンドが導入され得るボリウム897を規定するように、モジュール基板827の上に位置決めされることが示される。

【0800】

いくつかの実現例において、モールドキャップ894は、下表面896が、RFシールディングワイヤーボンド832の上部分に係合し、当該上部分を下に押すように位置決めされ得る。このような構成によって、モールドキャップ894の下表面896に接触する上部分が実質的に同じ高さにあるように、RFシールディングワイヤーボンド832におけるどのような高さの変化でも除去されることが可能になる。モールドコンパウンドが導入されてオーバーモールド構造が形成されると、上記の技術によって、封入されたRFシールディングワイヤーボンド832の上部分が、オーバーモールド構造の得られた上表面にまたは当該上表面の近くに維持される。

10

【0801】

図88の例示的なモールド構成893では、モールドコンパウンドは、矢印898によって示されるように、モールドボリウム897の1つ以上の側から導入され得る。いくつかの実現例において、モールドコンパウンドのこのような導入は、加熱および真空状態で行なわれ得、これにより、ボリウム897の中への加熱されたモールドコンパウンドのより容易なフローを促進する。

20

【0802】

図89は、図88を参照して記載されるようにボリウム897へモールドコンパウンドが導入され、さまざまなモジュール要素（たとえばダイ、ダイを接続するワイヤーボンドおよびSMTデバイス）を封入するオーバーモールド構造833を与えるようモールドキャップが除去された例示的な構成899を示す。RFシールディングワイヤーボンドがさらに、オーバーモールド構造833によって実質的に封入されることが示される。RFシールディングワイヤーボンドの上部分は、オーバーモールド構造833の上表面902にまたは上表面902の近くにあることが示される。

30

【0803】

図90は、複数のアレイセクションの上に形成されるオーバーモールド構造833を有する例示的なパネル903を示す。各アレイセクションのオーバーモールド構造は、図88および図89を参照して本願明細書に記載されるように形成され得る。結果得られるオーバーモールド構造833は、所与のアレイセクションの複数のモジュールをカバーする共通の上表面902を規定すると示される。

【0804】

図88、図89および図90を参照して本願明細書において記載されるモールド処理は、封入されたRFシールディングワイヤーボンドの上部分がオーバーモールド構造の上表面にまたは上表面の近くにある構成を与え得る。このような構成によって、RFシールディングワイヤーボンドが、上に形成される上側導体層との信頼性のある電氣的接続を形成してもよいし、形成しなくてもよい。

40

【0805】

図77のブロック852において、RFシールディングワイヤーボンドの上部分をさらに良好に露出するために、オーバーモールド構造の薄い上部分または層が除去され得る。図91は、そのような除去が行なわれた例示的な構成904を示す。この例において、オーバーモールド構造833の上部分は、（モールド処理からの）オリジナルの上表面902より低い新しい上表面906を与えるよう除去されることが示される。このような材料の除去によって、RFシールディングワイヤーボンド832の上部分907がさらに良好に露出することが示される。

50

【0806】

オーバーモールド構造833の上部分からの材料の除去は、多くの態様で達成され得る。図92Aは、材料のこのような除去がサンドブラस्टィングによって達成される例示的な構成908を示す。この例において、より薄いシェーディングがつけられた部分は、材料が除去されて、新しい上表面906を与え、RFシールディングワイヤーボンドの上部分907をより良好に露出している部分である。より暗いシェーディングがつけられた部分は、材料が除去されていないためオリジナルの上表面902がまだ残っている部分である。

【0807】

図92Aに示される例において、下に存在するモジュール基板827（点線のボックス863で示される）に対応するモジュール構造が容易に示される。このようなモジュールは、上記新しく形成された上表面906の上に導電層が形成された後、分離される。

10

【0808】

図77のブロック853において、材料の除去に起因する新しい露出した上表面が清浄化され得る。

【0809】

図77のブロック854において、電氣的導電層は、導電層がRFシールディングワイヤーボンドの上部分に電氣的に接触するようにオーバーモールド構造の新しい露出した上表面上で形成され得る。このような導電層は、スプレーまたは印刷のような方法を含む多くの異なる技術によって形成され得る。図92Bは、本願明細書の局面に従った、図93の導電層834を形成するための1つの方法を示す。ここで、スプレーノズル909は、サンドブラस्टィングまたは他のアブレーション方法によって上面全体が高さ906まで低減された後、構成908の上部上に導電ペイント910をスプレーする。導電ペイント910は、本願明細書の意図した局面を達成するために配合された導電性金属ペイントであってもよい。さらにこれに関するものが、本願明細書において上で援用される米国特許出願番号第13/893,605号、米国特許出願番号第13/893,614号、および米国特許出願番号第13/904,566号において発見される。

20

【0810】

図93は、電氣的導電層834がオーバーモールド構造833の上表面906の上に形成された例示的な構成911を示す。本願明細書に記載されるように、上表面906は、RFシールディングワイヤーボンド832の上部分907をさらに良好に露出する。したがって、形成された導電層834は、RFシールディングワイヤーボンド832の上部分907との改善されたコンタクトを形成する。

30

【0811】

図87Aおよび図87Bを参照して記載されるように、RFシールディングワイヤーボンド832および接地平面873は、RFシールディングワイヤーボンド832によって規定されるエリアの側および下側にて、相互接続されたRFアイソレーション構造を与え得る。上側導電層834がRFシールディングワイヤーボンド832と電気接触した状態で、そのエリアの上の上側もシールドされ、これにより、シールドされたボリュームが与えられる。

40

【0812】

図94は、複数のアレイセクションを覆う電氣的導電層834を与えるよう導電ペイントでスプレーされた例示的なパネル913を示す。図90を参照して記載されるように、各アレイセクションは、完成パッケージモジュールを形成するよう分離される複数のモジュールを含む。

【0813】

図77のブロック856において、一般的な導電層（たとえば導電ペイント層）を有するアレイセクションにおけるモジュールは、個々のパッケージモジュールへとシンギュレートされ得る。モジュールのこのようなシンギュレーションは、ソーイング技術を含む多くの態様で達成され得る。

50

【0814】

図95は、本願明細書において記載されるモジュールセクション827が、分離されたモジュール917にシンギュレートされる例示的な構成916を示す。オーバーモールド部分は、側壁919を含むように示され、モジュール基板部分は側壁918を含むように示される。側壁919および918は集合的に、分離されたモジュール917の側壁921を規定するように示される。分離されたモジュール917の上部分は、導電層834によって覆われたままである。図79A、図79Bおよび図79Cを参照して本願明細書に記載されるように、分離されたモジュール917の下表面869は、モジュール917と電話基板のような回路基板との間の電氣的接続を促進するようコンタクトパッド871、829を含む。

10

【0815】

図96A、図96Bおよび図96Cは、シンギュレートされたモジュール917の正面図（本願明細書において上面図とも称される）、背面図（本願明細書において底面図とも称される）、および斜視図を示す。本願明細書に記載されるように、このようなモジュールは、オーバーモールド構造内に封入されるRFシールディング構造を含み、いくつかの実現例において、モジュール917の全体の寸法は必ずしも、RFシールディング機能のないモジュールより大きいわけではない。したがって、集積されたRFシールディング機能性を有するモジュールは、外部RFシールド構造が必要ではないので、有利なことに、よりコンパクトな組み立てられた回路基板を与え得る。さらに、このパッケージモジュールフォームによって、操作およびアセンブリプロセスの間に、より容易にモジュールが扱

20

【0816】

図77のブロック857において、シンギュレートされたモジュールは、適切な機能に関してテストされ得る。上で論じたように、モジュールフォームによって、このようなテストがより容易に行なわれることが可能になる。さらにモジュールの内部RFシールディング機能によって、外部のRFシールディングデバイスなしでこのようなテストが行われることが可能になる。

【0817】

図97は、いくつかの実施形態において、ワイヤレス電話基板のような回路基板に含まれるモジュールの1つ以上が、本願明細書に記載される1つ以上のパッケージング機構を有するように構成され得ることを示す。このようなパッケージング機構から利益を得ることができるモジュールの非限定的な例は、コントローラモジュール、アプリケーションプロセッサモジュール、オーディオモジュール、ディスプレイインターフェイスモジュール、メモリモジュール、デジタルベースバンドプロセッサモジュール、GPSモジュール、加速度計モジュール、電力管理モジュール、トランシーバモジュール、スイッチングモジュールおよびパワーアンプ（PA）モジュールを含むがこれらに限定されない。

30

【0818】

図98Aは、本願明細書に記載されるように、回路基板上に1つ以上の機構を有するパッケージモジュールを組み立てるために実現され得るプロセス923を示す。ブロック924において、パッケージモジュールが提供され得る。いくつかの実施形態において、パッケージモジュールは、図97を参照して記載されたモジュールを示し得る。ブロック926において、パッケージモジュールは、回路基板（たとえば電話基板）上に実装され得る。図98Bは、上に実装されたモジュール816を有する、結果得られた回路基板928を概略的に示す。1つのモジュールが回路基板928上に実装されることが示されているが、1つ以上の他のモジュールがさらにその上に実装され得るということが理解されるであろう。回路基板928はさらに、その上に実装されるさまざまなモジュールの動作を促進するよう複数の接続930のような他の特徴を含み得る。

40

【0819】

図98Aのブロック927において、上に実装されるモジュールを有する回路基板がワイヤレスデバイスに設置され得る。図98Cは、回路基板928（たとえば電話基板）を

50

有するワイヤレスデバイス 931（たとえば携帯電話）を概略的に示す。回路基板 928 は、本願明細書に記載される 1 つ以上の特徴を有するモジュール 929 を含むことが示される。ワイヤレスデバイスはさらに、アンテナ 932、ユーザインターフェイス 933 および電力供給 934 のような他のコンポーネントを含むことが示される。

【0820】

図 98D は、チップまたはモジュールのようなパッケージモジュール 816 を有するワイヤレスデバイス 931 を概略的に示す。図 98D において示されるワイヤレスデバイス 931 は、図 98C に示される 1 つ以上の特徴を含み得、そのうちのいくつかは例示的な目的のために図 98D から省略されている。いくつかの実施形態において、パッケージモジュール 816 は、本願明細書において記載されるモジュールのうちのいずれかを含み得る。示されるように、パッケージモジュール 816 は、RF コンポーネント 938 と、また RF アイソレーション特性を提供するように RF コンポーネント 938 の周りに形成された RF アイソレーション構造 818 とを含む。RF アイソレーション構造 818 は、パッケージモジュール 816 の周辺部の周りに配置されるか、または、パッケージモジュール 816 の他の好適なエリア上の RF コンポーネント 938 の周りに配置される。RF アイソレーション構造 818 は、1 つ以上の RF アイソレーション機能を提供し得、当該 RF アイソレーション機能はたとえば、電子ワイヤレスデバイス 931 における別のコンポーネント 939 からの RF の影響（矢印 936）から RF コンポーネント 938 を分離すること、ワイヤレスデバイス 931 の外部の外部 RF 源（矢印 937）から RF コンポーネント 938 を分離すること、ならびに／または、RF コンポーネント 938 からの RF 信号および／またはノイズからの電磁放射（矢印 941 および 942）がワイヤレスデバイス 931 における他のコンポーネント 939 および／もしくは電子ワイヤレスデバイス 931 の外部の外部 RF 源（図示せず）に到達するのを防止することである。RF コンポーネント 938 は、RF 信号を送信および／または受信するように構成される 1 つ以上の回路要素を含み得る。RF コンポーネントの非限定的な例は、パワーアンプ、電圧制御発振器、フィルタ、およびスイッチなどを含む。たとえば、図 76A に示される実施形態において、RF コンポーネントは高帯域部分 819 および／または低帯域部分 821 を含み得る。

【0821】

1 つの RF コンポーネント 938 が図 98D において示されるが、2 つ以上の RF コンポーネントが、RF アイソレーション構造 818 から得られる RF アイソレーションボリューム内に含まれ得るということが理解されるであろう。いくつかの実施形態に従うと、パッケージモジュール 816 は、各々が専用の RF アイソレーション構造を有する 2 つ以上の RF コンポーネントを含み得る。

【0822】

図 99A は、ビアの配置を決定する例示的なプロセス 943 のフロー図である。プロセス 943 の特徴の任意の組合せまたは本願明細書において記載される他のプロセスのいずれもが、一時的でないコンピュータ読取可能媒体において実施され得るとともにメモリに格納され得る。実行されると、一時的でないコンピュータ読取可能媒体は、プロセス 943 または他のプロセスのいくつかまたはすべてを行なわせ得る。本願明細書において議論される方法のうちのいずれも、より多いまたは少ない動作を含んでもよく、当該動作は適切のように任意の順番で行われてもよいということが理解されるであろう。

【0823】

プロセス 943 は、パッケージモジュールの周辺部の周りのビア配置を決定し得る。ビアは、1 つ以上の RF コンポーネントの周りに RF アイソレーション体積を形成する RF アイソレーション構造の部分であり得る。ビアは、基板の 1 つの層またはそれより多い層に形成され得る。いくつかの実施形態において、たとえば、図 76B に示されるように、ビアはプリント回路基板の部分として形成され得る。パッケージモジュールの周辺部の周りの選択された規定されたエリアにおけるビア密度がより高いことにより、当該選択されたエリアにおける接地接続がより強くなり、および／または、RF アイソレーションがより

強くなり得る。反対に、選択されたエリアにおけるビア密度を低減すると、パッケージモジュールのダイサイズおよび全体のコストが低減され得る。プロセス 943 は、ビアがダイエリアを節約するために除去され得る場合、および／または、ビアを加えて R F アイソレーションを改善する場合とを決定し得る。

【0824】

プロセス 943 は、ブロック 944 にて電磁干渉 (E M I) データを取得し、ブロック 946 にて、相対的に高い E M I および／または相対的に低い E M I に関連付けられるエリアを識別し、ブロック 947 にて、更新ビア配置を決定することを含み得る。ブロック 948 では、E M I 仕様が満たされるまでこのプロセスは繰り返され得る。ここで、図 100A および図 100B において示される例示的な E M I プロファイルと、ビア密度と図 101 に示される逆放射電力との間の関係と、図 102A および図 102B に示されるビア配置とを参照して、プロセス 943 を論じる。

【0825】

ブロック 944 では、初期ビア配置について E M I データが取得され得る。いくつかの実施形態において、電磁気走査／プローブが、初期ビア配置における E M I データを取得するよう行なわれ得る。たとえば、近接場走査が行なわれ得る。E M I データは、R F 用途に関連付けられ得る。ある実施形態に従うと、E M I データはパッケージモジュールの 2 つ以上の動作モードに対応し得る。たとえば E M I データは、高帯域動作モードと、パッケージモジュールが高帯域動作モードにおいてよりも低い周波数帯内で動作する低帯域動作モードとに対応し得る。異なる R F アイソレーションについての考慮が、動作の異なる周波数帯に適用し得る。たとえば、周波数が高いほど、R F 信号の波長はより小さくなり得る。結果として、パッケージモジュールの高帯域部分の近傍においてビア同士がより近くにあるのが望ましくあり得る。別の例として、E M I データは、低電力動作モードおよび高電力動作モードに対応し得る。初期ビア配置は、ある実現例に従って、如何なるビアも R F シールドリングを提供することのない R F コンポーネントに対応し得る。代替的には、初期ビア配置は、R F コンポーネントの周りに配置される少なくとも 1 つのビアの任意の他の配置に対応し得る。ある実現例において、初期配置は、パッケージモジュールの特定のサイズに含まれ得る最大数のビアに対応し得る。

【0826】

例示的な E M I データは、図 100A および図 100B に示される E M I プロファイルに反映される。図 100A および図 100B の E M I プロファイルは、それぞれ図 102A および図 102B に示されるビア配置に対応する。図 100A に反映される E M I データは、ビアの初期配置、または、更新ビア配置を決定する 1 回以上の繰り返しの後のビアの配置に対応し得る。図 100B に反映される E M I データは、図 100A において示される E M I プロファイルに基づいて決定されるビアの更新配置に対応し得る。

【0827】

図 100A は、R F コンポーネントを取り囲むパッケージモジュールの周辺部に沿って配置された複数のビアに対応する E M I プロファイルの例を示す。より具体的には、図 100A において示される E M I プロファイルは、図 102A に示されるビアの配置に対応する。E M I プロファイルは、パッケージモジュールの表面の部分に関連付けられる E M I を図解的に示す。図 100A において、領域は、図 100A における E M I プロファイルの上側に沿って左から右に番号が付けられた列と、図 100A における E M I プロファイルの左側に沿った文字を有する行とによって識別され得る正方形に対応する。E M I プロファイルのシェーディングは、パッケージモジュールの対応するエリアに関連付けられる E M I 値を示す。より具体的には、図 100C の凡例は、1 ミリワットを基準とする測定 E M I の電力比をデシベルで表わし得る、d Bm を単位とする対応する E M I 値を示す。E M I 値が低いほど、より高い負の値を有する数であるということが理解されるべきである。たとえば、-14 d Bm の E M I 値は、-24 d Bm の E M I 値より高い。図 100A および図 100B における E M I プロファイルのシェーディングは、図 100C の凡例における単位が d Bm である E M I 値に対応する。

【0828】

EMI プロファイルの各領域は、パッケージモジュールおよび／またはそのプリント回路基板の規定される表面エリアに対応し得る。規定される表面エリアは、0、1、2またはそれ以上のビアを含み得る。少なくとも1つのビアを含む領域の各々は、パッケージモジュールの外縁部と実質的に平行な寸法においてほぼ同じ幅を有し得る。ある実現例において、各領域はほぼ同じエリアを有し得る。他の実現例では、2つ以上の領域が異なるエリアを有し得る。領域は示された領域よりも小さくあり得るかまたは大きくあり得るということが理解されるであろう。任意の特定の領域が1つ以上のEMI値に関連付けられ得る。たとえば、図100Aにおける領域B1は複数のEMI値に関連付けられ、領域F1は単一のEMI値に関連付けられる。

10

【0829】

図99Aを再び参照して、ブロック946にて、相対的に高いおよび／または相対的に低いEMIに関連付けられるエリアが識別され得る。たとえば、最も高いEMI値に関連付けられるパッケージモジュールのエリアが識別され得る。別の例として、事前に規定されるしきい値を上回るEMI値に関連付けられるパッケージモジュールの1つ以上のエリアが識別され得る。代替的または付加的には、事前に規定されるしきい値を下回るEMI値に関連付けられるパッケージモジュールの1つ以上のエリアが識別され得る。さらに別の例において、最も低いEMI値を有するエリアが識別され得る。

【0830】

相対的に高いEMIに関連付けられるパッケージモジュールのエリアは、パッケージモジュールの他のエリアと比較して、より強いRFアイソレーションによって利益を得ることができる。いくつかの実現例において、相対的に高いEMIに関連付けられるパッケージモジュールのエリアは、ホットスポット、および／または、RFアイソレーション構造がパッケージモジュールの他のエリアよりも少ないRFアイソレーションを提供するエリアであり得る。このようなエリアは、製品仕様に規定されるよりも、および／または所望のEMIレベルよりも、より少ないRFアイソレーションを提供し得る。いくつかの実施形態に従うと、パワーアンプ(PA)の出力のような、高電力レベルを有する信号を生成するパッケージモジュールのエリアにてまたは当該エリアの近傍にホットスポットが発生し得る。対照的に、低ノイズアンプ(LNA)の場合、ホットスポットはLNAの入力にてまたはその入力の近傍に発生し得る。代替的または付加的には、ホットスポットは、発振器(たとえば電圧制御発振器)および／またはLNAの近傍といった、高作動係数(activity factor)を有するパッケージモジュールのエリアにてまたは当該エリアの近傍で発生し得る。

20

30

【0831】

相対的に低いEMIに関連付けられるパッケージモジュールのエリアは、相対的に低いビア密度で十分なレベルのRFアイソレーションを提供し得る。いくつかの実現例において、相対的に低いEMIに関連付けられるパッケージモジュールのエリアは、非放射エリア、および／または、RFアイソレーション構造がパッケージモジュールの他のエリアよりも多くのRFアイソレーションを提供するエリアであり得る。このようなエリアは、製品仕様に規定されるよりも、および／または、EMIの所望のレベルよりも多くのRFアイソレーションを提供し得る。いくつかの実施形態に従うと、信号を生成しないか、または、電力レベルが低い信号を生成したパッケージモジュールのエリアにまたは当該エリアの近傍に非放射エリアが発生し得る。代替的または付加的には、非放射エリアが、低い作動係数を有するパッケージモジュールのエリアにてまたは当該エリアの近傍に発生し得る。別の例として、パワーアンプモジュールの場合、RF入力およびDCパスは、出力整合ネットワーク(OMN)と比較して、EMI放射に対して感度が低くなり得る。

40

【0832】

図100AのEMIプロファイルは、領域B1およびC1が相対的に高いEMIに関連付けられるとともに領域A8、B8、C8、D8、E8およびF8が相対的に低いEMIに関連付けられることを示す。特に、領域B1に関連付けられるEMI値は約-14dB

50

mである。このようなEMI値は、ある用途において問題となり得る。したがって、EMIを改善するようパッケージモジュールのビア密度を調節することが望ましくあり得る。ビア密度が、ビアの初期配置と比較して、ビアの更新配置において、数、位置、サイズまたはその任意の組合せを変更することによって調節され得る。

【0833】

複数のビアを含むRFアイソレーション構造は、接地平面への接続によって、たとえば、接地平面として構成されるRFコンポーネントの下の下側導電層への電氣的接続によって、接地され得る。接地平面は理想的には寄生インダクタンスは0であるが、実際には、接地平面の寄生インダクタンスは0ではない。付加的なビアを加えることによって、接地平面のインダクタンスが低減され得る。反対に、ビアの数を低減することにより、接地平面のインダクタンスが増加され得る。接地平面に関連付けられるインダクタンスが高ければ、接地平面があまり安定しなくなり、これにより、RFコンポーネントがRFアイソレーション構造によって分離されることによって生成される信号に影響を与え得る。たとえば、接地平面が不安定な場合、RFアイソレーション構造はアンテナのように機能し得る。これはRFアイソレーション構造に、RFアイソレーションを提供するのではなく放射を増幅させ得る。そのような影響は、たとえば、図100Aに示されるEMIプロファイルにおける領域B1およびC1に対応するパッケージモジュールの位置といった、相対的に高いEMIに対応するパッケージモジュールの位置で発生し得る。

【0834】

図101は、ビア密度と逆放射電力との間の関係を示す。ビア表面積密度がd1を下回ると、RFアイソレーション構造は、弱い接地接続により浮動し得る。弱い接地接続によって、たとえば、図100AのEMIプロファイルの領域B1およびC1によって示されるように、パッケージモジュールの部分が相対的に高いEMIに関連付けられ得る。密度d1は、それを下回るとRFアイソレーション構造が弱い接地位置のように機能する下限しきい値を表わし得る。図101に示される曲線は、低い逆放射電力を有しており、したがって密度d1を下回るビア表面積密度に関連付けられる相対的に高い放射を有する。これは、RFアイソレーション構造をアンテナのように動作させ得る。したがって、逆電力放射を増加（電力放射を減少）するために、密度d1を下回る表面積密度を増加させることが望ましくあり得る。密度d2は、それを上回るとビア密度を増加してもRFアイソレーションを有意に改善し得ない上限しきい値を示し得る。密度d2を上回ると、図101に示される曲線は平らになる。ビア表面積密度が密度d2を上回ると、ビア密度を増加する利点は、逆放射電力の有意な増加を提供し得なくなり、したがって、RFアイソレーション構造のRFアイソレーションの有意な増加を提供し得なくなる。結果として、ビア表面積密度が図101における密度d1と密度d2との間にあるのが望ましくなり得る。これは、たとえば、ダイエリアを低減し得、および／または、製造コストを低減し得る。

【0835】

図99Aを再び参照して、ブロック947にて、更新ビア配置が決定され得る。更新ビア配置では、高いEMIに関連付けられるエリアにおけるビア密度が、初期配置と比較して増加され得る。代替的または付加的には、更新ビア配置において、低いEMIに関連付けられるエリアにおけるビア密度が、初期配置と比較して減少され得る。ある実施形態に従うと、更新配置におけるビア密度は、それを下回るとRFアイソレーション構造が弱い接地位置のように作用する下限しきい値を上回り、かつ、それを上回るとビア密度の増加によってRFアイソレーションが有意に改善され得ない上限しきい値を下回るように決定され得る。たとえば、更新配置におけるビア密度は、図101における密度d1と密度d2との間にあり得る。

【0836】

ビアの更新配置において、ビアの数、ビアの位置、ビアのサイズまたはその任意の組合せはビアの初期配置と比較して調節され得る。たとえば、ビアは、相対的に低いEMIに関連付けられるエリアから、相対的に高いEMIのエリアの方へ移動され得る。別の例として、ビアは相対的に高いEMIに関連付けられるエリアに加えられ得、および／または

、ビアは相対的に低いEMIに関連付けられるエリアから除去され得る。さらに別の例において、1つ以上のビアのサイズは、相対的に高いEMIに関連付けられるエリアにおいて増加され得、および／または、より多くまたはより多くのビアのサイズは、相対的に低いEMIに関連付けられるエリアにおいて低下され得る。

【0837】

例示的な目的のために、基板の周辺に沿って選択された位置にビアを加えることを参照して、さらなる詳細が提供される。図102Aは、周辺部の周りに配されるビア823の配置を有する基板の上平面図を示す。図102Aに示されるように、ビア823は基板の周辺部の周りに整列され得る。図102Aに示されるビア823は、基板の同じ層に含まれ得る。図102Aに示されるビア823の配置は、図100Aに示されるEMIプロファイルに対応し得る。図102Bは、周辺部の周りに配されるビア823および823'の更新配置を有する基板の別の上平面図を示す。図102Bに示されるビア823および823'の配置は、図100Bに示されるEMIプロファイルに対応し得る。いくつかの実施形態に従うと、図102Bにおけるビア823および823'の配置は、製造されるパッケージモジュールにおいて使用されるビアの最終配置であり得る。

10

【0838】

図102Bに示される更新配置において、図102Aに示されるビア823の配置と比較して、2つの付加的なビア823'が、領域B1およびC1に対応する基板のエリアにおいて加えられた。図100BのEMIプロファイルは、2つの付加的なビア823'が、EMIプロファイルにおける対応する領域に関連付けられるEMIを改善したことを示す。たとえば、図100BのEMIプロファイルは、2つの付加的なビア823'のない図100AのEMIプロファイルと比較して、領域C1についてのEMIが約10dBm改善したことを示す。図100BのEMIプロファイルは、2つの付加的なビア823'が、EMIプロファイルにおける他の隣接する領域において関連付けられるEMIを改善したことを示す。たとえば、図100BのEMIプロファイルは、2つの付加的なビア823'のない図100AのEMIプロファイルと比較して、領域A1についてのEMIが約4dBm改善され、領域A4についてのEMIが約7dBm改善されたことを示す。

20

【0839】

図99Aを再び参照して、当該プロセスは、ブロック948でEMI仕様が満されるまで任意の好適な回数、繰り返され得る。より具体的には、EMIデータは取得され得、相対的に高いおよび／または相対的に低いEMIに関連付けられるエリアが識別され得、ビアの更新配置が決定され得る。したがって、プロセス943はある実現例において反復的なプロセスであり得る。たとえば、図100AのEMIプロファイルおよび図102Aに示されるビア配置は、初期ビア配置と製造において使用される最終のビア配置との間でのプロセス943の反復に対応し得る。ある実施形態に従うと、ブロック948では、プロセス943は、異なる動作モードについてEMI仕様が満されるように、異なる動作モードについて繰り返され得る。異なる動作モードはたとえば、異なる周波数帯および／または異なる電力モードに関連付けられ得る。いくつかの実施形態において、ブロック948にて、ビア823の異なる層について、プロセス943は繰り返され得る。

30

【0840】

プロセス943を実行することにより、ビア配置は、パッケージモジュールに関連付けられるEMIが過剰なビアを使用することなく仕様が満たすように改善され得る。したがって、プロセス943によって、ダイエリアの効率的な利用によりRFアイソレーションを提供するように構成されるビアを有するパッケージモジュールが得られ得る。

40

【0841】

図99Bは、ビア配置を決定する例示的なプロセス949のフロー図である。プロセス949は、プロセス943のブロック946がプロセス949ではブロック951に置換されることを除き、実質的にプロセス943と同じであり得る。したがって、プロセス949は、ブロック944においてEMIデータを取得すること、ブロック947において更新ビア配置を決定すること、およびブロック948において当該プロセスを繰り返すこ

50

とを参照して以前に記載された特徴の任意の組合せを含み得る。プロセス 949 は、ブロック 944 において EMI データを取得することと、ブロック 951 において外部放射に対するエリアの感度を決定することと、ブロック 947 において、更新ビア配置を決定することとを含み得る。プロセス 949 は、ブロック 948 において EMI 仕様を満たすまで繰り返され得る。ある実施形態に従うと、プロセス 943 およびプロセス 949 は、一緒に、連続的に、平行に、またはその任意の組合せで行なわれ得るということが理解されるべきである。したがって、ビア配置は、パッケージモジュールのエリアおよび／または外部放射に対するパッケージモジュールのエリアの感度に関連付けられる相対的なレベルの EMI に基づき得る。

【0842】

相対的に低いおよび／または相対的に高い EMI に関連付けられるパッケージモジュールのエリアに関連して記載される原理および利点は、ブロック 951 において、外部放射に対して相対的に感度がよいおよび／または相対的に感度がよくないパッケージモジュールのエリアに適用され得る。たとえば、感度データが取得され得、電磁放射に対して相対的に感度の高いエリアおよび／または電磁放射に相対的に感度が低いエリアとが識別され得る。いくつかの実施形態において、感度データは、図 100A において示される EMI プロファイルのような EMI データ、および／または、このような EMI データに由来するデータを含み得る。外部放射に対して感度が高いパッケージモジュールのエリアは、相対的に高い EMI に関連付けられるパッケージモジュールのエリアと同様に処理され得る。たとえば、ブロック 951 では、これらのエリアにおけるビア密度はブロック 951 において増加され得る。代替的または付加的には、外部放射に対して感度の低いパッケージモジュールのエリアは、相対的に低い EMI に関連付けられるパッケージモジュールのエリアと同様に処理される。外部放射に対して感度の高いエリアは、たとえば、パワーアンプモジュールの出力整合ネットワーク (OMN) エリアおよび／または VCO の出力を含み得る。対照的に、外部放射に対して感度が低いエリアは、たとえば、入力エリアおよび／または DC パスを含み得る。

【0843】

本願明細書において記載される 1 つ以上の特徴に従ったパッケージモジュールは、特定のビア配置を含み得る。たとえば、パッケージモジュールの第 2 の領域においてよりも、パッケージモジュールの第 1 の領域において密度が高いように複数のビアが RF コンポーネントの周りに配置され得、第 1 の領域は、第 2 の領域より高い電磁干渉に関連付けられる。たとえば、図 102B におけるビア 823 および 823' は、示される EMI プロファイルの領域 B1 および C1 に対応する領域 952 に含まれる。領域 952 は、示される EMI プロファイルの領域 B8 および C8 に対応する領域 953 より高い密度を有する。領域 952 および 953 は、例示的な目的のために提供されており、他の領域および／または領域サイズが本願明細書において記載される 1 つ以上の特徴に関連して実現され得るということが理解されるであろう。

【0844】

異なるビア密度はさまざまな態様で達成され得る。たとえば、図 102B に示されるように、領域 952 は領域 953 より多くのビアを含む。複数のビアのビアがほぼ同じサイズである場合、基板の同じ層において間隔がより近いビア同士は、より高い密度を有する。たとえば、領域 952 におけるビア 823 および 823' 同士の間隔は、領域 953 におけるビア 823 同士よりも近い。別の例として、異なるサイズのビアを使用することにより、異なるビア密度が達成され得る。

【0845】

図 102B に示されるように、領域 952 はパッケージモジュールの周辺に沿って配置され、領域 953 もパッケージモジュールの周辺に沿って配置される。領域 952 および 953 は、パッケージモジュールの外縁部に実質的に平行である寸法がほぼ同じである幅を有する。図 102B に示されるように、領域 952 は領域 953 とほぼ同じエリアを有する。ある実施形態において、第 1 の領域は、第 1 の領域のエリアと少なくとも同じ大き

10

20

30

40

50

さのエリアを有するパッケージモジュールの周辺に沿った任意の領域と少なくとも同じ大きさのビア密度を有し得る。代替的または付加的には、第2の領域は、第2の領域のエリアと少なくとも同じ大きさのエリアを有するパッケージモジュールの周辺に沿った任意の領域の密度以下のビア密度を有し得る。

【0846】

パッケージモジュールの周辺に沿って配置されるビア823および823' 同士の間隔は、低放射エリアにおいてよりも、ホットスポットにおいて、パッケージモジュールの周辺に沿ってより近くなり得る。このようなビアの間隔は、基板の1つ以上の層において存在し得る。たとえば、基板の単一の層において、パッケージモジュールの周辺に沿って配置されるビア823および823' 同士の間隔は、低放射エリアにおいてよりも、ホット
10
スポットにおいて、パッケージモジュールの周辺に沿ってより近くなり得る。別の例として、ビア同士の間隔は、基板の2つ以上の層の各々において、低放射エリアよりもホットスポットにおいてパッケージモジュールの周辺に沿ってより近くなり得る。図102Bを参照して、示されたビア823および823' 同士の間隔は、領域953においてよりも領域952において、より近い。ビア823および823' は、たとえば、図102Aおよび図102Bにおいて示されるように、パッケージモジュールの周辺に沿って整列され得る。

【0847】

パッケージモジュールにおいて、第1の領域および第1の領域よりビア密度が低い第2の領域は各々、少なくとも1つのビアを含み得る。第1の領域および第1の領域よりビア
20
密度が低い第2の領域の各々は、少なくとも2つのビアを含み得る。

【0848】

RFアイソレーション構造によって分離される1つ以上のRFコンポーネントは、第2の領域に対してよりも、第1の領域に対してより多くの放射を発生し得る。たとえば、RF
コンポーネントは、領域953よりも領域952に対してより多くの放射を発生し得る。

【0849】

第1の領域はパッケージモジュールのホットスポットに対応し得、第2の領域はパッケージモジュールの低い放射エリアに対応し得る。たとえば、領域952は、パワーアンプ出力、または、高電力信号を生成する異なるRFコンポーネントの出力に隣接し得る。別の例として、領域952は、電圧制御発振器出力、または、高い作動係数を有する異なる
30
RFコンポーネントの出力に隣接し得る。対照的に、第2の領域は、低い作動係数を有するパッケージモジュールのエリア、信号を生成しないパッケージモジュールのエリア、低電力信号が伝搬するパッケージモジュールのエリアなど、またはその任意の組合せに隣接し得る。

【0850】

代替的または付加的には、第1の領域は、第2の領域より多くの外部放射に晒され得る。たとえば、隣接したコンポーネントのホットスポットは、領域952に隣接し得る。

【0851】

本願明細書において記載されるビア配置は、複数のビアとRFコンポーネントの上の導電層との間の電氣的接続の少なくとも一部を形成する1つ以上の導電性機構を含むパッケージモジュールのRFアイソレーション構造に含まれ得る。一例として、当該1つ以上の導電性機構は、たとえば図76Bに示されるワイヤーボンド832といったワイヤーボンドを含み得る。代替的には、1つ以上の導電性機構は、RFコンポーネントを囲む金属缶を含み得る。

【0852】

ある実施形態では、RFアイソレーション構造によって形成されるRFアイソレーション体積内のRFコンポーネントは、パワーアンプを含む。たとえば、図102Bにおいて示されるビア配置は、図76Aおよび図76Bに示されるパッケージモジュールに対応し得る。領域952は、パワーアンプ出力に隣接し得る。より具体的には、領域952は、図76Aのパッケージモジュール816の高帯域部分819におけるパワーアンプの出力
50

に隣接し得る。

【0853】

上に記載された実施形態のうちのいくつかにより、パワーアンプのような、RFコンポーネントを含むパッケージモジュールおよび／または電子デバイスに関係する例が提供された。しかしながら、これらの実施形態の原理および利点は、シールドリングおよび／または分離の必要性を有する任意の他のシステムまたは装置に使用され得る。

【0854】

この開示の1つ以上の局面を実現するシステムは、さまざまな電子デバイスにおいて実現され得る。電子デバイスの例は、コンシューマエレクトロニクス製品、コンシューマエレクトロニクス製品の部分、電子試験機器などを含み得るがこれらに限定されない。より具体的には、本開示の1つ以上の局面を実現するように構成される電子デバイスは、RF送信デバイス、RF受信デバイス、RFトランシーバ、RFコンポーネント（たとえばパワーアンプ）を有する任意のポータブルデバイス、携帯電話（たとえばスマートフォン）、電話、基地局、フェムトセル、レーダ、Wi-Fi（登録商標）および／またはブルートゥース（登録商標）規格に従って通信するように構成されるデバイス、テレビ、コンピュータモニタ、コンピュータ、ハンドヘルドコンピュータ、タブレットコンピュータ、ラップトップコンピュータ、携帯情報端末（PDA）、電子レンジ、冷蔵庫、自動車、ステレオシステム、DVDプレーヤ、CDプレーヤ、VCR、MP3プレーヤ、ラジオ、カムコーダ、カメラ、デジタルカメラ、ポータブルメモリチップ、洗濯機、乾燥機、洗濯／乾燥機、コピー機、ファクシミリマシン、スキャナ、多機能周辺機器、腕時計、時計などを含み得るがこれらに限定されない。コンシューマエレクトロニクス製品の部分は、RFアイソレーション構造を含むマルチチップモジュール、パワーアンプモジュール、RFアイソレーション構造を含む集積回路、RFアイソレーション構造の部分形成するよう利用され得るビアを含む基板など、またはその任意の組合せを含み得る。さらに、電子デバイスの他の例はまた、メモリチップ、メモリモジュール、光学ネットワークまたは他の通信ネットワークの回路、およびディスクドライバ回路を含み得るがこれらに限定されない。さらに、電子デバイスは未完成の製品を含み得る。

【0855】

本願明細書において提供される本発明の教示は、必ずしも上に記載されたシステムではなく、他のシステムに適用され得る。上で記載されるさまざまな実施形態の要素および動作は、さらに別の実施形態を提供するよう組み合わせられ得る。

【0856】

このセクションにおいて本発明のさまざまな実施形態および関連する特徴、局面、ならびに特性が記載されているが、本発明の範囲内であるさらに多くの実施形態および実現例が可能であるということは当業者には明白であろう。たとえば、本願明細書における発明は、記載された材料またはシステムに限定されず、集積回路、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるデバイスの性能をさらに改善するために、この開示の全体にわたって記載される本発明の任意の他の数の関連する局面、所望の局面、または好適な局面と組み合わせ、個々に、または、別の態様では組み合わせられ、集積され、組み立てられ、もしくは一緒に連結されてもよい。

【0857】

X I I I . 集積された干渉シールドリングを有する半導体パッケージ

本開示のこのセクションは、半導体モジュールパッケージのための集積された電磁干渉（EMI）シールドに関する。集積されたEMIシールドは、パッケージの基板における接地平面と、パッケージモールドコンパウンドの上部上に印刷された導電層との間に電気的に接続される複数のワイヤーボンドばねを含む。ワイヤーボンドばねは、ワイヤーボンドばねの上部と導電層の上部との間に接触電気的接続を提供するばね効果を引き起こす規定される形状を有する。ワイヤーボンドばねは、モジュールパッケージにおいて、パッケージに含まれるデバイスのすべてまたはいくつかの周りの任意の位置に、それらのデバイスの周りに完全なEMIシールドを作り出すよう位置決めされ得る。これに加えてさらに

、繰り返されるように、本願明細書の技術における当業者であれば、パワーアンプモジュールおよびそれらが使用されるデバイスの性能をさらに改善するために、このセクションで論じられる本発明のこれらの特定の局面は本願明細書の任意またはすべての他の局面と組み合わされてもよいということが容易に理解されるはずである。

【0858】

無線周波数（RF）コンポーネントを使用する携帯電話機、携帯情報端末（PDA）、メディアプレーヤ、および他のポータブルデバイスを含む多くの現代の用途において、完成製品のサイズ（長さ、幅および厚さ）および重量はしばしば、重大な設計パラメータであり得る。たとえば特に携帯電話機の場合、機能および特徴の増加を提供するさらなる小型および軽量のデバイスに対する持続的な志向がある。したがって、これらの装置において使用される個々のコンポーネントのサイズおよび重量も重要であり得る。上で論じたように、RFデバイスのために電磁干渉シールドリングを提供するための従来のアプローチは、シールドされるべき個々のRFデバイスの上に接地された金属缶を配置することを伴っており、これによって、設計に対してサイズ、重量およびコストが加わり、したがって、多くの用途において望ましくなくなり得る。

【0859】

局面および実施形態は、デバイスまたはモジュールのサイズおよび／または重量の増加が最小であるように、パッケージングプロセスの間に、個々のデバイスまたはモジュールへ集積される干渉シールドを提供する方法および装置に関する。本願明細書において使用されるように、「EMIシールド」という用語は、電磁干渉および無線周波数干渉シールドの両方を指すよう使用される。一実施形態において、集積されたEMIシールドは、さらに以下に議論されるようにワイヤーボンド製造プロセスを使用して形成され得、したがって、既存のツールを使用して製造され得るとともに、モジュールにおいて電子デバイスに電氣的接続を提供するよう用いられる従来のワイヤーボンドを使用して一般的な処理ライン上で組み立てられ得る。このアプローチは、高いデザイン柔軟性と、EMIシールドを製造するより容易かつあまり高価でない方法とを提供し得る。さらに、本発明の局面に従った集積された「ワイヤーボンドケージ」シールドは、従来の既存の技術によって達成されていないモジュール間／モジュール内分離および低いパッケージプロファイルを達成する方法を提供する。以下で議論されるように、ワイヤーボンドケージは、さまざまなパッケージおよびプロセス条件について堅牢かつ実際のEMIシールドを提供するために、特定かつ良好に制御された設計および形状を有する「ワイヤーボンドばね」コネクタを使用して形成され得る。

【0860】

本願明細書において議論される方法および装置の実施形態の用途は、以下の説明に記載されるとともに添付の図面において示される構造およびコンポーネントの構成の詳細に限定されないということが理解されるべきである。当該方法および装置は、他の実施形態において実現可能であり、さまざまな態様で実施または実行可能である。特定の實現例の例は、本願明細書において例示的な目的にのみ提供されており、限定するようには意図されない。特に、実施形態のいずれか1つ以上に関連して議論される動作、要素および特徴は、任意の他の実施形態における同様の役割から除外されるようには意図されない。さらに、本願明細書において使用される語法および用語は、説明目的のためであり、限定的であるとみなされるべきでない。単数形で参照される、本願明細書におけるシステムおよび方法の実施形態、要素または動作に対する如何なる参照も、複数のこれらの要素を含む実施形態も包含してもよく、本願明細書における任意の実施形態、要素または動作に対する複数形での如何なる参照も、単一の要素のみを含む実施形態を包含してもよい。単数または複数形での参照は、ここで開示されるシステムもしくは方法、それらのコンポーネント、動作または要素を限定するようには意図されない。「含む」、「備える」、「有する」、「含有する」、「伴う」、およびそれらのバリエーションの本願明細書における使用は、その後述べられる項目と、その同等物と、付加的な項目とを包含するよう意図される。「または」への参照は、「または」を使用して記載される任意の用語は、当該記載される

用語の単一、1つより多い、およびそのすべてのいずれかを示し得るように、包括的なものとして解釈され得る。前および後ろ、左および右、上部と底部、また上および下への参照は、説明の容易さのために意図されており、本システムおよび方法またはそれらのコンポーネントを任意の1つの位置または空間方位に限定することはない。

【0861】

ここで図103を参照して、本発明の局面に従った、集積されたEMIシールドを組み込む電子デバイスまたはモジュールをパッケージングする方法の一例が示される。当該方法の局面および実施形態は、図103を引き続き参照して以下で議論される。

【0862】

第1のステップ954は、電子モジュールに組み込まれるべき基板を準備することを含む。このステップ954は、電子モジュールのさまざまなコンポーネントを相互接続するために使用され得る金属化部を基板上に形成することを含み得、そのうちの少なくともいくつかは、さらに以下で議論されるように、集積されたEMIシールドの部分になり得る。ステップ956において、電子モジュールは、当業者に公知であり得る方法および技術に従って組み立てられてもよい。このステップ956は、1つ以上のダイを基板に実装すること、任意の必要な内部もしくは外部接続または接続点を形成すること（金属化部および／もしくは誘電体の層を堆積することを含む）などといった動作を含み得る。したがって、モジュールの組み立ては図103において単一のステップ956として示されるが、同時に、異なる時間に、および／または異なる位置において行なわれてもよい複数のステップを含んでもよいということが理解されるべきである。更に、ステップ954がステップ956の部分と考えられ得るということが理解されるべきである。

【0863】

このようなモジュールの例は図104に示される。モジュール962は、基板964に実装される1つ以上のダイ963を含む。モジュール962のいくつかの例は、EMIシールドを必要とするまたはEMIシールドから利益を得ることがあり得るパワーアンプ、トランシーバ、リニアデバイス、フィルタおよび他のデバイスを含むがこれらに限定されない。上で論じたように、EMIシールドは典型的にRFデバイスに望ましく、したがって、ダイ963の少なくとも1つはRFデバイスであってもよく、モジュール962はRFモジュールであってもよいが、本発明はそのように限定されず、ダイ963は任意のタイプのデジタルもしくはアナログデバイスまたはコンポーネントを含んでもよいということが理解されるべきである。一例において、ダイ963は、ボンドパッド967に接続されるワイヤーボンド966を使用して、図104に示されるように、基板964に実装される。代替的にはダイ963は、フリップチップボンディング法または当業者に公知の任意の他の好適な技術を用いて基板964に実装され得る。

【0864】

一実施形態に従うと、パッケージングプロセスの間、基板964の縁部の周りにワイヤーボンドケージを構築することによって、集積されるEMIシールドがモジュール962に組み込まれる。ワイヤーボンド966を形成するために使用される従来のプロセスに類似しているとともに同じ機器を使用するワイヤーボンドプロセスは、以下に議論されるように、ワイヤーボンドばねを構築するよう実現され得る。複数のこれらのワイヤーボンドばねは、さらに以下に議論されるように、基板964上でダイ963の周りに配置され得、パッケージにおいて接地平面に接続され得、これにより、集積されたEMIシールドを形成するワイヤーボンドばねケージが提供される。モールドされたモジュールに集積されたシールドを形成するために、製造上の困難性は、基板における接地平面を上部の導電性のシールド層に接続する方法を発見することである。ワイヤーボンドばねコネクタを使用して、集積されたシールドを形成する方法の実施形態は、さらに以下に議論されるように、この困難を解決するために堅牢な製造プロセスを提供する。

【0865】

上で論じたように、図103を再び参照して、ステップ954は、集積されたEMIシールドの部分になる金属化部を基板964上に形成することを含み得る。図105を参照

して、これらの金属化部は、ワイヤーボンドパッド968、接地平面969、および接地平面にワイヤーボンドパッドを接続するビア971を含み得る。その後、さらに以下に議論されるように、ワイヤーボンドばね972はワイヤーボンドパッド968（ステップ957）に接続され得る。図105に示される例において、関連するビア971を有する2つの別々のワイヤーボンドパッド968が各ワイヤーボンドばね972ごとに提供されるが、本発明はそのように限定されず、他の多くの構成が考えられるということが理解されるべきである。たとえば、図106Aおよび図106Bにおいて示されるように、図105の個々のワイヤーボンドパッド968は、少なくとも部分的にダイ963を囲み得る金属化部トラックまたはリング973に置換され得る。この例において、図106Aの1つ以上のビア971は、トラック973に沿った点に提供され、当該トラック、したがって、ワイヤーボンドばね972を接地平面969に結合し得る。更に、一例において、トラック973は、2つ以上のワイヤーボンドばね972同士の間で連続的であり得、したがって、各ワイヤーボンドばねは、個々に関連付けられるビア971を有する必要はない。さらに、図105においては、ワイヤーボンドばね972は（ワイヤーボンドパッド968での）両方の接続点がビア971によって接地平面969に結合されるように示されるが、これはそうである必要はなく、ワイヤーボンドばねの端部の1つは浮動した（すなわち接地平面に電氣的に結合されない）ままであってもよい。

10

【0866】

一実施形態に従うと、集積されたEMIシールドを形成する方法は、モールドコンパウンド974にダイ963を封入するために、トランスファーモールド処理（図103のステップ958）を含む。さらに以下に議論されるように、トランスファーモールド処理の間、基板964は、下側モールドチェイスに配置され、デバイスの周りのキャビティをシールするよう上側モールドチェイスが当該下側モールドチェイス上に下げられ、当該キャビティにモールドコンパウンド974が流され、これにより、基板上のダイ963を封入する。トランスファーモールド処理は当業者に周知である。

20

【0867】

再び図103および図105を参照して、トランスファーモールド処理（ステップ958）の後、アブレーション処理（ステップ959）が使用されて、モールドコンパウンド974からワイヤーボンドばね972の上部を露出し得る。アブレーション処理は、モールドコンパウンドの層を除去しワイヤーボンドばね972の上部を露出するよう、たとえばレーザアブレーション処理、モールドコンパウンド974を研削および／または研磨することを含み得る。一例において、アブレーション処理は、厚さが約40ミクロン未満であるモールドコンパウンドの層を除去し得る。別の例において、アブレーション処理は、厚さが約10ミクロンであるモールドコンパウンドの層を除去し得る。ワイヤーボンドばね972の上部が露出された後、薄い導電コーティングまたは層975は、モールドコンパウンド974の上に形成され得（ステップ961）、これにより、ワイヤーボンドばね972の露出した上部に接触する。導電層975は、たとえば印刷、堆積、およびスパッタリングなどさまざまな技術のいずれかを使用して、モールドコンパウンド974の上に堆積され得る。一例では、導電層975は、図92Bに関連してセクションXIIにおいて上で論じたように、銀が充填されたエポキシのような、モールドコンパウンド974の上にスプレーでペイントされた金属が充填されたエポキシを含む。導電層975は、ワイヤーボンドばね972の露出した上部と接触し、したがって、露出したワイヤーボンドばねを電氣的に接続する。

30

40

【0868】

本願明細書において上で論じたように、一実施形態において、モジュール962は、図105に示されるように基板964の底面に沿って配置されるとともにビア971によってワイヤーボンドばね972に接続される接地平面969を含む。ワイヤーボンドばね972の上部と導電層975との間の接触を通じて、導電層と接地平面969との間に電氣的接続が形成され、これにより、モジュール962においてEMIシールドが完成する。ワイヤーボンドばね972は、基板964における接地平面969と上部の導電シールド

50

層 975 との間に、（ワイヤーボンダね 972 は基板上の任意の好適な位置に配置され得るので）柔軟かつ完全に集積された接続を提供する。一実施形態において、ワイヤーボンダね 972 は、以下にさらに議論されるように、ワイヤーボンダねと導電層 975 との間の信頼性のある電氣的接続を作り出すことを促進するばね効果を生ずるよう制御される規定される形状を有する。したがって、ダイ 963 の 1 つ以上は、導電層 975 と、ワイヤーボンダね 972 （およびビア 971 およびボンダパッド 968 のようなそれらの関連付けられる金属化部）と、接地平面 969 とによって形成される接地された EMI シールドに実質的に囲まれ得る。本発明の実施形態に従ったこの集積された EMI シールドは、従来の EMI シールドソリューションのかさ高い金属缶と異なり、モジュール 962 に加え得るサイズおよび重量は最小である。

10

【0869】

本願明細書の一実施形態に従うと、ワイヤーボンダね 972 は、良好に制御され、かつ、従来のワイヤーボンダ 966 と実質的に異なる特定の形状および高さを有する。当業者に公知であり得るように、従来のワイヤーボンダ 966 は、ダイ 963 にボンダワイヤーの一端を接続し、図 104 および図 105 に示されるように、ワイヤーボンディングマシンの移動を制御して、ループを形成するようダイから離れるようにボンダワイヤーを引き出し、その後、基板上のパッドにボンダワイヤーの他端を接続することにより、ワイヤーボンディングマシンを使用して形成される。本発明の実施形態に従ったワイヤーボンダね 972 は、同様の技術を使用して形成され得るが、ワイヤーボンディングマシンの X 軸および Y 軸の移動を操作することにより、ワイヤーループが、以下に議論されるワイヤーボンダねの所望のばね効果および他の特性を提供するユニークな形状に処理される。

20

【0870】

図 107 を参照して、本発明のこれらの局面に従ったワイヤーボンダね 972 の一実施形態が示される。ワイヤーボンダね 972 は、ワイヤーボンダねと基板 964 との間の第 1 の接続点を提供するボールボンダ 976 と、ボールボンダから基板上の第 2 の接続点 983 に延在するワイヤーループ 977 とを含む。図 107 および図 108 を参照して、ワイヤーボンダね 972 を形成するプロセス（ステップ 957）は、ボールボンダ 976 を形成する第 1 のステップ 978 から開始され得る。このステップは、基板 964 上のワイヤーボンダパッド 968（図 105 参照）に金属ボールを配置すること（ステップ 979）と、ワイヤーボンダパッドにボールをボンディングする（ステップ 981）こととを含み得、これにより、ボールボンダ 976 を形成する。ワイヤーボンダねは、（従来のワイヤーボンダに一般に使用されるような）金および銅を含むさまざまな金属のうちのいずれかを使用して形成され得る。ワイヤーボンダねが金で形成される一例において、ワイヤーボンダパッド 968 は同様に金であるか、または、金めっきされ得、ボールボンダ 976 は基板 964 に超音波でボンディングされる。金、銅または錫めっきされるワイヤーボンダパッド 968 上に銅ボールボンダ 976 を形成するために、同様のサーモソニック処理が使用されてもよい。

30

【0871】

一実施形態に従うと、ボールボンダ 976 からワイヤーを引き出し、ワイヤーボンディングマシンの X 軸および Y 軸の移動を操作することによりワイヤーを形状決めし（ステップ 982）、最後に、ワイヤーボンダパッド 968 にワイヤーループの末端をボンディングする（ステップ 983）ことによって、ループ 977 が形成される。一実施形態において、ワイヤーループ 977 は、図 107 に示された形状またはそれに類似した形状を有するよう形状決めされる。図 108 にさらに示されるように、ステップ 978 は、パッド 968 上に金属ボール 976 を配置するサブステップ 979 と、ボール 976 がパッド 968 にボンディングされるサブステップ 981 とを含み得る。

40

【0872】

図 109 を参照して、上で議論されたように、基板 964 上に提供されるワイヤーボンダパッド 968（またはトラック 973）にボンディングされるワイヤーボンダね 972 の一実施形態が示される。一実施形態において、ワイヤーボンダね 972 は、ボール

50

ボンド976の近くに屈曲ゾーン986を含む。ワイヤーは、屈曲ゾーン986からワイヤーボンドばね972の頂部987に上方向に延在する。凸状の領域988は、屈曲ゾーン986と頂部987との間に延在する。ワイヤーボンドばね972はさらに、頂部987に隣接した上部領域989と、上部領域989と第2の接続点983との間に延在する下方傾斜後部領域991とを含む。一例において、上部領域989は、上部導電層975との大きな接触エリアを提供する(図106A参照)よう実質的に平坦であり、これにより、導電層との良好な電氣的接続が促進され得る。屈曲ゾーン986は、従来のワイヤーボンドと比較して、ワイヤーボンドばね972をより弾力のあるようにするよう使用され、ワイヤーボンドばねのばね効果と、さらに以下に議論されるように、モールドチェイスおよびモールドコンパウンドによって加えられる圧力に耐えるとともにトランスファーモールド処理の間にその形状を保持するワイヤーボンドばねの能力とに寄与する。一例において、ワイヤーボンドばねの頂部987は、点線992によって示されるように、屈曲ゾーン989の実質的に上に位置決めされ、これは、以下に議論されるように、ワイヤーボンドばね972の弾力性にさらに寄与し得る。

【0873】

当業者に公知であるとともに上で議論されたように、トランスファーモールド処理の間、デバイスは、下側モールドチェイスに配置され、上側モールドチェイスは下側モールドチェイス上へと下げられてデバイスの周りのキャビティをシールし、図105および図106Aのようにモールドコンパウンド974がキャビティへ流される。ワイヤーボンドパッド968から頂部987まで測定されたワイヤーボンドばね972の高さは、モールドコンパウンド974の予想または設計された厚さよりわずかに高くされてもよい。トランスファーモールド処理(図103のステップ958)の間、図110に示されるように、ワイヤーボンドばね972は、下げられる上側モールドチェイス993によって圧縮される。一例において、頂部がワイヤーボンドばねの最も高い点であるので、上側モールドチェイス993はワイヤーボンドばね972の頂部987にまず接触する。屈曲ゾーン986によって提供されるワイヤーボンドばね972のばね定数と、屈曲ゾーンの実質的に上での頂部987の位置決めとにより、図110に示されるように、ワイヤーボンドばねは、上側モールドチェイス993の表面に接したままである。ワイヤーボンドばね972の形状によって提供されるこのばね効果は、集積されたEMIシールドの堅牢な製造を可能にするが、これは、ワイヤーボンドばねの上部がモールドチェイスの表面に接したままにすることによって、モールドコンパウンドの薄層だけが、ワイヤーボンドばねの上部を覆い得、そのため、ワイヤーボンドばねの上部が、アブレーション処理(ステップ959)の後、容易にかつ確実に露出され得るからである。一例において、ワイヤーボンドばね972は、鉛直方向に大きなばね範囲を有しており、モールドコンパウンドの厚さと、トランスファーモールド処理の間に発生し得る基板厚さおよび反りにおける変化に起因する、完成した高さの変化を吸収することができる。ワイヤーボンドばねの高さは、上側モールドチェイス993が下げられる際にワイヤーボンドばねが圧縮されるように十分に高くなるように選択され得るが、下げられる上側モールドチェイスがワイヤーボンドばねを押しつぶすほどは高くない。したがって、ワイヤーボンドばねは、下げられる上側モールドチェイス993を収容するのに必要な変形の量がワイヤーボンドばねのばね能力を超えるほど高くあるべきでない。同様に、ワイヤーボンドばねが十分に高くない場合、トランスファーモールド処理の後、ワイヤーボンドばねの上部は、モールドコンパウンドの上面に接触または十分に近くに存在し得ず、したがって、アブレーション処理(図103のステップ959)によって露出され得ず、または、モールドコンパウンドの上面に接するようにワイヤーボンドばねの上部を保持するために十分な弾性変形(ばね効果)を示し得ない。一例において、ワイヤーボンドばね972の高さは、モールドコンパウンドの設計された厚さより約90ミクロン高い。しかしながら、ワイヤーボンドばねは、たとえば、ワイヤーボンドばねを形成するよう用いられる金属、モールド材料、および他の同様の要因といった要因に依存して異なる高さを有してもよいということが理解されるべきである。

【0874】

一実施形態に従うと、ワイヤーボンドばね 972 の形状は、図 105 および図 106 A の導電層 975 との大きな接触エリアを提供するよう最適化され、これにより、導電層 975 との良好な電氣的接続が促進される。上で論じたように、一例において、ワイヤーボンドばね 972 の図 109 および図 110 の上部領域 989 は実質的に平坦である。したがって、上側モールドチェイス 993 によって圧縮されると、上部領域 989 は、モールドチェイス（またはモールドコンパウンドの表面）に接する大きな平坦エリア（長さ）を提供し得る。これは、アブレーションステップ（ステップ 959）によってパッケージの上部にて露出され、導電層 975 に接して導電層 975 との電氣的接続を形成するとともに EMI シールドを完成することになるエリアである。

【0875】

ここで図 111 を参照して、デバイスパッケージに組み込まれたワイヤーボンドばねの一例のイメージが示される。図 111 に示されるように、ワイヤーボンドばねの上部領域 989 は、モールドコンパウンド 974 の上に、導電層 975 に接して大きな平坦エリアを形成する。導電層 975 の適用前の図 111 のワイヤーボンドばねの平面図が図 112 に示される。図 112 を参照して、ワイヤーボンドばねの上部領域 989 および頂部 987 に対応する、主であるが必ずしも全部ではない露出したワイヤーの長い長さ 994 をモールドコンパウンド 974 上で見ることができる。ワイヤーボンドばねを含むパッケージの製造およびシミュレートされた例は、約 400 ミクロンの平均露出長さ 994 と約 962 ミクロンの最小露出長さとを有するよう作られた。これらの例は、従来のワイヤーボンドループ（図 106 A における 966）と比較して約 10 x の、ワイヤーの露出長さにおける改善を示す。この増加した接触エリアは、集積された EMI シールドに堅牢および低抵抗の電氣的接続を提供する。更に、たとえばコストを低減するために、金ではなく、銅のような材料がワイヤーボンドばねに使用される場合、銅は金よりも低い導電率を有するので、大きな接触エリアが特に重要であり得る。さらに、ワイヤーボンドばねの露出領域と導電層 975 との間の接続を行うためにはんだが使用されない（当該接続は 2 つの導電体間の接触のみによってなされている）ので、接触エリアが大きいほど、当該接続はより信頼性が高くなり得る。

【0876】

導電層 975 との良好で堅牢な電氣的接続を促進するためにばね効果および大きな接触エリアを提供することに加えて、ワイヤーボンドばね 972 の形状がさらに、トランスファーモールド処理の間、弾力性を提供する。出願人は、上部領域がモールドコンパウンドの上部またはその上部の近傍に存在し、最小のアブレーションで容易に露出され得るようにワイヤーボンドばねがトランスファーモールド処理の間に直立したままであることが重要であることを実験により明らかにした。テストおよびシミュレーションによって、従来の態様で形状決めされたワイヤーボンドループは、それらの形状が安定性をほとんどまたはまったく提供しないので、トランスファーモールド処理の間、折られて潰れるということが示された。結果として、ループは、図 110 の上側モールドチェイス 993 からの圧力下で任意の方向に動き得、モールドコンパウンドを流す。対照的に、ワイヤーボンドばね 972 の形状は、主に鉛直方向（図 105 における y 方向）への圧縮（弾性変形）へとワイヤーボンドばねの移動を制御し、これにより、上で議論されたばね効果が得られる。一例において、ワイヤーボンドばねは、面内方向（すなわち図 105 における x-z 方向）において強く、非常に高いループについて主な懸念であり得るモールドフローおよびワイヤー流れ欠陥（wire sweep defect）に対する良好な抵抗を有する。

【0877】

要約すると、有効で、低コストかつ堅牢な集積された EMI シールドは、モジュール基板内に既に典型的に存在する接地平面と、モールドコンパウンドの上に堆積される導電材料の薄層と、接地平面に導電層を接続する、本願明細書において議論された複数のワイヤーボンドばねとのみを用いて、任意のトランスファーモールドされたモジュールにおいて提供され得、これにより、モジュールにおいてデバイスのいくつかまたはすべてのための完全なシールドを形成する。ワイヤーボンドばねは、導電層 975 に対する接触がすべて

10

20

30

40

50

の電氣的な要件を満たすことを保証するよう、随意の冗長な接続によりパッケージの如何なる位置にも配置され得、これにより、異なるモジュールレイアウトおよびデバイスに対応するよう容易に修正され得る非常に柔軟なEMIシールド設計が可能になる。同様に、図106Aおよび図106Bを参照して上で論じたように、接地平面にワイヤーボンドパッド968（またはトラック973）を接続するビア971は、各パッドまたは接地平面上の特定の位置と一致する必要はなく、これにより、モジュールにおける柔軟なパッド968およびビア971の配置が可能になる。適切なEMIシールドを提供するために必要なワイヤーボンドばねの数は、シールドされるべきデバイスの動作周波数と、必要とされるシールドのレベルとに依存する。たとえば、ワイヤー密度（すなわち任意の所与の方向において直に隣接したワイヤーボンドばね972同士の間隔）は、信号周波数の増加とともに増加し得る。一例では、約 $\lambda/20$ のワイヤー間隔（ λ はシールドされるべき信号の波長）が使用され得る。所与の周波数での所望のシールドを達成する最小の間隔が維持される場合のみ、ワイヤー間隔は均一である必要がないということが理解されるべきである。ワイヤーボンドばねEMIケージの例がテストされ、ほとんどのRFハンドセット用途について現在十分である約20dBのシールドを提供することが分かった。したがって、本願明細書において議論されるワイヤーボンドばねは、非常に柔軟であり、モジュールに加えるコスト、重量および／またはサイズが最小である完全に集積されたEMIシールドを提供するよう使用され得る。ワイヤーボンドばねは、低コストで、堅牢であり、任意の付加的または特定化されたアセンブリ機器の調達を必要としない従来の処理技術を使用して処理され得る。

【0878】

このようにこのセクションにおいて上記の実施形態のいくつかの局面を記載したが、当業者であればさまざまな変更、修正および改善が容易に思い浮かぶであろうことが理解されるべきである。そのような変更、修正および改善は、この開示の部分であるように意図され、本発明の範囲内にあるように意図される。したがって、上記は例示のみを意図し、本発明の範囲は、以下の特許請求の範囲の適切な構造およびそれらの均等物から決定されるべきである。

【0879】

XIV. 所見および議論の結論

この開示の全体にわたって本発明のさまざまな実施形態および関連する特徴、局面、ならびに特性が記載されたが、本願明細書に記載される任意のそれぞれの発明の範囲内であるさらに多くの実施形態および実現例が可能であるということは当業者には明白であろう。たとえば、本願明細書の発明は、上に記載された材料、プロセス技術、デバイスまたはシステムに限定されない。さらに、本願明細書の発明は、集積回路、パワーアンプ、パワーアンプモジュール、およびそれらが使用されるワイヤレスデバイスの性能をさらに改善するために、この開示の全体にわたって記載される本発明の任意の他の数の関連する局面、選択された局面、または好適な局面との所望の組み合わせで、個々に、または、別の態様では組み合わせられ、集積され、組み立てられ、もしくは一緒に連結されてもよい。

【0880】

この明細書において提供される見出しは便宜上のためのみであり、必ずしも請求項の範囲または意味に影響を与えない。

【0881】

文脈が明確に他の態様を必要としなければ、明細書および請求の範囲の全体にわたって、「備える」および「備え」などといった文言は、排他的または網羅的な意味ではない包括的な意味、すなわち、「を含むがこれらに限定されない」という意味で解釈されるべきである。本願明細書において一般に使用される「結合される」という文言は、直接的に接続されるかまたは1つ以上の中間要素を経由して接続され得る2つ以上の要素を指す。さらに、本願において使用される場合の「本願明細書において」、「上で」、「以下に」および同様の主旨の文言は、詳細な説明の1つの特定のセクションがそれによって意図されることを文脈が示さなければ、本願の任意の特定の部分ではなく、本願を全体として指す

。文脈が許容する場合、単数または複数を使用する、上記の詳細な説明における文言は、それぞれ複数または単数を含んでもよい。2つ以上の項目のリストを参照する「または」という文言は、リストにおける項目のいずれか、リストにおける項目のすべて、およびリストにおける項目の任意の組合せを含む当該文言の以下の解釈のすべてをカバーする。

【0882】

本発明のある実施形態の上記の詳細な説明は、網羅的であるよう意図されず、または、本発明を上の開示されたそのものの形態に限定するよう意図されない。本発明の特定の実施形態および本発明についての例は、上で例示的な目的のために記載されているが、関連する技術における当業者が認識し得るように、本発明の範囲内でさまざまな同等な修正が可能である。たとえば、プロセス、ブロック、またはそのステップが所与の順番で提示されているが、代替的な実施形態は、異なる順番でステップを有するルーチンを実行するか、または異なる順番でブロックを有するシステムを使用してもよく、いくつかのプロセス、ブロックまたはステップは、削除、移動、付加、細分、組み合わせ、および／または修正されてもよい。これらのプロセス、ブロックまたはステップの各々は、さまざまな異なる態様で実行されてもよい。さらに、プロセス、ブロックまたはステップは時に、連続して行なわれるものとして示されているが、これらはその代わりに並列に行なわれてもよく、または異なる時間に行なわれてもよい。

10

【0883】

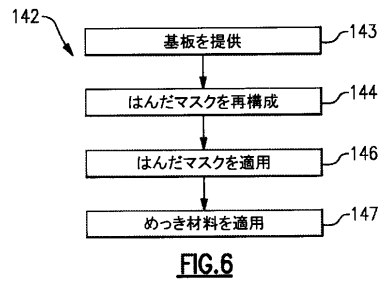
本願明細書において提供される本発明の教示は、必ずしも上に記載されたシステムではなく、他のシステムに適用され得る。上で記載されるさまざまな実施形態の要素および動作は、さらに別の実施形態を提供するよう組み合わせられ得る。

20

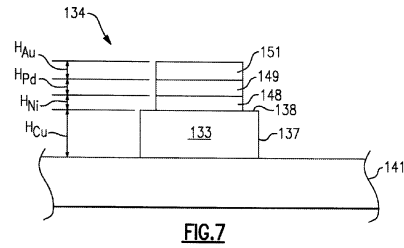
【0884】

さらに、この発明はある好ましい実施形態を参照して詳細に記載されたが、本発明はそれらのその記載されたそのものの実施形態に限定されないということが理解されるべきである。むしろ、本発明を実施するための現在の最良の形態を記載する本開示を考慮して、この発明の範囲および精神から逸脱することなく、多くの修正および変化が当業者に提示するであろう。本発明の範囲はしたがって、上記の記載によってではなく添付の請求の範囲によって示される。請求項の意味およびその均等性の範囲内にあるすべての変更、修正および変化は、それらの範囲内にあると考えられるべきである。

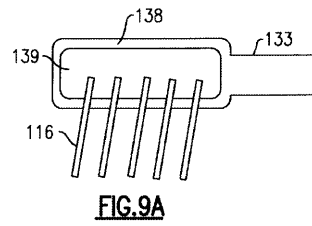
【図 6】



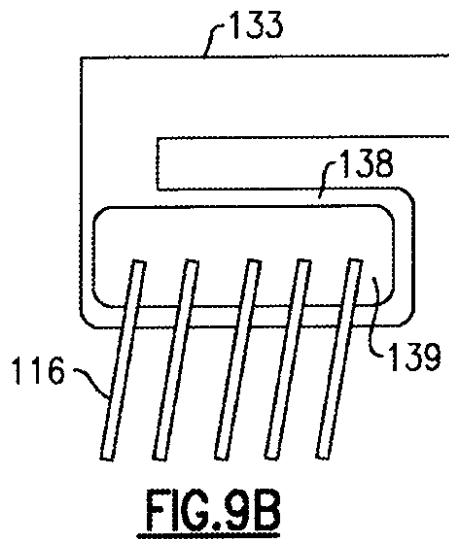
【図 7】



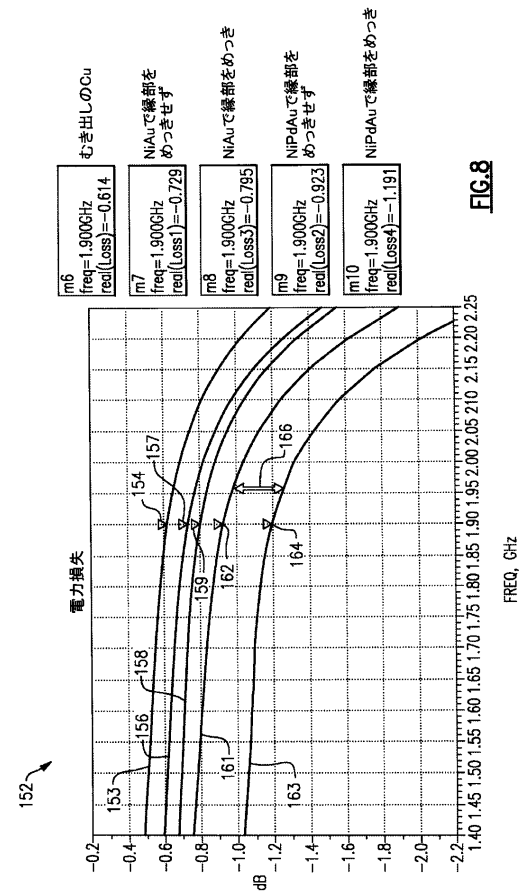
【図 9 A】



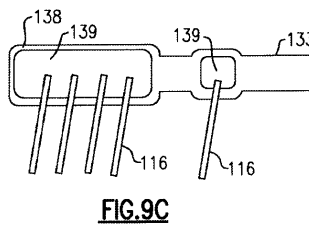
【図 9 B】



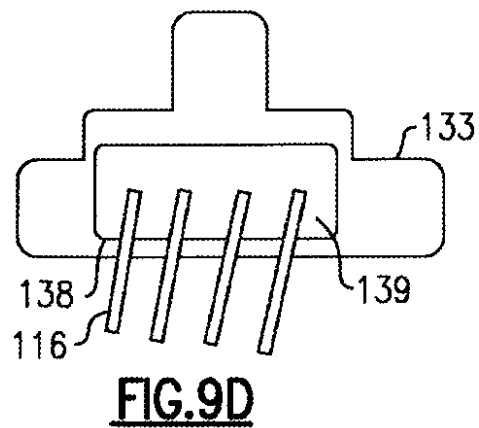
【図 8】



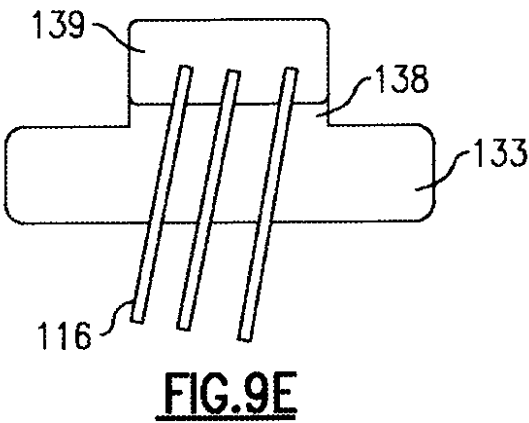
【図 9 C】



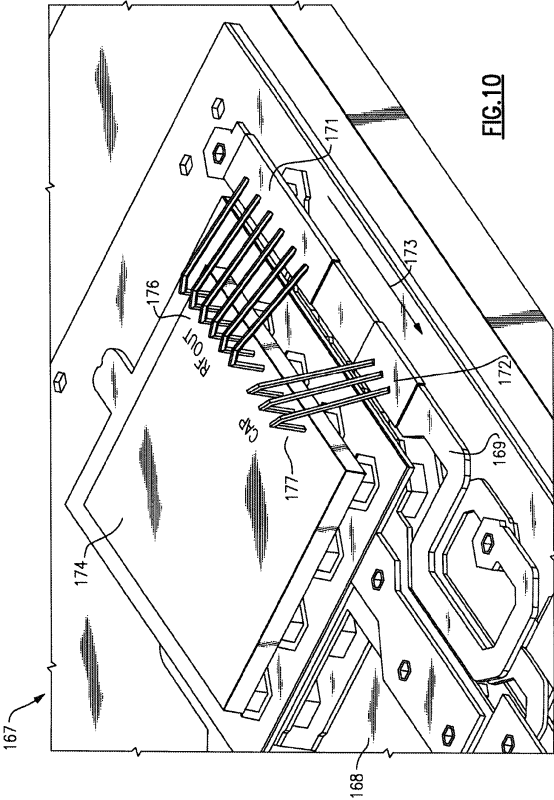
【図 9 D】



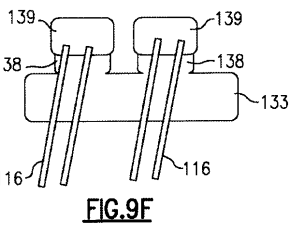
【図 9 E】



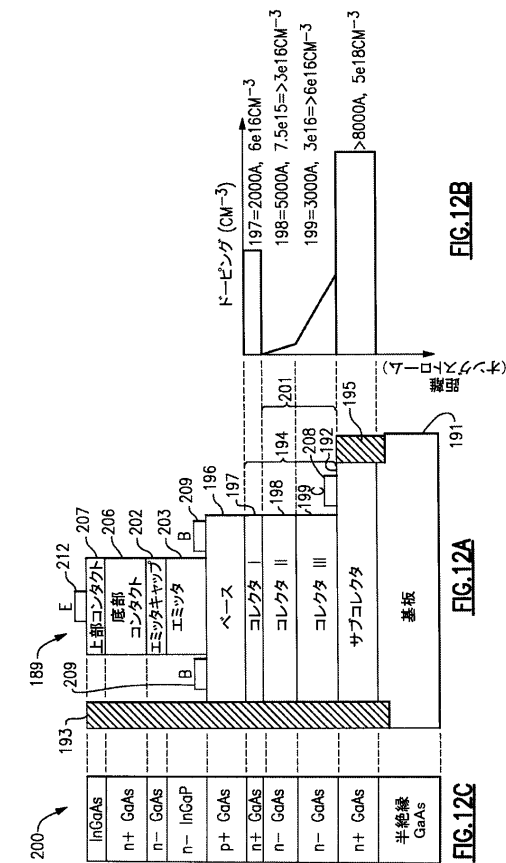
【図 1 0】



【図 9 F】



【図 1 2 A】



【図 1 1】

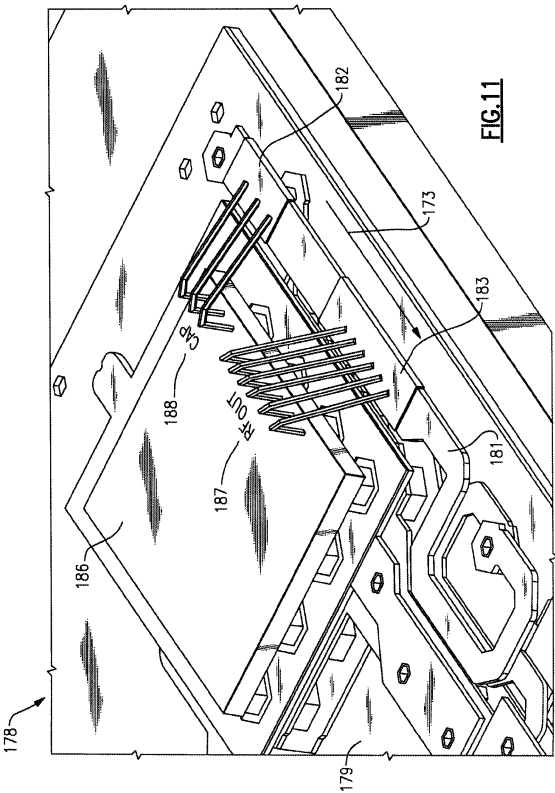
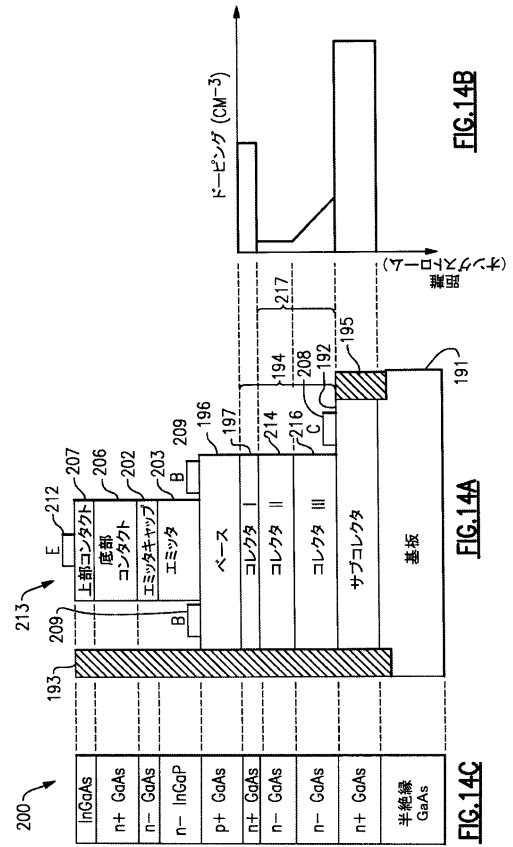


FIG. 12B

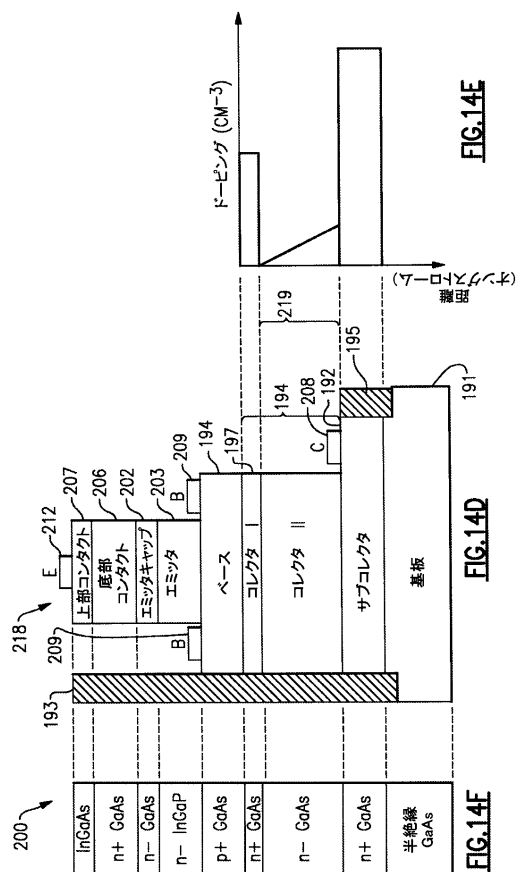
FIG. 12A

FIG. 12C

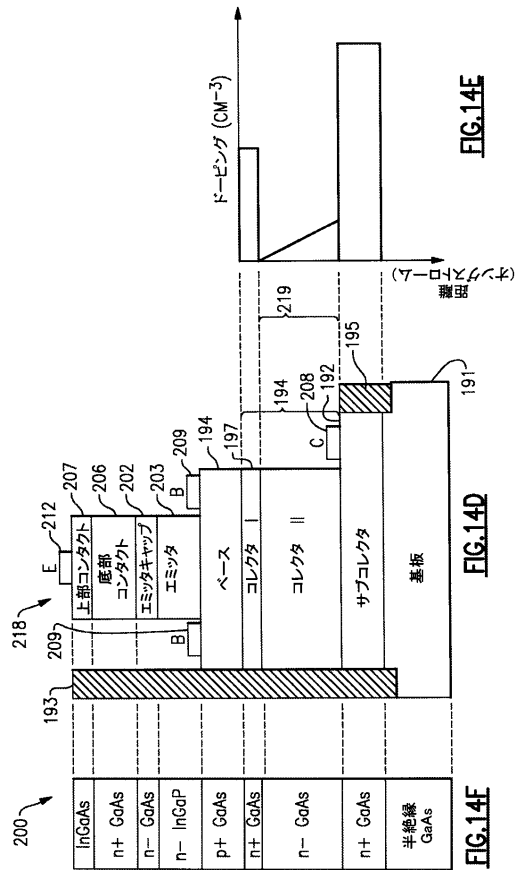
【図 1 4 C】



【図 1 4 E】



【図14F】



【図15】

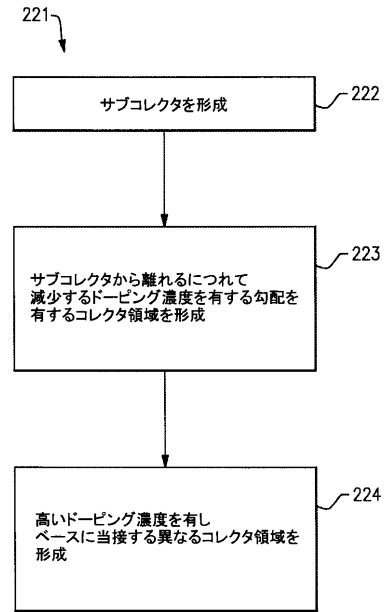


FIG.15

【図16】

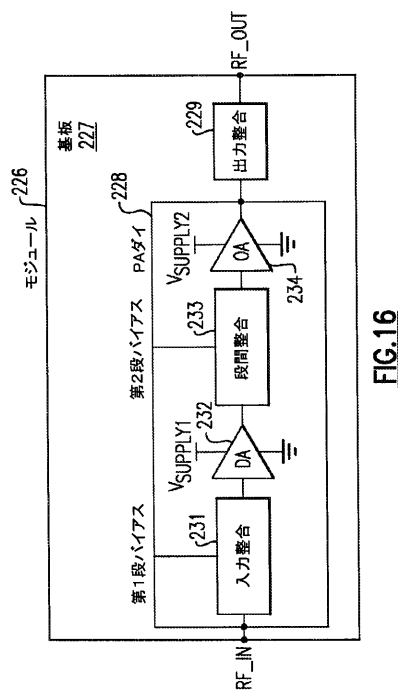


FIG.16

【図17】

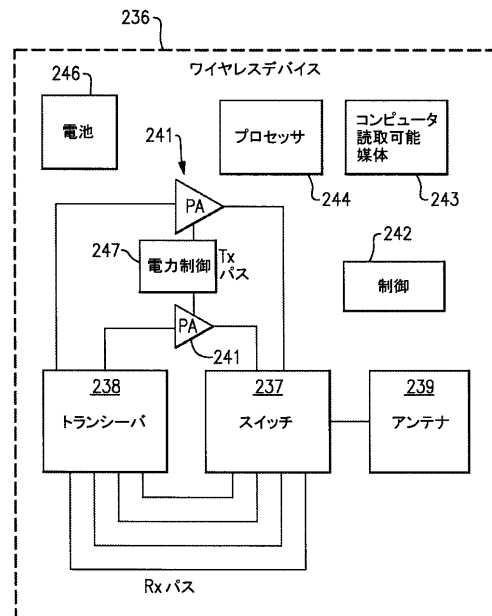
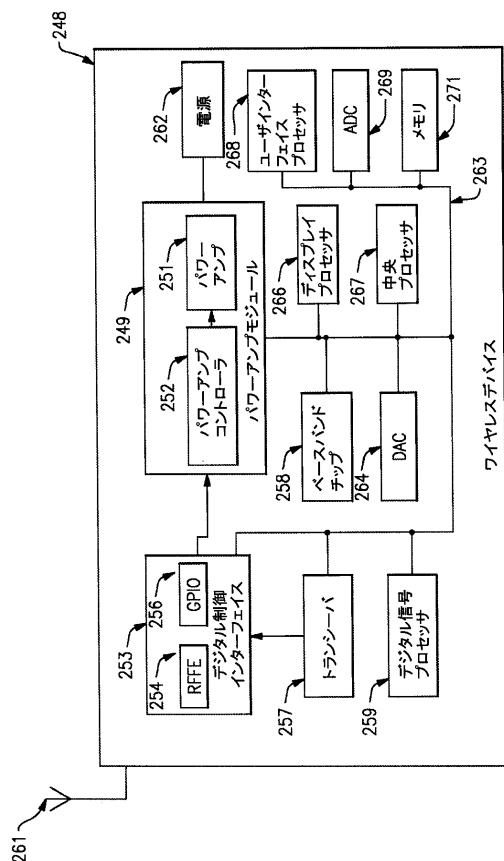
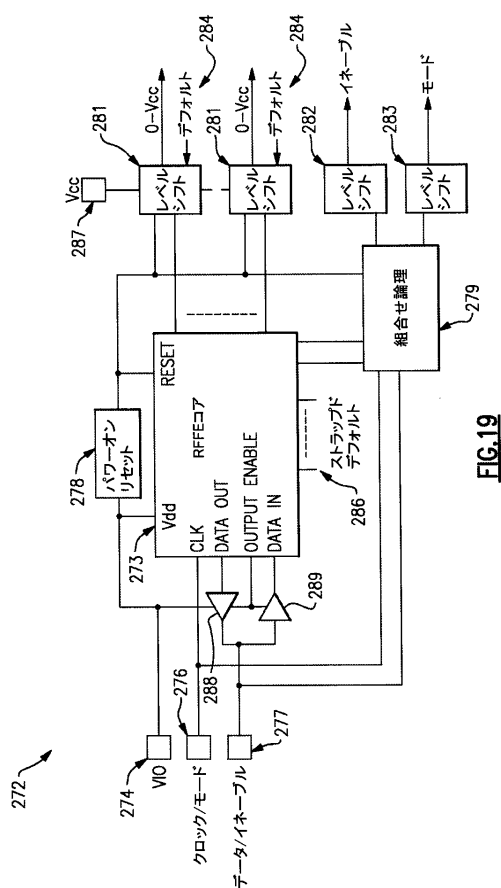


FIG.17

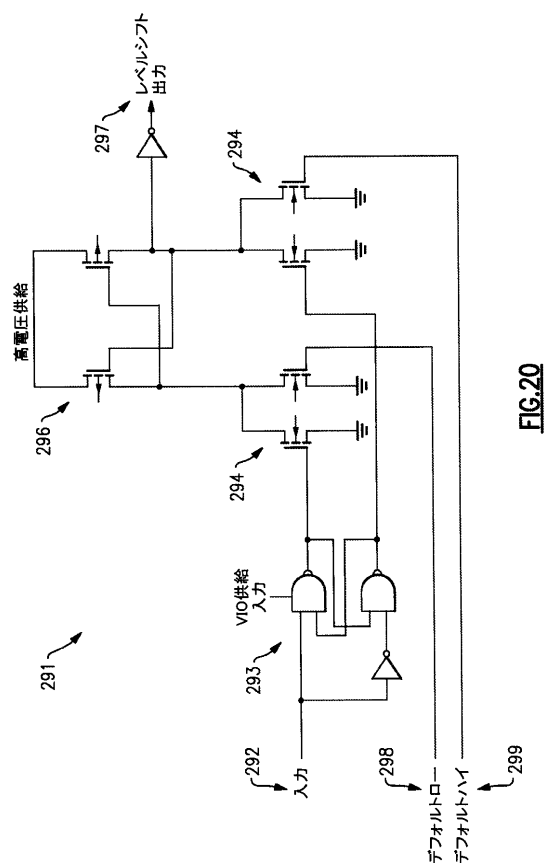
【図 18】



【図 19】



【図 20】



【図 2 1】

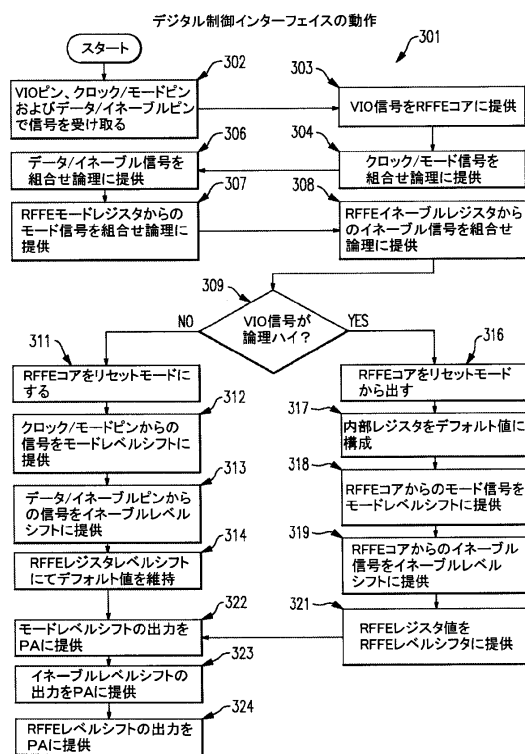


FIG.21

【図 2 2】

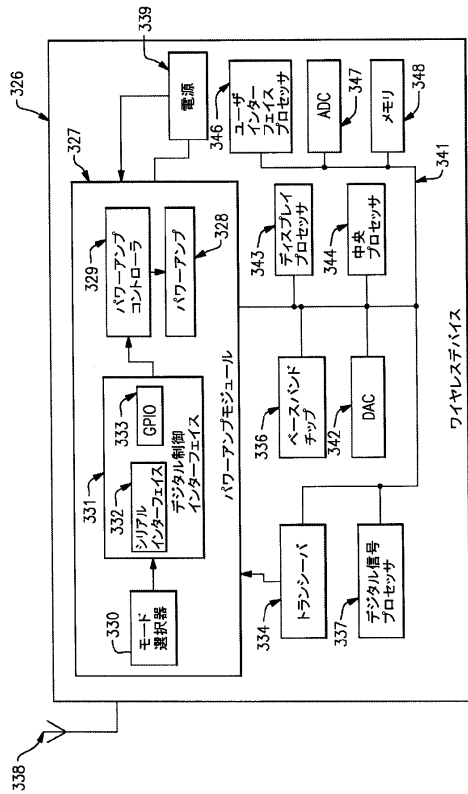


FIG. 22

【図 2 3】

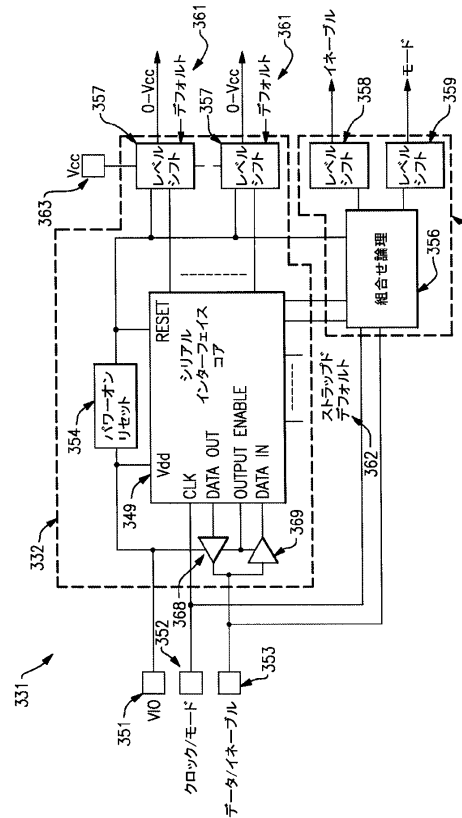


FIG. 23

【図 2 4】

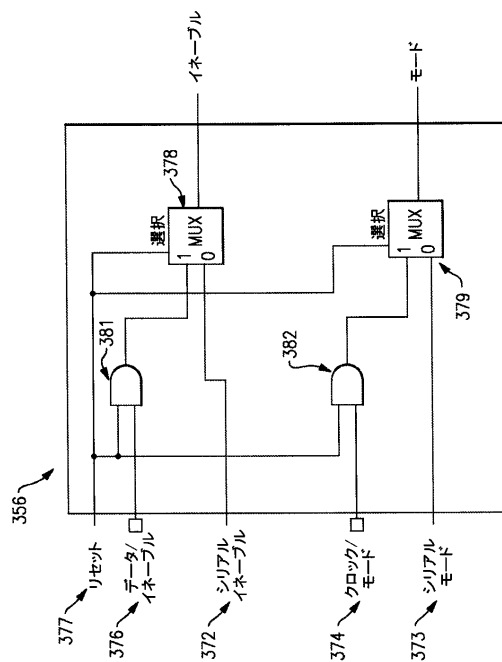


FIG. 24

【図 25】

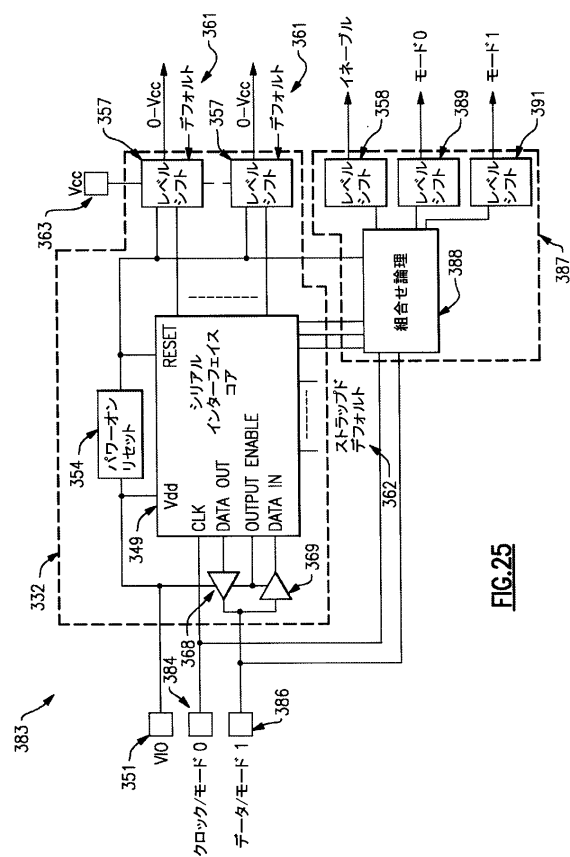


FIG. 25

【図 26】

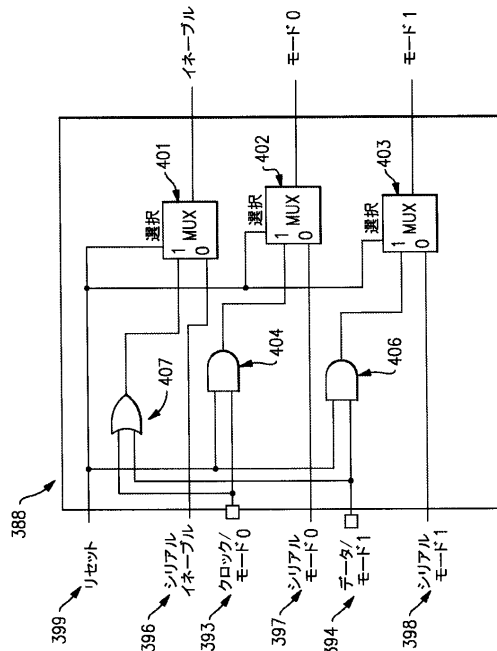


FIG.26

【図 27】

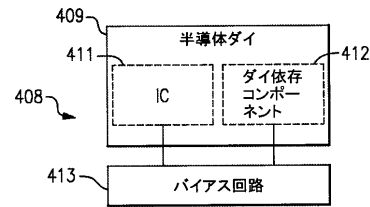


FIG.27

【図 28】

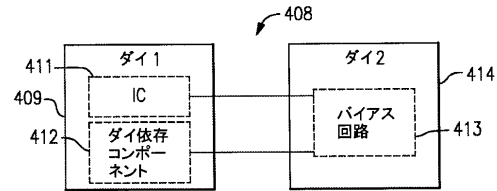


FIG.28

【図 29】

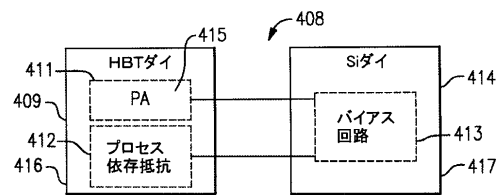


FIG.29

【図 30】

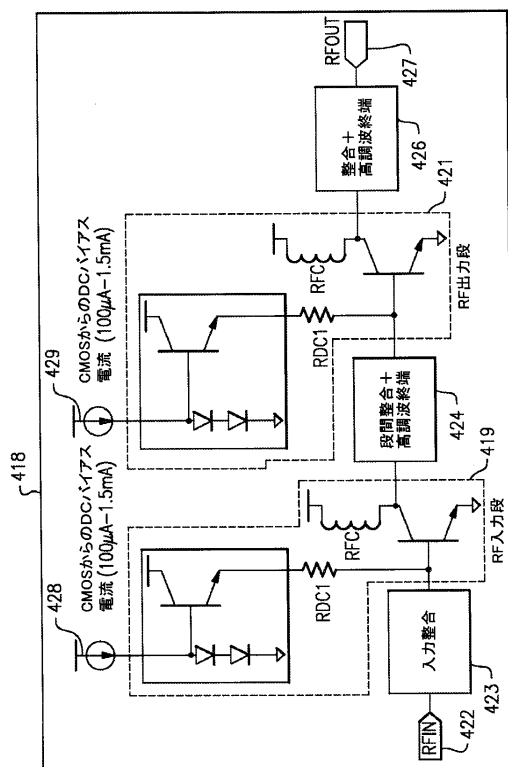


FIG.30

【図 31】

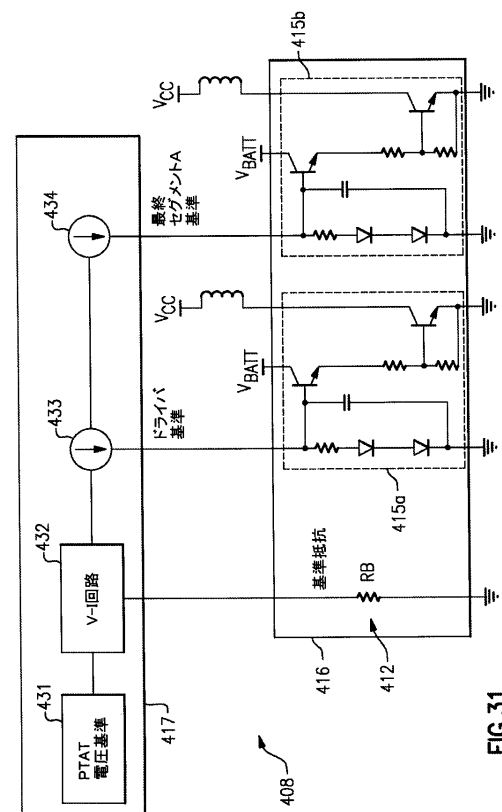
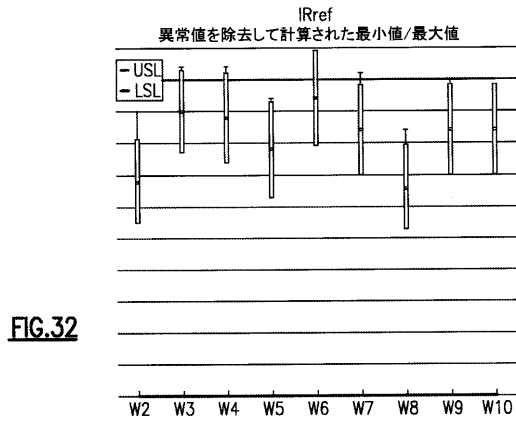
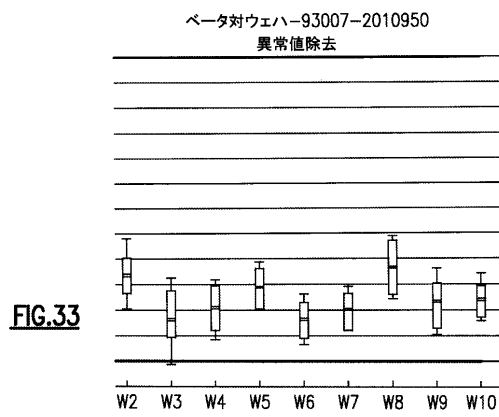


FIG.31

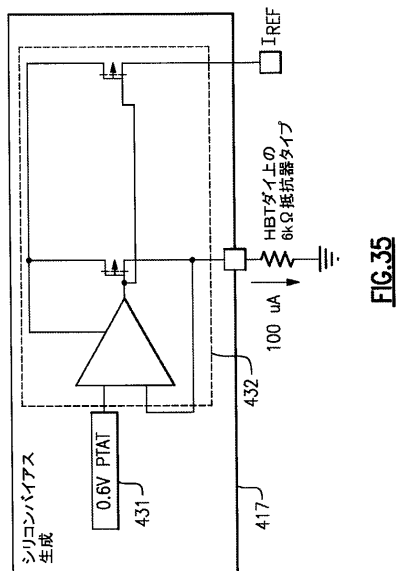
【図 3 2】



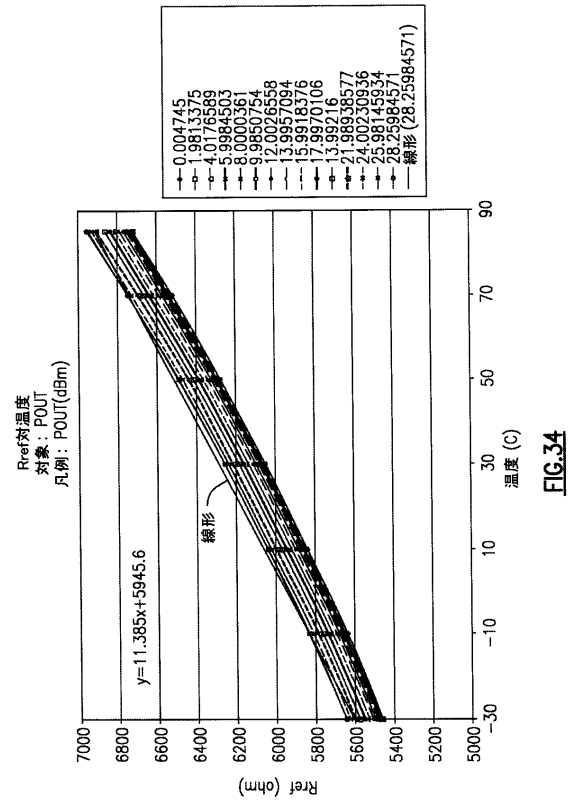
【図 3 3】



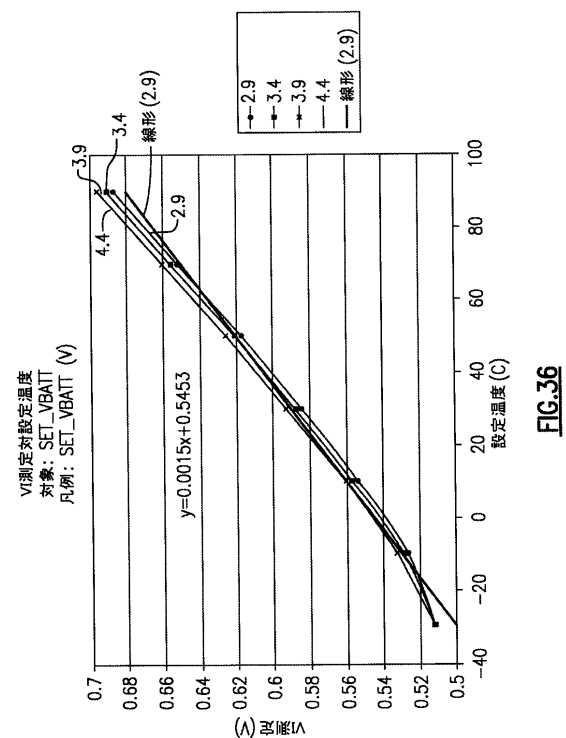
【図 3 5】



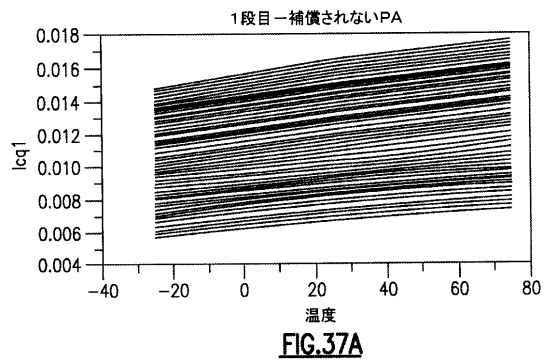
【図 3 4】



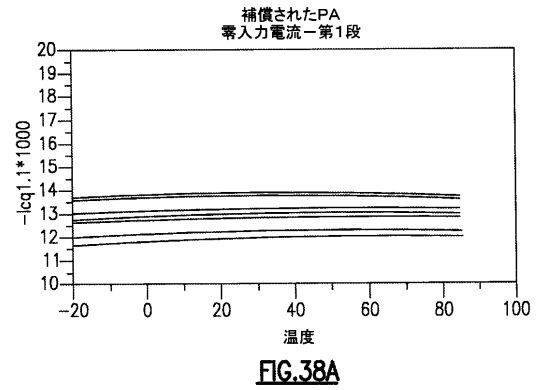
【図 3 6】



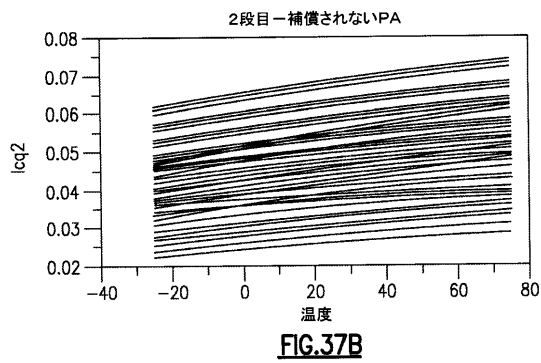
【図 3 7 A】



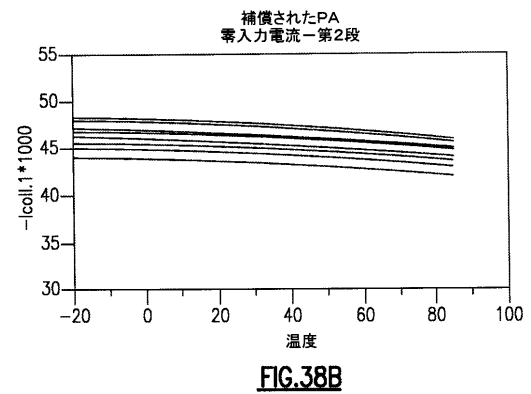
【図 3 8 A】



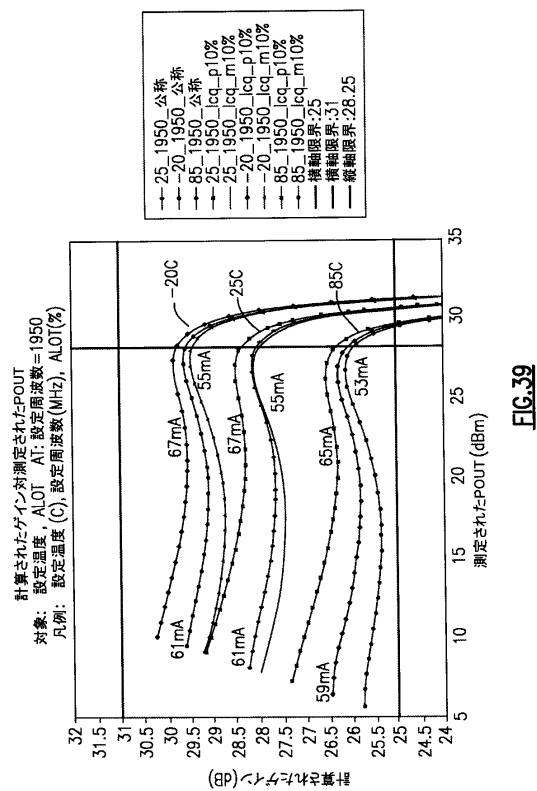
【図 3 7 B】



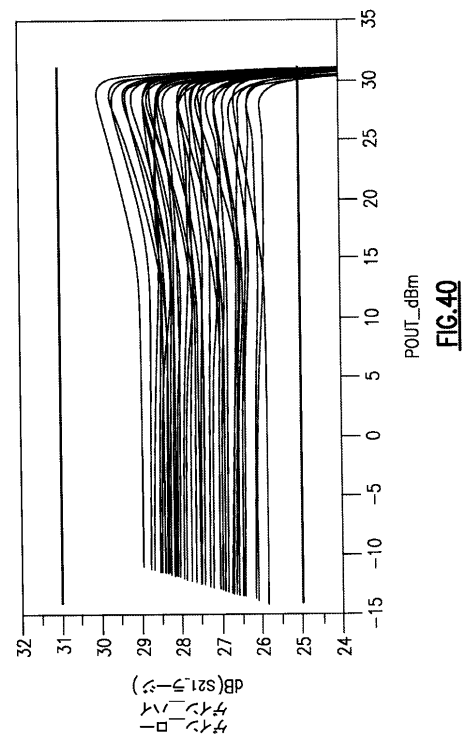
【図 3 8 B】



【図 3 9】



【図 4 0】



【図 4 1 A】

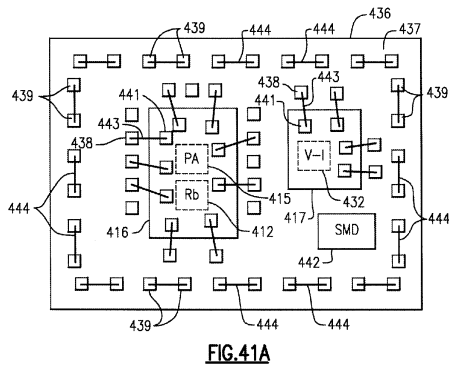


FIG.41A

【図 4 1 B】

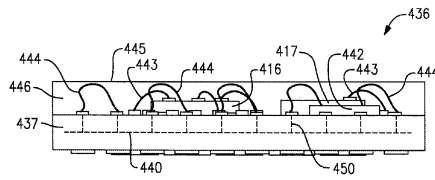


FIG.41B

【図 4 2】

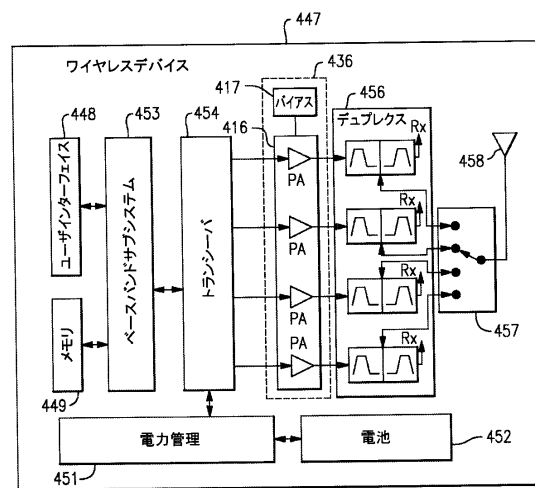


FIG.42

【図 4 3】

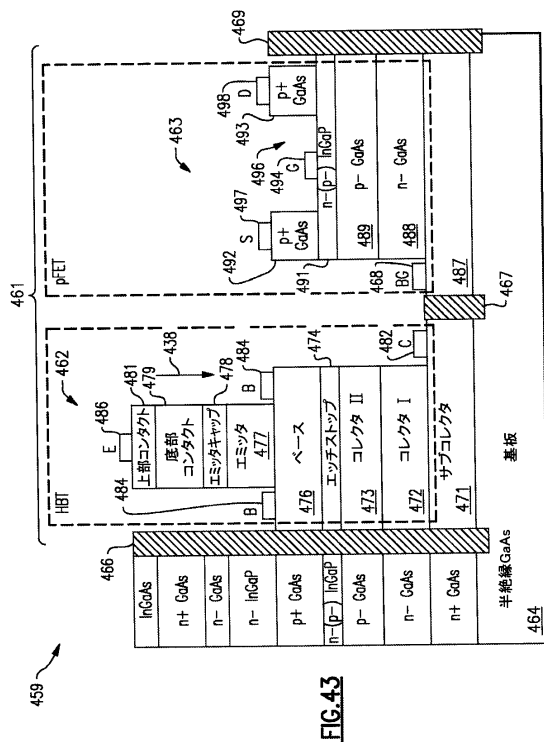


FIG. 43

【図 4 4】

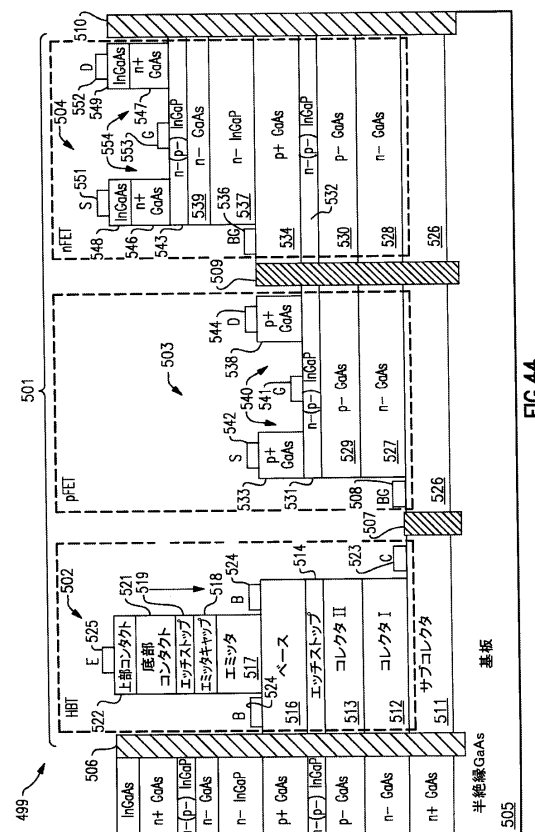


FIG. 44

【図 4 5】

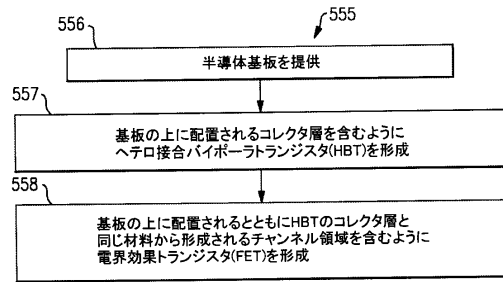


FIG.45

【図 4 6】

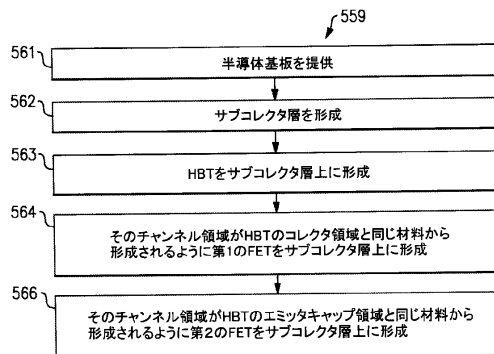


FIG.46

【図 4 7】

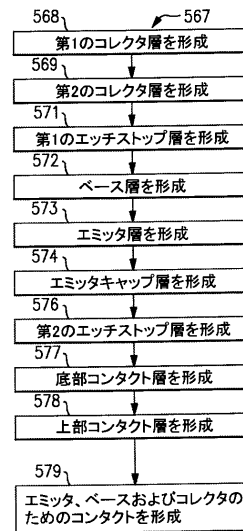


FIG.47

【図 4 8】

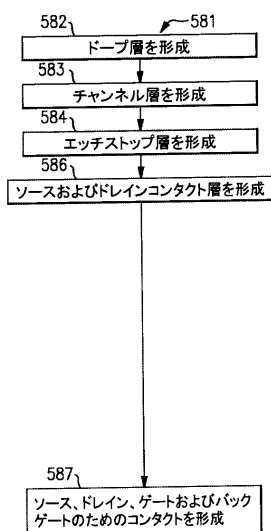


FIG.48

【図 4 9】

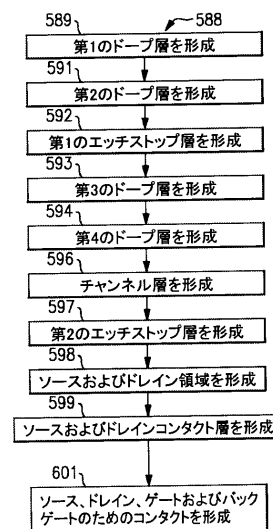


FIG.49

【図 50】

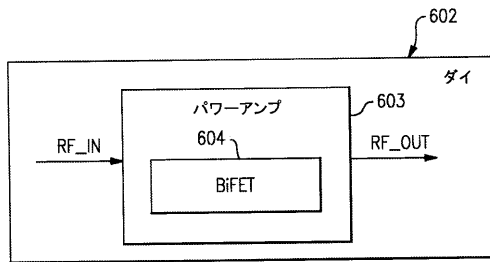


FIG.50

【図 52】

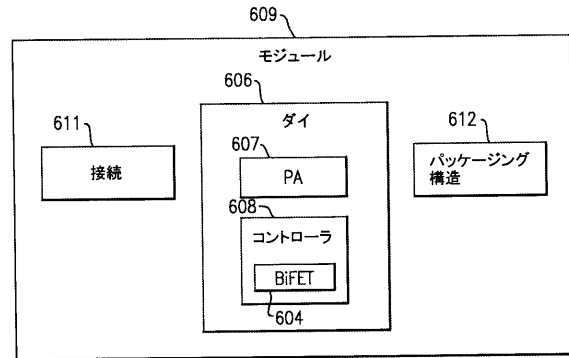


FIG.52

【図 51】

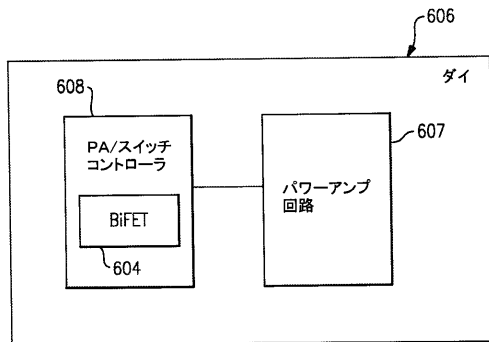


FIG.51

【図 53】

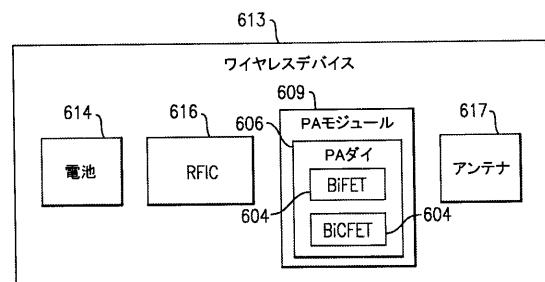


FIG.53

【図 54】

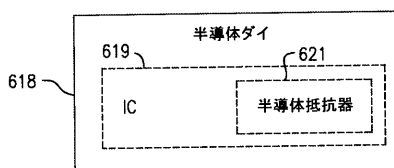


FIG.54

【図 55】

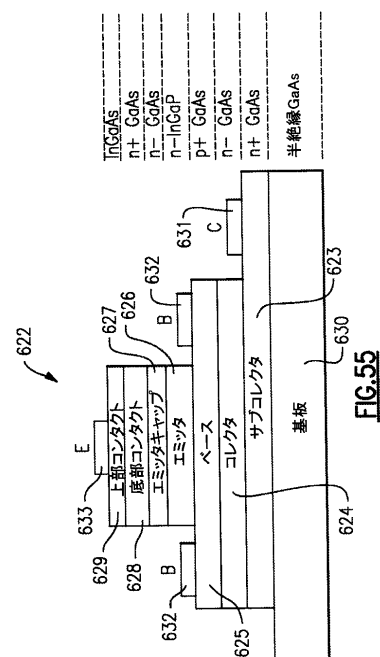
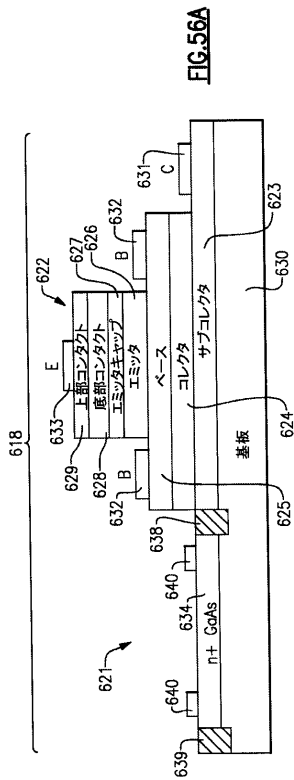
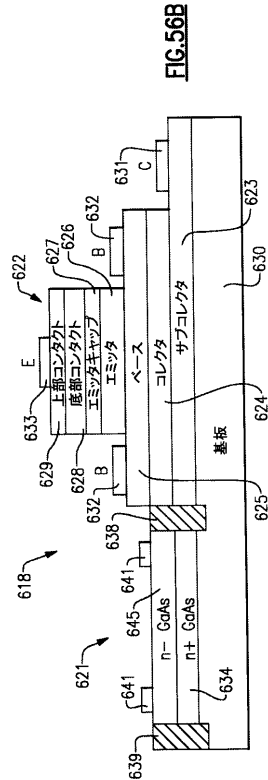


FIG.55

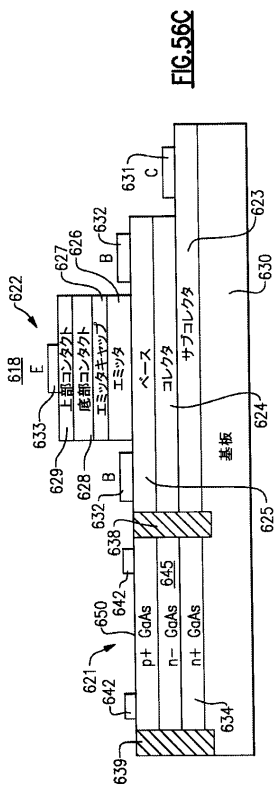
【図 5 6 A】



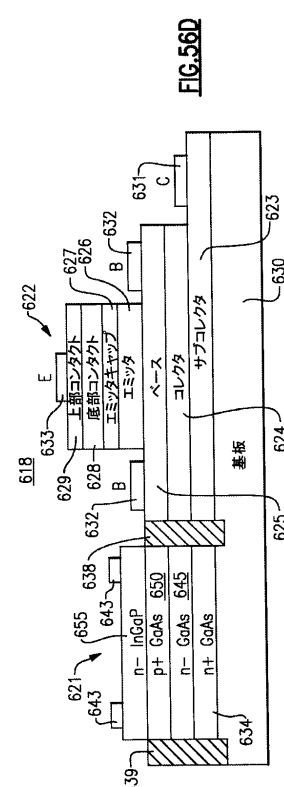
【図 5 6 B】



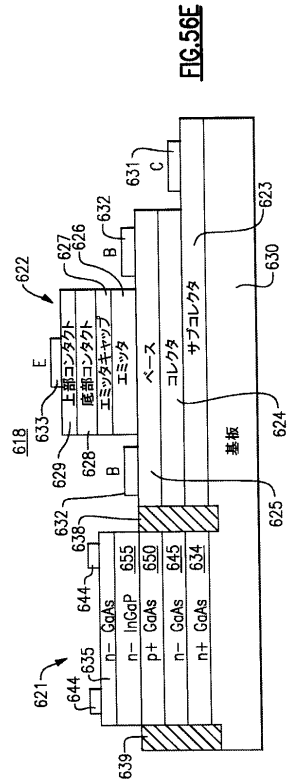
【図 5 6 C】



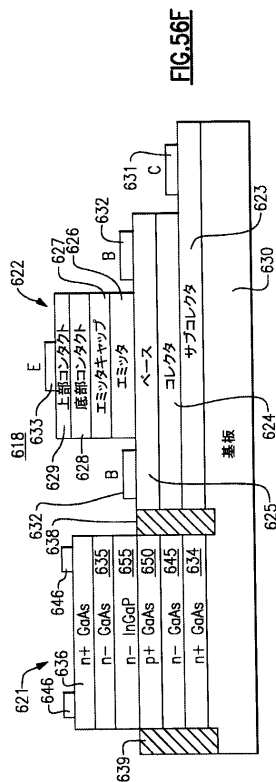
【図 5 6 D】



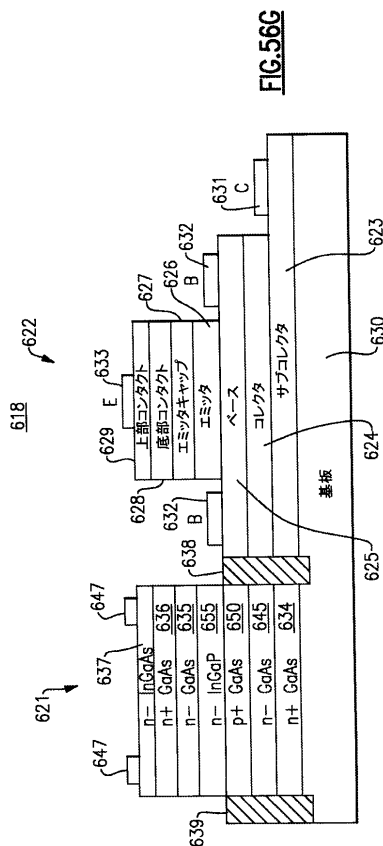
【図 5 6 E】



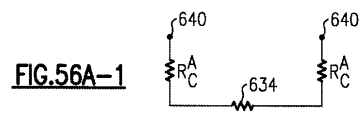
【図 5 6 F】



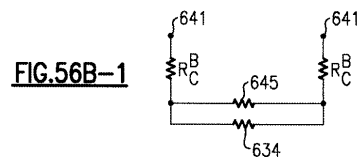
【図 5 6 G】



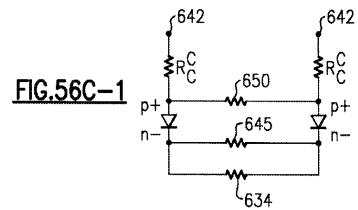
【図 5 6 A - 1】



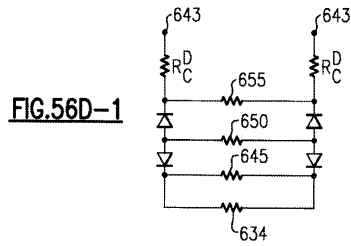
【図 5 6 B - 1】



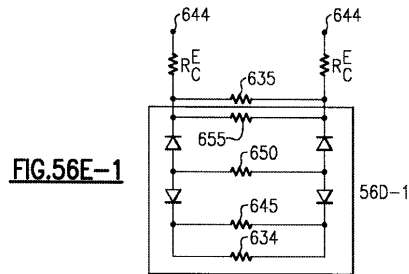
【図 5 6 C - 1】



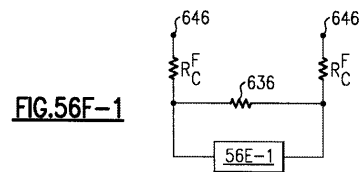
【図 5 6 D - 1】



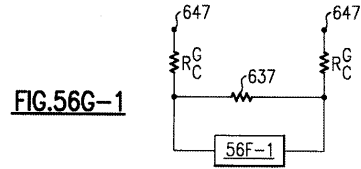
【図 5 6 E - 1】



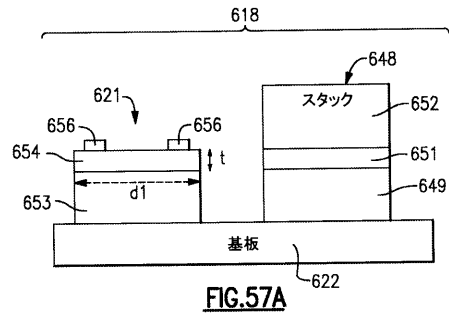
【図 5 6 F - 1】



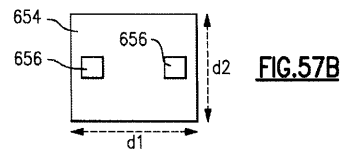
【図 5 6 G - 1】



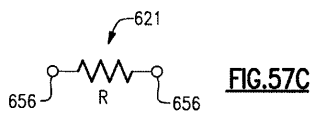
【図 5 7 A】



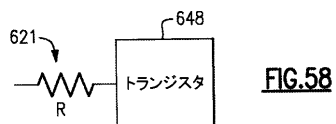
【図 5 7 B】



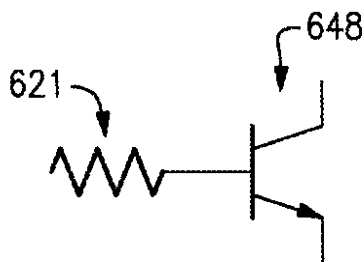
【図 5 7 C】



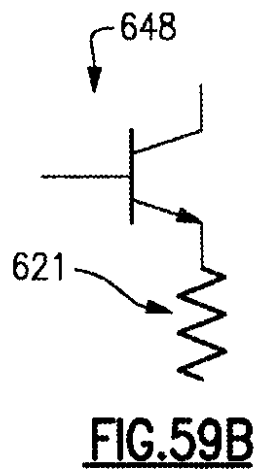
【図 5 8】



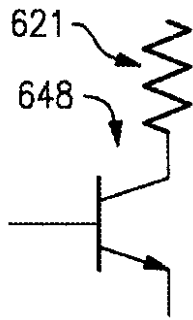
【図 5 9 A】



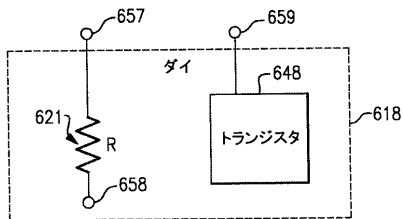
【図 5 9 B】



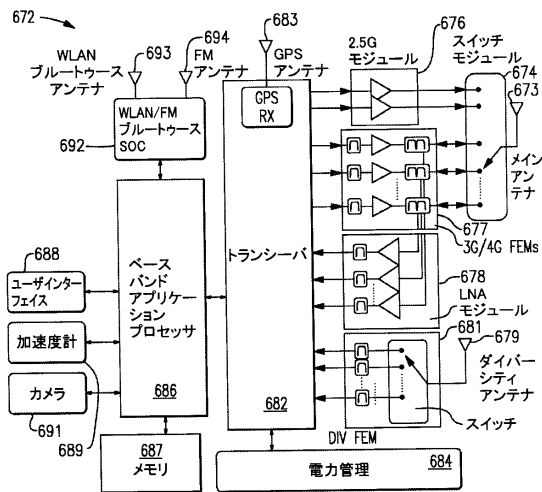
【図 59C】

**FIG.59C**

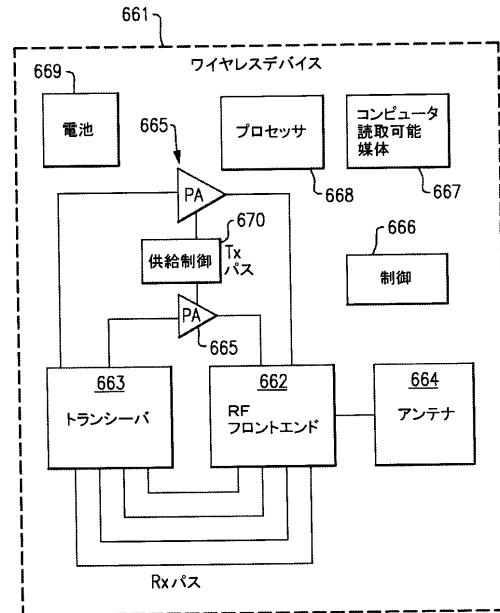
【図 60】

**FIG.60**

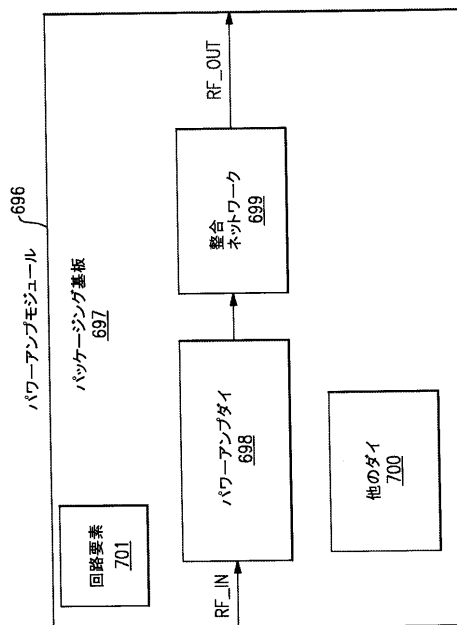
【図 61B】

**FIG.61B**

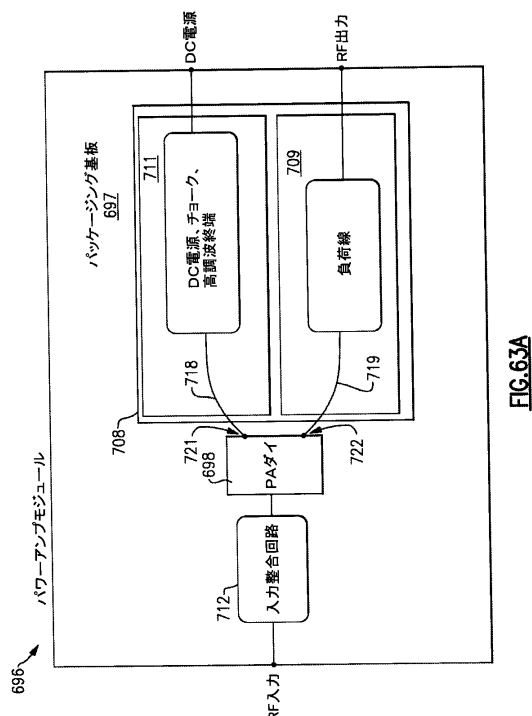
【図 61A】

**FIG.61A**

【図 61C】

**FIG.61C**

【図 6 3 A】



【図 6 4 B】

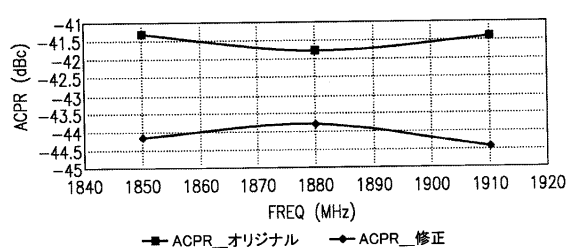


FIG. 64B

【図 6 4 C】

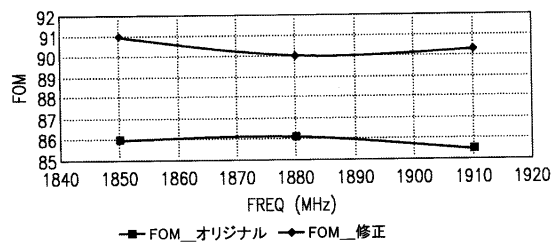


FIG. 64C

【図 6 5】

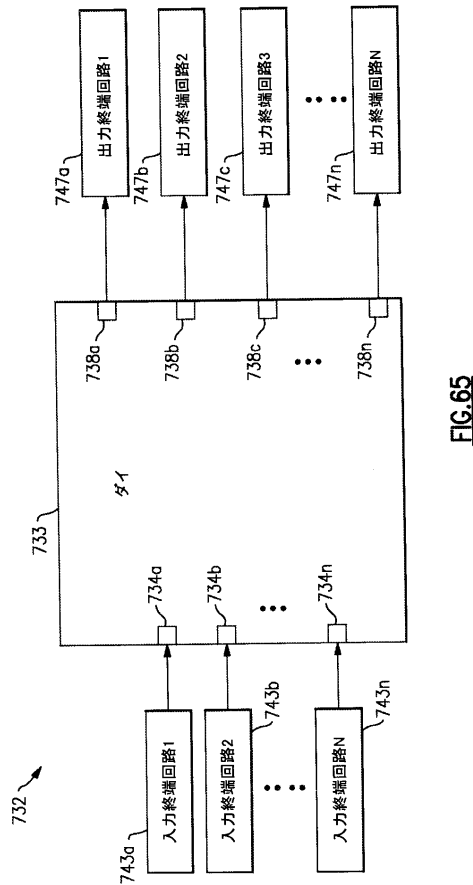


FIG.65

【図 6 6】

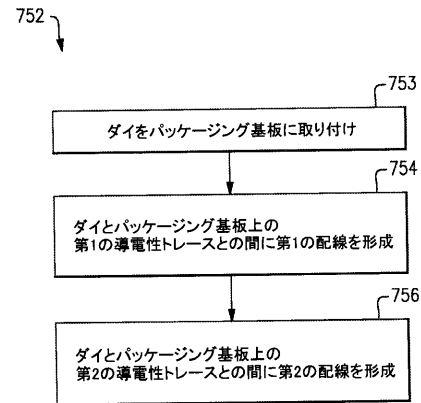


FIG.66

【図 6 7 A】

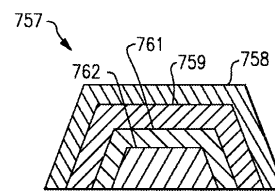


FIG.67A

【図 6 7 B】

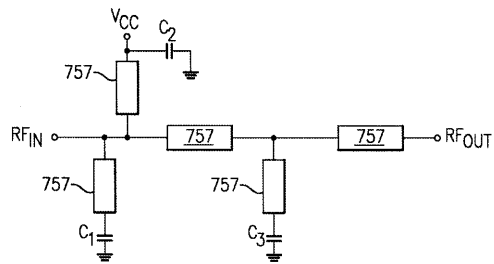


FIG.67B

【図 6 8 C】

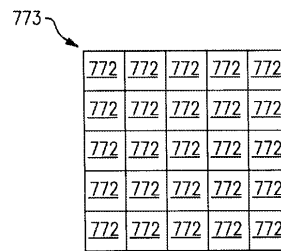


FIG.68C

【図 6 8 A】

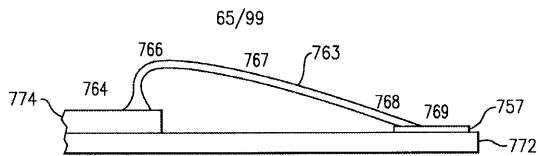


FIG.68A

【図 6 8 B】

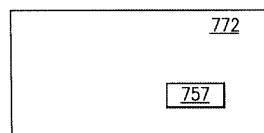


FIG.68B

【図 6 9】

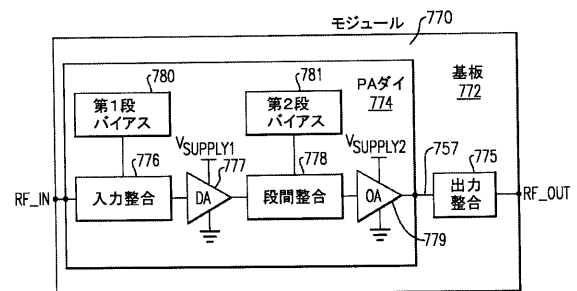
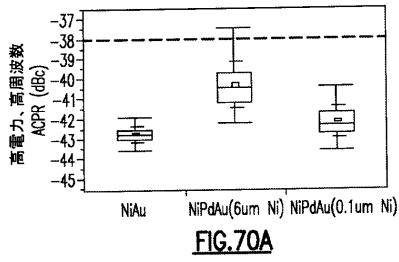
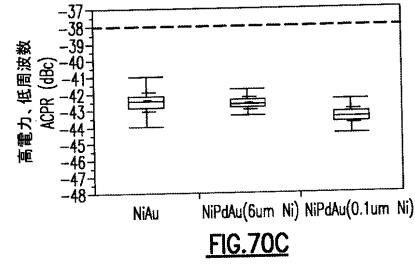


FIG.69

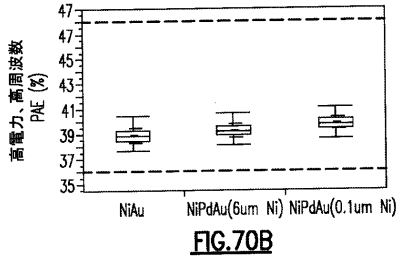
【図 70 A】



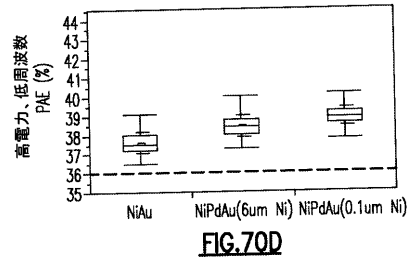
【図 70 C】



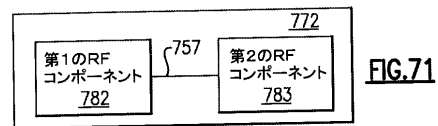
【図 70 B】



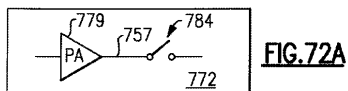
【図 70 D】



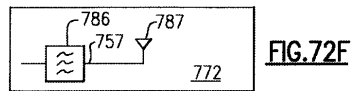
【図 71】



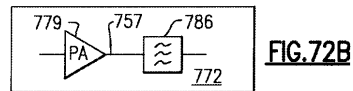
【図 72 A】



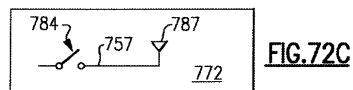
【図 72 F】



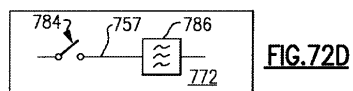
【図 72 B】



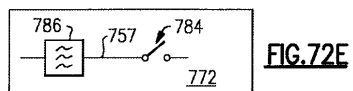
【図 72 C】



【図 72 D】



【図 72 E】



【図 7 3】

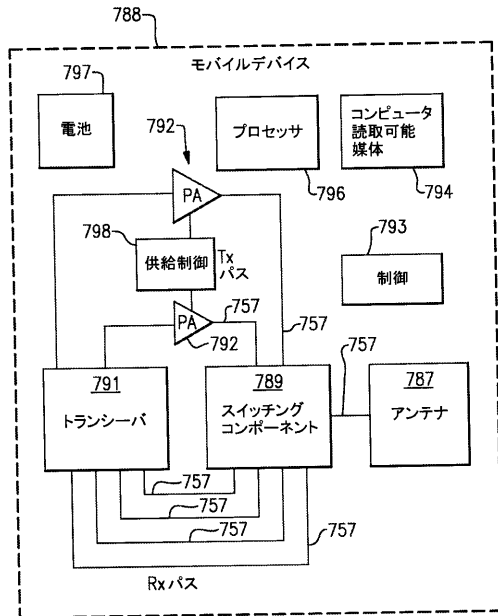


FIG.73

【図 7 4 A】

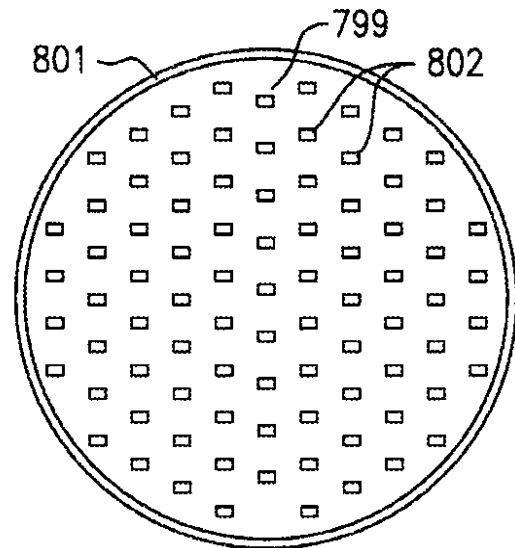


FIG.74A

【図 7 4 B】

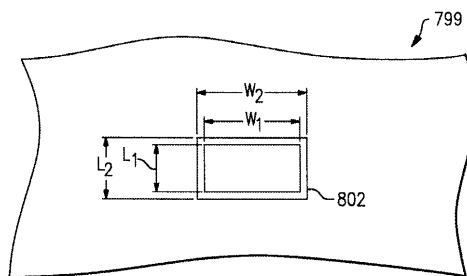


FIG.74B

【図 7 5 C】

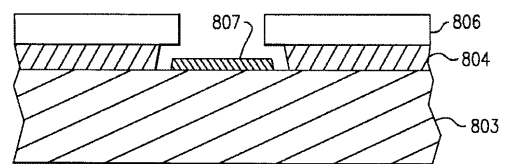


FIG.75C

【図 7 5 A】

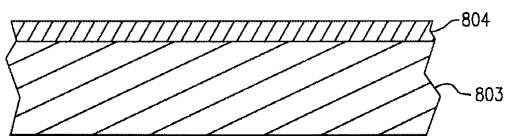


FIG.75A

【図 7 5 D】

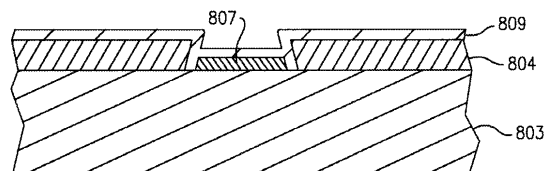


FIG.75D

【図 7 5 B】

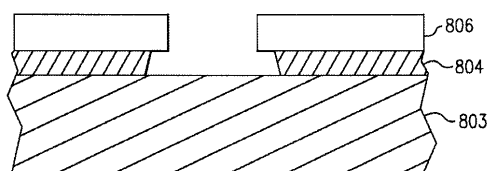


FIG.75B

【図 7 5 E】

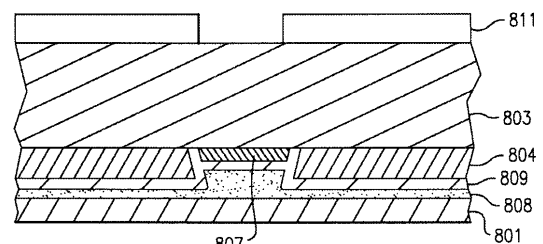
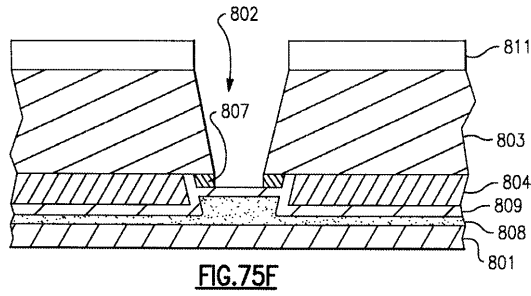
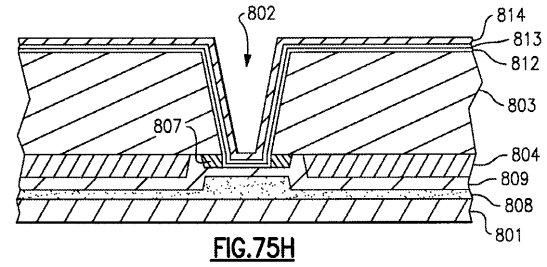


FIG.75E

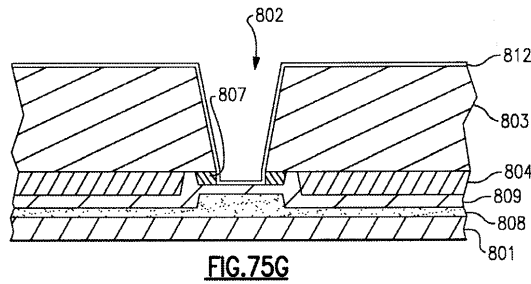
【図 7 5 F】



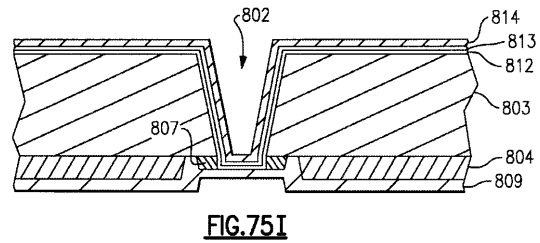
【図 7 5 H】



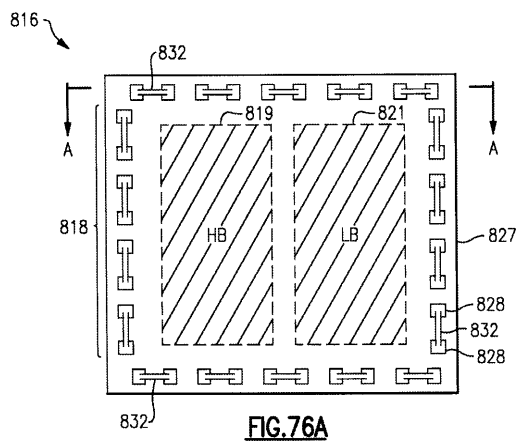
【図 7 5 G】



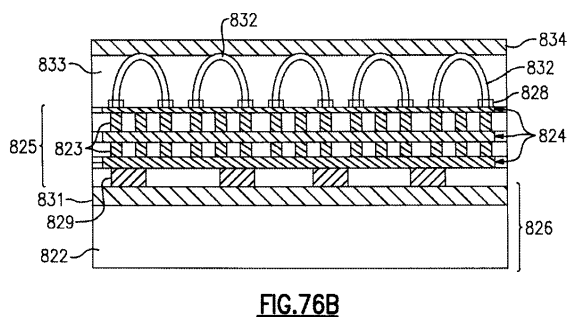
【図 7 5 I】



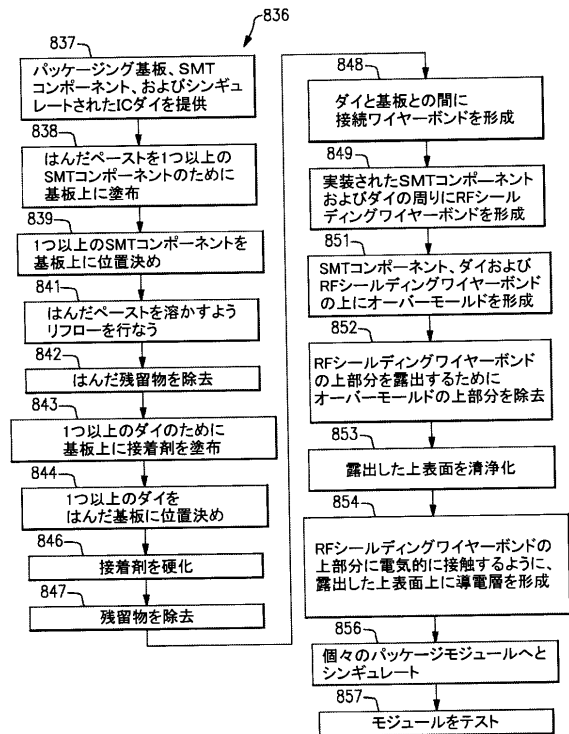
【図 7 6 A】



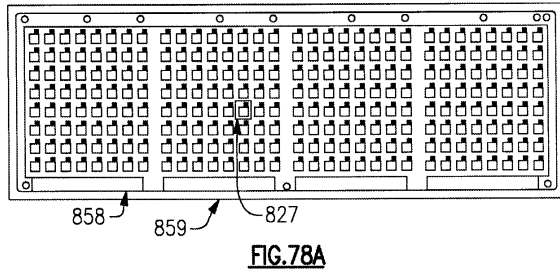
【図 7 6 B】



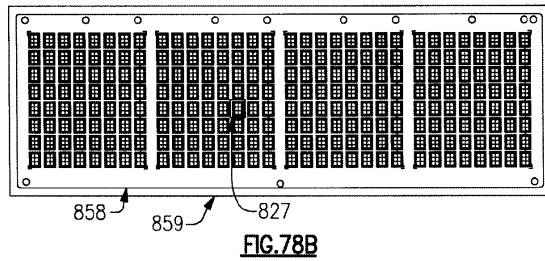
【図 7 7】



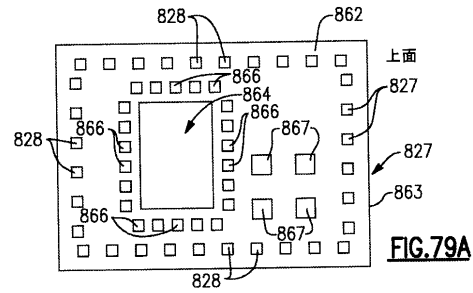
【図 7 8 A】



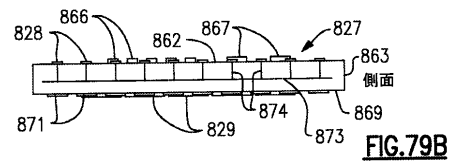
【図 7 8 B】



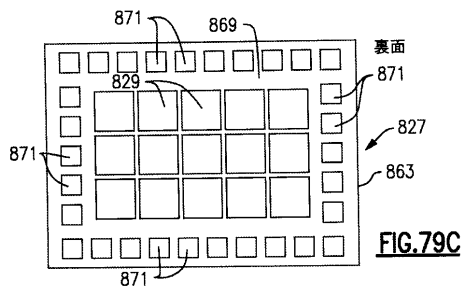
【図 7 9 A】



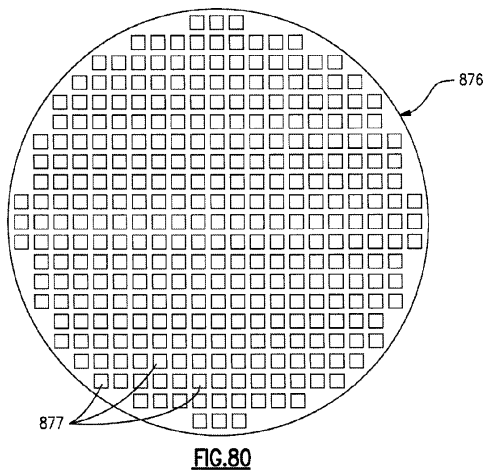
【図 7 9 B】



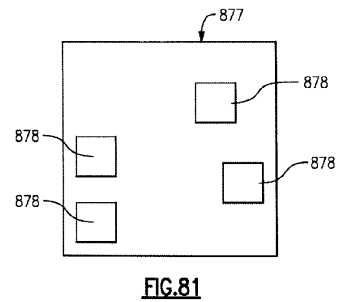
【図 7 9 C】



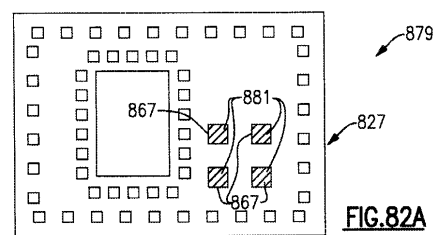
【図 8 0】



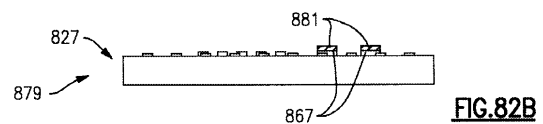
【図 8 1】



【図 8 2 A】



【図 8 2 B】



【図 8 3 A】

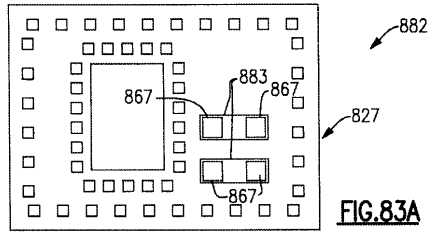


FIG.83A

【図 8 3 B】

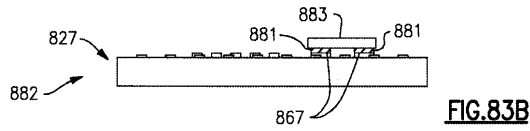


FIG.83B

【図 8 4 A】

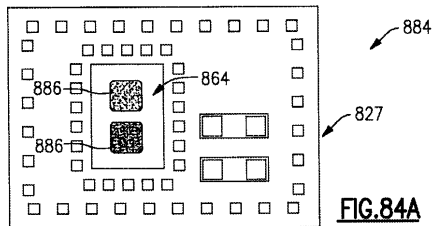


FIG.84A

【図 8 4 B】

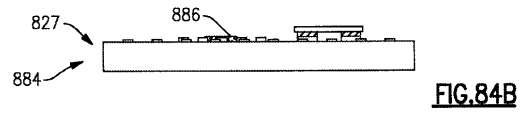


FIG.84B

【図 8 5 A】

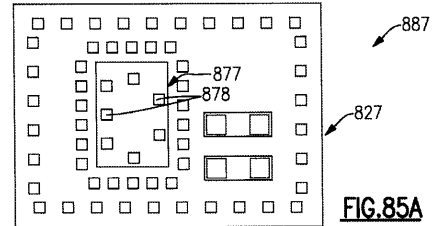


FIG.85A

【図 8 5 B】

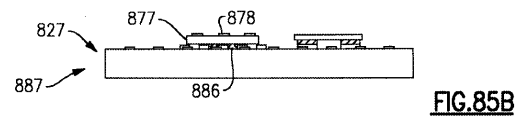


FIG.85B

【図 8 6 A】

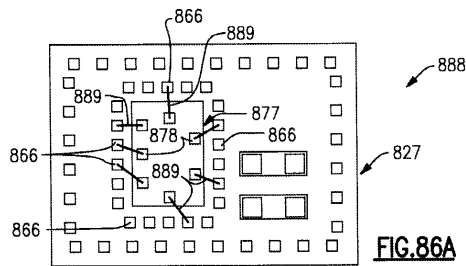


FIG.86A

【図 8 6 B】

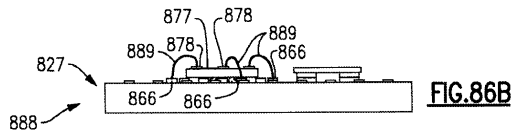


FIG.86B

【図 8 7 B】

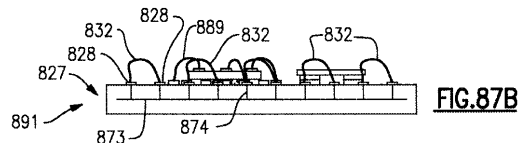


FIG.87B

【図 8 8】

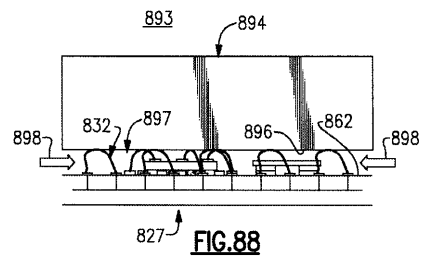


FIG.88

【図 8 7 A】

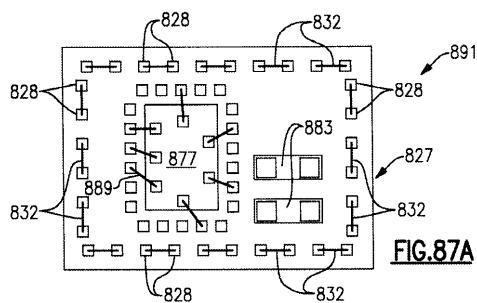


FIG.87A

【図 8 9】

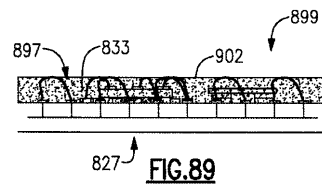
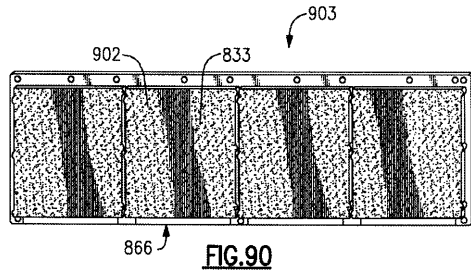
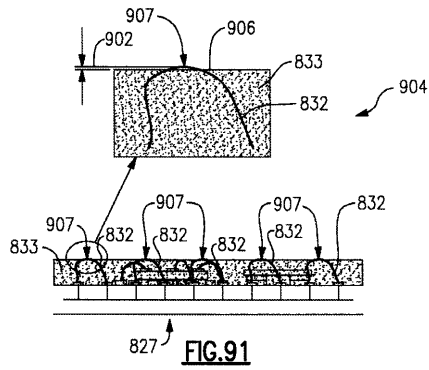


FIG.89

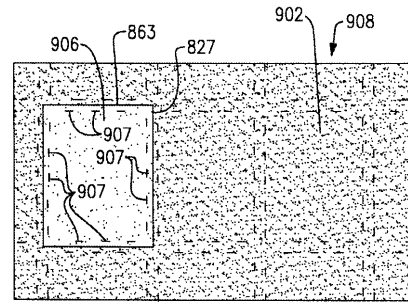
【図 90】



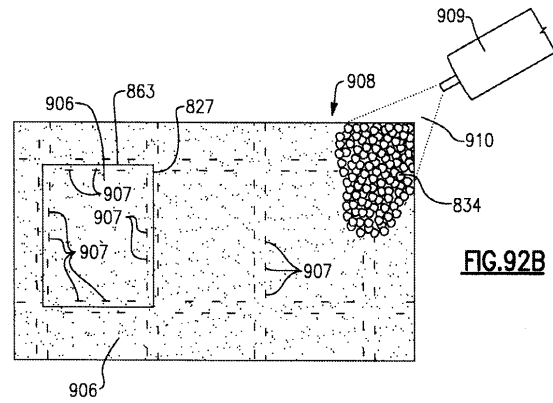
【図 91】



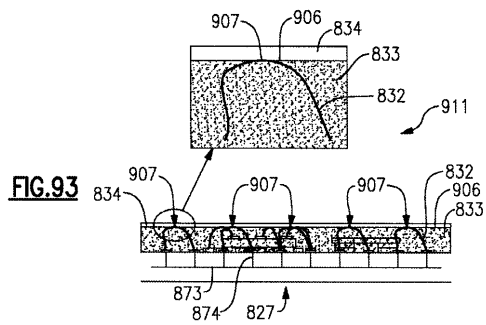
【図 92 A】



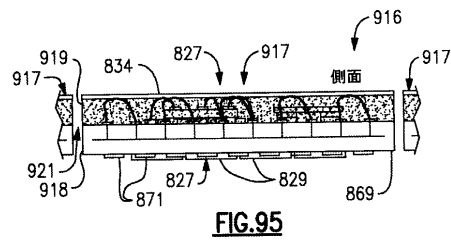
【図 92 B】



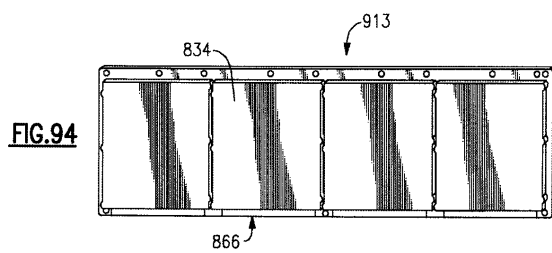
【図 93】



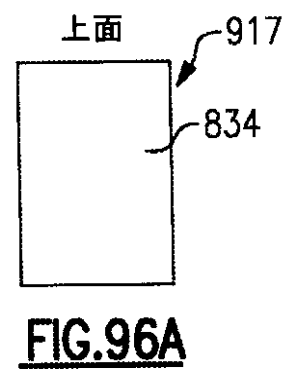
【図 95】



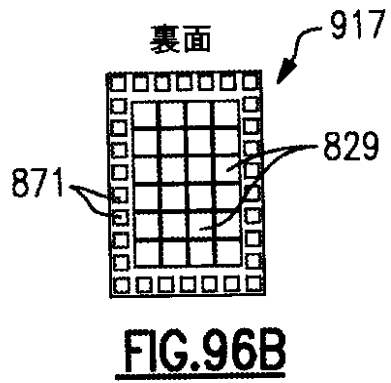
【図 94】



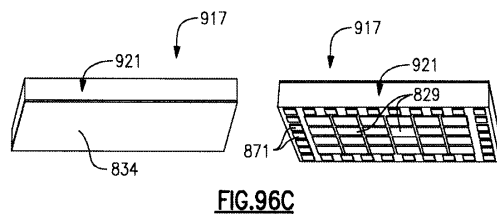
【図 96 A】



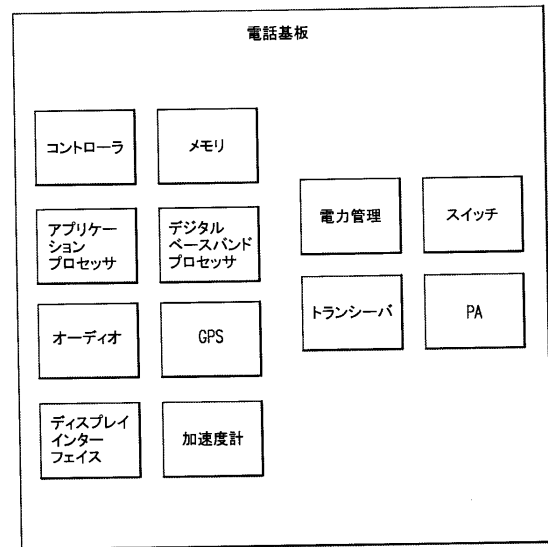
【図 9 6 B】



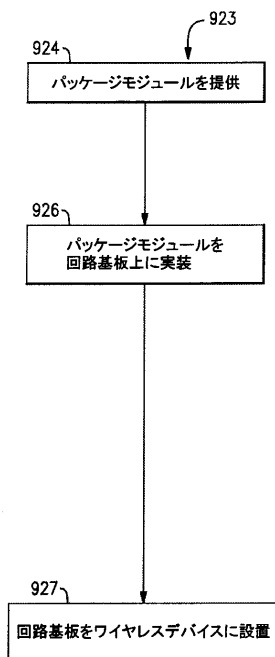
【図 9 6 C】



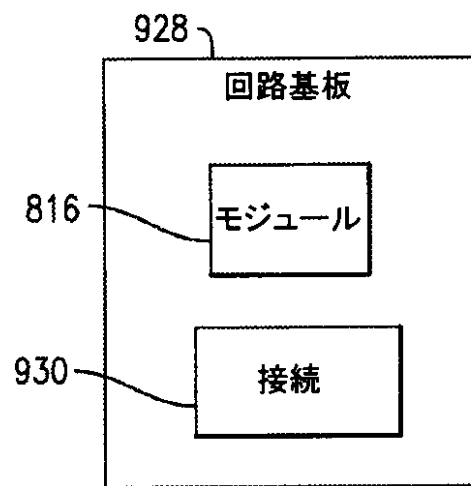
【図 9 7】

**FIG.97**

【図 9 8 A】

**FIG.98A**

【図 9 8 B】

**FIG.98B**

【図 98C】

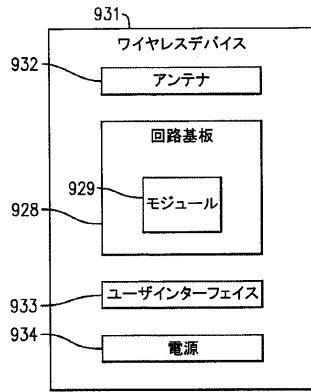


FIG.98C

【図 98D】

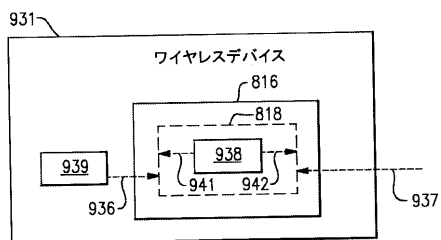


FIG.98D

【図 99A】

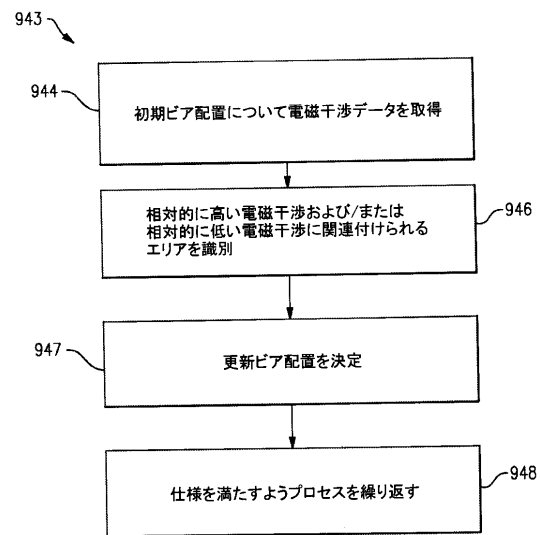


FIG.99A

【図 99B】

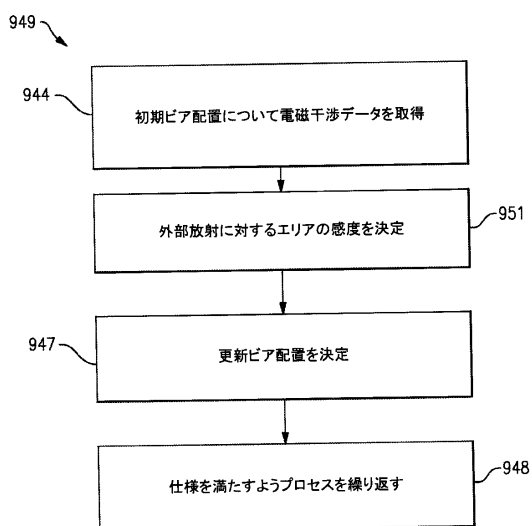
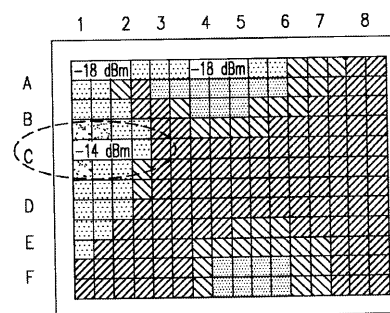


FIG.99B

【図 100A】

EMI走査
FIG.100A

【図 100B】

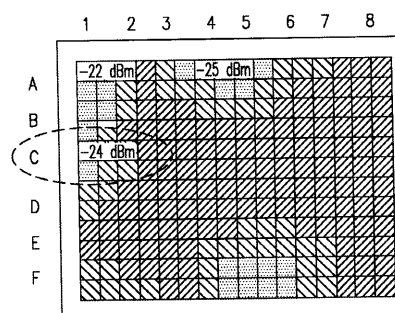
HB出力での付加的なピアを有する
更新ピア配置についてEMI走査

FIG.100B

【図 1 0 0 C】

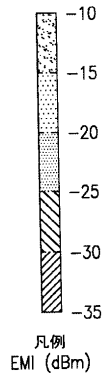


FIG. 100C

【 図 1 0 1 】

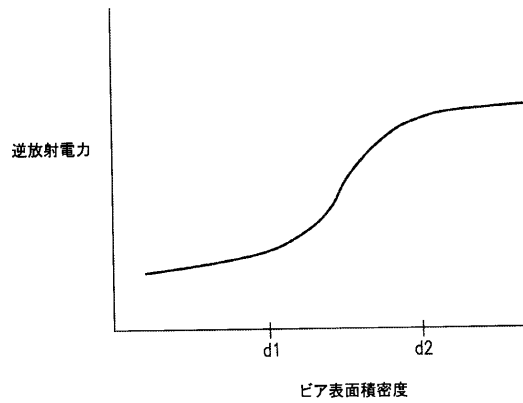


FIG.101

【図 1 0 2 A】

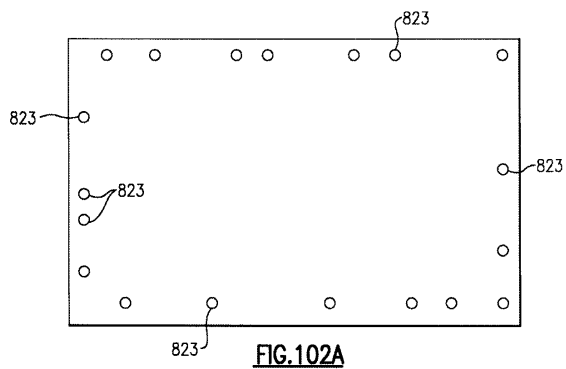


FIG.102A

【図 1 0 2 B】

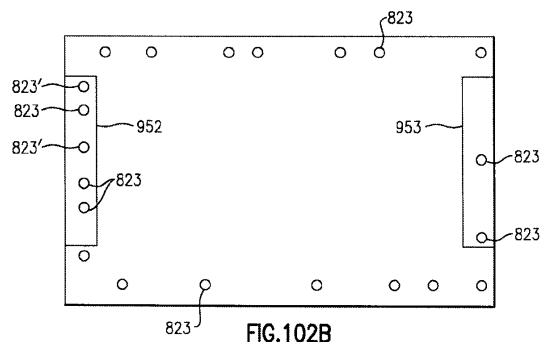


FIG.102B

【☒ 1 0 3】

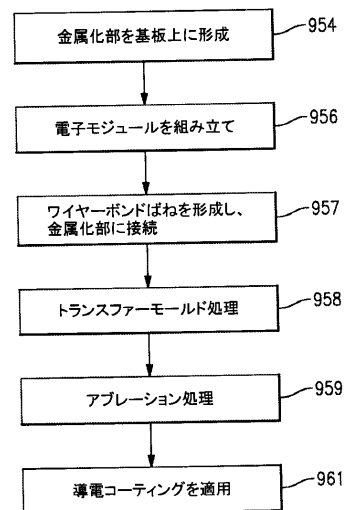


FIG.103

【図 1 0 4】

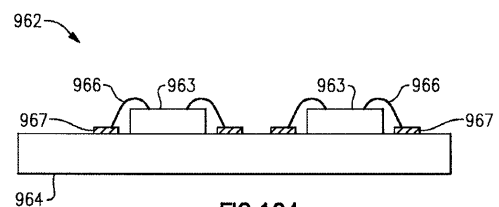


FIG.104

【図105】

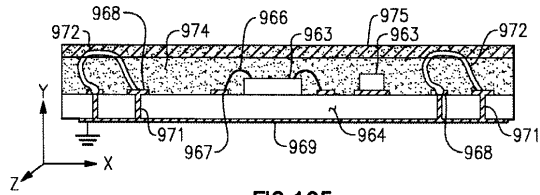


FIG.105

【図106B】

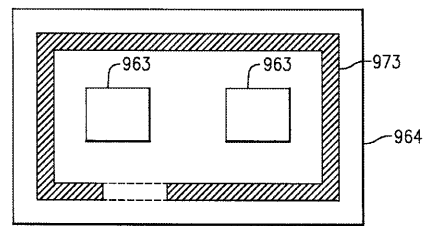


FIG.106B

【図106A】

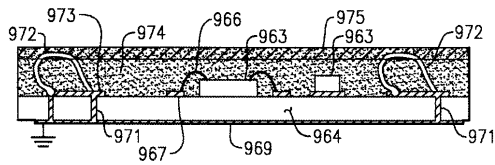


FIG.106A

【図107】

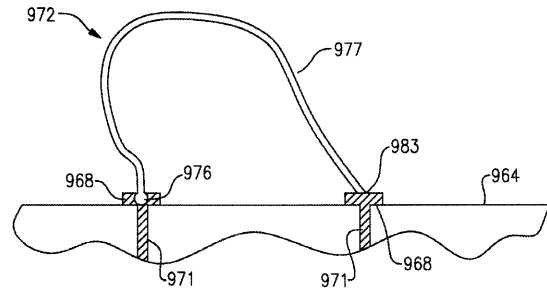


FIG.107

【図108】

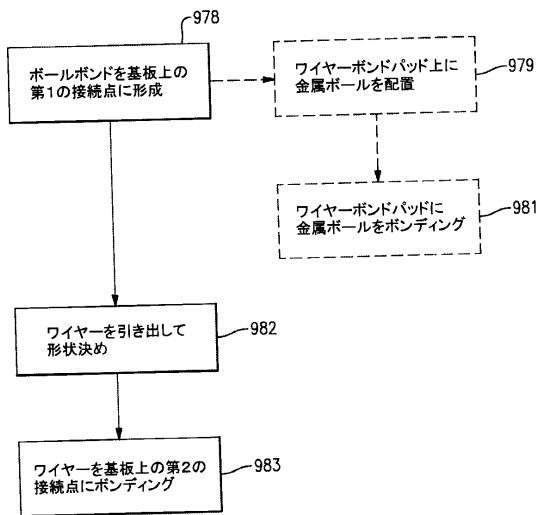


FIG.108

【図109】

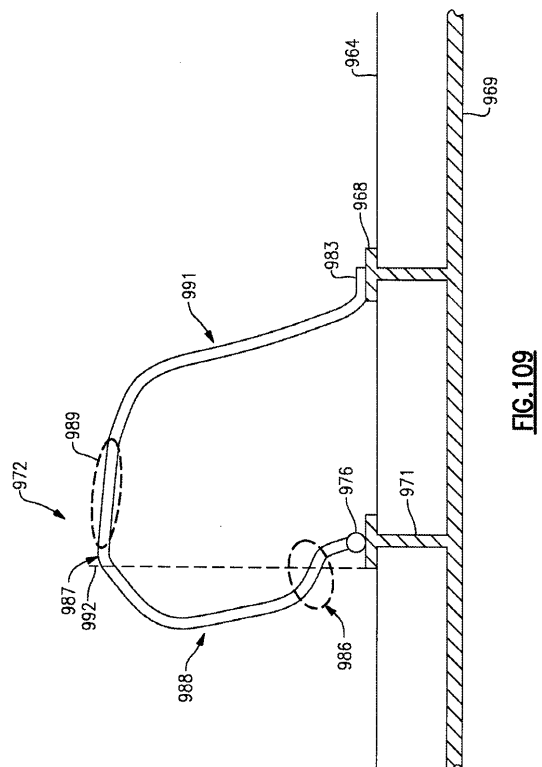
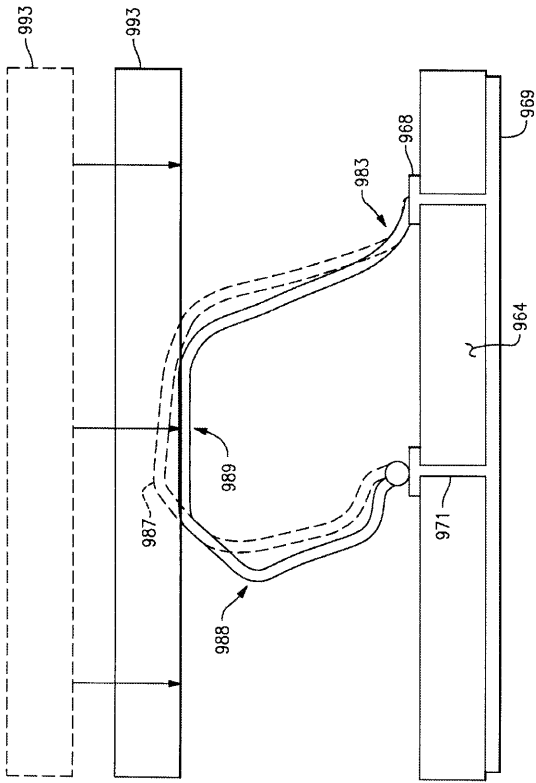
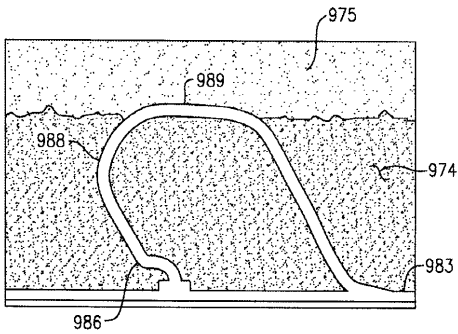


FIG.109

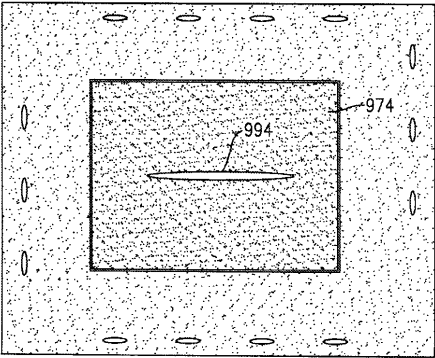
【図 110】



【図 111】



【図 112】



フロントページの続き

- (51)Int.Cl. F I
- | | | | | | |
|---------|---------|-----------|---------|--------|---------|
| H 0 1 L | 21/768 | (2006.01) | H 0 1 L | 27/04 | E |
| H 0 1 L | 23/522 | (2006.01) | H 0 1 L | 27/04 | H |
| H 0 1 L | 23/12 | (2006.01) | H 0 1 L | 27/04 | P |
| H 0 1 L | 21/822 | (2006.01) | H 0 1 L | 27/06 | 1 0 1 U |
| H 0 1 L | 27/04 | (2006.01) | H 0 1 L | 27/095 | |
| H 0 1 L | 21/8248 | (2006.01) | H 0 1 L | 29/80 | C |
| H 0 1 L | 27/06 | (2006.01) | H 0 1 L | 29/80 | E |
| H 0 1 L | 27/095 | (2006.01) | H 0 3 F | 3/195 | |
| H 0 1 L | 21/337 | (2006.01) | H 0 3 F | 3/24 | |
| H 0 1 L | 29/808 | (2006.01) | | | |
| H 0 1 L | 21/338 | (2006.01) | | | |
| H 0 1 L | 29/812 | (2006.01) | | | |
| H 0 3 F | 3/195 | (2006.01) | | | |
| H 0 3 F | 3/24 | (2006.01) | | | |
- (72)発明者 グオ, イーファン
アメリカ合衆国、9 2 6 2 0 カリフォルニア州、アーバイン、ビスペラ、1 1
- (72)発明者 ホアン, ディンフュオク・ブ
アメリカ合衆国、9 2 8 0 4 カリフォルニア州、アナハイム、ウエスト・ビーコン・アベニュー、
1 9 4 1
- (72)発明者 ジャナニ, メーラン
アメリカ合衆国、9 1 3 7 7 カリフォルニア州、オーク・パーク、セント・トーマス・ドライブ
、2 0 4
- (72)発明者 コー, ティン・ミント
アメリカ合衆国、9 1 3 2 0 カリフォルニア州、ニューベリー・パーク、ドナルド・アベニュー、
8 0
- (72)発明者 レートラ, フィリップ・ジョン
アメリカ合衆国、5 2 4 1 1 アイオワ州、シーダー・ラビッツ、ハント・ロード、5 0 0 0
- (72)発明者 ロビアンコ, アンソニー・ジェームズ
アメリカ合衆国、9 2 6 1 4 カリフォルニア州、アーバイン、ソレント、3 0
- (72)発明者 モディ, ハーディック・ブペンドラ
アメリカ合衆国、9 2 6 0 4 カリフォルニア州、アーバイン、リバーラン、2 8
- (72)発明者 グエン, ホアン・モン
アメリカ合衆国、9 2 7 0 8 カリフォルニア州、ファウンテン・バレー、ラ・テラザ・アベニュー
、1 0 8 1 7
- (72)発明者 オザラス, マシュー・トーマス
アメリカ合衆国、9 4 9 4 5 カリフォルニア州、ノバート、カラー・ストリート、1 3 0 2
- (72)発明者 ペティーウィークス, サンドラ・ルイーザ
アメリカ合衆国、9 2 6 6 3 カリフォルニア州、ニューポート・ビーチ、シダー・ストリート、
2 6 2
- (72)発明者 リード, マシュー・ショーン
アメリカ合衆国、9 2 6 8 8 カリフォルニア州、ランチョ・サンタ・マルガリータ、アロイシア
、3 1
- (72)発明者 リージ, イェンス・アルブレヒト
アメリカ合衆国、9 3 0 2 3 カリフォルニア州、オーハイ、シェイディー・レーン、4 0 2
- (72)発明者 リプレー, デイビット・スティーブン
アメリカ合衆国、5 2 3 0 2 アイオワ州、マリオン、サウス・サード・ファースト・ストリー

ト、2000

- (72)発明者 シャオ・ホンシアオ
アメリカ合衆国、91362 カリフォルニア州、サウザンド・オークス、クロスランド・ストリート、3377
- (72)発明者 シェン、ホン
アメリカ合衆国、91377 カリフォルニア州、オーク・パーク、フリーバード・レーン、5816、ナンバー・101
- (72)発明者 サン、ウェイミン
アメリカ合衆国、93012 カリフォルニア州、サンタ・ローザ・バレー、スーマック・レーン、11160
- (72)発明者 サン、シャナーチー
アメリカ合衆国、91362 カリフォルニア州、サウザンド・オークス、シャドウ・オークス・プレイス、1621
- (72)発明者 ウェルチ、パトリック・ローレンス
アメリカ合衆国、95008 カリフォルニア州、キャンベル、キャンピシ・ウェイ、912、ユニット・404
- (72)発明者 ザンパルディ、ピーター・ジェイ、ジュニア
アメリカ合衆国、91320 カリフォルニア州、ニューベリー・パーク、モーリス・ドライブ、3995
- (72)発明者 チャン、グオハオ
中華人民共和国、210016 ジアンス、ナンジン、ユードオ・ストリート、30、4-303

合議体

審判長 恩田 春香

審判官 小川 将之

審判官 渡部 博樹

- (56)参考文献 特開平8-213474 (JP, A)
特開平1-125856 (JP, A)
特開2007-221080 (JP, A)
特開平1-241166 (JP, A)
特開平1-264261 (JP, A)
特表2007-508715 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/33-21/331

H01L 29/68-29/737

H01L 29/80-29/812