

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年6月19日(2014.6.19)

【公開番号】特開2012-48806(P2012-48806A)

【公開日】平成24年3月8日(2012.3.8)

【年通号数】公開・登録公報2012-010

【出願番号】特願2011-155392(P2011-155392)

【国際特許分類】

G 1 1 C	11/405	(2006.01)
H 0 1 L	29/786	(2006.01)
H 0 1 L	21/8242	(2006.01)
H 0 1 L	27/108	(2006.01)
H 0 1 L	27/115	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	29/788	(2006.01)
H 0 1 L	29/792	(2006.01)

【F I】

G 1 1 C	11/34	3 5 2 B
H 0 1 L	29/78	6 1 3 B
H 0 1 L	29/78	6 1 8 B
H 0 1 L	27/10	3 2 1
H 0 1 L	27/10	4 3 4
H 0 1 L	29/78	3 7 1

【手続補正書】

【提出日】平成26年4月25日(2014.4.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソース線と、

ビット線と、

(m + 1) (mは2以上の自然数)本のワード線と、

選択線と、

前記ソース線と前記ビット線との間に、直列に接続された第1乃至第mのメモリセルと

ゲート端子が前記選択線と電気的に接続された選択トランジスタと、  
を有し、

前記第1乃至第mのメモリセルはそれぞれ、

第1のゲート端子、第1のソース端子、及び第1のドレイン端子を有する第1のトランジスタと、

第2のゲート端子、第2のソース端子、及び第2のドレイン端子を有する第2のトランジスタと、

容量素子と、  
を有し、

前記第2のトランジスタは酸化物半導体層を有し、

前記第2のトランジスタのチャネルは前記酸化物半導体層に形成され、

前記ソース線は前記選択トランジスタを介して第mのメモリセルの前記第1のソース端子と電気的に接続され、

前記ビット線は第1のメモリセルの前記第2のドレイン端子と電気的に接続され、且つ第1のメモリセルの前記第1のドレイン端子と電気的に接続され、

第k(kは1以上m以下の自然数)のワード線は、第kのメモリセルの前記第2のゲート端子と電気的に接続され、

第(j+1)のワード線は、第kのメモリセルの前記容量素子の端子の一方と電気的に接続され、

第j(jは2以上m以下の自然数)のメモリセルの前記第2のドレイン端子は、第(j-1)のメモリセルの前記第1のゲート端子と、第(j-1)のメモリセルの前記第2のソース端子と、第(j-1)のメモリセルの前記容量素子の端子の他方と電気的に接続され、

第mのメモリセルの前記第1のゲート端子と、第mのメモリセルの前記第2のソース端子と、第mのメモリセルの前記容量素子の端子の他方とは電気的に接続され、

第jのメモリセルの前記第1のドレイン端子は、第(j-1)のメモリセルの前記第1のソース端子と電気的に接続される半導体装置。

## 【請求項2】

請求項1において、

前記第1のトランジスタは、

絶縁表面上に形成され、酸化物半導体以外の半導体材料でなる半導体層に設けられたチャネル形成領域と、

前記チャネル形成領域を挟むように設けられた一対の不純物領域と、

前記チャネル形成領域と重なる第1のゲート絶縁層と、

前記第1のゲート絶縁層を挟んで前記チャネル形成領域と重畳するように設けられた第1のゲート電極と、

前記一対の不純物領域の一方に電気的に接続される第1のソース電極と、前記一対の不純物領域の他方に電気的に接続される第1のドレイン電極と、を有し、

前記第1のゲート電極は前記第1のゲート端子となり、前記第1のソース電極は前記第1のソース端子となり、前記第1のドレイン電極は前記第1のドレイン端子となり、

前記第2のトランジスタは、

前記酸化物半導体層と電気的に接続される第2のソース電極及び第2のドレイン電極と、

、  
前記第2のゲート絶縁層と、

前記第2のゲート絶縁層を挟んで前記酸化物半導体層と重畳するように設けられた第2のゲート電極と、を有し、

前記第2のソース電極は前記第2のソース端子となり、

前記第2のドレイン電極は前記第2のドレイン端子となり、

第jのメモリセルの前記第2のドレイン電極と、第(j-1)のメモリセルの前記第2のソース電極と、第(j-1)のメモリセルの前記容量素子の端子の他方とは、同一の導電層で形成される半導体装置。