

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4906199号
(P4906199)

(45) 発行日 平成24年3月28日(2012.3.28)

(24) 登録日 平成24年1月20日(2012.1.20)

(51) Int.Cl. F 1
G09G 5/00 (2006.01) G09G 5/00 520V
G09G 5/391 (2006.01) G09G 5/00 550H

請求項の数 8 (全 12 頁)

<p>(21) 出願番号 特願2001-247424 (P2001-247424) (22) 出願日 平成13年8月16日 (2001.8.16) (65) 公開番号 特開2003-58136 (P2003-58136A) (43) 公開日 平成15年2月28日 (2003.2.28) 審査請求日 平成20年7月22日 (2008.7.22)</p>	<p>(73) 特許権者 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地 (74) 代理人 100090446 弁理士 中島 司朗 (72) 発明者 坂西 保昭 大阪府門真市大字門真1006番地 松下 電器産業株式会社内 審査官 居島 一仁</p>
--	---

最終頁に続く

(54) 【発明の名称】 画像フォーマット変換前処理装置及び画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

デジタル画像信号の画像フォーマットをディスプレイに適応した表示フォーマットに変換する画像フォーマット変換装置の前処理装置であって、

デジタル画像信号から水平同期信号とドットクロック信号とを抽出し、両信号から1水平ラインにおける水平画素数を算出する水平画素数算出手段と、

前記ドットクロック信号を計数してその計数値が前記水平画素数になったときに発生する水平基準信号と前記デジタル画像信号から抽出される垂直同期信号とから、1画面における全水平ライン数を算出する全水平ライン数算出手段と、

前記水平画素数と前記全水平ライン数とを前記デジタル画像信号の画像フォーマットとして画像フォーマット変換装置に出力する画像フォーマット出力手段とを備えたことを特徴とする画像フォーマット変換前処理装置。

【請求項 2】

前記水平画素数算出手段は、前記水平同期信号を検出すると、リセットして後続するドットクロック信号の計数を行うドットクロックカウンタ部を備え、

次の水平同期信号を検出する直前の前記ドットクロックカウンタ部の計数値を水平画素数として出力することを特徴とする請求項1に記載の画像フォーマット変換前処理装置。

【請求項 3】

前記全水平ライン数算出手段は、前記垂直同期信号を検出すると、リセットして後続する水平基準信号の計数を行う水平基準信号カウンタ部を備え、

10

20

次の垂直同期信号を検出する直前の前記水平基準信号カウンタ部の計数値を全水平ライン数として出力することを特徴とする請求項 1 又は 2 に記載の画像フォーマット変換前処理装置。

【請求項 4】

垂直同期信号に対して所定期間以上遅延させた遅延信号を発生させる遅延信号発生手段と、

前記遅延信号の受信後に、前記水平画素数算出手段から出力される水平画素数を保持するデータ保持手段とを備え、

前記水平基準信号は、水平基準信号発生手段より発生され、当該水平基準信号発生手段は、前記ドットクロック信号の計数値が前記データ保持手段に保持された水平画素数になったときに、水平基準信号を発生することを特徴とする請求項 1 から 3 の何れかに記載の画像フォーマット変換前処理装置。

10

【請求項 5】

前記水平画素数算出手段は、前記水平同期信号を検出するたびに、水平画素数を算出するように構成されており、所定期間内に前記水平画素数算出手段で算出された水平画素数の平均値を求める平均値算出手段を備え、

前記水平基準信号は、水平基準信号発生手段より発生され、当該水平基準信号発生手段は、前記ドットクロック信号の計数値が前記平均値算出手段で算出された水平画素数になったときに、水平基準信号を発生することを特徴とする請求項 1 から 3 の何れかに記載の画像フォーマット変換前処理装置。

20

【請求項 6】

前記所定期間が、前記垂直同期信号の 1 周期分の期間であることを特徴とする請求項 5 に記載の画像フォーマット変換前処理装置。

【請求項 7】

前記所定期間が、前記垂直同期信号の 1 周期分の期間内であって、少なくとも前記水平同期信号の 2 周期分の期間を含み且つ垂直ブランキング期間を除いた期間であることを特徴とする請求項 5 に記載の画像フォーマット変換前処理装置。

【請求項 8】

画像を表示するディスプレイと、デジタル画像信号の画像フォーマットを前記ディスプレイに適応した表示フォーマットに変換する画像フォーマット変換手段と、前記画像フォーマット変換手段の前処理装置である画像フォーマット変換前処理装置と、前記画像フォーマット変換手段により画像フォーマットが変換された画像信号を前記ディスプレイに表示させる表示駆動手段とを備えた画像表示装置であって、前記画像フォーマット変換前処理手段として、請求項 1 から 7 の何れかに記載の画像フォーマット変換前処理装置が用いられていることを特徴とする画像表示装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル画像信号の画像フォーマットをディスプレイに適応した表示フォーマットに変換する画像フォーマット変換装置の前処理装置及び画像表示装置に関する。

40

【0002】

【従来の技術】

液晶モニタ（LCDモニタ）、プラズマディスプレイ等のディスプレイを備えた画像表示装置には、ディスプレイの表示フォーマットと異なる画像信号が入力された場合に、その画像信号の画像フォーマットをディスプレイの表示フォーマットに変換するようにしたものがある。

【0003】

ここで、画像フォーマットとは、画像信号が準拠している一画面あたりの水平ライン、垂直ライン数である。一方、ディスプレイの表示フォーマットとは、ディスプレイの画面の

50

水平画素数、全水平ライン数をいう。

上記した画像表示装置は、画像信号の画像フォーマットをディスプレイの表示フォーマットに適應するように変換する画像フォーマット変換装置の前処理装置として、画像フォーマットを検出するための画像フォーマット検出装置を備えている。

【 0 0 0 4 】

入力される画像信号がアナログ信号の場合における従来の画像フォーマット変換前処理装置は、図 10 に示すように、水平周波数検出部 3 1、垂直周波数検出部 3 2、PLL 部 3 3、分周部 3 4、全水平ライン数算出部 3 5 及び信号判別部 3 6 を備え、画像信号の水平同期信号 H D と垂直同期信号 V D とから水平画素数 N と全水平ライン数 M とを検出する。

【 0 0 0 5 】

以下、従来の画像フォーマット検出装置の検出動作について説明する。まず、水平周波数検出部 3 1 で水平同期信号 H D の水平周波数を、また垂直周波数検出部 3 2 で垂直同期信号 V D の垂直周波数を夫々検出して信号判別部 3 6 に出力する。信号判別部 3 6 では、水平周波数と垂直周波数とに対応する水平画素数 N が予めテーブルとして登録されており、このテーブルを参照しながら入力された水平周波数と垂直周波数に基づき水平画素数 N を特定する。

【 0 0 0 6 】

一方、分周部 3 4 では、PLL 部 3 3 から入力された信号を上記水平画素数 N を基に分周させる。PLL 部 3 3 では、分周部 3 4 で分周された信号と水平同期信号 H D とが同期するように、クロック信号を生成して分周部 3 4 に出力する。そして、このクロック信号を水平基準信号として全水平ライン数算出部 3 5 に出力する。

【 0 0 0 7 】

全水平ライン数算出部 3 5 では、垂直同期信号 V D 間の水平基準信号の計数により算出され、この算出値を全水平ライン数 M として信号判別部 3 6 に出力し、信号判別部 3 6 から全水平ライン数 M と水平画素数 N とが画像フォーマット変換装置に出力され、画像フォーマット変換に用いられる。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

従来の画像フォーマット変換前処理装置、つまり画像フォーマット検出装置では、信号判別部 3 6 に入力された水平周波数及び垂直周波数に基づき予め登録しておいたテーブルから水平画素数 N を特定するため、検出できる画像フォーマットの種類に限られ、テーブルに登録されていない画像信号が入力されると、その画像フォーマットを検出できないという問題がある。

【 0 0 0 9 】

特に、近年のデジタル放送の商業化に伴い、480 インターレース、480 プログレッシブ、1080 インターレース等の多様な画像フォーマットを有する画像信号が現出したり、またコンピュータに接続されて各種の画像フォーマットを有するコンピュータ信号が入力されたりしている。

このように、デジタル画像信号の画像フォーマットが多様化する傾向が強くなり、従来の画像フォーマット検出装置ではデジタルの画像信号の画像フォーマットは検出できない。このため、多様化するデジタル画像信号の画像フォーマットを検出できる画像フォーマット検出装置の開発が急務となっている。

【 0 0 1 0 】

本発明は、上記のような問題点に鑑みてなされたものであり、デジタル画像信号の画像フォーマット変換装置の前処理装置であって、デジタルの画像信号がどのような画像フォーマットであっても、その画像フォーマットを正確に検出できる画像フォーマット変換前処理装置及びこれを用いた画像表示装置を提供することを目的とする。

【 0 0 1 1 】

【 課題を解決するための手段 】

上記目的を達成するために、本発明に係る画像フォーマット変換前処理装置は、デジタル

10

20

30

40

50

画像信号の画像フォーマットをディスプレイに適応した表示フォーマットに変換する画像フォーマット変換装置の前処理装置であって、デジタル画像信号から水平同期信号とドットクロック信号とを抽出し、両信号から1水平ラインにおける水平画素数を算出する水平画素数算出手段と、前記ドットクロック信号を計数してその計数値が前記水平画素数になったときに、水平基準信号を発生させ、その水平基準信号と前記デジタル画像信号から抽出される垂直同期信号とから、1画面における全水平ライン数を算出する全水平ライン数算出手段と、前記水平画素数と前記全水平ライン数とを前記デジタル画像信号の画像フォーマットとして画像フォーマット変換装置に出力する画像フォーマット出力手段とを備えたことを特徴としている。

【0012】

この構成によれば、画像信号の画像フォーマットの種類に拘わらず、前記デジタル画像信号のドットクロック信号と水平同期信号とから水平画素数を算出でき、この水平画素数とドットクロック信号とから水平基準信号を発生させ、この水平基準信号と垂直同期信号とから全水平ライン数を算出できる。

【0013】**【発明の実施の形態】**

以下、本発明に係る画像フォーマット変換前処理装置の実施の形態について、図面を参照しながら説明する。

(第1の実施の形態)

図1は本発明に係る画像フォーマット変換前処理装置が適用されたデジタル画像信号用の画像表示装置1、例えばカラーテレビジョン受像器であり、信号受信部2、音声信号増幅部3、スピーカ4、画像信号増幅部5、画像フォーマット検出部6、画像フォーマット変換部7、表示駆動部8及びディスプレイ9を備え、ディスプレイ9の表示フォーマットと異なる画像信号が入力されると、その画像フォーマットが表示フォーマットに適應するように画像フォーマット変換部7で変換される。

【0014】

信号受信部2は、搬送波で変調された信号をアンテナ等により受信し、所定のチャンネルを選局し復調した後に、音声信号と画像信号とに分離する。分離された音声信号は、音声信号増幅部3で増幅され、スピーカ4により再生される。他方、画像信号は、画像信号増幅部5により増幅されて画像フォーマット検出部6に出力される。このとき、画像信号から、水平同期信号HD、ドットクロック信号CLK、垂直同期信号VD及び画像データ信号が抽出される。

【0015】

画像フォーマット検出部6は、画像フォーマット変換前処理部であって、画像フォーマット変換部7と対で設けられており、デジタル画像信号の画像フォーマット、つまり水平画素数Nと全水平ライン数Mとを検出する。

ディスプレイ9は、例えば液晶表示パネルで、その表示フォーマットが、例えば、1080P(全水平ライン数:1080、水平画素数:1920)である。画像フォーマット変換部7では、画像フォーマット検出部6で検出された画像フォーマットに基づいて、画像データ信号を補間したり、間引きしたりする画像処理を施して、1080Pの表示フォーマットに変換し、表示駆動部8に出力する。

【0016】

表示駆動部8では、画像フォーマット変換部7で変換された画像データ信号に基づき、LCD駆動してディスプレイ9に画像を表示するようになっている。なお、ディスプレイ9は液晶表示パネル以外、例えばPDP(プラズマディスプレイ)を使用しても良い。

(画像フォーマット検出部の構成)

画像フォーマット検出部6は、デジタルの画像信号のドットクロック信号CLK、水平同期信号HD及び垂直同期信号VDから水平画素数N及び全水平ライン数Mを常時検出する。

【0017】

図2は、画像フォーマット検出部6の構成を示すブロック図である。この画像フォーマット検出部6は、水平画素数算出部11、水平基準パルス発生部12、全水平ライン数算出部13、画素数保持部14、ライン数保持部15及びフォーマット出力部16を備えている。

水平画素数算出部11は、水平同期信号HDとドットクロック信号CLKとから水平画素数Nを算出して、画素数保持部14に出力する。具体的には、水平画素数算出部11は、水平同期信号HDを検出すると、リセットして後続するドットクロック信号CLKの計数を行うドットクロックカウンタ部17と、次の水平同期信号HDを検出する直前のドットクロックカウンタ部17の計数値を水平画素数Nとして出力する水平画素数取得部18とを備えている。

【0018】

画素数保持部14では、水平画素数取得部18から出力された水平画素数Nを保持し、またフォーマット出力部16は、画素数保持部14に保持された水平画素数Nを水平基準パルス発生部12に出力する。

水平基準パルス発生部12では、ドットクロック信号CLKと、フォーマット出力部16から出力された水平画素数Nとにより、全水平ライン数を求めるための基準となる水平基準信号を連続して発生させて、全水平ライン数算出部13に出力する。具体的には、水平基準パルス発生部12は、ドットクロック信号CLKを計数してその計数値が水平画素数Nになる毎に、水平基準パルスPSを発生する。

【0019】

全水平ライン数算出部13は、水平基準パルスPSと垂直同期信号VDとから全水平ライン数Mを算出して、ライン数保持部15に出力する。具体的には、全水平ライン数算出部13は、垂直同期信号VDを検出すると、リセットして後続する水平基準パルスPSの計数を行う基準パルスカウンタ部19と、次の垂直同期信号VDを検出する直前の基準パルスカウンタ部19の計数値を全水平ライン数Mとして出力する全水平ライン数取得部20とを備えている。

【0020】

ライン数保持部15では、全水平ライン数取得部20から出力された全水平ライン数Mを保持する。フォーマット出力部16は、画素数保持部14内に保持された水平画素数Nと、ライン数保持部15内に保持された全水平ライン数Mとを取り出して画像フォーマット変換部7に出力する。

なお、水平画素数N及び全水平ライン数Mとがフォーマット出力部16から画像フォーマット変換部7に出力されると、フォーマット出力部16からクリア信号が画素数保持部14及びライン数保持部15に出力され、各保持部14、15に保持されている水平画素数N及び全水平ライン数Mがクリアされる。

【0021】

(画像フォーマット検出部の動作説明)

上記画像フォーマット検出部6の検出動作について、入力された画像信号の画像フォーマットが、例えば720P(全水平ライン数:750、水平画素数:1650、プログレッシブ方式)として以下に説明する。図3は画像フォーマットの検出時のタイムチャートである。まず、ドットクロックカウンタ部17では、水平同期信号HDの検出によりカウンタをリセットした後、次の水平同期信号HDが検出されるまで、後続するドットクロック信号CLKを順次計数する。

【0022】

水平画素数取得部18では、次の水平同期信号HDを検出する直前に、ドットクロックカウンタ部17が計数したドットクロック数「1650」を取得する。この取得したドットクロック数は、水平同期信号HDの1周期T1に計数されたドットクロック数であり、1水平ラインの水平画素数Nに対応し、画素数保持部14に保持される。

【0023】

フォーマット出力部16では、画素数保持部14に保持されている水平画素数Nを水平基

10

20

30

40

50

準パルス発生部 12 に出力する。水平基準パルス発生部 12 では、ドットクロック信号 CLK を計数した計数値が、フォーマット出力部 16 から出力された水平画素数 N と一致する毎に、水平基準パルス PS を発生させて全水平ライン数算出部 13 の基準パルスカウンタ部 19 に出力する。

【 0024 】

基準パルスカウンタ部 19 では、垂直同期信号 VD の検出によりカウンタをリセットした後、次の垂直同期信号 VD が検出されるまで、後続する水平基準パルス PS を順次計数する。

全水平ライン数取得部 20 では、次の垂直同期信号 VD を検出する直前に、基準パルスカウンタ部 19 が計数している水平基準パルス数「750」を取得する。この取得した水平基準パルス数は、垂直同期信号 VD の 1 周期 T2 に計数された水平基準パルス数であり、1 画面における全水平ライン数 M に対応し、ライン数保持部 15 に保持される。

【 0025 】

フォーマット出力部 16 では、画素数保持部 14 から水平画素数 N を、ライン数保持部 15 から全水平ライン数 M を夫々取り出して画像フォーマットとして画像フォーマット変換部 7 に出力する。

上記構成の画像フォーマット変換部 7 の前処理部としての画像フォーマット検出部 6 は、ドットクロック信号 CLK、水平同期信号 HD 及び垂直同期信号 VD により、水平画素数 N と全水平ライン数 M を算出するので、画像信号がどのような画像フォーマットであってもその画像フォーマットを検出できる。

【 0026 】

また、水平画素数算出部 11 は、水平同期信号 HD を検出すると、リセットして後続するドットクロック信号 CLK の計数を行うドットクロックカウンタ部 17 を備え、次の水平同期信号 HD を検出する直前のドットクロックカウンタ部 17 の計数値を水平画素数 N として出力するので、正確な水平画素数 N を取得できる。

【 0027 】

さらに、全水平ライン数算出部 13 は、垂直同期信号 VD を検出すると、リセットして後続する水平基準パルス PS の計数を行う基準パルスカウンタ部 19 を備え、次の垂直同期信号 VD を検出する直前の基準パルスカウンタ部 19 の計数値を全水平ライン数 M として出力するので、正確な全水平ライン数 M を取得できる。

また、画像フォーマット検出部 6 は、画像信号から画像フォーマットを常時検出しているので、画像信号が、他の画像フォーマットに切り替わっても、新しい画像フォーマットを直ちに検出することができる。

【 0028 】

(第 2 の実施の形態)

図 4 は第 2 の実施の形態を例示するブロック図であり、図 5 は、第 2 の実施の形態における各信号のタイムチャートを示す図である。本実施の形態は、上記第 1 の実施の形態に、垂直同期信号 VD に対して遅延させた遅延信号 DC を発生させる遅延信号発生部 21 を設け、この遅延信号 DC を画素数保持部 14 に出力するようにしたものである。

【 0029 】

遅延信号発生部 21 は、図 5 に示すように、垂直同期信号 VD に対して、1 水平ラインを走査する期間以上、つまり、垂直同期信号 VD を検出した後の、少なくとも水平同期信号 HD の 1 周期分の期間において遅延信号 DC を発生させる。画素数保持部 14 では、遅延信号発生部 21 の発生する遅延信号 DC を受信した後に、期間 T1 に水平画素数算出部 11 から出力される水平画素数 N を保持する。即ち、画素数保持部 14 では、遅延信号発生部 21 からの遅延信号 DC を受信するまで、水平画素数算出部 11 から出力された水平画素数 N を保持しないようになっている。

【 0030 】

特に、画面上の画素の走査位置が、画面の最下位の水平ラインから最上位の水平ラインに戻る(帰線)期間、所謂、垂直ブランキング期間では、画像信号が、画像データ信号を含

10

20

30

40

50

んでいない非標準信号となっており、画像信号によっては、水平同期信号HDが2倍の周波数になったり、また水平同期信号HDがなかったりする場合があります、垂直同期信号VD直後の水平同期信号HDが不安定となることがある。

【0031】

しかし、上記構成において、例えば垂直同期信号VD直後を除くように遅延信号DCを発生させれば、例えば、水平同期信号HDが垂直同期信号VD直後で不安定になったとしても、画素数保持部14は、遅延信号DCの受信後に入力された水平画素数Nを保持するので、正確な水平画素数Nを得ることができる。

また、水平基準パルス発生部12では、遅延信号DC発生後に画素数保持部14で保持された水平画素数Nを用いて水平基準パルスPSを発生させている。このため、この水平基準パルスPSと垂直同期信号VDとを利用して全水平ライン数算出部20で全水平ライン数Mが算出されるので、例えば、遅延信号DCの発生前に水平同期信号HDが不安定になっても、正確な全水平ライン数Mを取得できる。

【0032】

(第3の実施の形態)

図6は第3の実施の形態を例示するブロック図であり、図7は第3の実施の形態における各信号のタイムチャートを示す図である。本実施の形態は、上記第1の実施の形態に、垂直同期信号VDの1周期期間(以下、「1垂直期間」という。)を検出する垂直期間検出部22と、この垂直期間検出部22で検出された1垂直期間に対応する期間T1に水平画素数取得部18から出力された水平画素数Nを平均化して画素数保持部14に出力する平均値算出部23とを備えたものである。

【0033】

このように構成することにより、例えばドットクロック信号CLK及び/又は水平同期信号HDが不安定になった場合でも、1垂直期間に算出した水平画素数Nを平均化しているので、精度の高い水平画素数Nを取得することができる。

しかも、水平基準パルス発生部12では、上記の水平画素数Nを用いて水平基準パルスPSを発生させ、この水平基準パルスPSと垂直同期信号VDとを利用して全水平ライン数算出部20から全水平ライン数Mが算出されるので、正確な全水平ライン数Mを取得できる。なお、平均値算出部23の算出結果が整数でなく小数の場合は、例えば四捨五入している。

【0034】

(第4の実施の形態)

図8は第4の実施の形態を例示するブロック図であり、図9は第4の実施の形態における各信号のタイムチャートを示す図である。本実施の形態では、水平同期信号HD及び垂直同期信号VDに基づいて垂直ゲートパルスGSを発生させる垂直ゲートパルス発生部24を備え、平均値算出部23は垂直ゲートパルスGSの期間に検出された水平画素数Nを平均化するものである。

【0035】

垂直ゲートパルス発生部24では、垂直同期信号VDの1周期分の期間内であって、少なくとも水平同期信号HDの2周期分の期間を含み且つ垂直ブランキング期間を除くように、垂直ゲートパルスGSを発生させる。

垂直ゲートパルス発生部24は、例えば、垂直同期信号VDを検出すると水平同期信号HDを計数して、その計数値が「2」になるとオン状態にし、計数値が「20」になるとオフ状態にして垂直ゲートパルスGSを発生させている。

【0036】

このように構成することにより、水平画素数Nは、垂直ブランキング期間を外した期間、つまり垂直ゲートパルスGSに対応する期間T1に水平画素数算出部11で算出されるので、垂直ブランキング期間の水平同期信号HDが不安定になっても、影響を受けることは無く、さらに、この期間中に算出された水平画素数Nを平均値算出部23で平均化しているので、より精度の高い水平画素数Nを取得することができる。

10

20

30

40

50

【 0 0 3 7 】

なお、上記の各実施の形態における画像フォーマット検出部 6 では、画素数保持部 1 4 で保持された水平画素数 N をフォーマット出力部 1 6 から取り出して水平基準パルス発生部 1 2 に出力しているが、水平基準パルス発生部 1 2 が直接画素数保持部 1 4 から水平画素数 N を取り出しても良い。

また、各実施の形態における画像フォーマット検出部 6 は、カラーテレビジョン受像器に適用し手いるが、例えば、コンピュータ用のモニタ、ビデオテープ再生装置、ビデオテープ再生用の画像表示装置に提供しても良い。

【 0 0 3 8 】

【 発明の効果 】

以上のように、本発明に係る画像フォーマット変換前処理装置は、デジタル画像信号の画像フォーマットをディスプレイに適応した表示フォーマットに変換する画像フォーマット変換装置の前処理装置であって、デジタル画像信号から水平同期信号とドットクロック信号とを抽出し、両信号から 1 水平ラインにおける水平画素数を算出する水平画素数算出手段と、前記ドットクロック信号を計数してその計数値が前記水平画素数になったときに、水平基準信号を発生させ、その水平基準信号と前記デジタル画像信号から抽出される垂直同期信号とから、1 画面における全水平ライン数を算出する全水平ライン数算出手段と、前記水平画素数と前記全水平ライン数とを前記デジタル画像信号の画像フォーマットとして画像フォーマット変換装置に出力する画像フォーマット出力手段とを備えているので、デジタルの画像信号から水平画素数と全水平ライン数とを算出でき、デジタルの画像信号

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施の形態における画像表示装置の構成を示すブロック図である。

【 図 2 】 本発明の第 1 の実施の形態における画像フォーマット検出部の構成を示すブロック図である。

【 図 3 】 本発明の第 1 の実施の形態におけるタイムチャートを示す図である。

【 図 4 】 本発明の第 2 の実施の形態における画像フォーマット検出部の構成を示すブロック図である。

【 図 5 】 本発明の第 2 の実施の形態におけるタイムチャートを示す図である。

【 図 6 】 本発明の第 3 の実施の形態における画像フォーマット検出部の構成を示すブロック図である。

【 図 7 】 本発明の第 3 の実施の形態におけるタイムチャートを示す図である。

【 図 8 】 本発明の第 4 の実施の形態における画像フォーマット検出部の構成を示すブロック図である。

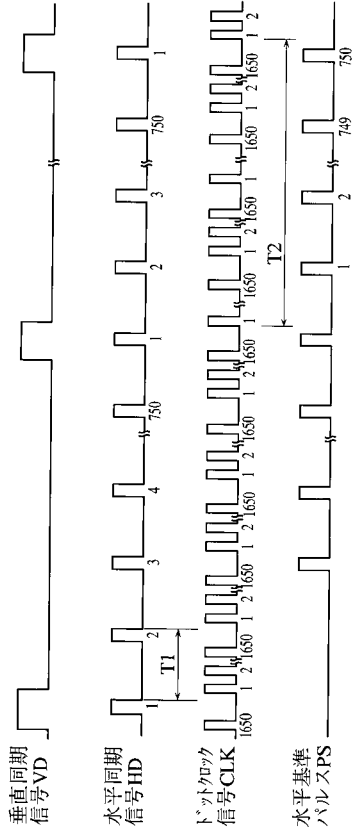
【 図 9 】 本発明の第 4 の実施の形態におけるタイムチャートを示す図である。

【 図 1 0 】 従来技術における画像フォーマット検出部の構成を示すブロック図である。

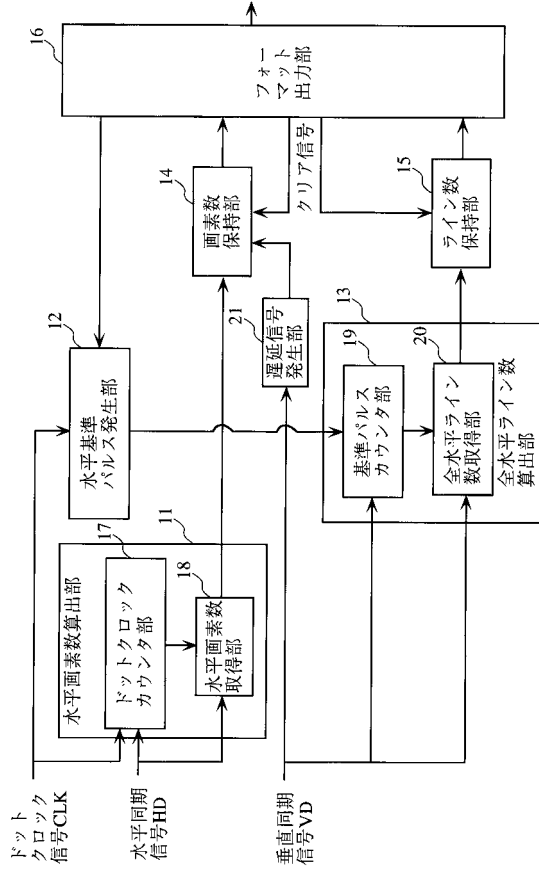
【 符号の説明 】

- | | | |
|-----|--------------|----|
| 1 | 画像表示装置 | |
| 6 | 画像フォーマット検出部 | 40 |
| 7 | 画像フォーマット変換部 | |
| 8 | 表示駆動部 | |
| 9 | ディスプレイ | |
| 1 1 | 水平画素数算出部 | |
| 1 2 | 水平基準パルス発生部 | |
| 1 3 | 全水平ライン数算出部 | |
| 1 4 | 画素数保持部 | |
| 1 5 | ライン数保持部 | |
| 1 6 | フォーマット出力部 | |
| 1 7 | ドットクロックカウンタ部 | 50 |

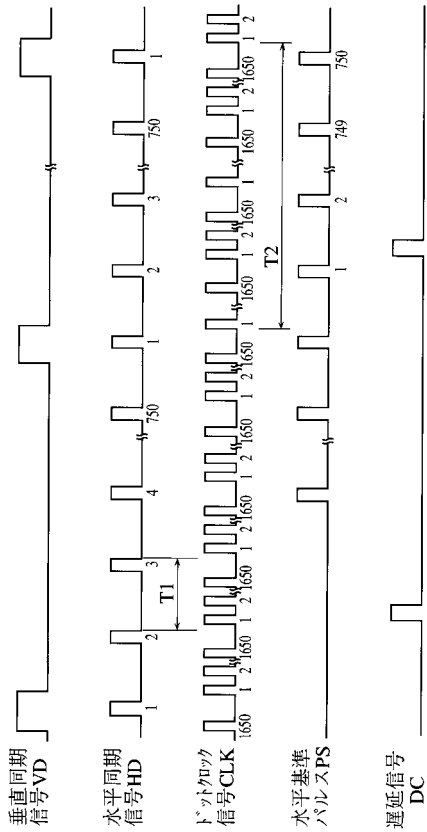
【図3】



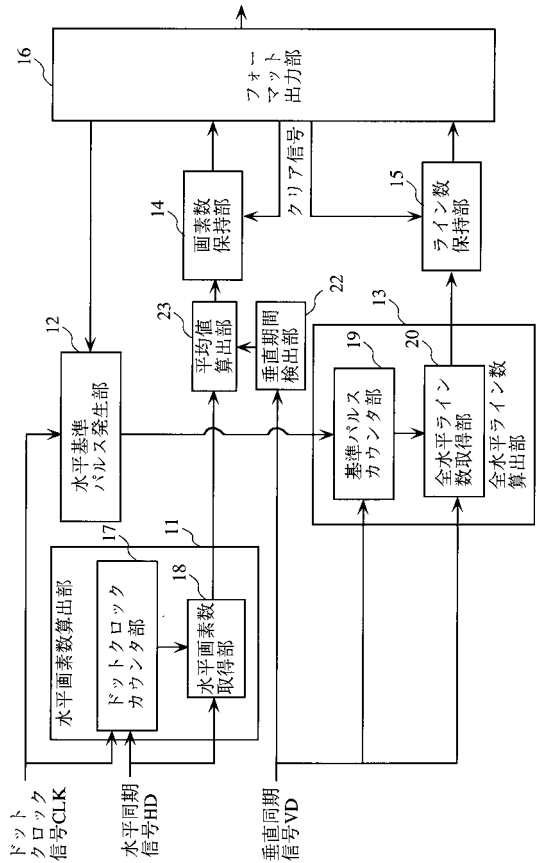
【図4】



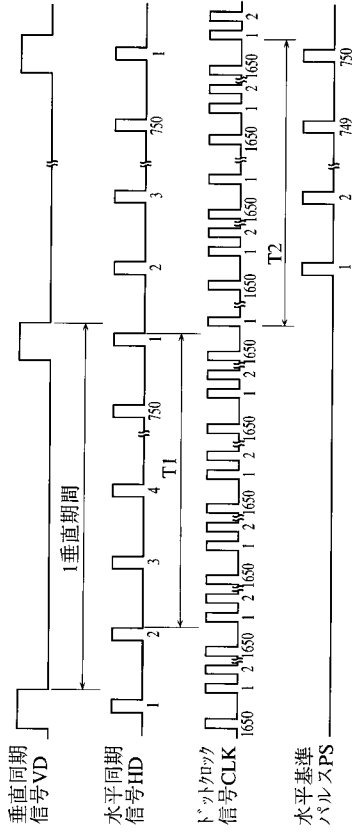
【図5】



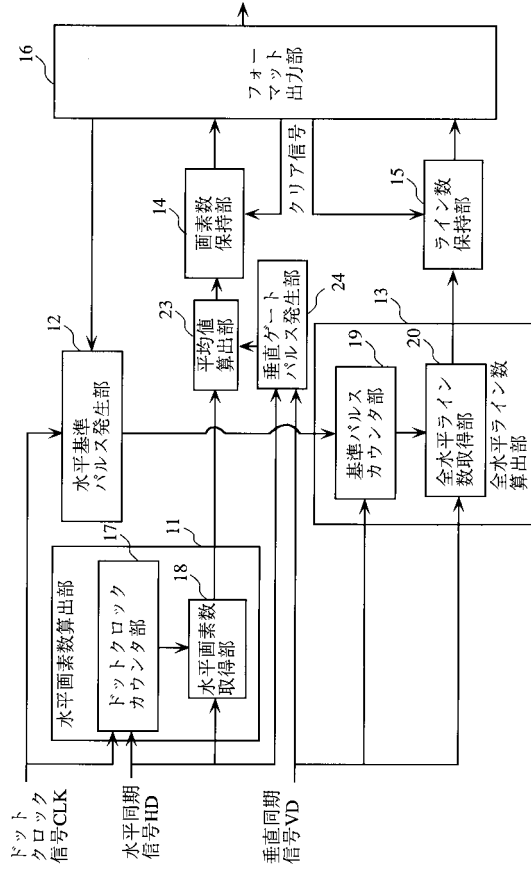
【図6】



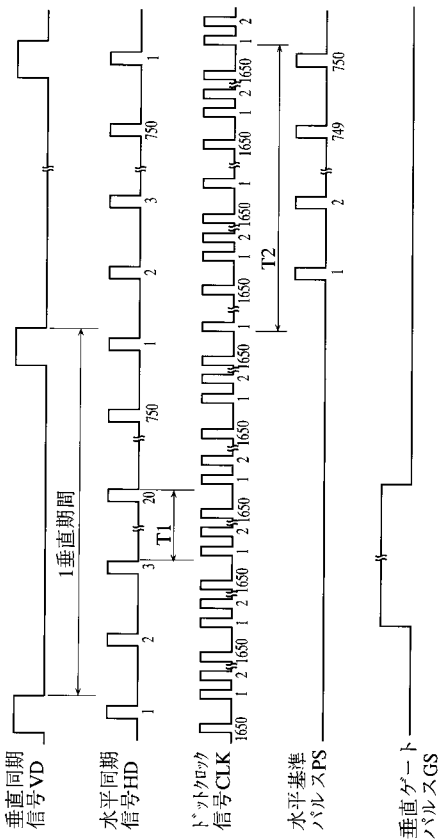
【 図 7 】



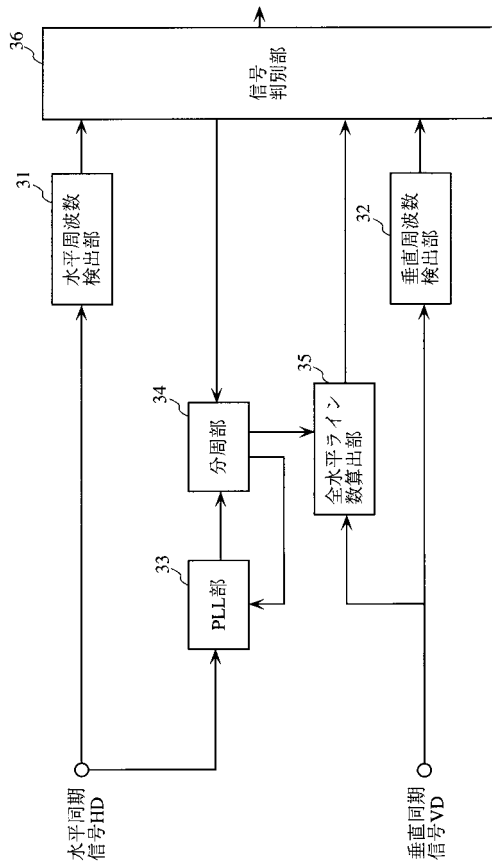
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(56)参考文献 特開2001-142452(JP,A)
特開2000-206951(JP,A)
特開2000-305555(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G3/00-5/42