

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6149141号
(P6149141)

(45) 発行日 平成29年6月14日(2017.6.14)

(24) 登録日 平成29年5月26日(2017.5.26)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 9 A

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/8242 (2006.01)

H O 1 L 27/108 3 2 1

H O 1 L 27/108 (2006.01)

H O 1 L 27/108 6 7 1 Z

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 5 (全 31 頁)

(21) 出願番号 特願2016-127901 (P2016-127901)

(22) 出願日 平成28年6月28日(2016.6.28)

(62) 分割の表示 特願2012-62924 (P2012-62924)
の分割

原出願日 平成24年3月20日(2012.3.20)

(65) 公開番号 特開2016-189483 (P2016-189483A)

(43) 公開日 平成28年11月4日(2016.11.4)

審査請求日 平成28年7月6日(2016.7.6)

(31) 優先権主張番号 特願2011-67195 (P2011-67195)

(32) 優先日 平成23年3月25日(2011.3.25)

(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 井本 裕己

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 丸山 哲紀

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 遠藤 佑太

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ゲート電極と、

前記ゲート電極上の、ゲート絶縁膜と、

前記ゲート絶縁膜上の、酸化物半導体膜と、

前記酸化物半導体膜と電氣的に接続された、ソース電極と、

前記酸化物半導体膜と電氣的に接続された、ドレイン電極と、

前記ソース電極及び前記ドレイン電極上の、水素透過膜と、

前記水素透過膜上の、水素捕縛膜と、を有し、

前記水素捕縛膜は、窒素と、インジウムと、酸素と、アルミニウムと、を有することを 10
特徴とする半導体装置。

【請求項2】

ゲート電極と、

前記ゲート電極上の、ゲート絶縁膜と、

前記ゲート絶縁膜上の、ソース電極と、

前記ゲート絶縁膜上の、ドレイン電極と、

前記ソース電極及び前記ドレイン電極上の、酸化物半導体膜と、

前記酸化物半導体膜上の、水素透過膜と、

前記水素透過膜上の、水素捕縛膜と、を有し、

前記水素捕縛膜は、窒素と、インジウムと、酸素と、アルミニウムと、を有することを 20

特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記ゲート絶縁膜は、酸化アルミニウムを有することを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記水素捕縛膜の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下であることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記酸化物半導体膜の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタなどの半導体素子を含む回路を有する半導体装置に関する。例えば、電源回路に搭載されるパワーデバイス、メモリ、サイリスタ、コンバータ、イメージセンサなどを含む半導体集積回路、液晶表示装置に代表される電気光学装置、発光素子を有する発光表示装置などを部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置は、半導体特性を利用することで機能し得る装置全般を指し、電気光学装置、発光表示装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

液晶表示装置に代表されるように、ガラス基板などに形成されるトランジスタの多くはアモルファスシリコン、多結晶シリコンなどによって構成されている。アモルファスシリコンを用いたトランジスタは電界効果移動度が低いもののガラス基板の面積化に対応することができる。また、多結晶シリコンを用いたトランジスタの電界効果移動度は高いがガラス基板の面積化には適していないという欠点を有している。

【0004】

シリコンを用いたトランジスタのほかに、近年は酸化物半導体を用いてトランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として、酸化亜鉛、 In-Ga-Zn-O 系酸化物を用いてトランジスタを作製し、表示装置の画素のスイッチング素子などに用いる技術が特許文献 1 および特許文献 2 で開示されている。

【0005】

酸化物半導体において、水素の一部はドナーとなり、キャリアである電子を放出する。酸化物半導体のキャリア濃度が高まると、ゲートに電圧を印加しなくてもトランジスタにチャンネルが形成されてしまう。即ち、しきい値電圧が負方向にシフトする。酸化物半導体の水素を完全に取り除くことは困難であるため、しきい値電圧の制御も困難となる。

【0006】

特許文献 3 には、酸化物半導体膜中に水素を添加すると、導電率が 4 から 5 桁程度高くなることが示されている。また、酸化物半導体膜に接する絶縁膜から酸化物半導体膜に、水素が拡散していくことが示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

10

20

30

40

50

【特許文献3】特開2008-141119号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

酸化物半導体膜を用いたトランジスタに安定した電気的特性を付与し、信頼性の高い半導体装置を作製することを課題とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜から水素を捕縛する膜（水素捕縛膜）、および水素を拡散する膜（水素透過膜）を有し、加熱処理によって酸化物半導体膜から水素透過膜を介して水素捕縛膜へ水素を移動させることを技術的思想とする。

10

【0010】

具体的には、酸化物半導体膜を用いたトランジスタの下地膜または保護膜を水素捕縛膜と水素透過膜との積層構造とする。このとき、水素透過膜を酸化物半導体膜と接する側に形成する。その後、加熱処理を行うことで酸化物半導体膜から脱離した水素を、水素透過膜を介して水素捕縛膜へ移動させることができる。

【0011】

なお、酸化物半導体膜と水素捕縛膜との間に水素透過膜を設けることで、酸化物半導体膜の界面近傍の水素濃度を低減することができる。

20

【発明の効果】

【0012】

酸化物半導体膜を用いるトランジスタに、安定した電気的特性を付与し、信頼性の高い半導体装置を作製することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図2】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図3】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図4】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

30

【図5】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図6】本発明の一態様に係る半導体装置の一例を示す上面図および断面図。

【図7】図1と対応する半導体装置の作製方法の一例を示す断面図。

【図8】図2と対応する半導体装置の作製方法の一例を示す断面図。

【図9】図3と対応する半導体装置の作製方法の一例を示す断面図。

【図10】図4と対応する半導体装置の作製方法の一例を示す断面図。

【図11】図5と対応する半導体装置の作製方法の一例を示す断面図。

【図12】図6と対応する半導体装置の作製方法の一例を示す断面図。

【図13】本発明の一態様に係る液晶表示装置の一例を示す回路図。

【図14】本発明の一態様に係る半導体記憶装置の一例を示す回路図およびその電気的特性の一例を示す図。

40

【図15】本発明の一態様に係る半導体記憶装置の一例を示す回路図およびその電気的特性の一例を示す図。

【図16】本発明の一態様に係るCPUの具体例を示すブロック図およびその一部の回路図。

【図17】本発明の一態様に係る半導体装置を具備した電子機器の一例を示す斜視図。

【図18】SIMSによる水素濃度および窒素濃度の深さ方向分布を示す図。

【発明を実施するための形態】

【0014】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は

50

以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【0015】

以下に本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースと呼ぶ。すなわち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

10

【0016】

また、電圧は、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。なお、電位を電圧と言い換えることが可能である。

【0017】

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0018】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

20

【0019】

（実施の形態1）

本実施の形態では、本発明の一態様のトランジスタの一例について図1を用いて説明する。

【0020】

図1(A)はトランジスタの上面図である。図1(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図1(B)に示すA-B断面および図1(C)に示すC-D断面に対応する。

【0021】

ここでは、図1(B)に示すA-B断面について詳細に説明する。

30

【0022】

トランジスタは、基板100と、基板100上の、第1の下地膜102a、および第1の下地膜102a上の第2の下地膜102bからなる下地膜102と、下地膜102上の酸化物半導体膜106と、酸化物半導体膜106上にあり、酸化物半導体膜106と一部が接する一対の電極116と、酸化物半導体膜106および一対の電極116上のゲート絶縁膜112と、ゲート絶縁膜112を介して酸化物半導体膜106と重畳するゲート電極104と、を有する。

【0023】

ここで、第1の下地膜102aは水素捕縛膜を、第2の下地膜102bは水素透過膜を用いる。なお、酸化物半導体膜と水素捕縛膜との間に水素透過膜を設けることで、酸化物半導体膜の界面近傍の水素濃度を低減することができる。

40

【0024】

第1の下地膜102aは、窒化インジウム（またはインジウム）を含む酸窒化物膜を用いればよい。具体的には、少なくとも窒化インジウムを含み、加えて酸化インジウム、酸化ガリウム、酸化亜鉛、酸化スズ、酸化アルミニウム、酸化タングステン、酸化モリブデン、酸化チタン、酸化タンタルおよび酸化シリコンの少なくとも一種以上を含む化合物材料を用いればよい。なお、酸窒化物とは、酸化物を構成する酸素の一部が窒素に置き換わった化合物をいう。

【0025】

例えば、第1の下地膜102aは、窒素濃度が0.01 atomic %以上7 atomic

50

c %未満とすればよい。窒素濃度が0.01 atomic %以上7 atomic %未満である窒化インジウムを含む酸窒化物膜は、高い絶縁性を有する。または、第1の下地膜102aは、窒素濃度が7 atomic %以上20 atomic %以下とすればよい。窒素濃度が7 atomic %以上20 atomic %以下である窒化インジウムを含む酸窒化物膜は、水素と結合すると高い導電性を有することがある。このとき、高い絶縁性を有する第2の下地膜102bを有することで、第1の下地膜102aを介した一对の電極116からの電荷のリークを防ぐことができる。なお、第1の下地膜102aの窒素濃度は、X線光電子分光法(XPS: X-ray Photoelectron Spectroscopy)分析によって定量化できる。

【0026】

窒化インジウムを含む酸窒化物膜中において、水素の一部はキャリアである電子を放出する。電子は負の電荷を有するため、バックゲート電極から負のバイアスが印加されているのと同様に電界を生じ、トランジスタのしきい値電圧を正方向にシフトさせる。同様の要因で、酸化物半導体膜を用いたトランジスタは、酸化物半導体膜内の酸素欠損および水素の一部がキャリアである電子を放出することで、しきい値電圧が負方向にシフトしやすい傾向がある。そのため、窒化インジウムを含む酸窒化物膜が有する負の電荷により、トランジスタのしきい値電圧を正方向にシフトさせると好ましい場合がある。なお、第1の下地膜102aにおける水素濃度を制御することで、負の電荷量を調整することができる。第1の下地膜102aにおける水素濃度は、第1の下地膜102aの窒素濃度によって調整することができる。

【0027】

第1の下地膜102aの水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下とする。なお、第1の下地膜102aの水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)によって定量化できる。

【0028】

第2の下地膜102bは、高い絶縁性を有する酸化物膜を用いる。例えば、酸化シリコン膜または酸化窒化シリコン膜を用いればよい。なお、第2の下地膜102bは、厚さが0.5 nm以上15 nm以下、好ましくは2 nm以上5 nm以下とする。第2の下地膜102bの厚さが薄いほど、より低温で水素を拡散することが可能となる。第2の下地膜102bは加熱処理により酸素を放出する膜であってもよい。

【0029】

ここで、酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものであって、好ましくは、酸素が50 atomic %以上70 atomic %以下、窒素が0.5 atomic %以上15 atomic %以下、シリコンが25 atomic %以上35 atomic %以下、水素が0 atomic %以上10 atomic %以下の範囲に含まれるものをいう。ただし、上記範囲は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、水素前方散乱法(HFS: Hydrogen Forward scattering Spectrometry)を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が100 atomic %を超えない値をとる。

【0030】

酸化物半導体膜106の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下とする。酸化物半導体膜106中の水素濃度は、SIMSによって定量化できる。

【0031】

ここで、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちナトリウム(Na)は、酸化物半導体膜に接する絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体膜内において、酸化物半導体を構成する

10

20

30

40

50

金属と酸素の結合を分断する、または、その結合中に割り込む。その結果、例えば、しきい値電圧が負方向にシフトすることによるノーマリオン化、電界効果移動度の低下などの、トランジスタの電気的特性の劣化が起こり、加えて、トランジスタの電気的特性のばらつきも生じる。この不純物によりもたらされるトランジスタの電気的特性の劣化と、トランジスタの電気的特性のばらつきは、酸化物半導体膜中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体膜中の水素濃度が $1 \times 10^{-18} \text{ cm}^{-3}$ 以下、または $1 \times 10^{-17} \text{ cm}^{-3}$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、Na 濃度の測定値は、 $5 \times 10^{-16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-16} \text{ cm}^{-3}$ 以下、更に好ましくは $1 \times 10^{-15} \text{ cm}^{-3}$ 以下とするとよい。同様に、リチウム (Li) 濃度の測定値は、 $5 \times 10^{-15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-15} \text{ cm}^{-3}$ 以下とするとよい。同様に、カリウム (K) 濃度の測定値は、 $5 \times 10^{-15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{-15} \text{ cm}^{-3}$ 以下とするとよい。

10

【0032】

以上に示した酸化物半導体膜 106 を用いたトランジスタは、オフ電流を極めて小さくできる。例えば、チャネル長が $3 \mu\text{m}$ 、チャネル幅が $1 \mu\text{m}$ のときのトランジスタのオフ電流は、 $1 \times 10^{-18} \text{ A}$ 以下、または $1 \times 10^{-21} \text{ A}$ 以下、または $1 \times 10^{-24} \text{ A}$ 以下となる。

【0033】

酸化物半導体膜 106 は、例えば、In、Ga、Zn および Sn から選ばれた二種以上を含む材料を用いればよい。

20

【0034】

酸化物半導体膜 106 は、トランジスタのオフ電流を低減するため、バンドギャップが 2.5 eV 以上、好ましくは 3.0 eV 以上の材料を選択する。

【0035】

酸化物半導体膜 106 は、例えば、In-Sn-Ga-Zn-O 系の材料や、In-Ga-Zn-O 系の材料、In-Sn-Zn-O 系の材料、In-Al-Zn-O 系の材料、Sn-Ga-Zn-O 系の材料、Al-Ga-Zn-O 系の材料、Sn-Al-Zn-O 系の材料や、In-Zn-O 系の材料、Sn-Zn-O 系の材料、Al-Zn-O 系の材料、Zn-Mg-O 系の材料、Sn-Mg-O 系の材料、In-Mg-O 系の材料、In-Ga-O 系の材料や、In-O 系の材料、Sn-O 系の材料、Zn-O 系の材料などを用いればよい。ここで、例えば、In-Ga-Zn-O 系の材料は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物、という意味であり、その組成比は特に問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。このとき、酸化物半導体膜 106 の化学量論的組成比に対し、O を過剰にすると好ましい。O を過剰にすることで酸化物半導体膜 106 の酸素欠損に起因するキャリアの生成を抑制することができる。

30

【0036】

なお、酸化物半導体膜 106 の一例として In-Zn-O 系の材料を用いる場合、原子数比で、 $\text{In} / \text{Zn} = 0.5$ 以上 5.0 以下、好ましくは $\text{In} / \text{Zn} = 1$ 以上 2.0 以下、さらに好ましくは $\text{In} / \text{Zn} = 1.5$ 以上 1.5 以下とする。Zn の原子数比を前述の範囲とすることで、トランジスタの電界効果移動度を向上させることができる。ここで、化合物の原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とすると好ましい。

40

【0037】

酸化物半導体膜 106 として、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば、M として、Ga、Ga および Al、Ga および Mn または Ga および Co などを用いてもよい。

【0038】

酸化物半導体膜 106 は、第 1 の下地膜 102a を構成する金属元素と同じ金属元素を有する材料で形成すると好ましい。これは、スパッタリング法で成膜する場合、同一ターゲ

50

ットを用いて成膜ガスによって作り分けすることが可能となり、材料コストおよび装置コストを低減できるためである。例えば、酸化物半導体膜106としてIn-Ga-Zn-O膜を用いた場合、第1の下地膜102aとしてIn-Ga-Zn-O-N膜を用いればよい。

【0039】

酸化物半導体膜106は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0040】

好ましくは、酸化物半導体膜106は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜とする。

10

【0041】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう。)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0042】

20

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0043】

なお、CAAC-OS膜において、結晶部の分布が一樣でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

30

【0044】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

40

【0045】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0046】

ゲート絶縁膜112は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ジルコニウム、酸化イットリウムおよび酸化ハフニウムなどを、単層で、または積層して用いればよく、例えば、プラズマCVD法、スパッタリング法およびALD法などで形成する。また、ゲート絶縁膜112は、加熱処理により酸素を放出する膜を用いると好ましい。加熱処理により酸素を放出する膜を用いることで、酸化物半導体膜106に生じる酸素欠損を修復することができ、トランジスタの電気的特性

50

の劣化を抑制できる。

【 0 0 4 7 】

ここで、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものであって、好ましくは、酸素が 5 a t o m i c % 以上 3 0 a t o m i c % 以下、窒素が 2 0 a t o m i c % 以上 5 5 a t o m i c % 以下、シリコンが 2 5 a t o m i c % 以上 3 5 a t o m i c % 以下、水素が 1 0 a t o m i c % 以上 2 5 a t o m i c % 以下の範囲に含まれるものをいう。但し、上記範囲は、R B S や、H F S を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が 1 0 0 a t o m i c % を超えない値をとる。

【 0 0 4 8 】

「加熱処理により酸素を放出する」とは、T D S (T h e r m a l D e s o r p t i o n S p e c t r o s c o p y : 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上、または $1.0 \times 10^{20} \text{ cm}^{-3}$ 以上であることをいう。

【 0 0 4 9 】

ここで、T D S 分析にて、酸素の放出量の測定方法について、以下に説明する。

【 0 0 5 0 】

T D S 分析したときの気体の放出量は、イオン強度の積分値に比例する。このため、測定したイオン強度の積分値と、標準試料の基準値との比により、気体の放出量を計算することができる。標準試料の基準値とは、所定の密度の原子を含む試料において、当該原子に相当するイオン強度の積分値に対する当該原子の密度の割合である。

【 0 0 5 1 】

例えば、標準試料である所定の密度の水素を含むシリコンウェハの T D S 分析結果、および絶縁膜の T D S 分析結果から、絶縁膜の酸素分子の放出量 (N_{O_2}) は、数式 1 で求めることができる。ここで、T D S 分析で得られる質量数 3 2 で検出されるガスの全てが酸素分子由来と仮定する。質量数 3 2 のものとしてほかに $\text{C}_2\text{H}_5\text{OH}$ があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数 1 7 の酸素原子および質量数 1 8 の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【 0 0 5 2 】

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha \quad (\text{数式 1})$$

【 0 0 5 3 】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料を T D S 分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜を T D S 分析したときのイオン強度の積分値である。 α は、T D S 分析におけるイオン強度に影響する係数である。数式 1 の詳細に関しては、特開平 6 - 2 7 5 6 9 7 公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置 E M D - W A 1 0 0 0 S / W を用い、標準試料として $1 \times 10^{16} \text{ cm}^{-3}$ の水素原子を含むシリコンウェハを用いて測定した。

【 0 0 5 4 】

また、T D S 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量について見積もることができる。

【 0 0 5 5 】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の 2 倍となる。

【 0 0 5 6 】

上記構成において、加熱処理により酸素を放出する膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$))

10

20

30

40

50

とは、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものをいう。単位体積あたりのシリコン原子数および酸素原子数は、RBSにより測定した値である。

【0057】

ゲート絶縁膜112から酸化物半導体膜106に酸素が供給される(酸素が移動するともいう。)ことで酸化物半導体膜106とゲート絶縁膜112との界面準位密度を低減できる。この結果、トランジスタの動作などに起因して、酸化物半導体膜106とゲート絶縁膜112との界面にキャリアが捕獲されることを抑制することができ、電気的特性の劣化の少ないトランジスタを得ることができる。

【0058】

さらに、酸化物半導体膜106の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧が負方向にシフトしてしまう。ゲート絶縁膜112から酸化物半導体膜106に酸素が十分に供給されることにより、しきい値電圧が負方向へシフトする要因である、酸化物半導体膜106の酸素欠損を低減することができる。

【0059】

即ち、ゲート絶縁膜112に、加熱処理により酸素を放出する膜を設けることで、酸化物半導体膜106とゲート絶縁膜112との界面の界面準位密度、ならびに酸化物半導体膜106の酸素欠損を低減し、酸化物半導体膜106とゲート絶縁膜112との界面におけるキャリア捕獲の影響を小さくすることができる。

【0060】

このように、トランジスタのしきい値電圧が負方向にシフトする要因をできる限り除いた上で、酸化物半導体膜106に含まれる水素濃度を低減させることが好ましい。

【0061】

基板100に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などを、基板100として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI(Silicon On Insulator)基板などを適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板100として用いてもよい。

【0062】

基板100として、可とう性基板を用いてもよい。その場合は、可とう性基板上に直接トランジスタを作製すればよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。

【0063】

ゲート電極104は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびW、それらの窒化物、酸化物ならびに合金から一以上選択し、単層でまたは積層して用いればよい。

【0064】

なお、図1ではゲート電極104が酸化物半導体膜106を完全に覆う形状ではないが、ゲート電極104が酸化物半導体膜106を完全に覆う形状とすることで酸化物半導体膜106の光による劣化、電荷の発生を抑制しても構わない。

【0065】

一対の電極116は、ゲート電極104で示した金属膜、金属窒化物膜、金属酸化物膜または合金膜などを単層でまたは積層して用いればよい。

【0066】

一対の電極116にCuを含む膜を用いると、配線の抵抗を低減でき、大型表示装置などでも配線遅延などの発生を低減することができる。一対の電極116にCuを用いる場合、基板100の材質によっては密着性が悪くなるため、基板100と密着性のよい膜との

10

20

30

40

50

積層構造にすることが好ましい。基板100と密着性のよい膜として、Ti、Mo、Mn、CuまたはAlなどを含む膜を用いればよい。例えば、Cu-Mn-Al合金を用いてもよい。

【0067】

次に、図1に示したトランジスタの作製方法について、図7を用いて説明する。

【0068】

まず、基板100上に第1の下地膜102aおよび第2の下地膜102bをこの順番で積層して成膜し、下地膜102を形成する。次に、酸化物半導体膜136をスパッタリング法などで成膜する(図7(A)参照。)。

【0069】

第1の下地膜102aは、プラズマCVD法、スパッタリング法、PLD(Pulsed Laser Deposition)法またはALD(Atomic Layer Deposition)法などを用いて成膜すればよい。例えば、スパッタリング法を用いる場合、少なくとも酸化インジウムを含むターゲットを用いる。酸化インジウムに加えて酸化ガリウム、酸化亜鉛、酸化スズ、酸化アルミニウム、酸化タングステン、酸化モリブデン、酸化チタン、酸化タンタルおよび酸化シリコンの少なくとも一種以上を含む材料をターゲットに用いても構わない。成膜ガスには少なくとも窒素を含ませればよい。また成膜ガスとして、希ガス(ヘリウム、ネオン、アルゴン、クリプトン、キセノンなど)および酸素のいずれか一種以上を用いても構わない。このような方法で成膜することにより、窒素濃度が0.01 atomic %以上7 atomic %未満または7 atomic %以上20 atomic %以下である、少なくとも窒化インジウムを含む第1の下地膜102aを成膜することができる。

【0070】

第2の下地膜102bは、プラズマCVD法、スパッタリング法、PLD法またはALD法などを用いて、酸化シリコン膜または酸化窒化シリコン膜を成膜すればよい。

【0071】

次に、酸化物半導体膜136を加工して酸化物半導体膜106を形成する(図7(B)参照。)。その後、450 超過基板100の歪み点未満、好ましくは500 以上650 以下で加熱処理を行い、酸化物半導体膜106から脱離した水素を、第2の下地膜102bを介して第1の下地膜102aへ移動させる。移動した水素は、第1の下地膜102aで捕縛される。このとき、酸化物半導体膜106の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下となる。また、第1の下地膜102aの水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下となる。なお、第2の下地膜102bとして加熱処理により酸素を放出する膜を設ける場合、当該加熱処理によって第2の下地膜102bから酸化物半導体膜106に酸素を移動させることができる。そのため、酸化物半導体膜106と第2の下地膜102bとの界面の界面準位密度、ならびに酸化物半導体膜106の酸素欠損を低減することができる。

【0072】

次に、酸化物半導体膜106上に導電膜を成膜し、加工して、酸化物半導体膜106と少なくとも一部が接する一対の電極116を形成する。次に、酸化物半導体膜106および一対の電極116上にゲート絶縁膜112を成膜する(図7(C)参照。)。一対の電極116となる導電膜は、前述の材料を用い、スパッタリング法、プラズマCVD法、PLD法、ALD法、蒸着法または印刷法などを用いて成膜すればよい。

【0073】

次に、ゲート絶縁膜112上に導電膜を成膜し、加工して酸化物半導体膜106と重畳するゲート電極104を形成する(図7(D)参照。)。ゲート電極104となる導電膜は、前述の材料を用い、スパッタリング法、プラズマCVD法、PLD法、ALD法、蒸着法または印刷法などを用いて成膜すればよい。

【0074】

なお、酸化物半導体膜 106 を形成した後に行う加熱処理に代えて、ゲート絶縁膜 112 またはゲート電極 104 の形成後に同様の加熱処理を行っても構わない。

【0075】

以上のように、酸化物半導体膜 106 から第 2 の下地膜 102b を介して第 1 の下地膜 102a へ水素を移動させ、移動した水素を第 1 の下地膜 102a で捕縛することにより、高純度化された酸化物半導体膜 106 を形成することができる。そのため、トランジスタのオフ電流が極めて小さく、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【0076】

また、第 1 の下地膜 102a は、捕縛した水素の一部に起因して生じた負の電荷により、トランジスタのしきい値電圧を正方向へシフトさせることができる。

10

【0077】

以上の工程によって、図 1 に示したトランジスタを作製することができる。

【0078】

続いて、図 1 に示したトランジスタとは異なる構造のトランジスタについて図 2 を用いて説明する。

【0079】

図 2 はトランジスタの上面図および断面図である。図 2 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 2 (B) に示す A - B 断面および図 2 (C) に示す C - D 断面に対応する。

20

【0080】

以下に、図 2 (B) に示す A - B 断面について詳細に説明する。

【0081】

図 2 に示すトランジスタは、基板 100 と、基板 100 上の、第 1 の下地膜 102a、および第 1 の下地膜 102a 上の第 2 の下地膜 102b からなる下地膜 102 と、下地膜 102 上の一対の電極 216 と、一対の電極 216 上にあり、一対の電極 216 と少なくとも一部が接する酸化物半導体膜 206 と、酸化物半導体膜 206 および一対の電極 216 上のゲート絶縁膜 212 と、ゲート絶縁膜 212 を介して酸化物半導体膜 206 と重畳するゲート電極 204 と、を有する。ここで、一対の電極 216、酸化物半導体膜 206、ゲート絶縁膜 212 およびゲート電極 204 は、それぞれ一対の電極 116、酸化物半導体膜 106、ゲート絶縁膜 112 およびゲート電極 104 と同様の方法および同様の材料により形成する。

30

【0082】

なお、図 2 ではゲート電極 204 が酸化物半導体膜 206 を完全に覆う形状ではないが、ゲート電極 204 が酸化物半導体膜 206 を完全に覆う形状とすることで酸化物半導体膜 206 の光による劣化、電荷の発生を抑制しても構わない。

【0083】

次に、図 2 に示したトランジスタの作製方法について、図 8 を用いて説明する。

【0084】

まず、基板 100 上に、第 1 の下地膜 102a、および第 1 の下地膜 102a 上の第 2 の下地膜 102b からなる下地膜 102 を形成する。次に、下地膜 102 上に一対の電極 216 を形成する(図 8 (A) 参照。)。

40

【0085】

次に、一対の電極 216 上にあり、一対の電極 216 と少なくとも一部が接する酸化物半導体膜 206 を形成する(図 8 (B) 参照。)。その後、450 超過基板 100 の歪み点未満、好ましくは 500 以上 650 以下で加熱処理を行い、酸化物半導体膜 206 から脱離した水素を、第 2 の下地膜 102b を介して第 1 の下地膜 102a へ移動させる。移動した水素は、第 1 の下地膜 102a で捕縛される。このとき、酸化物半導体膜 206 の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下となる。また、第 1 の下地膜 102a の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 5×10^{20}

50

cm^{-3} 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下となる。
なお、第2の下地膜102bとして加熱処理により酸素を放出する膜を設ける場合、当該加熱処理によって第2の下地膜102bから酸化物半導体膜206に酸素を移動させることができる。そのため、酸化物半導体膜206と第2の下地膜102bとの界面の界面準位密度、ならびに酸化物半導体膜206の酸素欠損を低減することができる。

【0086】

次に酸化物半導体膜206および一对の電極216上にゲート絶縁膜212を成膜する(図8(C)参照。)

【0087】

次に、ゲート絶縁膜212を介して酸化物半導体膜206と重畳するゲート電極204を形成する(図8(D)参照。)

10

【0088】

なお、酸化物半導体膜206を形成した後に行う加熱処理に代えて、ゲート絶縁膜212またはゲート電極204の形成後に同様の加熱処理を行っても構わない。

【0089】

以上のように、酸化物半導体膜206から第2の下地膜102bを介して第1の下地膜102aへ水素を移動させ、移動した水素を第1の下地膜102aで捕縛することにより、高純度化された酸化物半導体膜206を形成することができる。そのため、トランジスタのオフ電流が極めて小さく、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

20

【0090】

また、第1の下地膜102aは、捕縛した水素の一部に起因して生じた負の電荷により、トランジスタのしきい値電圧を正方向へシフトさせることができる。

【0091】

以上の工程によって、図2に示したトランジスタを作製することができる。

【0092】

続いて、図1および図2に示したトランジスタとは異なる構造のトランジスタについて図3を用いて説明する。

【0093】

図3はトランジスタの上面図および断面図である。図3(A)に示した一点鎖線A-Bおよび一点鎖線C-Dにおける断面は、それぞれ図3(B)に示すA-B断面および図3(C)に示すC-D断面に対応する。

30

【0094】

以下に、図3(B)に示すA-B断面について詳細に説明する。

【0095】

図3に示すトランジスタは、基板100と、基板100上の、第1の下地膜102a、および第1の下地膜102a上の第2の下地膜102bからなる下地膜102と、下地膜102上のチャネル領域305、ソース領域307aおよびドレイン領域307bを有する酸化物半導体膜306と、酸化物半導体膜306および下地膜102上のゲート絶縁膜312と、ゲート絶縁膜312を介して酸化物半導体膜306と重畳するゲート電極304と、ゲート電極304およびゲート絶縁膜312上の保護膜318と、保護膜318上にあり、ゲート絶縁膜312および保護膜318に設けられた開口部を介して、ソース領域307aおよびドレイン領域307bと接する一对の電極316と、を有する。ここで、一对の電極316、酸化物半導体膜306、ゲート電極304およびゲート絶縁膜312は、それぞれ一对の電極116、酸化物半導体膜106、ゲート電極104およびゲート絶縁膜112と同様の方法および同様の材料により形成する。

40

【0096】

なお、図3ではゲート絶縁膜312および保護膜318に設けられた開口部の上面形状は円形であるが、これに限定されるものではない。該開口部は、ソース領域307aおよびドレイン領域307bを露出するものであれば、形状は問わない。

50

【0097】

チャネル領域305は、ゲート電極304と概略同一の上面形状としてもよい。なお、ソース領域307aおよびドレイン領域307bは、窒素、リン、水素、または希ガスなどを含む。

【0098】

なお、チャネル領域305は高抵抗領域であり、ソース領域307aおよびドレイン領域307b低抵抗領域である。

【0099】

次に、図3に示したトランジスタの作製方法について、図9を用いて説明する。

【0100】

まず、基板100上に、第1の下地膜102a、および第1の下地膜102a上の第2の下地膜102bからなる下地膜102を形成する。次に、下地膜102上に酸化物半導体膜306を形成する。その後、450 超過基板100の歪み点未満、好ましくは500

以上650 以下で加熱処理を行い、酸化物半導体膜306から脱離した水素を、第2の下地膜102bを介して第1の下地膜102aへ移動させる。移動した水素は、第1の下地膜102aで捕縛される。このとき、酸化物半導体膜306の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下となる。また、第1の下地膜102aの水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下となる。なお、第2の下地膜102bとして加熱処理により酸素を放出する膜を設ける場合、当該加熱処理によって第2の下地膜102bから酸化物半導体膜306に酸素を移動させることができる。そのため、酸化物半導体膜306と第2の下地膜102bとの界面の界面準位密度、ならびに酸化物半導体膜306の酸素欠損を低減することができる。次に、酸化物半導体膜306および下地膜102上に、ゲート絶縁膜312を成膜する(図9(A)参照。)

【0101】

次に、ゲート絶縁膜312を介して酸化物半導体膜306と重畳するゲート電極304を形成する。次に、ゲート電極304をマスクに、酸化物半導体膜306の一部に窒素、リン、水素または希ガスを添加する。該添加、または該添加に加えて加熱処理を行うことにより、酸化物半導体膜306の、ゲート電極304と重畳しない領域を低抵抗化し、チャネル領域305、ソース領域307aおよびドレイン領域307bを形成する(図9(B)参照。)。なお、ここで行う加熱処理を、酸化物半導体膜306を形成した後に行う加熱処理に代えることができる。

【0102】

次に、ゲート絶縁膜312およびゲート電極304上に保護膜318を形成し、ソース領域307aおよびドレイン領域307bをそれぞれ露出する開口部をゲート絶縁膜312および保護膜318に形成する。次に、酸化物半導体膜306と接する一对の電極316を形成する(図9(D)参照。)。なお、酸化物半導体膜306を形成した後に行う加熱処理、ソース領域307aおよびドレイン領域307bを形成するための加熱処理に代えて、保護膜318または一对の電極316の形成後に同様の加熱処理を行っても構わない。

【0103】

以上のように、酸化物半導体膜306から第2の下地膜102bを介して第1の下地膜102aへ水素を移動させ、移動した水素を第1の下地膜102aで捕縛することにより、高純度化された酸化物半導体膜306を形成することができる。そのため、トランジスタのオフ電流が極めて小さく、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【0104】

また、第1の下地膜102aは、捕縛した水素の一部に起因して生じた負の電荷により、トランジスタのしきい値電圧を正方向へシフトさせることができる。

【0105】

以上の工程によって、図 3 に示したトランジスタを作製することができる。

【 0 1 0 6 】

続いて、図 1 乃至図 3 に示したトランジスタとは異なる構造のトランジスタについて図 4 を用いて説明する。

【 0 1 0 7 】

図 4 はトランジスタの上面図および断面図である。図 4 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 4 (B) に示す A - B 断面および図 4 (C) に示す C - D 断面に対応する。

【 0 1 0 8 】

以下に、図 4 (B) に示す A - B 断面について詳細に説明する。

10

【 0 1 0 9 】

図 4 に示すトランジスタは、基板 1 0 0 と、基板 1 0 0 上のゲート電極 4 0 4 と、ゲート電極 4 0 4 を覆うゲート絶縁膜 4 1 2 と、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 と重畳する酸化物半導体膜 4 0 6 と、酸化物半導体膜 4 0 6 上にあり、酸化物半導体膜 4 0 6 と少なくとも一部が接する一対の電極 4 1 6 と、酸化物半導体膜 4 0 6 および一対の電極 4 1 6 上の、第 2 の保護膜 4 1 8 b、および第 2 の保護膜 4 1 8 b 上の第 1 の保護膜 4 1 8 a からなる保護膜 4 1 8 と、を有する。ここで、ゲート電極 4 0 4、ゲート絶縁膜 4 1 2、酸化物半導体膜 4 0 6 および一対の電極 4 1 6 は、それぞれゲート電極 1 0 4、ゲート絶縁膜 1 1 2、酸化物半導体膜 1 0 6 および一対の電極 1 1 6 と同様の方法および同様の材料により形成する。

20

【 0 1 1 0 】

なお、第 1 の保護膜 4 1 8 a および第 2 の保護膜 4 1 8 b は、それぞれ第 1 の下地膜 1 0 2 a および第 2 の下地膜 1 0 2 b と同様の方法および同様の材料により形成する。

【 0 1 1 1 】

なお、図 4 ではゲート電極 4 0 4 が酸化物半導体膜 4 0 6 を完全に覆う形状ではないが、ゲート電極 4 0 4 が酸化物半導体膜 4 0 6 を完全に覆う形状とすることで酸化物半導体膜 4 0 6 の光による劣化、電荷の発生を抑制しても構わない。

【 0 1 1 2 】

次に、図 4 に示したトランジスタの作製方法について、図 1 0 を用いて説明する。

【 0 1 1 3 】

30

まず、基板 1 0 0 上にゲート電極 4 0 4 を形成する。次に、ゲート電極 4 0 4 を覆ってゲート絶縁膜 4 1 2 を成膜する (図 1 0 (A) 参照。)。

【 0 1 1 4 】

次に、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 と重畳する酸化物半導体膜 4 0 6 を形成する (図 1 0 (B) 参照。)。

【 0 1 1 5 】

次に、酸化物半導体膜 4 0 6 上にあり、酸化物半導体膜 4 0 6 と少なくとも一部が接する一対の電極 4 1 6 を形成する (図 1 0 (C) 参照。)。

【 0 1 1 6 】

次に、酸化物半導体膜 4 0 6、一対の電極 4 1 6 上に、第 2 の保護膜 4 1 8 b、および第 2 の保護膜 4 1 8 b 上の第 1 の保護膜 4 1 8 a からなる保護膜 4 1 8 を形成する (図 1 0 (D) 参照。)。その後、450 超過基板 1 0 0 の歪み点未満、好ましくは 500 以上 650 以下で加熱処理を行い、酸化物半導体膜 4 0 6 から脱離した水素を、第 2 の保護膜 4 1 8 b を介して第 1 の保護膜 4 1 8 a へ移動させる。移動した水素は、第 1 の保護膜 4 1 8 a で捕縛される。このとき、酸化物半導体膜 4 0 6 の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下となる。また、第 1 の保護膜 4 1 8 a の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下となる。なお、第 2 の保護膜 4 1 8 b として加熱処理により酸素を放出する膜を設ける場合、当該加熱処理によって第 2 の保護膜 4 1 8 b から酸化物半導体膜 4 0 6 に酸素を移動させることができる。そのため、酸化物

40

50

半導体膜 406 と第 2 の保護膜 418 b との界面の界面準位密度、ならびに酸化物半導体膜 406 の酸素欠損を低減することができる。

【0117】

以上のように、酸化物半導体膜 406 から第 2 の保護膜 418 b を介して第 1 の保護膜 418 a へ水素を移動させ、移動した水素を第 1 の保護膜 418 a で捕縛することにより、高純度化された酸化物半導体膜 406 を形成することができる。そのため、トランジスタのオフ電流が極めて小さく、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【0118】

また、第 1 の保護膜 418 a は、捕縛した水素の一部に起因して生じた負の電荷により、トランジスタのしきい値電圧を正方向へシフトさせることができる。

10

【0119】

以上の工程によって、図 4 に示したトランジスタを作製することができる。

【0120】

続いて、図 1 乃至図 4 に示したトランジスタとは異なる構造のトランジスタについて図 5 を用いて説明する。

【0121】

図 5 はトランジスタの上面図および断面図である。図 5 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 5 (B) に示す A - B 断面および図 5 (C) に示す C - D 断面に対応する。

20

【0122】

以下に、図 5 (B) に示す A - B 断面について詳細に説明する。

【0123】

図 5 に示すトランジスタは、基板 100 と、基板 100 上のゲート電極 404 と、ゲート電極 404 を覆うゲート絶縁膜 412 と、ゲート絶縁膜 412 上の一对の電極 516 と、一对の電極 516 と少なくとも一部が接し、かつゲート絶縁膜 412 を介してゲート電極 404 と重畳する酸化物半導体膜 506 と、酸化物半導体膜 506 および一对の電極 516 上の、第 2 の保護膜 518 b、および第 2 の保護膜 518 b 上の第 1 の保護膜 518 a からなる保護膜 518 と、を有する。ここで、酸化物半導体膜 506、一对の電極 516、保護膜 518 は、それぞれ酸化物半導体膜 106、一对の電極 116 および保護膜 418 と同様の方法および同様の材料により形成する。

30

【0124】

なお、図 5 ではゲート電極 404 が酸化物半導体膜 506 を完全に覆う形状ではないが、ゲート電極 404 が酸化物半導体膜 506 を完全に覆う形状とすることで酸化物半導体膜 506 の光による劣化、電荷の発生を抑制しても構わない。

【0125】

次に、図 5 に示したトランジスタの作製方法について、図 11 を用いて説明する。

【0126】

まず、基板 100 上にゲート電極 404 を形成する。次に、ゲート電極 404 を覆ってゲート絶縁膜 412 を成膜する。次に、ゲート絶縁膜 412 上に一对の電極 516 を形成する (図 11 (A) 参照。)。

40

【0127】

次に、ゲート絶縁膜 412 を介してゲート電極 404 と重畳し、一对の電極 516 と少なくとも一部が接する酸化物半導体膜 506 を形成する (図 11 (B) 参照。)。

【0128】

次に、酸化物半導体膜 506 および一对の電極 516 上に、第 2 の保護膜 518 b、および第 2 の保護膜 518 b 上の第 1 の保護膜 518 a からなる保護膜 518 を形成する (図 11 (C) 参照。)。その後、450 超過基板 100 の歪み点未満、好ましくは 500

以上 650 以下で加熱処理を行い、酸化物半導体膜 506 から脱離した水素を、第 2 の保護膜 518 b を介して第 1 の保護膜 518 a へ移動させる。移動した水素は、第 1 の

50

保護膜 5 1 8 a で捕縛される。このとき、酸化物半導体膜 5 0 6 の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下となる。また、第 1 の保護膜 5 1 8 a の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下となる。なお、第 2 の保護膜 5 1 8 b として加熱処理により酸素を放出する膜を設ける場合、当該加熱処理によって第 2 の保護膜 5 1 8 b から酸化物半導体膜 5 0 6 に酸素を移動させることができる。そのため、酸化物半導体膜 5 0 6 と第 2 の保護膜 5 1 8 b との界面の界面準位密度、ならびに酸化物半導体膜 5 0 6 の酸素欠損を低減することができる。

【 0 1 2 9 】

以上のように、酸化物半導体膜 5 0 6 から第 2 の保護膜 5 1 8 b を介して第 1 の保護膜 5 1 8 a へ水素を移動させ、移動した水素を第 1 の保護膜 5 1 8 a で捕縛することにより、高純度化された酸化物半導体膜 5 0 6 を形成することができる。そのため、トランジスタのオフ電流が極めて小さく、安定した電気的特性を有する信頼性の高い半導体装置を作製することができる。

【 0 1 3 0 】

また、第 1 の保護膜 5 1 8 a は、捕縛した水素の一部に起因して生じた負の電荷により、トランジスタのしきい値電圧を正方向へシフトさせることができる。

【 0 1 3 1 】

以上の工程によって、図 5 に示したトランジスタを作製することができる。

【 0 1 3 2 】

続いて、図 1 乃至図 5 に示したトランジスタとは異なる構造のトランジスタについて図 6 を用いて説明する。

【 0 1 3 3 】

図 6 はトランジスタの上面図および断面図である。図 6 (A) に示した一点鎖線 A - B および一点鎖線 C - D における断面は、それぞれ図 6 (B) に示す A - B 断面および図 6 (C) に示す C - D 断面に対応する。

【 0 1 3 4 】

以下に、図 6 (B) に示す A - B 断面について詳細に説明する。

【 0 1 3 5 】

図 6 はに示すトランジスタは、基板 1 0 0 と、基板 1 0 0 上のゲート電極 4 0 4 と、ゲート電極 4 0 4 を覆うゲート絶縁膜 4 1 2 と、ゲート絶縁膜 4 1 2 を介してゲート電極 4 0 4 上にあり、チャネル領域 6 0 5、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b を有する酸化物半導体膜 6 0 6 と、ゲート絶縁膜 4 1 2 および酸化物半導体膜 6 0 6 上の、第 2 の保護膜 6 1 8 b、第 2 の保護膜 6 1 8 b 上の第 1 の保護膜 6 1 8 a からなる保護膜 6 1 8 と、保護膜 6 1 8 上にあり、保護膜 6 1 8 に設けられた開口部を介して、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b と接する一対の電極 6 1 6 と、を有する。ここで、一対の電極 6 1 6、酸化物半導体膜 6 0 6 および保護膜 6 1 8 は、それぞれ示した一対の電極 1 1 6、酸化物半導体膜 1 0 6 および保護膜 4 1 8 と同様の方法および同様の材料により形成する。

【 0 1 3 6 】

なお、図 6 では、第 2 の保護膜 6 1 8 b 上に第 1 の保護膜 6 1 8 a の未形成領域があるように図示されているが、これに限定されない。例えば、第 2 の保護膜 6 1 8 b 上の全面に第 1 の保護膜 6 1 8 a が形成されていても構わない。

【 0 1 3 7 】

図 6 は、ゲート電極 4 0 4 とチャネル領域 6 0 5 が概略同一の上面形状として図示されているが、これに限定されない。ゲート電極 4 0 4 とチャネル領域 6 0 5 の形状が異なっても構わない。

【 0 1 3 8 】

なお、ソース領域 6 0 7 a およびドレイン領域 6 0 7 b は、窒素、リン、水素、または希ガスなどを含む。

10

20

30

40

50

【0139】

なお、チャンネル領域605は高抵抗領域であり、ソース領域607aおよびドレイン領域607bは低抵抗領域である。

【0140】

次に、図6に示したトランジスタの作製方法について、図12を用いて説明する。

【0141】

まず、基板100上にゲート電極404を形成する。次に、ゲート電極404を覆ってゲート絶縁膜412を成膜する。次に、ゲート絶縁膜412を介してゲート電極404と重畳する酸化物半導体膜606を形成する(図12(A)参照。)。

【0142】

次に、レジストマスクなどを用いて、酸化物半導体膜606の一部に窒素、リン、水素、または希ガスを添加する。該添加、または該添加に加えて加熱処理を行うことにより、酸化物半導体膜606の、ゲート電極404と重畳しない領域を低抵抗化し、チャンネル領域605、ソース領域607aおよびドレイン領域607bを形成する(図12(B)参照。)。なお、レジストマスクなどは、ゲート電極404をマスクに裏面露光技術によって形成しても構わない。その場合、ソース領域607aおよびドレイン領域607bと、ゲート電極404との重畳する面積が小さくできるため寄生容量が低減され、トランジスタの動作速度を高めることができる。また、レジストマスクを形成するためのフォトリソマスク数が低減できるため、トランジスタの作製コストを低減することができるため好ましい。

【0143】

次に、酸化物半導体膜606およびゲート絶縁膜412上に、第2の保護膜638bおよび第1の保護膜638aをこの順番で積層して成膜し、保護膜638を形成する(図12(C)参照。)。その後、450 超過基板100の歪み点未満、好ましくは500 以上650 以下で加熱処理を行い、酸化物半導体膜606から脱離した水素を、第2の保護膜638bを介して第1の保護膜638aへ移動させる。移動した水素は、第1の保護膜638aで捕縛される。このとき、酸化物半導体膜606の水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 未満、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下となる。また、第1の保護膜638aの水素濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $3 \times 10^{20} \text{ cm}^{-3}$ 以下となる。なお、第2の保護膜638bとして加熱処理により酸素を放出する膜を設ける場合、当該加熱処理によって第2の保護膜638bから酸化物半導体膜606に酸素を移動させることができる。そのため、酸化物半導体膜606と第2の保護膜418bとの界面の界面準位密度、ならびに酸化物半導体膜606の酸素欠損を低減することができる。

【0144】

次に、保護膜638にソース領域607aおよびドレイン領域607bをそれぞれ露出する開口部を形成し、次に導電膜を成膜し、該導電膜および第1の保護膜638aを加工することで、第2の保護膜618b、第2の保護膜618b上の第1の保護膜618aからなる保護膜618、ならびに酸化物半導体膜606と接する一対の電極616を形成する(図12(D)参照。)。なお、前述の導電膜を加工して一対の電極616を形成する際に、同時に第1の保護膜638aを加工しているが、これに限定されず、第1の保護膜638aを加工しなくても構わない。

【0145】

以上の工程によって、図6に示したトランジスタを作製することができる。

【0146】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0147】

(実施の形態2)

本実施の形態では実施の形態1に示したトランジスタを用いて作製した液晶表示装置について説明する。なお、本実施の形態では液晶表示装置に本発明の一形態を適用した例について説明するが、これに限定されるものではない。例えば、発光装置の一つであるEL(

10

20

30

40

50

Electro Luminescence) 表示装置に本発明の一形態を適用すること
も、当業者であれば容易に想到し得るものである。

【0148】

図13にアクティブマトリクス駆動方式の液晶表示装置の回路図を示す。液晶表示装置は、ソース線SL₁乃至SL_a、ゲート線GL₁乃至GL_bおよび複数の画素2200を有する。画素2200は、トランジスタ2230と、キャパシタ2220と、液晶素子2210と、を含む。こうした画素2200が複数集まって液晶表示装置の画素部を構成する。なお、単にソース線またはゲート線を指す場合には、ソース線SLまたはゲート線GLと記載することもある。

【0149】

トランジスタ2230は、本発明の一態様である実施の形態1で示したトランジスタを用いる。実施の形態1で示したトランジスタは電気的特性が良好な酸化物半導体を用いたトランジスタであるため、表示品位が高く、消費電力が小さい表示装置を得ることができる。

【0150】

ゲート線GLはトランジスタ2230のゲートと接続し、ソース線SLはトランジスタ2230のソースと接続し、トランジスタ2230のドレインは、キャパシタ2220の一方の容量電極および液晶素子2210の一方の画素電極と接続する。キャパシタ2220の他方の容量電極および液晶素子2210の他方の画素電極は、共通電極と接続する。なお、共通電極はゲート線GLと同一層かつ同一材料で設けてもよい。

【0151】

また、ゲート線GLは、ゲート駆動回路と接続される。ゲート駆動回路は、実施の形態1で示したトランジスタを含んでもよい。

【0152】

また、ソース線SLは、ソース駆動回路と接続される。ソース駆動回路は、実施の形態1で示したトランジスタを含んでもよい。

【0153】

なお、ゲート駆動回路およびソース駆動回路のいずれかまたは両方を、別途用意された基板上に形成し、COG(Chip On Glass)、ワイヤボンディング、またはTAB(Tape Automated Bonding)などの方法を用いて接続してもよい。

【0154】

また、トランジスタは静電気などにより破壊されやすいため、保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

【0155】

ゲート線GLにトランジスタ2230のしきい値電圧以上になるように電圧を印加すると、ソース線SLから供給された電荷がトランジスタ2230のドレイン電流となってキャパシタ2220に蓄積される。1行分の充電後、該行にあるトランジスタ2230はオフ状態となり、ソース線SLから電圧が掛からなくなるが、キャパシタ2220に蓄積された電荷によって必要な電圧を維持することができる。その後、次の行のキャパシタ2220の充電に移る。このようにして、1行からb行の充電を行う。ドレイン電流とは、トランジスタにおいてソースからチャネルを介してドレインに流れる電流のことである。ドレイン電流はゲート電圧がしきい値電圧よりも大きいときに流れる。

【0156】

なお、トランジスタ2230にオフ電流の小さなトランジスタを用いる場合、電圧を維持する期間を長くすることができる。この効果によって、動きの少ない画像(静止画を含む。)では、表示の書き換え周波数を低減でき、さらなる消費電力の低減が可能となる。また、キャパシタ2220の容量をさらに小さくすることが可能となるため、充電に必要な消費電力を低減することができる。

【0157】

以上のように、本発明の一態様によって、表示品位が高く、消費電力の小さい液晶表示装置を提供することができる。

【0158】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0159】

(実施の形態3)

本実施の形態では、実施の形態1で示したトランジスタを用いて、半導体記憶装置を作製する例について説明する。

【0160】

揮発性半導体記憶装置の代表的な例としては、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶するDRAM(Dynamic Random Access Memory)、フリップフロップなどの回路を用いて記憶内容を保持するSRAM(Static Random Access Memory)がある。

【0161】

不揮発性半導体記憶装置の代表例としては、トランジスタのゲートとチャネル領域との間にノードを有し、当該ノードに電荷を保持することで記憶を行うフラッシュメモリがある。

【0162】

上述した半導体記憶装置に含まれるトランジスタの一部に実施の形態1で示したトランジスタを適用することができる。

【0163】

まずは、実施の形態1で示したトランジスタを適用した半導体記憶装置を構成するメモリセルについて図14を用いて説明する。

【0164】

メモリセルは、ビット線BLと、ワード線WLと、センスアンプSAmpと、トランジスタTrと、キャパシタCと、を有する(図14(A)参照。)。

【0165】

キャパシタCに保持された電圧の時間変化は、トランジスタTrのオフ電流によって図14(B)に示すように徐々に低減していくことが知られている。当初V0からV1まで充電された電圧は、時間が経過するとdata1を読み出す限界点であるVAまで低減する。この期間を保持期間T₁とする。即ち、2値メモリセルの場合、保持期間T₁の間にリフレッシュをする必要がある。

【0166】

ここで、トランジスタTrに実施の形態1で示したトランジスタを適用すると、オフ電流が小さいため、保持期間T₁を長くすることができる。即ち、リフレッシュの頻度を少なくすることが可能となるため、消費電力を低減することができる。例えば、オフ電流が 1×10^{-21} A以下、好ましくは 1×10^{-24} A以下となった酸化物半導体膜を用いたトランジスタでメモリセルを構成すると、電力を供給せずに数日間から数十年間に渡ってデータを保持することが可能となる。

【0167】

以上のように、本発明の一態様によって、信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0168】

次に、実施の形態1で示したトランジスタを適用した半導体記憶装置を構成するメモリセルについて図14と異なる例を図15を用いて説明する。

【0169】

図15(A)は、メモリセルの回路図である。メモリセルは、トランジスタTr₁と、トランジスタTr₁のゲートと接続するゲート線GL₁と、トランジスタTr₁のソースと接続するソース線SL₁と、トランジスタTr₂と、トランジスタTr₂

10

20

30

40

50

のソースと接続するソース線 SL_2 と、トランジスタ Tr_2 のドレインと接続するドレイン線 DL_2 と、キャパシタ C と、キャパシタ C の一端と接続する容量線 CL と、キャパシタ C の他端、トランジスタ Tr_1 のドレインおよびトランジスタ Tr_2 のゲートと接続するノード N と、を有する。

【0170】

なお、図15(A)に示すメモリセルは、ノード N の電位に応じて、トランジスタ Tr_2 のしきい値電圧が変動することを利用したものである。例えば、図15(B)は容量線 CL の電圧 V_{CL} と、トランジスタ Tr_2 を流れるドレイン電流 I_{ds_2} との関係を説明する図である。

【0171】

10

ここで、ノード N は、トランジスタ Tr_1 を介して電圧を調整することができる。例えば、ソース線 SL_1 の電位を V_{DD} とする。このとき、ゲート線 GL_1 の電位をトランジスタ Tr_1 のしきい値電圧 V_{th} に V_{DD} を加えた電位以上とすることで、ノード N の電位を $HIGH$ にすることができる。また、ゲート線 GL_1 の電位をトランジスタ Tr_1 のしきい値電圧 V_{th} 以下とすることで、ノード N の電位を LOW にすることができる。

【0172】

そのため、 $N = LOW$ で示した $V_{CL} - I_{ds_2}$ カーブと、 $N = HIGH$ で示した $V_{CL} - I_{ds_2}$ カーブのいずれかを得ることができる。即ち、 $N = LOW$ では、 $V_{CL} = 0V$ にて I_{ds_2} が小さいため、データ0となる。また、 $N = HIGH$ では、 $V_{CL} = 0V$ にて I_{ds_2} が大きい場合、データ1となる。このようにして、データを記憶することができる。

20

【0173】

ここで、トランジスタ Tr_1 に実施の形態1で示したトランジスタを適用すると、該トランジスタはオフ電流を極めて小さくすることができるため、ノード N に蓄積された電荷がトランジスタ Tr_1 のソースおよびドレイン間を意図せずにリークすることを抑制できる。そのため、長期間に渡ってデータを保持することができる。また、本発明の一態様に係るトランジスタ Tr_1 はしきい値電圧が調整されるため、書き込みに必要な電圧を低減することが可能となり、フラッシュメモリなどと比較して消費電力を低減することができる。

30

【0174】

なお、トランジスタ Tr_2 に、実施の形態1で示したトランジスタを適用しても構わない。

【0175】

以上のように、本発明の一態様によって、長期間の信頼性が高く、消費電力の小さい半導体記憶装置を得ることができる。

【0176】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

【0177】

(実施の形態4)

40

実施の形態1で示したトランジスタを少なくとも一部に用いてCPU(Central Processing Unit)を構成することができる。

【0178】

図16(A)は、CPUの具体的な構成を示すブロック図である。図16(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic logic unit)1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F)1198、書き換え可能なROM1199、およびROMインターフェース(ROM I/F)1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用

50

いる。ROM 1199 および ROM インターフェース 1189 は、別チップに設けてもよい。もちろん、図 16 (A) に示す CPU は、その構成を簡略化して示した一例にすぎず、実際の CPU はその用途によって多種多様な構成を有している。

【0179】

バスインターフェース 1198 を介して CPU に入力された命令は、インストラクションデコーダ 1193 に入力され、デコードされた後、ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 に入力される。

【0180】

ALU コントローラ 1192、インタラプトコントローラ 1194、レジスタコントローラ 1197、タイミングコントローラ 1195 は、デコードされた命令に基づき、各種制御を行なう。具体的に ALU コントローラ 1192 は、ALU 1191 の動作を制御するための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

【0181】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、クロック信号 CLK2 を上記各種回路に供給する。

【0182】

図 16 (A) に示す CPU では、レジスタ 1196 に、記憶素子が設けられている。レジスタ 1196 の記憶素子には、実施の形態 3 に示す記憶素子を用いることができる。

【0183】

図 16 (A) に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有する記憶素子において、位相反転素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。位相反転素子によるデータの保持が選択されている場合、レジスタ 1196 内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

【0184】

電源停止に関しては、図 16 (B) または図 16 (C) に示すように、記憶素子群と、電源電位 VDD または電源電位 VSS の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 16 (B) および図 16 (C) の回路の説明を行う。

【0185】

図 16 (B) および図 16 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に、実施の形態 1 で示したトランジスタを含む記憶回路の構成の一例を示す。

【0186】

図 16 (B) に示す記憶装置は、スイッチング素子 1141 と、記憶素子 1142 を複数有する記憶素子群 1143 とを有している。具体的に、各記憶素子 1142 には、実施の形態 3 に示す記憶素子を用いることができる。記憶素子群 1143 が有する各記憶素子 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位 VDD が供給されている。さらに、記憶素子群 1143 が有する各記憶素子 1142 には、信号 IN の電位と、ローレベルの電源電位 VSS の電位が与えられている。

【0187】

図１６（Ｂ）では、スイッチング素子１１４１として、実施の形態１で示したオフ電流の極めて小さいトランジスタを用いており、該トランジスタは、そのゲートに与えられる信号ＳｉｇＡによりスイッチングが制御される。

【０１８８】

なお、図１６（Ｂ）では、スイッチング素子１１４１がトランジスタを一つだけ有する構成を示しているが、これに限定されず、トランジスタを複数有していてもよい。スイッチング素子１１４１が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていてもよいし、直列に接続されていてもよいし、直列と並列が組み合わされて接続されていてもよい。

【０１８９】

また、図１６（Ｃ）には、記憶素子群１１４３が有する各記憶素子１１４２に、スイッチング素子１１４１を介して、ローレベルの電源電位ＶＳＳが供給されている、記憶装置の一例を示す。スイッチング素子１１４１により、記憶素子群１１４３が有する各記憶素子１１４２への、ローレベルの電源電位ＶＳＳの供給を制御することができる。

【０１９０】

記憶素子群と、電源電位ＶＤＤまたは電源電位ＶＳＳの与えられているノード間に、スイッチング素子进行け、一時的にＣＰＵの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、ＣＰＵの動作を停止することができ、それにより消費電力を低減することができる。

【０１９１】

ここでは、ＣＰＵを例に挙げて説明したが、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、カスタムＬＳＩ、ＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）などのＬＳＩにも応用可能である。

【０１９２】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【０１９３】

（実施の形態５）

本実施の形態では、実施の形態１乃至実施の形態４を適用した電子機器の例について説明する。

【０１９４】

図１７（Ａ）は携帯型情報端末である。図１７（Ａ）に示す携帯型情報端末は、筐体９３００と、ボタン９３０１と、マイクロフォン９３０２と、表示部９３０３と、スピーカ９３０４と、カメラ９３０５と、を具備し、携帯型電話機としての機能を有する。本発明の一態様は、表示部９３０３およびカメラ９３０５に適用することができる。また、図示しないが、本体内部にある演算装置、無線回路または記憶回路に本発明の一態様を適用することもできる。

【０１９５】

図１７（Ｂ）は、ディスプレイである。図１７（Ｂ）に示すディスプレイは、筐体９３１０と、表示部９３１１と、を具備する。本発明の一態様は、表示部９３１１に適用することができる。本発明の一態様を用いることで、表示部９３１１のサイズを大きくしたときにも表示品位が高く、消費電力が小さいディスプレイとすることができる。

【０１９６】

図１７（Ｃ）は、デジタルスチルカメラである。図１７（Ｃ）に示すデジタルスチルカメラは、筐体９３２０と、ボタン９３２１と、マイクロフォン９３２２と、表示部９３２３と、を具備する。本発明の一態様は、表示部９３２３に適用することができる。また、図示しないが、記憶回路またはイメージセンサに本発明の一態様を適用することもできる。

【０１９７】

本発明の一態様を用いることで、電子機器の消費電力を小さくでき、かつ信頼性を高める

10

20

30

40

50

ことができる。

【0198】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【実施例1】

【0199】

本実施例では、酸化物半導体膜から脱離した水素が水素透過膜を介して水素捕縛膜へ移動する具体的な例について、加熱処理を行った試料および加熱処理を行っていない試料のSIMS結果を用いて説明する。

【0200】

石英基板上に酸化物半導体膜(In-Ga-Zn-O膜)を300nmの厚さで成膜し、酸化物半導体膜上に酸化シリコン膜を5nmの厚さで成膜し、酸化シリコン膜上に酸窒化物膜(In-Ga-Zn-O-N膜)を300nmの厚さで成膜した試料を用意した。

10

【0201】

酸化物半導体膜は、スパッタリング法により、In-Ga-Zn-Oターゲット(mol数比、 $\text{In}_2\text{O}_3 : \text{ZnO} : \text{Ga}_2\text{O}_3 = 1 : 1 : 2$)を用い、ターゲット-基板間に印加する電力を500W(DC)、成膜圧力を0.4Pa、成膜ガス流量をアルゴン30sccmおよび酸素15sccmとし、基板表面温度が200℃になるよう加熱処理しながら成膜した。

【0202】

酸化シリコン膜は、スパッタリング法により、合成石英ターゲットを用い、成膜電力を1kW、成膜圧力を0.4Pa、成膜ガス流量をアルゴン25sccmおよび酸素25sccmとし、基板表面温度が100℃になるよう加熱処理しながら成膜した。

20

【0203】

酸窒化物膜は、スパッタリング法により、In-Ga-Zn-Oターゲット(mol数比、 $\text{In}_2\text{O}_3 : \text{ZnO} : \text{Ga}_2\text{O}_3 = 1 : 1 : 2$)を用い、成膜電力を500W、成膜圧力を0.4Pa、成膜ガス流量を窒素40sccmとし、基板表面温度が200℃になるよう加熱処理しながら成膜した。

【0204】

図18(A)はSIMSによる水素濃度の深さ方向分布を、図18(B)はSIMSによる窒素濃度の深さ方向分布を示す。ここで、範囲6001は酸窒化物膜を、範囲6002は酸化シリコン膜を、範囲6003は酸化物半導体膜を、範囲6004は石英基板を示す。ただし、範囲6002は定量化されていない。また、各層の界面近傍はマトリックス効果により正確な定量値が得られていない。なお、SIMSは、CAMECA社製IMS7fRを用いた。

30

【0205】

図18(A)において、細線6010は成膜直後の試料の水素濃度分布を示し、太線6020は成膜後に窒素雰囲気にて550℃で1時間の加熱処理を行った試料の水素濃度分布を示す。前述の加熱処理を行うことで、酸化物半導体膜中の水素濃度が低減し、酸窒化物膜中の水素濃度が増大していることがわかる。即ち、前述の加熱処理によって、酸化物半導体膜から酸化シリコン膜を介して酸窒化物膜に水素が移動していることがわかる。

40

【0206】

図18(B)において、細線6030は成膜直後の試料の窒素濃度分布を示し、太線6040は成膜後に窒素雰囲気にて550℃で1時間の加熱処理を行った試料の窒素濃度分布を示す。前述の加熱処理前後で、試料中の窒素濃度分布はほとんど変動しないことがわかる。

【符号の説明】

【0207】

100 基板

102 下地膜

102a 第1の下地膜

50

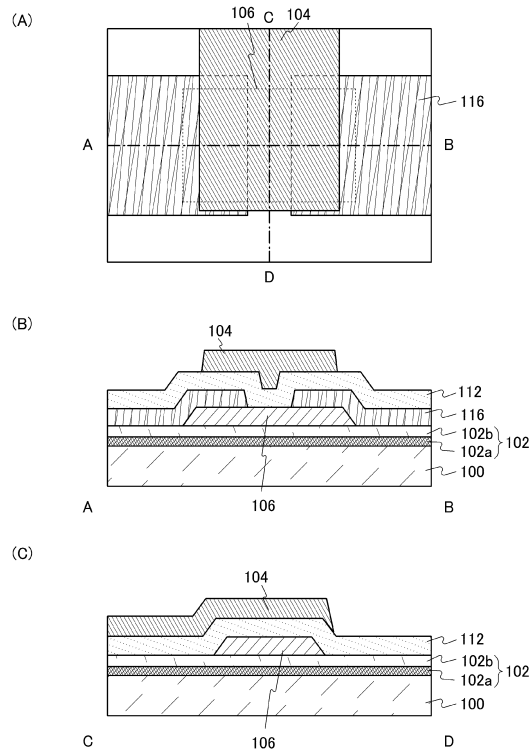
1 0 2 b	第 2 の下地膜	
1 0 4	ゲート電極	
1 0 6	酸化物半導体膜	
1 1 2	ゲート絶縁膜	
1 1 6	一対の電極	
1 3 6	酸化物半導体膜	
2 0 4	ゲート電極	
2 0 6	酸化物半導体膜	
2 1 2	ゲート絶縁膜	
2 1 6	一対の電極	10
3 0 4	ゲート電極	
3 0 5	チャネル領域	
3 0 6	酸化物半導体膜	
3 0 7 a	ソース領域	
3 0 7 b	ドレイン領域	
3 1 2	ゲート絶縁膜	
3 1 6	一対の電極	
3 1 8	保護膜	
4 0 4	ゲート電極	
4 0 6	酸化物半導体膜	20
4 1 2	ゲート絶縁膜	
4 1 6	一対の電極	
4 1 8	保護膜	
4 1 8 a	第 1 の保護膜	
4 1 8 b	第 2 の保護膜	
5 0 6	酸化物半導体膜	
5 1 6	一対の電極	
5 1 8	保護膜	
5 1 8 a	第 1 の保護膜	
5 1 8 b	第 2 の保護膜	30
6 0 5	チャネル領域	
6 0 6	酸化物半導体膜	
6 0 7 a	ソース領域	
6 0 7 b	ドレイン領域	
6 1 6	一対の電極	
6 1 8	保護膜	
6 1 8 a	第 1 の保護膜	
6 1 8 b	第 2 の保護膜	
6 3 8	保護膜	
6 3 8 a	第 1 の保護膜	40
6 3 8 b	第 2 の保護膜	
1 1 4 1	スイッチング素子	
1 1 4 2	記憶素子	
1 1 4 3	記憶素子群	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	50

1 1 9 5	タイミングコントローラ
1 1 9 6	レジスタ
1 1 9 7	レジスタコントローラ
1 1 9 8	バスインターフェース
1 1 9 9	R O M
2 2 0 0	画素
2 2 1 0	液晶素子
2 2 2 0	キャパシタ
2 2 3 0	トランジスタ
6 0 0 1	範囲
6 0 0 2	範囲
6 0 0 3	範囲
6 0 0 4	範囲
6 0 1 0	細線
6 0 2 0	太線
6 0 3 0	細線
6 0 4 0	太線
9 3 0 0	筐体
9 3 0 1	ボタン
9 3 0 2	マイクロフォン
9 3 0 3	表示部
9 3 0 4	スピーカ
9 3 0 5	カメラ
9 3 1 0	筐体
9 3 1 1	表示部
9 3 2 0	筐体
9 3 2 1	ボタン
9 3 2 2	マイクロフォン
9 3 2 3	表示部

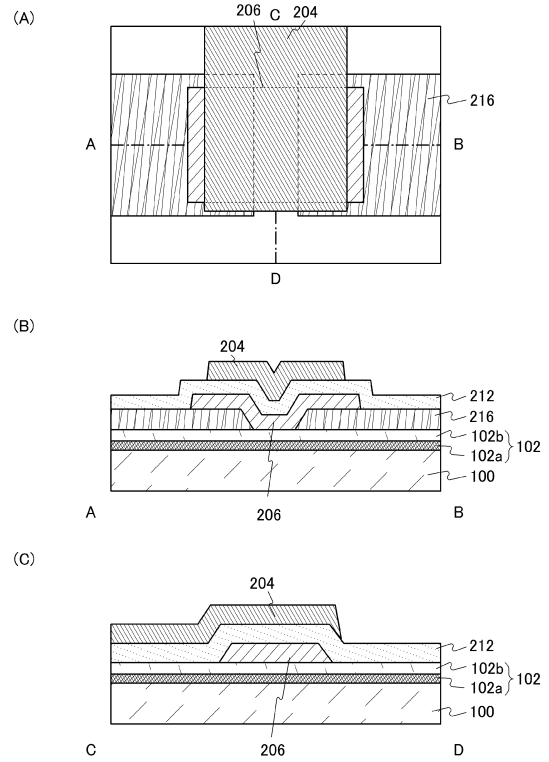
10

20

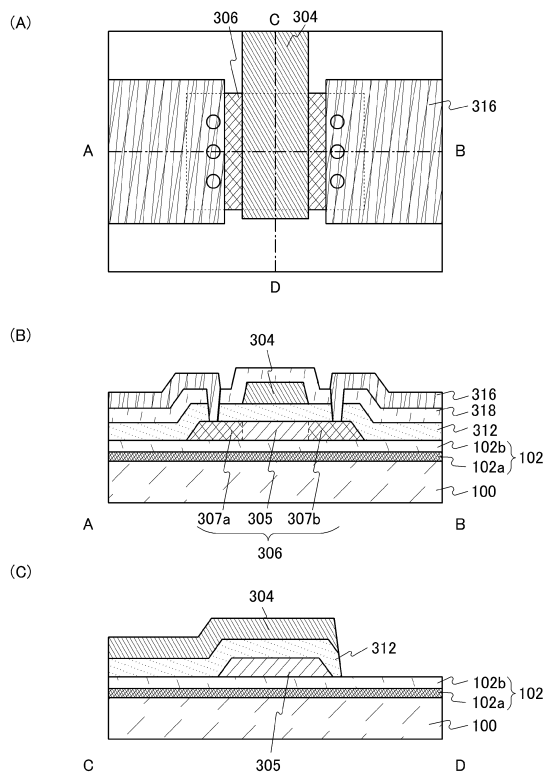
【図 1】



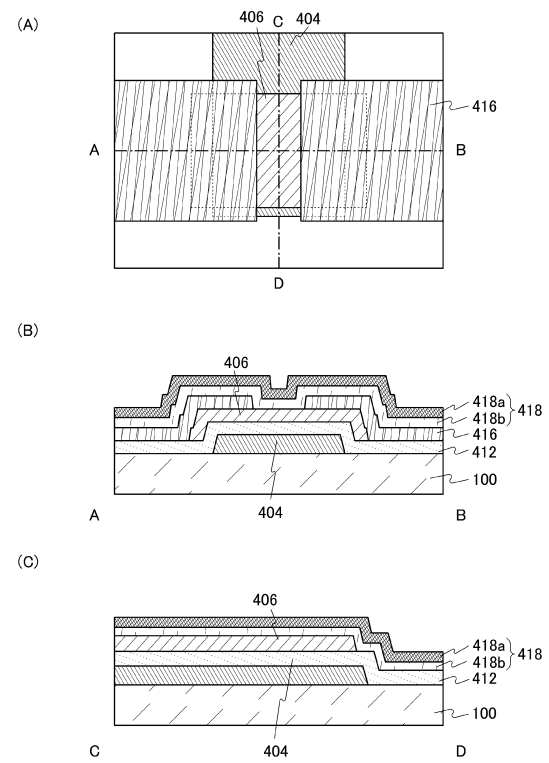
【図 2】



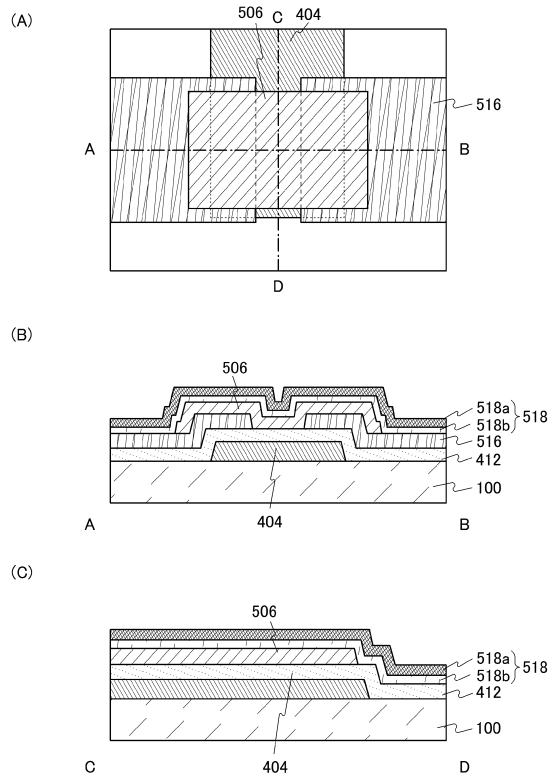
【図 3】



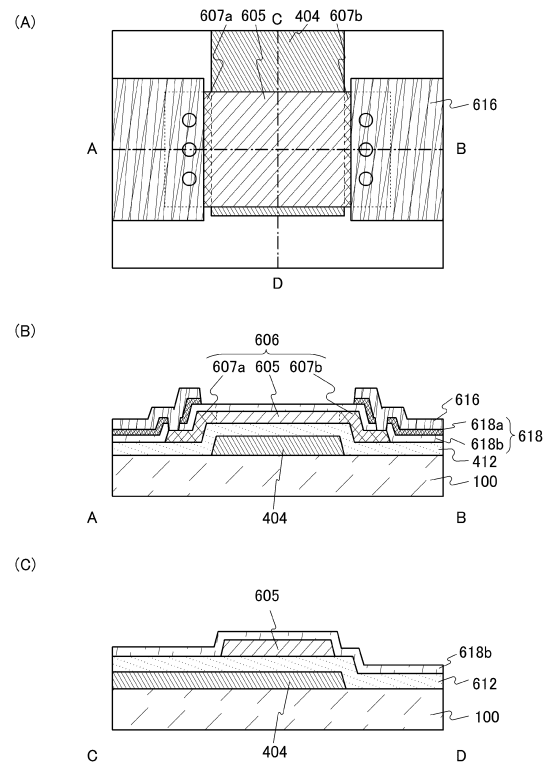
【図 4】



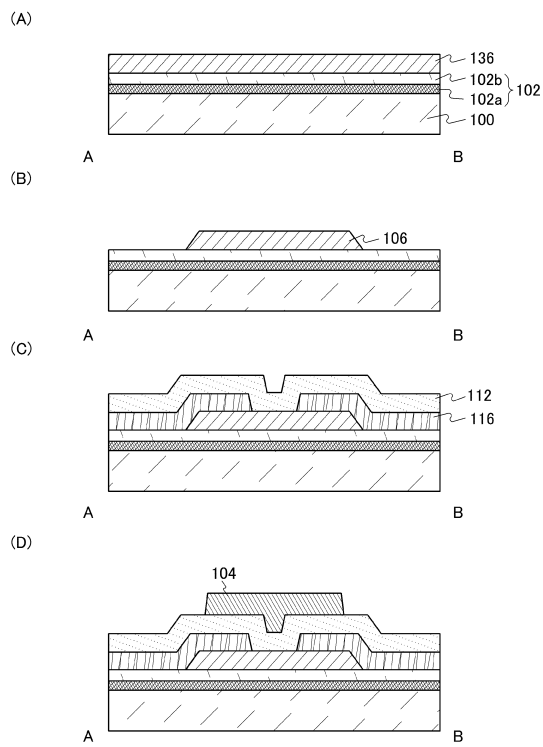
【図 5】



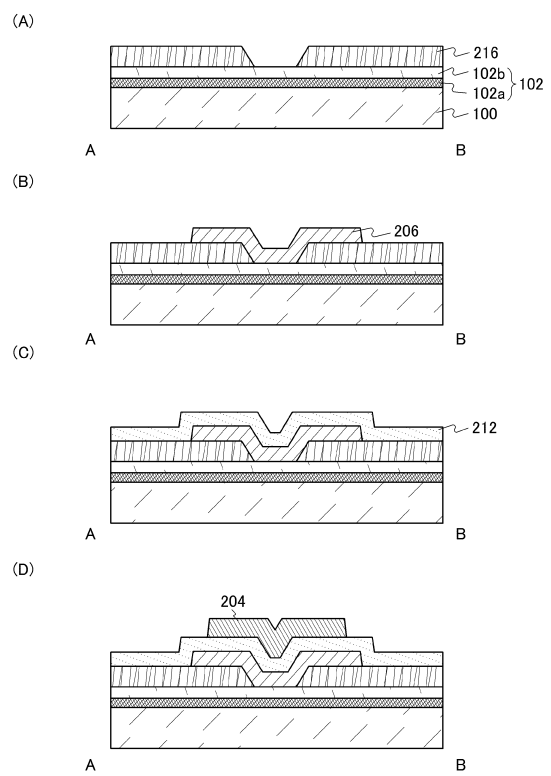
【図 6】



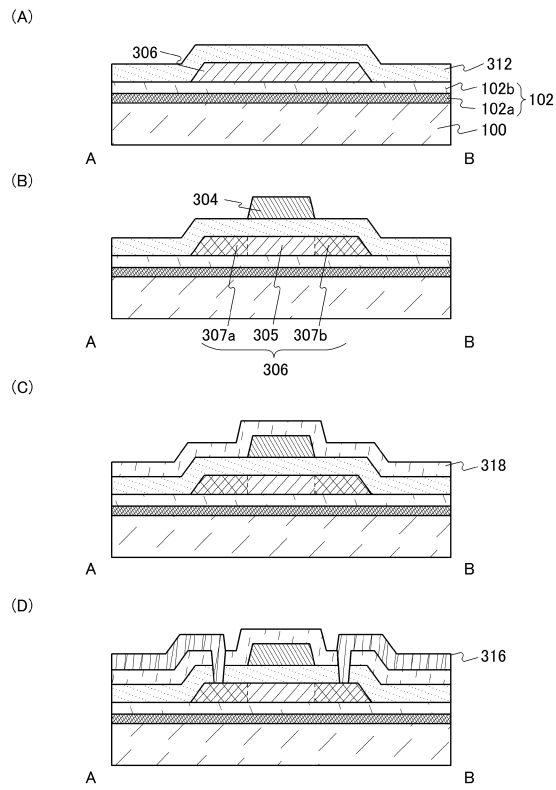
【図 7】



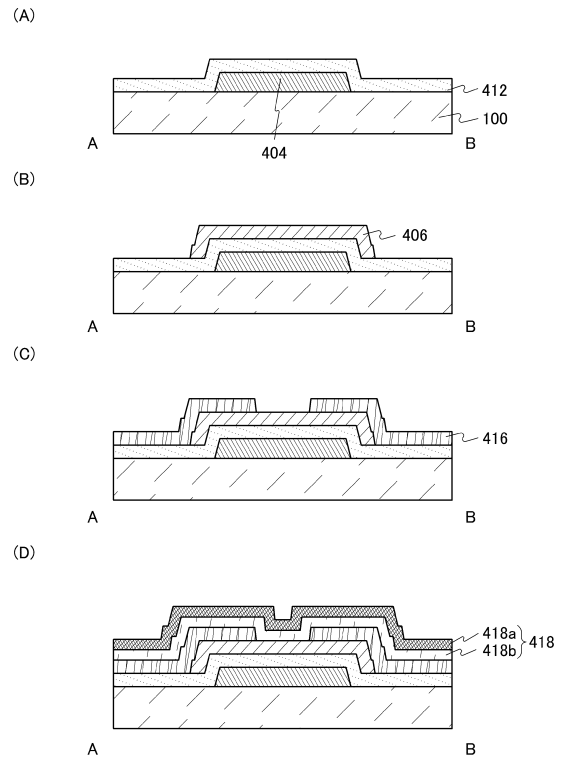
【図 8】



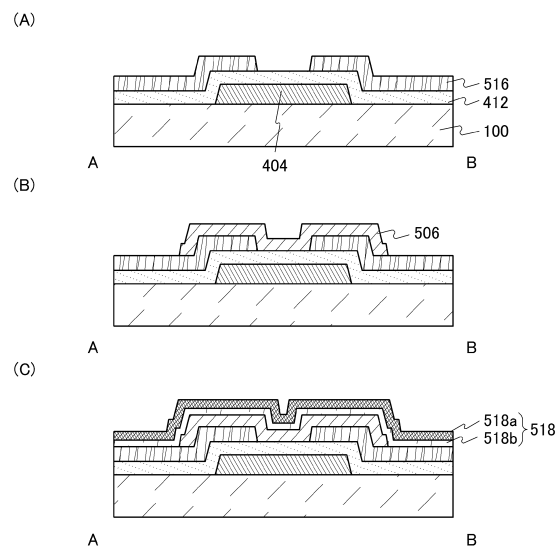
【図 9】



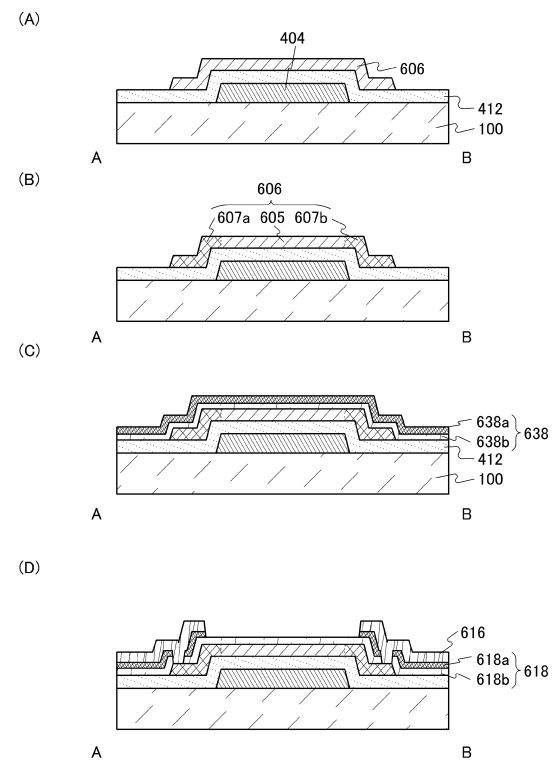
【図 10】



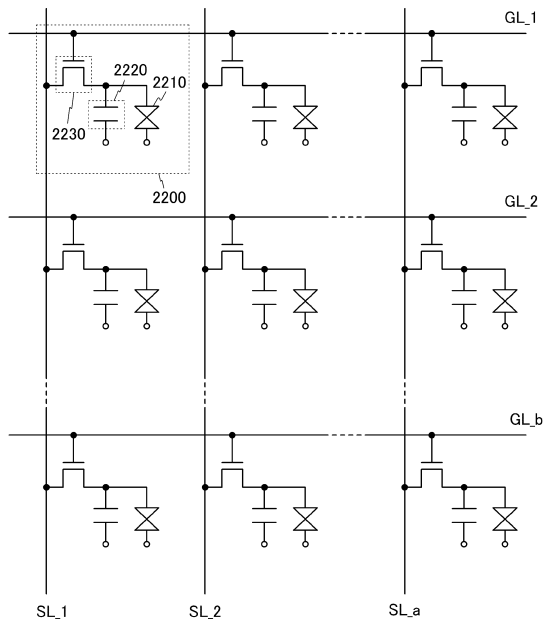
【図 11】



【図 12】

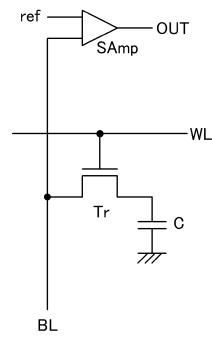


【図 13】

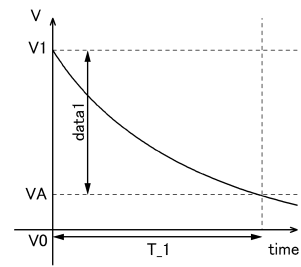


【図 14】

(A)

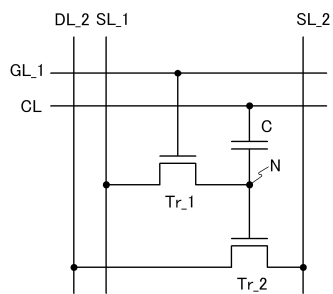


(B)

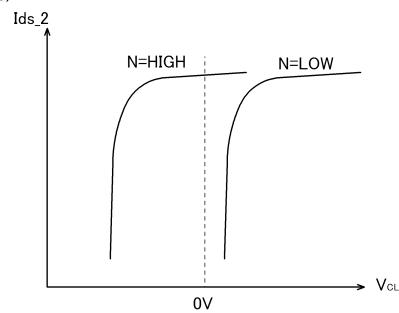


【図 15】

(A)

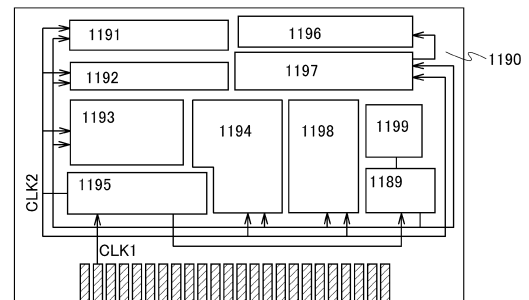


(B)

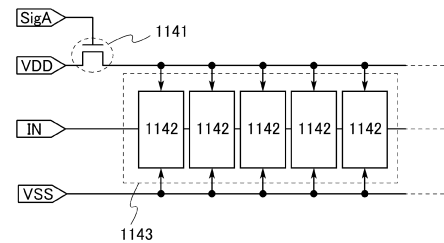


【図 16】

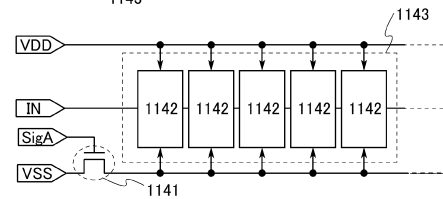
(A)



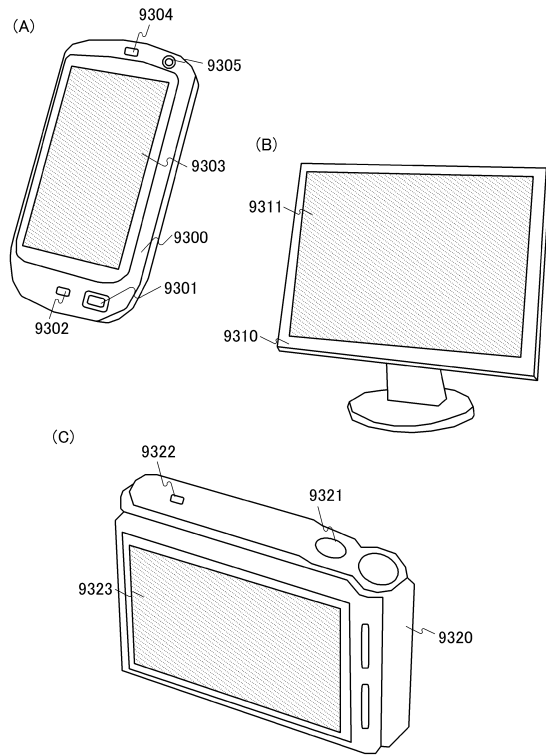
(B)



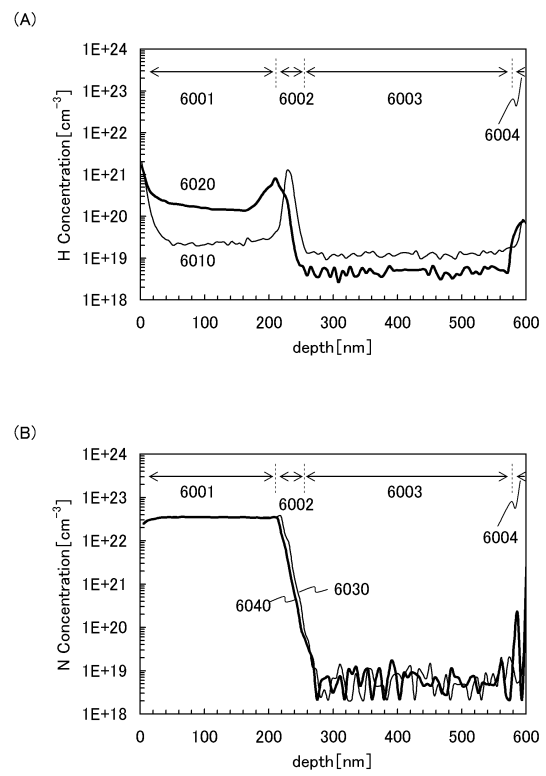
(C)



【図 17】



【図 18】



フロントページの続き

(56)参考文献 特開2003-297956(JP,A)
特開2011-044699(JP,A)
特開2010-182818(JP,A)
特開平01-304768(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L21/336、29/786